

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-21229

(P2010-21229A)

(43) 公開日 平成22年1月28日(2010.1.28)

|                                       |                       |             |
|---------------------------------------|-----------------------|-------------|
| (51) Int.Cl.                          | F I                   | テーマコード (参考) |
| H O 1 L 21/8238 (2006.01)             | H O 1 L 27/08 3 2 1 E | 5 F 0 3 2   |
| H O 1 L 27/092 (2006.01)              | H O 1 L 27/08 3 3 1 A | 5 F 0 3 8   |
| H O 1 L 27/08 (2006.01)               | H O 1 L 29/78 3 0 1 R | 5 F 0 4 8   |
| H O 1 L 29/78 (2006.01)               | H O 1 L 29/78 3 0 1 S | 5 F 0 6 4   |
| H O 1 L 21/76 (2006.01)               | H O 1 L 27/08 3 2 1 C | 5 F 1 4 0   |
| 審査請求 未請求 請求項の数 14 O L (全 17 頁) 最終頁に続く |                       |             |

|           |                              |          |                  |
|-----------|------------------------------|----------|------------------|
| (21) 出願番号 | 特願2008-178768 (P2008-178768) | (71) 出願人 | 000005821        |
| (22) 出願日  | 平成20年7月9日 (2008.7.9)         |          | パナソニック株式会社       |
|           |                              |          | 大阪府門真市大字門真1006番地 |
|           |                              | (74) 代理人 | 100077931        |
|           |                              |          | 弁理士 前田 弘         |
|           |                              | (74) 代理人 | 100110939        |
|           |                              |          | 弁理士 竹内 宏         |
|           |                              | (74) 代理人 | 100110940        |
|           |                              |          | 弁理士 嶋田 高久        |
|           |                              | (74) 代理人 | 100113262        |
|           |                              |          | 弁理士 竹内 祐二        |
|           |                              | (74) 代理人 | 100115059        |
|           |                              |          | 弁理士 今江 克実        |
|           |                              | (74) 代理人 | 100115691        |
|           |                              |          | 弁理士 藤田 篤史        |

最終頁に続く

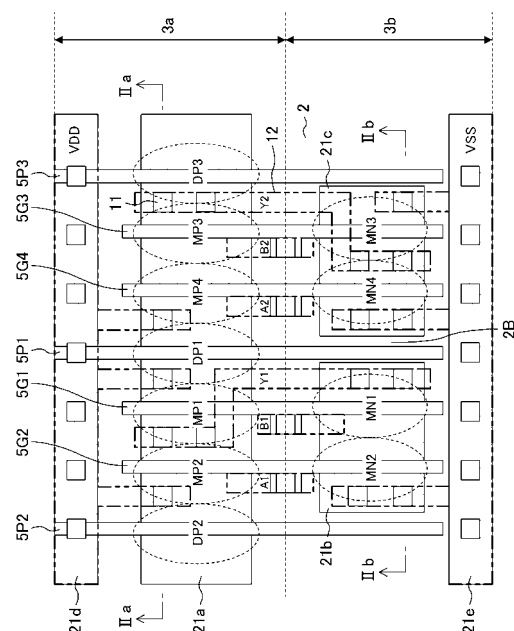
(54) 【発明の名称】 半導体装置

## (57) 【要約】

【課題】MISトランジスタにおいて、リーク電流の発生を抑え、チャネル移動度と信頼性を共に向上させた半導体装置を提供する。

【解決手段】半導体装置は、第1のウエル領域3a及び第2のウエル領域3bと、素子分離領域2に囲まれた第1の活性領域21aと、素子分離領域2、2Bに囲まれた第2の活性領域21bと、第1の活性領域21a上に形成され、凹部内に埋め込まれたSi混晶層からなるソース/ドレイン領域を有する第2導電型の第1のMISトランジスタMP2と、第2の活性領域21b上に形成された第1導電型の第2のMISトランジスタMN2と、第1の活性領域21a上に形成された第2導電型の分離用MISトランジスタDP2とを備える。第1のMISトランジスタのソース/ドレイン領域は、第1の活性領域21aにおけるゲート長方向の端部に位置する素子分離領域2に接していない。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

共に半導体基板内に形成され、ゲート幅方向に隣接する第 1 導電型の第 1 のウエル領域および第 2 導電型の第 2 のウエル領域と、

前記第 1 のウエル領域内に形成された素子分離領域に囲まれた前記半導体基板からなる第 1 の活性領域と、

前記第 2 のウエル領域内に形成された前記素子分離領域に囲まれた前記半導体基板からなる第 2 の活性領域と、

前記第 1 の活性領域上に形成された第 1 のゲート電極と、前記第 1 の活性領域における前記第 1 のゲート電極の側方下の領域に設けられた凹部内に埋め込まれた第 1 の Si 混晶層からなる第 2 導電型の第 1 のソース/ドレイン領域とを有する第 2 導電型の第 1 の MIS トランジスタと、

前記第 2 の活性領域上に形成された第 2 のゲート電極と、前記第 2 の活性領域における前記第 2 のゲート電極の側方下の領域に形成された第 1 導電型の第 2 のソース/ドレイン領域を有する第 1 導電型の第 2 の MIS トランジスタと、

前記第 1 の活性領域上に形成され、前記第 1 のウエル領域と同電位に接続された第 1 の分離用ゲート電極を有する第 2 導電型の第 1 の分離用 MIS トランジスタとを備え、

前記第 2 の活性領域には、分離用 MIS トランジスタは形成されておらず、

前記第 1 の MIS トランジスタの前記第 1 のソース/ドレイン領域は、前記第 1 の活性領域におけるゲート長方向の端部に位置する前記素子分離領域には接していないことを特徴とする半導体装置。

**【請求項 2】**

請求項 1 に記載の半導体装置において、

前記第 1 の MIS トランジスタの前記第 1 のゲート電極と前記第 2 の MIS トランジスタの前記第 2 のゲート電極とを含む第 1 のゲート配線は、前記第 1 の活性領域上から前記第 2 の活性領域上に亘って形成されていることを特徴とする半導体装置。

**【請求項 3】**

請求項 1 又は 2 に記載の半導体装置において、

前記第 1 のウエル領域内に、前記第 1 の活性領域から見てゲート幅方向に前記素子分離領域を挟んで設けられ、前記第 2 のウエル領域との間で前記第 1 の活性領域を挟む位置に形成された第 1 導電型の第 1 の基板コンタクト領域と、

前記第 2 のウエル領域内に、前記第 2 の活性領域から見てゲート幅方向に前記素子分離領域を挟んで設けられ、前記第 1 のウエル領域との間で前記第 2 の活性領域を挟む位置に形成された第 2 導電型の第 2 の基板コンタクト領域とをさらに備え、

前記第 1 の分離用 MIS トランジスタの第 1 の分離用ゲート電極を含む第 1 の分離用ゲート配線は、少なくとも前記第 1 の活性領域を跨いで前記第 1 の基板コンタクト領域上にまで延びており、前記第 1 の基板コンタクト領域と同電位に接続されていることを特徴とする半導体装置。

**【請求項 4】**

請求項 3 に記載の半導体装置において、

前記第 1 の分離用ゲート配線は、前記第 2 の活性領域の側方に位置する前記素子分離領域上まで延びていることを特徴とする半導体装置。

**【請求項 5】**

請求項 1 ~ 4 のうちいずれか 1 項に記載の半導体装置において、

前記第 1 の活性領域における前記第 1 の分離用ゲート電極の一侧方下の領域には、前記第 1 の Si 混晶層が形成されており、

前記第 1 の活性領域における前記第 1 の分離用ゲート電極の他側方下の領域には、前記第 1 の活性領域に設けられた凹部内に埋め込まれ、前記第 1 の活性領域におけるゲート長方向の端部に位置する前記素子分離領域に接する第 2 の Si 混晶層が形成されていることを特徴とする半導体装置。

10

20

30

40

50

**【請求項 6】**

請求項 5 に記載の半導体装置において、

前記第 2 の Si 混晶層は、前記第 1 の混晶層に比べて上面が凹んでいることを特徴とする半導体装置。

**【請求項 7】**

請求項 1 ～ 6 に記載の半導体装置において、

前記第 1 の活性領域上に形成された第 3 のゲート電極と、前記第 1 の活性領域における前記第 3 のゲート電極の側方下の領域に設けられた凹部内に埋め込まれた前記第 1 の Si 混晶層からなる第 2 導電型の第 3 のソース/ドレイン領域とを有する第 2 導電型の第 3 の M I S トランジスタと、

10

前記第 1 の活性領域における前記第 1 のソース/ドレイン領域と前記第 3 のソース/ドレイン領域との間に位置する領域上に形成され、前記第 1 のウエル領域と同電位に接続された第 2 の分離用ゲート電極を有する第 2 導電型の第 2 の分離用 M I S トランジスタとをさらに備えていることを特徴とする半導体装置。

**【請求項 8】**

請求項 7 に記載の半導体装置において、

前記第 2 のウエル領域内に形成された前記素子分離領域に囲まれ、前記第 2 の活性領域から見てゲート長方向に前記素子分離領域を挟んで設けられた前記半導体基板からなる第 3 の活性領域と、

20

前記第 3 の活性領域上に形成された第 4 のゲート電極と、前記第 3 の活性領域における前記第 4 のゲート電極の側方下の領域に形成された第 1 導電型の第 4 のソース/ドレイン領域を有する第 1 導電型の第 4 の M I S トランジスタとをさらに備え、

前記第 2 の分離用ゲート電極は、前記第 2 の活性領域と前記第 3 の活性領域との間に位置する前記素子分離領域上まで延びていることを特徴とする半導体装置。

**【請求項 9】**

請求項 8 に記載の半導体装置において、

前記第 3 の M I S トランジスタの前記第 3 のゲート電極と前記第 4 の M I S トランジスタの前記第 4 のゲート電極とを含む第 2 のゲート配線は、前記第 1 の活性領域上から前記第 3 の活性領域上に亘って形成されていることを特徴とする半導体装置。

30

**【請求項 10】**

請求項 1 ～ 4 に記載の半導体装置において、

前記第 1 の活性領域上に形成された第 3 のゲート電極と、前記第 1 の活性領域における前記第 3 のゲート電極の側方下の領域に設けられた凹部内に埋め込まれた前記第 1 の Si 混晶層からなる第 2 導電型の第 3 のソース/ドレイン領域とを有する第 2 導電型の第 3 の M I S トランジスタとをさらに備え、

前記第 1 の分離用ゲート電極は、前記第 1 の活性領域における前記第 1 のソース/ドレイン領域と前記第 3 のソース/ドレイン領域との間に位置する領域上に形成されていることを特徴とする半導体装置。

**【請求項 11】**

請求項 9 に記載の半導体装置において、

40

前記第 2 のウエル領域内に形成された前記素子分離領域に囲まれ、前記第 2 の活性領域から見てゲート長方向に前記素子分離領域を挟んで設けられた前記半導体基板からなる第 3 の活性領域と、

前記第 3 の活性領域上に形成された第 4 のゲート電極と、前記第 3 の活性領域における前記第 4 のゲート電極の側方下の領域に形成された第 1 導電型の第 4 のソース/ドレイン領域を有する第 1 導電型の第 4 の M I S トランジスタとをさらに備えていることを特徴とする半導体装置。

**【請求項 12】**

請求項 11 に記載の半導体装置において、

前記第 3 の M I S トランジスタの前記第 3 のゲート電極と前記第 4 の M I S トランジスタ

50

タの前記第4のゲート電極とを含む第2のゲート配線は、前記第1の活性領域上から前記第3の活性領域上に亘って形成されていることを特徴とする半導体装置。

【請求項13】

請求項1～12に記載の半導体装置において、

前記第1のMISトランジスタはPチャネル型、前記第2のMISトランジスタはNチャネル型であり、

前記第1の分離用ゲート電極は、電源線に接続されており、

前記第1のSi混晶層はSiGeからなることを特徴とする半導体装置。

【請求項14】

請求項1～12に記載の半導体装置において、

前記第1のMISトランジスタはNチャネル型、前記第2のMISトランジスタはPチャネル型であり、

前記第1の分離用ゲート電極は、接地線に接続されており、

前記第1のSi混晶層はSiCからなることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ロジックLSIに使用される論理セルのレイアウトに関し、特にSi混晶からなるソース/ドレインを有するMISトランジスタで構成された論理セルのレイアウトに関する。

【背景技術】

【0002】

CMOSデバイスの高性能化を目的として、ゲートチャネル部に引張り/圧縮歪を加え、電子あるいは正孔の移動度を向上させる歪Si技術が導入されている。歪Si技術としては、例えばMISトランジスタの上にコンタクトライナー膜を形成し、ゲート電極の側面上からチャネルに引張り歪を加える事で、MISトランジスタの駆動能力向上を図るのが知られている。しかしながら、コンタクトライナー膜を用いる技術では、世代が進んでいくとゲートピッチが縮小し、コンタクトライナー膜を充分厚くすることができなくなるため、ゲート側面上からチャネルに十分な歪を与えることが困難になると予想される。そこで、MISトランジスタの駆動能力を向上させるための新たな技術が求められている。

【0003】

このような新技術の一つとして、基板内に埋め込まれたSi混晶層をMISトランジスタのソース・ドレイン領域として用い、チャネルに大きな歪を加える技術があり、有望な技術として期待されている。これは、Pチャネル型MISトランジスタ（以下、「P型MISトランジスタ」と称する）ではシリコンゲルマニウム（SiGe）層を、Nチャネル型MISトランジスタ（以下、「N型MISトランジスタ」と称する）ではシリコンカーバイド（SiC）層をそれぞれソース/ドレイン領域として用い、シリコン基板の一部からなるチャネルに歪を加えるものである。この技術は、例えば非特許文献1等に記載されている。

【0004】

以下、Si混晶層をMISトランジスタのソース・ドレイン領域に用いる技術をロジックLSIに適用する例について説明する。ロジックLSIは、一般的に数百種類の論理セルを組み合わせて設計され、各論理セルは複数のMISトランジスタで構成される。

【0005】

図5(a)、(b)は、2入力NANDゲートおよび2入力NORゲートの回路構成例を示す図であり、図6は、従来の半導体装置において、2入力NANDゲート（左側）と2入力NORゲート（右側）とをMISトランジスタのゲート長方向（図中の左右方向）に隣接させたレイアウト図である。

）。また、図7(a)、(b)は、図6に示すVIIa-VIIa線、およびVIIb-VIIb線における

10

20

30

40

50

従来の半導体装置の断面図である。

【0006】

この例では、図6および図7(a)、(b)に示すように、シリコンからなる半導体基板101上に、N型ウエル領域103aと、N型ウエル領域103aとゲート幅方向(図6の上下方向)において隣接するP型ウエル領域103bが形成されている。N型ウエル領域103aには、活性領域121a、121bと、活性領域121a、121bから見てゲート幅方向に隣接して配置され、基板コンタクトを介して電源線(電源端子)VDDに接続されたN型基板コンタクト領域121eとが形成されている。P型ウエル領域103bには、活性領域121c、121dと、活性領域121c、121dから見てゲート幅方向に隣接して配置され、基板コンタクトを介して接地線(接地端子)VSSに接続されたP型基板コンタクト領域121fが形成されている。活性領域121a、121b、活性領域121c、121d、N型基板コンタクト領域121e、およびP型基板コンタクト領域121fのそれぞれは、STI(Shallow Trench Isolation)により構成された素子分離領域102に囲まれている。

10

【0007】

NANDゲートを構成するP型MISトランジスタMP1、MP2は活性領域121a上に形成され、NORゲートを構成するP型MISトランジスタMP3、MP4は活性領域121b上に形成される。

【0008】

NANDゲートを構成するN型MISトランジスタMN1、MN2は活性領域121c上に形成され、NORゲートを構成するN型MISトランジスタMN3、MN4は活性領域121d上に形成される。

20

【0009】

また、P型MISトランジスタMP1とN型MISトランジスタMN1のゲート電極を含むゲート配線5G1と、P型MISトランジスタMP2とN型MISトランジスタMN2のゲート電極を含むゲート配線5G2とは、それぞれゲート絶縁膜104を挟んで活性領域121a上から活性領域121c上に亘って形成されている。P型MISトランジスタMP3とN型MISトランジスタMN3のゲート電極を含むゲート配線5G3と、P型MISトランジスタMP4とN型MISトランジスタMN4のゲート電極を含むゲート配線5G4とは、それぞれゲート絶縁膜104を挟んで活性領域121b上から活性領域121d上に亘って形成されている。

30

【0010】

P型MISトランジスタMP1、MP2、MP3、MP4のそれぞれは、図7(a)に示すように、ゲート絶縁膜104およびゲート電極の他、P型エクステンション領域106a、P型ソース/ドレイン領域108a、サイドウォールスペーサ107、ソース/ドレイン上シリサイド層109、およびゲート上シリサイド層130を有している。また、N型MISトランジスタMN1、MN2、MN3、MN4のそれぞれは、図7(b)に示すように、ゲート絶縁膜104およびゲート電極の他、N型エクステンション領域106b、N型ソース/ドレイン領域108b、サイドウォールスペーサ107、ソース/ドレイン上シリサイド層109、およびゲート上シリサイド層130を有している。また、半導体装置は、各MISトランジスタを埋める層間絶縁膜110と、層間絶縁膜110を貫通するコンタクトプラグ111と、コンタクトプラグ111に接続される金属配線112とを備えている。なお、図6に示すA1、B1はNANDゲートの入力端子であり、Y1はNANDゲートの出力端子である。また、A2、B2はNORゲートの入力端子であり、Y2はNORゲートの出力端子である。

40

【0011】

従来の半導体装置においては、P型MISトランジスタMP1、MP2、MP3、MP4のP型ソース/ドレイン領域108aは、活性領域121a、121bに設けられた凹部内に埋め込まれたSiGe層により構成されている。シリコンで構成されるP型MISトランジスタのチャネル領域がこのSiGe層により圧縮応力を受けることにより、チャ

50

ネル領域におけるキャリアの移動度が向上する。

【0012】

また、互いに隣接するP型MISトランジスタMP1とP型MISトランジスタMP4とは素子分離領域102Aにより電氣的に分離されており、P型MISトランジスタMP2、MP3もこれらに隣接するP型MISトランジスタ（図示せず）と素子分離領域102により電氣的に分離されている。

【0013】

なお、P型ソース/ドレイン領域108aを形成する際は、まず、素子分離領域102、102A、ゲート配線105G1、105G2、105G3、105G4、P型エクステンション領域106a、およびサイドウォールスペーサ107を形成してから活性領域121a、121bをエッチングし、ゲート配線105G1、105G2、105G3、105G4の側方領域に凹部を形成する。次に、この凹部内に選択的にP型不純物を含むSiGe層をエピタキシャル成長させることによりP型ソース/ドレイン領域108aを形成する。

10

【特許文献1】特許第2676406号

【非特許文献1】IEDM (International Electron Device Meeting) Technical Digest pp978 - 980

【発明の開示】

【発明が解決しようとする課題】

【0014】

20

しかしながら、従来技術を用いた場合、図7(a)に示すように、P型ソース/ドレイン領域108aのうち素子分離領域102、102Aと接する部分でSiGe層の形成不良が生じることがある。SiGe層はCVD (Chemical Vapor Deposition) 法などを用いたエピタキシャル成長により形成されるため、凹部内のシリコン上には良好に成長できるが、シリコン酸化膜からなる素子分離領域102、102Aの側面からは成長しにくい。このため、上述の形成不良が起こり、P型ソース/ドレイン領域108aのうち素子分離領域102、102Aと接する部分ではSiGe層の厚みが薄くなってしまふ。その結果、ソース/ドレイン上シリサイド層109の形成後にP型MISトランジスタを流れる電流がリークしやすくなるという不具合が生じる。

【0015】

30

図7(a)、(b)ではP型MISトランジスタにSiGe層からなるP型ソース/ドレイン領域108aを形成する場合について示したが、N型MISトランジスタにSiC層からなるN型ソース/ドレイン領域を形成してチャネル移動度の向上を図る際にも上述の例と同様にN型ソース/ドレイン領域の形成不良が生じやすくなる。

【0016】

上述の不具合に鑑み、本発明は、Si混晶層をソース/ドレイン領域として用いたMISトランジスタにおいて、リーク電流の発生を抑え、チャネル移動度と信頼性とを共に向上させた半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0017】

40

本発明の半導体装置は、共に半導体基板内に形成され、ゲート幅方向に隣接する第1導電型の第1のウエル領域および第2導電型の第2のウエル領域と、前記第1のウエル領域内に形成された素子分離領域に囲まれた前記半導体基板からなる第1の活性領域と、前記第2のウエル領域内に形成された前記素子分離領域に囲まれた前記半導体基板からなる第2の活性領域と、前記第1の活性領域上に形成された第1のゲート電極と、前記第1の活性領域における前記第1のゲート電極の側方下の領域に設けられた凹部内に埋め込まれた第1のSi混晶層からなる第2導電型の第1のソース/ドレイン領域とを有する第2導電型の第1のMISトランジスタと、前記第2の活性領域上に形成された第2のゲート電極と、前記第2の活性領域における前記第2のゲート電極の側方下の領域に形成された第1導電型の第2のソース/ドレイン領域を有する第1導電型の第2のMISトランジスタと

50

、前記第 1 の活性領域上に形成され、前記第 1 のウエル領域と同電位に接続された第 1 の分離用ゲート電極を有する第 2 導電型の第 1 の分離用 M I S トランジスタとを備え、前記第 2 の活性領域には、分離用 M I S トランジスタは形成されておらず、前記第 1 の M I S トランジスタの前記第 1 のソース / ドレイン領域は、前記第 1 の活性領域におけるゲート長方向の端部に位置する前記素子分離領域には接していない。

【 0 0 1 8 】

この構成によれば、S i 混晶層からチャンネルに応力を与えることで第 1 の M I S トランジスタの移動度を向上させつつ、第 1 の M I S トランジスタの第 1 のソース / ドレイン領域が素子分離領域に接していないことにより、第 1 のソース / ドレイン領域における S i 混晶層の形成不良が抑えられる。そのため、リーク電流の発生が抑えられ、信頼性の向上と M I S トランジスタの性能向上とを併せて実現することができる。加えて、第 1 の M I S トランジスタ間と第 2 の M I S トランジスタ間の両方を分離用 M I S トランジスタで電氣的に分離する場合に比べて回路面積を小さくすることができる。

10

【 0 0 1 9 】

S i 混晶層としては、第 1 の M I S トランジスタが P チャンネル型の場合は S i G e 層が用いられ、第 1 の M I S トランジスタが N チャンネル型の場合は S i C 層が用いられる。これにより、チャンネルに適宜圧縮応力または引張り応力が印加されるので、効果的に M I S トランジスタの移動度を向上させることができる。

【 発明の効果 】

【 0 0 2 0 】

本発明の半導体装置によれば、S i 混晶層からチャンネルに応力を与えることで第 1 の M I S トランジスタの移動度を向上させつつ、第 1 の M I S トランジスタの第 1 のソース / ドレイン領域が素子分離領域に接していないことにより、第 1 のソース / ドレイン領域における S i 混晶層の形成不良が抑えられる。そのため、リーク電流の発生が抑えられ、信頼性の向上と M I S トランジスタの性能向上とを併せて実現することができる。M I S トランジスタのソース / ドレイン領域を構成する S i 混晶層の形成不良を抑え、性能の向上と信頼性の向上を併せて図ることができる。

20

【 発明を実施するための最良の形態 】

【 0 0 2 1 】

本願発明者は、M I S トランジスタのソース / ドレイン領域を S i 混晶層で構成する場合に生じる不具合の発生を抑えるため、種々の構成の検討を行った。その結果、互いに隣接する M I S トランジスタ間をゲート分離方式により電氣的に分離する構造を採用することが、S i 混晶層の成長不良を防ぐ上で有効であることを見出した。さらに検討を重ねた結果、本願発明者は P チャンネル型 M I S トランジスタ（以下、「P 型 M I S トランジスタ」と称する）と N チャンネル型 M I S トランジスタ（以下、「N 型 M I S トランジスタ」と称する）の一方のみに S i 混晶層からなるソース / ドレイン領域を採用し、S i 混晶層を用いる M I S トランジスタ間にゲート分離構造を適用することが最も好ましいことを見出した。ここで、「ゲート分離方式」とは、隣接するトランジスタ間に常時オフとなるよう制御された M I S トランジスタを置くことにより、両トランジスタ間を電氣的に分離する方式のことを指す。以下、本発明の実施形態について、論理セルの一例を挙げて説明する。

30

40

【 0 0 2 2 】

（ 第 1 の実施形態 ）

図 1 は、本発明の第 1 の実施形態に係る半導体装置において、2 入力 N A N D ゲート（左側）と 2 入力 N O R ゲート（右側）とを M I S トランジスタのゲート長方向（図中の左右方向）に隣接させたレイアウト図である。また、図 2（a）、（b）は、図 1 に示す I I a-I I a 線、および I I b-I I b 線における第 1 の実施形態に係る半導体装置の断面図である。ここで、2 入力 N A N D ゲートと 2 入力 N O R ゲートの回路構成は図 5（a）、（b）に示す通りである。

【 0 0 2 3 】

50

本実施形態の半導体装置では、シリコンからなる半導体基板 1 に、N 型ウエル領域 3 a と、N 型ウエル領域 3 a とゲート幅方向（図 1 の上下方向）において隣接する P 型ウエル領域 3 b が形成されている。

【0024】

N 型ウエル領域 3 a には、STI で構成された素子分離領域 2 に囲まれた活性領域 2 1 a と、活性領域 2 1 a から見てゲート幅方向に素子分離領域 2 を挟んで配置され、基板コンタクトを介して電源線（電源端子）VDD に接続された N 型基板コンタクト領域 2 1 d とが形成されている。ここで、N 型基板コンタクト領域 2 1 d は、素子分離領域 2 に囲まれており、活性領域 2 1 a から見て P 型ウエル領域 3 b とは反対側に配置されている。

【0025】

P 型ウエル領域 3 b には、素子分離領域 2 に囲まれた活性領域 2 1 b 及び活性領域 2 1 c と、活性領域 2 1 b、2 1 c から見てゲート幅方向に素子分離領域 2 を挟んで配置され、基板コンタクトを介して接地線（接地端子）VSS に接続された P 型基板コンタクト領域 2 1 e が形成されている。活性領域 2 1 c は、活性領域 2 1 b から見てゲート長方向に素子分離領域 2 を挟んで配置されている。ここで、P 型基板コンタクト領域 2 1 e は、素子分離領域 2 に囲まれており、活性領域 2 1 b、2 1 c から見て N 型ウエル領域 3 a とは反対側に配置されている。従って、活性領域 2 1 a 及び活性領域 2 1 b、2 1 c は、N 型基板コンタクト領域 2 1 d と P 型基板コンタクト領域 2 1 e とに挟まれた位置に形成されている。

【0026】

活性領域 2 1 a と活性領域 2 1 b、2 1 c とは、N 型ウエル領域 3 a と P 型ウエル領域 3 b との境界を挟んで配置されており、素子分離領域 2 によって互いに電氣的に分離されている。なお、図 1 及び図 2（a）、（b）では、素子分離領域 2 のうち、後述する N 型 MISTランジスタ MN 1 と N 型 MISTランジスタ MN 4 の間に設けられた部分を特に素子分離領域 2 B として示している。

【0027】

また、NAND ゲートを構成する P 型 MISTランジスタ MP 1、MP 2 と、NOR ゲートを構成する P 型 MISTランジスタ MP 3、MP 4 とは活性領域 2 1 a 上に形成されている。NAND ゲートを構成する N 型 MISTランジスタ MN 1、MN 2 は活性領域 2 1 b 上に形成され、NOR ゲートを構成する N 型 MISTランジスタ MN 3、MN 4 は活性領域 2 1 c 上に形成される。

【0028】

また、図 1 のゲートパターンが示すように、P 型 MISTランジスタ MP 1 と N 型 MISTランジスタ MN 1 のゲート電極を含むゲート配線 5 G 1 と、P 型 MISTランジスタ MP 2 と N 型 MISTランジスタ MN 2 のゲート電極を含むゲート配線 5 G 2 とは、それぞれゲート絶縁膜 4 を挟んで活性領域 2 1 a 上から活性領域 2 1 b 上に亘って形成されている。P 型 MISTランジスタ MP 3 と N 型 MISTランジスタ MN 3 のゲート電極を含むゲート配線 5 G 3 と、P 型 MISTランジスタ MP 4 と N 型 MISTランジスタ MN 4 のゲート電極を含むゲート配線 5 G 4 とは、それぞれゲート絶縁膜 4 を挟んで活性領域 2 1 a 上から活性領域 2 1 c 上に亘って形成されている。

【0029】

P 型 MISTランジスタ MP 1、MP 2、MP 3、MP 4 のそれぞれは、図 2（a）に示すように、ゲート絶縁膜 4 およびゲート電極の他、P 型エクステンション領域 6 a、P 型ソース/ドレイン領域 8 a、サイドウォールスペーサ 7、ソース/ドレイン上シリサイド層 9、およびゲート上シリサイド層 30 を有している。また、N 型 MISTランジスタ MN 1、MN 2、MN 3、MN 4 のそれぞれは、図 2（b）に示すように、ゲート絶縁膜 4 およびゲート電極の他、N 型エクステンション領域 6 b、N 型ソース/ドレイン領域 8 b、サイドウォールスペーサ 7、ソース/ドレイン上シリサイド層 9、およびゲート上シリサイド層 30 を有している。また、半導体装置は、各 MISTランジスタを埋める層間絶縁膜 10 と、層間絶縁膜 10 を貫通するコンタクトプラグ 11 と、コンタクトプラグ 1

10

20

30

40

50



1 に接続される金属配線 1 2 とを備えている。なお、図 1 に示す A 1、B 1 は N A N D ゲートの入力端子であり、Y 1 は N A N D ゲートの出力端子である。また、A 2、B 2 は N O R ゲートの入力端子であり、Y 2 は N O R ゲートの出力端子である。

【 0 0 3 0 】

本実施形態の半導体装置の特徴は、ゲート長方向に隣接する 2 つの P 型 M I S トランジスタ M P 1、M P 4 間が分離用 P 型 M I S トランジスタ D P 1 により電氣的に分離されていることと、ゲート長方向に隣接する 2 つの N 型 M I S トランジスタ M N 1、M N 4 間が素子分離領域 2 B により電氣的に分離されていることにある。さらに、分離用 P 型 M I S トランジスタ D P 2、D P 3 が P 型 M I S トランジスタ M P 2 と素子分離領域 2 との間、および P 型 M I S トランジスタ M P 3 と素子分離領域 2 との間にそれぞれ設けられている。

10

【 0 0 3 1 】

また、分離用 P 型 M I S トランジスタ D P 1 の分離用ゲート電極を含む分離用ゲート配線 5 P 1、分離用 P 型 M I S トランジスタ D P 2 の分離用ゲート電極を含む分離用ゲート配線 5 P 2、および分離用 P 型 M I S トランジスタ D P 3 の分離用ゲート電極を含む分離用ゲート配線 5 P 3 は、少なくとも活性領域 2 1 a を跨いで N 型基板コンタクト領域 2 1 d 上まで棒状に延びており、基板コンタクトを介して電源線 V D D に接続されている。このため、分離用 P 型 M I S トランジスタ D P 1、D P 2、D P 3 は半導体装置の動作期間中オフ状態に保たれている。従って、分離用 P 型 M I S トランジスタ D P 1、D P 2、D P 3 の各分離用ゲート電極、N 型基板コンタクト領域 2 1 d 及び N 型ウエル領域 3 a は電源線 V D D に接続されて同電位になる。

20

【 0 0 3 2 】

なお、本実施形態においては、分離用ゲート配線 5 P 1 は活性領域 2 1 b と活性領域 2 1 c との間に位置する素子分離領域 2 B 上にまで棒状に延びているが、このように分離用ゲート配線 5 P 1 の端部の位置をゲート配線 5 G 1、5 G 2、5 G 3、5 G 4 などと揃えることにより、ゲート配線を形成する際の形状のばらつきを抑えることができる。分離用ゲート配線 5 P 2、5 P 3 の端部の位置も分離用ゲート配線 5 P 1 と同様にゲート配線 5 G 1、5 G 2、5 G 3、5 G 4 の端部と揃えている。

【 0 0 3 3 】

また、本実施形態の半導体装置においては、P 型 M I S トランジスタ M P 1、M P 2、M P 3、M P 4 の P 型ソース/ドレイン領域 8 a は活性領域 2 1 a に設けられた凹部内に、エピタキシャル成長により埋め込み形成された S i G e 層で構成されている。これに対し、素子分離領域 2、2 B により電氣的な分離が図られた N 型 M I S トランジスタ M N 1、M N 2、M N 3、M N 4 の N 型ソース/ドレイン領域 8 b はシリコンからなる活性領域 2 1 b、2 1 c にイオン注入することで形成されている。

30

【 0 0 3 4 】

以上の構成によれば、論理セルを構成する P 型 M I S トランジスタ M P 1、M P 2、M P 3、M P 4 の P 型ソース/ドレイン領域 8 a が活性領域 2 1 a におけるゲート長方向の端部に位置する素子分離領域 2 と接することがなくなるので、P 型ソース/ドレイン領域 8 a を構成する S i G e 層の形成不良を防ぐことができる。ここで、活性領域 2 1 a におけるゲート長方向の端部に位置する素子分離領域 2 に接する分離用 P 型 M I S トランジスタ D P 2、D P 3 の P 型ソース/ドレイン領域 8 a x では P 型ソース/ドレイン領域 8 a に比べて S i G e 層の上面が凹むという形成不良は起こりえるが、素子分離領域 2 に接する分離用 P 型 M I S トランジスタ D P 2、D P 3 の P 型ソース/ドレイン領域 8 a x には電流が流れないため、リーク電流が発生することはない。従って、本実施形態の半導体装置では、S i G e 層からチャネル領域にゲート長方向の圧縮応力を印加して P 型 M I S トランジスタのチャネル移動度を向上させつつ、P 型 M I S トランジスタにおけるリーク電流の発生を抑えることが可能となる。このため、半導体装置の性能と信頼性とを併せて向上させることができる。

40

【 0 0 3 5 】

50

また、本実施形態の半導体装置の構成によれば、P型MISトランジスタ間のみが分離用P型MISトランジスタで電氣的に分離されているので、P型MISトランジスタ間とN型MISトランジスタ間の両方を分離用MISトランジスタによって電氣的に分離する場合に比べて論理セルの面積を低減することができる。P型MISトランジスタ間とN型MISトランジスタ間を共に分離用MISトランジスタで分離しようとする、分離用N型トランジスタの分離用ゲート配線と分離用P型トランジスタの分離用ゲート配線は共にU字型にせざるを得ず、論理セルのゲート長方向のサイズが大きくなり、回路面積が大幅に増大してしまう。これに対し、本実施形態の半導体装置では、活性領域21aとN型基板コンタクト領域21dとの距離、ゲート配線5G1、5G2、5G3、5G4のゲート突き出し部（活性領域からゲート幅方向に突出した部分）とN型基板コンタクト領域21dとの距離を図6に示す従来例よりも大きくする必要はあるが、SiGe層から印加される応力によってP型MISトランジスタの駆動力が向上し、ゲート幅を縮小することができる。このため、本実施形態の半導体装置によれば、従来の半導体装置と比べても論理セルの面積を低減することが可能となる。

10

#### 【0036】

なお、ここでは本発明を2入力NANDゲートと2入力NORゲートとを含む論理セルに適用した例を説明したが、これ以外の論理ゲートを含む一般的な論理セルに同様の構成を適用しても、半導体装置の性能と信頼性とを併せて向上することができる。論理セルに限らず、P型MISトランジスタとN型MISトランジスタとで構成された回路に本発明の構成を適用することもできる。

20

#### 【0037】

また、実際の半導体集積回路では、複数の論理セルが配置されるため、ゲート長方向の両端に位置する分離用P型MISトランジスタDP2、DP3は互いに隣接する論理セル間に配置されることになる。この場合、分離用P型MISトランジスタDP2、DP3のP型ソース/ドレイン領域8aの一方は素子分離領域2と接していてもよいが（図1、図2（a）参照）、分離用P型MISトランジスタDP2、DP3がそれぞれに隣接する論理セルとの間に素子分離領域2を挟まないように配置されていてもよい。

#### 【0038】

次に、本実施形態の半導体装置の製造方法を図2（a）、（b）を参照して簡単に説明する。

30

#### 【0039】

まず、公知の技術を用いて半導体基板1の所望の位置に互いに隣接するN型ウエル領域3aおよびP型ウエル領域3bを形成した後、N型ウエル領域3aおよびP型ウエル領域3bの所望の領域に素子分離領域2、2Bを形成する。これにより、素子分離領域2、2Bに取り囲まれた活性領域21a、21b、21cを形成する。次いで、公知の方法で活性領域21aおよび活性領域21b、21c上にシリコン酸化膜等からなるゲート絶縁膜4を形成した後、ゲート絶縁膜4及び素子分離領域2、2Bの上にポリシリコン等からなる各ゲート配線（5G1～5G4、5P1～5P3）を形成する。この際に、分離用P型MISトランジスタの分離用ゲート配線5P1、5P2、5P3の一端は後にN型基板コンタクト領域21dが形成される領域上にまで延ばす。次いで、各ゲート配線をマスクとしてイオン注入を行って、活性領域21aのうち各ゲート配線の両側方に位置する領域にP型エクステンション領域6aを選択的に形成する一方、活性領域21b、21cのうち各ゲート配線の両側方に位置する領域にN型エクステンション領域6bを選択的に形成する。

40

#### 【0040】

続いて、各ゲート配線の側面上にSiN等からなるサイドウォールスペーサ7を形成した後、活性領域21b、21cを含むP型ウエル領域3b上をマスクで覆った状態で、活性領域21aのうち各ゲート配線およびサイドウォールスペーサ7の外側方に位置する領域をエッチングして凹部を形成する。ここでは、凹部の深さは約50～70nmとし、サイドウォールスペーサ7の直下部分も20～30nm程度サイドエッチングする。

50

## 【0041】

次に、活性領域21aに形成された凹部内にP型のSiGe層をエピタキシャル成長させ、凹部内に埋め込まれたP型のSiGe層を有するP型ソース/ドレイン領域8aを形成する。この際にはモノシラン( $\text{SiH}_4$ )またはジクロロシラン( $\text{SiH}_2\text{Cl}_2$ ; DCS)をSiプリカーサとし、水素化ゲルマニウム( $\text{GeH}_4$ )をGeプリカーサとするCVD法などが用いられる。また、P型ソース/ドレイン領域8aに含まれるP型不純物は各SiGe層の成長時にin-situドーピングされる。

次に、活性領域21aを含むN型ウエル領域3a上をマスクで覆った状態で、活性領域21b、21cのうち各ゲート配線およびサイドウォールスペーサ7の外側方に位置する領域にN型不純物をイオン注入してN型ソース/ドレイン領域8bを形成する。なお、P型ソース/ドレイン領域8aとN型ソース/ドレイン領域8bとはどちらを先に形成してもよい。

## 【0042】

次に、公知の方法でソース/ドレイン上シリサイド層9およびゲート上シリサイド層30、層間絶縁膜10、コンタクトプラグ11、および金属配線12等を形成することで、本実施形態の半導体装置を作製できる。

## 【0043】

## (第2の実施形態)

図3は、本発明の第2の実施形態に係る半導体装置において、2入力NANDゲート(左側)と2入力NORゲート(右側)とをMISトランジスタのゲート長方向(図中の左右方向)に隣接させたレイアウト図である。また、図4(a)、(b)は、図3に示すIVa-IVa線、およびIVb-IVb線における第2の実施形態に係る半導体装置の断面図である。本実施形態の半導体装置は、N型MISトランジスタのN型ソース/ドレイン領域をSiC層で構成し、隣接する2つのN型MISトランジスタ間の電気的分離のためにゲート分離方式を採用したものである。以下の説明において、第1の実施形態と同様の箇所には同一の符号を付し、その説明を省略または簡略化する。

## 【0044】

本実施形態の半導体装置において、N型ウエル領域3aには、素子分離領域2に囲まれた活性領域31a及び活性領域31bと、活性領域31a、31bから見てゲート幅方向に素子分離領域2を挟んで配置され、基板コンタクトを介して電源線(電源端子)VDDに接続されたN型基板コンタクト領域31dが形成されている。活性領域31bは、活性領域31cから見てゲート長方向に素子分離領域2を挟んで配置されている。ここで、N型基板コンタクト領域31dは、素子分離領域2に囲まれており、活性領域31a、31bから見てP型ウエル領域3bとは反対側に配置されている。

## 【0045】

P型ウエル領域3bには、素子分離領域2に囲まれた活性領域31cと、活性領域31cから見てゲート幅方向に素子分離領域2を挟んで配置され、基板コンタクトを介して接地線(接地端子)VSSに接続されたP型基板コンタクト領域31eが形成されている。ここで、P型基板コンタクト領域31eは、素子分離領域2に囲まれており、活性領域31cから見てN型ウエル領域3aとは反対側に配置されている。従って、活性領域31a、31b及び活性領域31cは、N型基板コンタクト領域31dとP型基板コンタクト領域31eとに挟まれた位置に形成されている。

## 【0046】

活性領域31a、31bと活性領域31cとは、N型ウエル領域3aとP型ウエル領域3bとの境界を挟んで配置されており、素子分離領域2によって電気的に分離している。図3及び図4(a)、(b)では、素子分離領域2のうち、P型MISトランジスタMP1とP型MISトランジスタMP4の間に設けられた部分を特に素子分離領域2Aとして示している。

## 【0047】

本実施形態の半導体装置においては、図3及び図4(a)、(b)に示すように、ゲ-

10

20

30

40

50

ト長方向において互いに隣接するP型MISトランジスタMP1とP型MISトランジスタMP4との間は素子分離領域2Aにより電氣的に分離され、ゲート長方向において互いに隣接するN型MISトランジスタMN1とN型MISトランジスタMN4との間は分離用N型MISトランジスタDN1により電氣的に分離されている。さらに、分離用N型MISトランジスタDN2、DN3がN型MISトランジスタMN2と素子分離領域2との間、およびN型MISトランジスタMN3と素子分離領域2との間にそれぞれ設けられている。

#### 【0048】

また、分離用N型MISトランジスタDN1の分離用ゲート電極を含む分離用ゲート配線5N1、分離用N型MISトランジスタDN2の分離用ゲート電極を含む分離用ゲート配線5N2、および分離用N型MISトランジスタDN3の分離用ゲート電極を含む分離用ゲート配線5N3は、少なくとも活性領域31cを跨いでP型基板コンタクト領域31e上まで棒状に延びており、基板コンタクトを介して接地線VSSに接続されている。このため、分離用N型MISトランジスタDN1、DN2、DN3は半導体装置の動作期間中オフ状態に保たれている。従って、分離用N型MISトランジスタDN1、DN2、DN3の各分離用ゲート電極、P型基板コンタクト領域31e及びP型ウエル領域3bは接地線VSSに接続されて同電位になる。

10

#### 【0049】

なお、本実施形態においては、分離用ゲート配線5N1は活性領域31aと活性領域31bとの間に位置する素子分離領域2A上にまで棒状に延びているが、このように分離用ゲート配線5N1の端部の位置をゲート配線5G1、5G2、5G3、5G4などと揃えることにより、ゲート配線を形成する際の形状のばらつきを抑えることができる。

20

#### 【0050】

また、本実施形態の半導体装置においては、N型MISトランジスタMN1、MN2、MN3、MN4のN型ソース/ドレイン領域18bは活性領域31cに設けられた凹部内に、エピタキシャル成長により埋め込み形成されたSiC層で構成されている。これに対し、素子分離領域2、2Aにより電氣的な分離が図られたP型MISトランジスタのP型ソース/ドレイン領域18aはシリコンからなる活性領域31a、31bにイオン注入することで形成されている。

30

#### 【0051】

以上の構成によれば、論理セルを構成するN型MISトランジスタMN1、MN2、MN3、MN4のN型ソース/ドレイン領域18bがゲート長方向において素子分離領域2と接することがなくなるので、N型MISトランジスタMN1、MN2、MN3、MN4のN型ソース/ドレイン領域18bを構成するSiC層の形成不良を防ぐことができる。ここで、活性領域21bにおけるゲート長方向の端部に位置する素子分離領域2に接する分離用N型MISトランジスタDN2、DN3のN型ソース/ドレイン領域18bxではN型ソース/ドレイン領域18bxに比べてSiC層の上面が凹むという形成不良は起こりえるが、素子分離領域2に接する分離用N型MISトランジスタDN2、DN3のN型ソース/ドレイン領域18bxには電流が流れないため、リーク電流が発生することはない。従って、本実施形態の半導体装置では、SiC層からチャネル領域にゲート長方向の引張り応力を印加してN型MISトランジスタのチャネル移動度を向上させつつ、N型MISトランジスタにおけるリーク電流の発生を抑えることが可能となる。このため、本実施形態の構成によれば、半導体装置の性能と信頼性とを併せて向上させることができる。

40

#### 【0052】

また、本実施形態の半導体装置の構成によれば、N型MISトランジスタ間のみが分離用N型MISトランジスタで電氣的に分離されているので、P型MISトランジスタ間とN型MISトランジスタ間の両方を分離用MISトランジスタによって電氣的に分離する場合に比べて論理セルの面積を低減することができる。

#### 【0053】

なお、ここでは本発明を2入力NANDゲートと2入力NORゲートとを含む論理セル

50

に適用した例を説明したが、これ以外の論理ゲートを含む一般的な論理セルに同様の構成を適用しても、半導体装置の性能と信頼性とを併せて向上することができる。

【0054】

また、本実施形態の半導体装置において、分離用N型MISTランジスタDN2、DN3のN型ソース/ドレイン領域18bの一方は素子分離領域2と接していてもよいが(図3、図4(b)参照)、分離用N型MISTランジスタDN2、DN3がそれぞれに隣接する論理セルとの間に素子分離領域2を挟まないように配置されていてもよい。

【産業上の利用可能性】

【0055】

本発明の半導体装置は、例えば論理セルを構成するMISTランジスタの性能向上に寄与し、種々のLSIに利用される。

【図面の簡単な説明】

【0056】

【図1】本発明の第1の実施形態に係る半導体装置において、2入力NANDゲート(左側)と2入力NORゲート(右側)とをMISTランジスタのゲート長方向(図中の左右方向)に隣接させた論理セルを示すレイアウト図である。

【図2】(a)、(b)は、図1に示すIIa-IIa線、およびIIb-IIb線における第1の実施形態に係る半導体装置の断面図である。

【図3】本発明の第2の実施形態に係る半導体装置において、2入力NANDゲート(左側)と2入力NORゲート(右側)とをMISTランジスタのゲート長方向(図中の左右方向)に隣接させた論理セルを示すレイアウト図である。

【図4】(a)、(b)は、図3に示すIVa-IVa線、およびIVb-IVb線における第2の実施形態に係る半導体装置の断面図である。

【図5】(a)、(b)は、2入力NANDゲートおよび2入力NORゲートの回路構成例を示す図である。

【図6】従来の半導体装置において、2入力NANDゲート(左側)と2入力NORゲート(右側)とをMISTランジスタのゲート長方向(図中の左右方向)に隣接させた論理セルを示すレイアウト図である。

【図7】(a)、(b)は、図6に示すVIIa-VIIa線、およびVIIb-VIIb線における従来の半導体装置の断面図である。

【符号の説明】

【0057】

- 1 半導体基板
- 2、2A、2B 素子分離領域
- 3a N型ウエル領域
- 3b P型ウエル領域
- 4 ゲート絶縁膜
- 6a P型エクステンション領域
- 6b N型エクステンション領域
- 7 サイドウォールスペーサ
- 8a、18a P型ソース/ドレイン領域
- 8ax P型ソース/ドレイン領域
- 8b、18b N型ソース/ドレイン領域
- 18bx N型ソース/ドレイン領域
- 9 ソース/ドレイン上シリサイド層
- 10 層間絶縁膜
- 11 コンタクトプラグ
- 12 金属配線
- 21a、31a、31b 活性領域
- 21b、21c、31c 活性領域

10

20

30

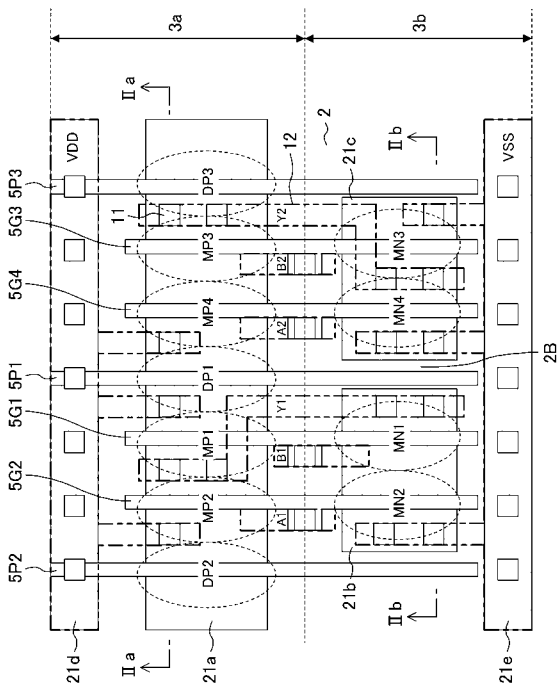
40

50

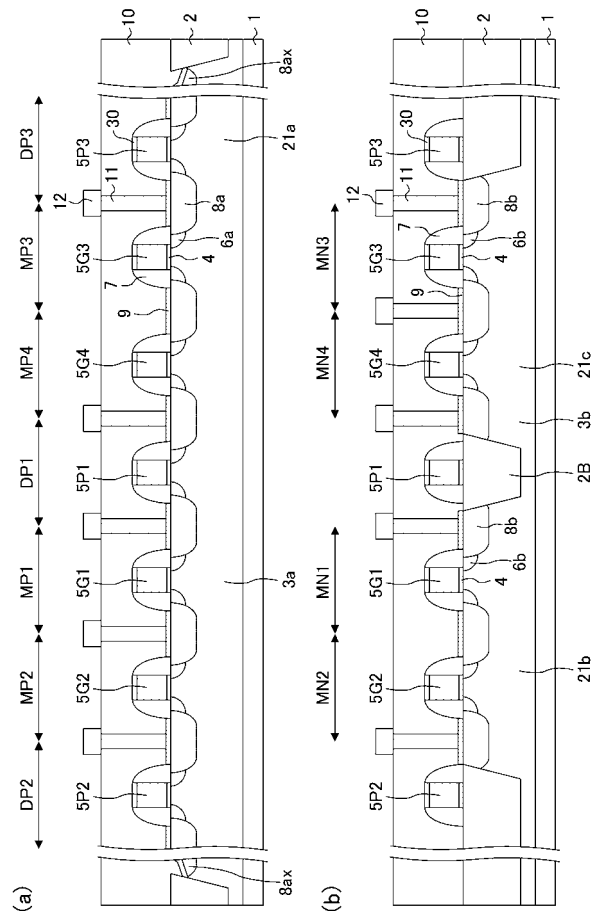
|                         |                 |
|-------------------------|-----------------|
| 2 1 d、3 1 d             | N 型基板コンタクト領域    |
| 2 1 e、3 1 e             | P 型基板コンタクト領域    |
| 3 0                     | ゲート上シリサイド層      |
| 5 G 1、5 G 2、5 G 3、5 G 4 | ゲート配線           |
| 5 N 1、5 N 2、5 N 3       | 分離用ゲート配線        |
| 5 P 1、5 P 2、5 P 3       | 分離用ゲート配線        |
| D N 1、D N 2、D N 3       | 分離用M I S トランジスタ |
| D P 1、D P 2、D P 3       | 分離用M I S トランジスタ |
| M N 1、M N 2、M N 3、M N 4 | N 型M I S トランジスタ |
| M P 1、M P 2、M P 3、M P 4 | P 型M I S トランジスタ |

10

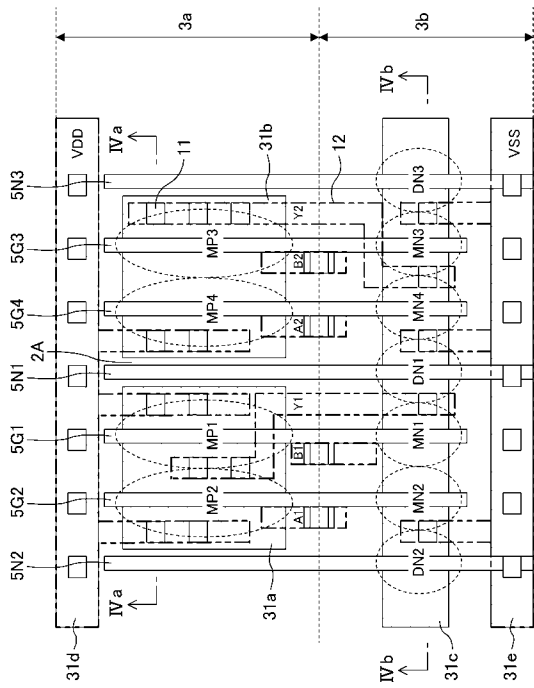
【 図 1 】



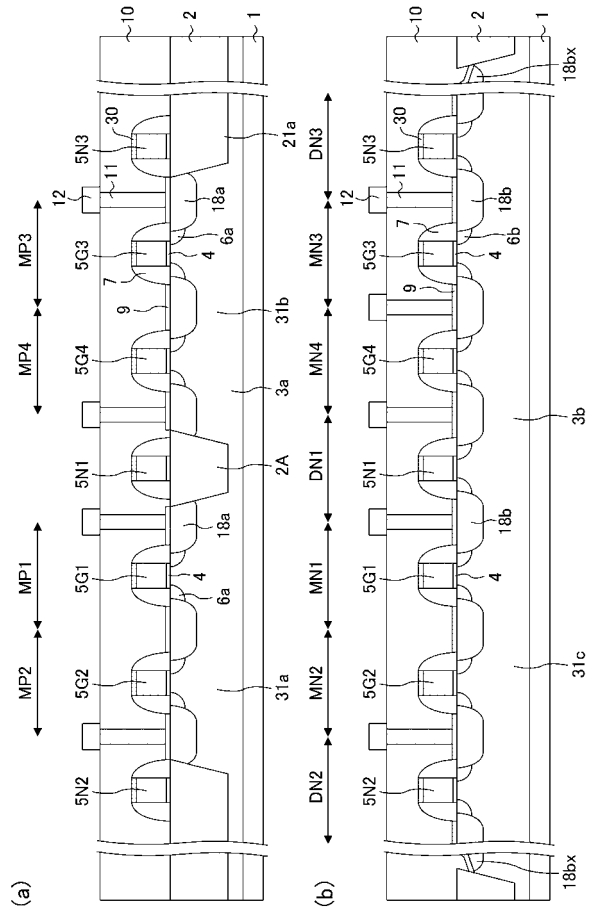
【 図 2 】



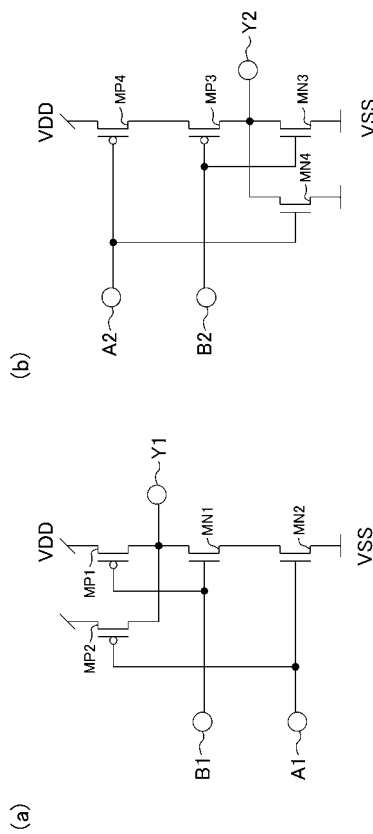
【図 3】



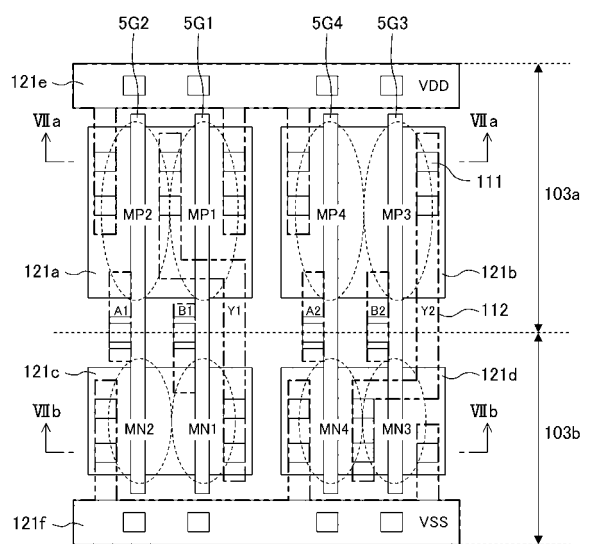
【図 4】



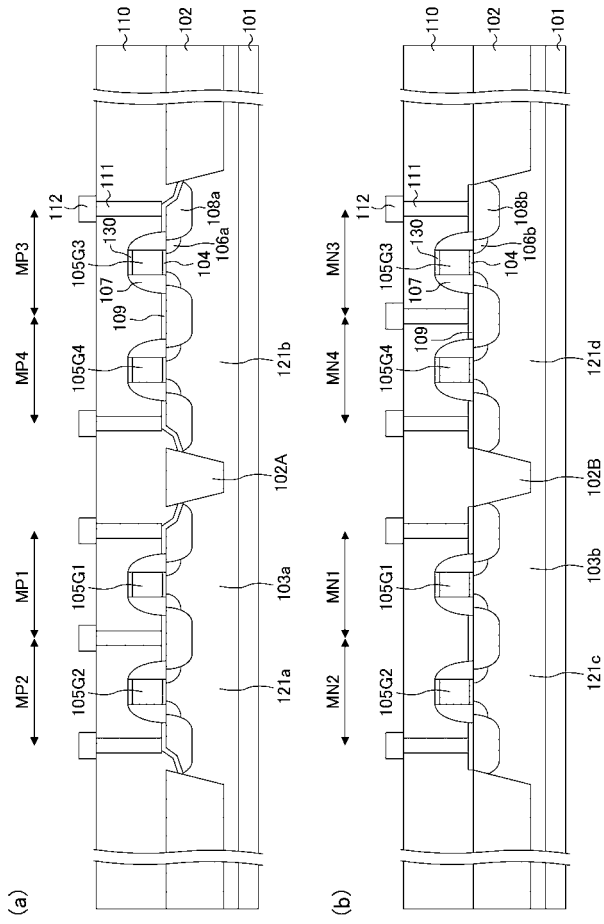
【図 5】



【図 6】



【図 7】





## フロントページの続き

| (51)Int.Cl.                     | F I           | テーマコード(参考) |
|---------------------------------|---------------|------------|
| <b>H 0 1 L 21/822 (2006.01)</b> | H 0 1 L 21/76 | Z          |
| <b>H 0 1 L 27/04 (2006.01)</b>  | H 0 1 L 27/08 | 3 2 1 D    |
| <b>H 0 1 L 21/82 (2006.01)</b>  | H 0 1 L 27/04 | A          |
|                                 | H 0 1 L 21/82 | D          |

(74)代理人 100117581  
弁理士 二宮 克也

(74)代理人 100117710  
弁理士 原田 智雄

(74)代理人 100121728  
弁理士 井関 勝守

(74)代理人 100124671  
弁理士 関 啓

(74)代理人 100131060  
弁理士 杉浦 靖也

(72)発明者 山下 恭司  
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 5F032 AA34 AC04 CA03 CA17 CA20  
5F038 CA02 CA05 CA18 CD02 CD04 DF01 EZ14 EZ20  
5F048 AA04 AA07 AA08 AB03 AC01 AC03 BA01 BB01 BB05 BB08  
BC01 BC06 BC15 BC18 BD01 BE03 BE09 BF06 BF16 BF18  
BG13 DA27  
5F064 BB05 BB06 CC12 DD18 DD26 EE05 EE06 EE52 GG05  
5F140 AA05 AA24 AB03 AC28 BA01 BF04 BF11 BF18 BF53 BG08  
BG14 BH02 BH07 BH14 BH27 BH43 BJ01 BJ08 BJ27 BK02  
BK09 BK13 BK18 BK23 CA03 CB04 CB06 CB08 CB10 CC03  
CE10