(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118302681 A
(43)申请公布日 2024.07.05

(21)申请号 202280077738.0
(22)申请日 2022.12.19
(30)优先权数据
17/566,607 2021.12.30 US
(85)PCT国际申请进入国家阶段日
2024.05.23
(86)PCT国际申请的申请数据
PCT/US2022/053337 2022.12.19
(87)PCT国际申请的公布数据
WO2023/129411 EN 2023.07.06
(71)申请人 德州仪器公司
地址 美国德克萨斯州
(72)发明人 E·通杰尔
(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
专利代理师 林斯凯
(51)Int.Cl.
G01R 31/28(2006.01)
G01R 19/165(2006.01)
H01L 21/48(2006.01)
H01L 21/52(2006.01)
H01L 21/56(2006.01)
H01L 23/00(2006.01)

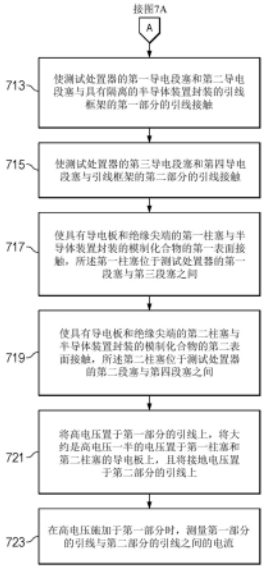
权利要求书4页 说明书13页 附图21页

(54)发明名称

用于制造具有隔离的半导体装置封装的方法

(57)摘要

一种方法包含:将半导体装置封装放置于测试处置器中,所述半导体装置封装具有从模制化合物延伸的封装衬底的第一部分的引线和从所述模制化合物延伸的与所述第一部分隔离的第二部分的引线;使所述第一部分与第一导电段塞和第二导电段塞接触(713);使所述第二部分与第三导电段塞和第四导电段塞接触(715);使所述模制化合物的第一表面与具有导电板和绝缘尖端的第一柱塞接触(717);使所述模制化合物的相对的第二表面与具有导电板和绝缘尖端的第二柱塞接触(719);以及将高电压置于所述第一导电段塞上(721),同时将大约一半的所述高电压置于所述第一柱塞的所述导电板上(721),且将接地电压置于所述第三导电段塞上(721)。



CN 118302681 A

1.一种用于测试半导体装置封装中的隔离的方法,其包括:

将半导体装置封装放置在测试处置器中,所述半导体装置封装具有从形成所述半导体装置封装的封装主体的模制化合物延伸的封装衬底的第一部分的第一引线,且具有从所述模制化合物延伸的所述封装衬底的第二部分的第二引线,所述第一部分与所述第二部分电隔离;

使所述第一部分的所述第一引线与所述测试处置器的第一导电段塞和第二导电段塞接触;

使所述第二部分的所述第二引线与所述测试处置器的第三导电段塞和第四导电段塞接触,所述第三导电段塞和所述第四导电段塞与所述第一导电段塞和所述第二导电段塞间隔开;

使所述模制化合物的第一表面与具有导电板和绝缘尖端的第一柱塞接触,所述绝缘尖端与所述模制化合物的所述第一表面接触;

使与所述模制化合物的所述第一表面相对的所述模制化合物的第二表面与第二柱塞接触,所述第二柱塞具有导电板和绝缘尖端,所述绝缘尖端与所述模制化合物的所述第二表面接触;以及

将高电压置于所述第一导电段塞和所述第二导电段塞上,同时将大约一半的所述高电压置于所述第一柱塞的所述导电板上和所述第二柱塞的所述导电板上,且同时将接地电压置于所述第三导电段塞和所述第四导电段塞上。

2.根据权利要求1所述的方法,其中将大约一半的所述高电压置于所述第一柱塞的所述导电板上进一步包括:

将具有第一电容的第一电容器耦合在所述测试处置器的所述第一导电段塞与所述第一柱塞的所述导电板之间;以及

将具有所述第一电容的第二电容器耦合在所述第一柱塞的所述导电板与所述测试处置器的所述第三导电段塞之间。

3.根据权利要求1所述的方法,且进一步包括:

在所述高电压耦合到所述第一导电段塞的同时,测量所述第一导电段塞与所述第三导电段塞之间的电流。

4.根据权利要求3所述的方法,其中响应于确定所述电流大于预定阈值,将所述半导体装置封装指示为未通过高电压隔离测试。

5.根据权利要求3所述的方法,其中响应于确定所述电流小于预定阈值,指示所述半导体装置封装通过高电压隔离测试。

6.一种用于形成半导体装置的方法,其包括:

在半导体晶片上形成半导体裸片;

形成封装衬底,所述封装衬底包括第一部分和与所述第一部分间隔开且电隔离的第二部分,所述封装衬底包括导电引线框架,所述第一部分具有装置侧表面和相对表面;

将具有第一表面和与所述第一表面相对的第二表面的间隔电介质的所述第一表面安装到所述封装衬底的所述第一部分的所述装置侧表面,所述间隔电介质部分地由所述第一部分覆盖且延伸超出所述第一部分;

将所述半导体裸片中的一者安装到所述间隔电介质的所述第二表面,所述半导体裸片

中的所述一者部分地由所述间隔电介质覆盖且具有形成于所述半导体裸片的表面上的延伸超出所述间隔电介质的接合焊盘;

通过进行从所述半导体裸片的所述接合焊盘到由所述引线框架的所述第二部分形成的引线的电连接而将所述接合焊盘耦合到所述引线;

将所述半导体裸片、所述电连接、所述间隔电介质覆盖于模制化合物中且将所述引线框架的所述第一部分部分地覆盖于模制化合物中且将所述引线框架的所述第二部分部分地覆盖于模制化合物中;

通过对所述第一部分的从所述模制化合物延伸的第一引线进行塑形且通过对所述第二部分的从所述模制化合物延伸的第二引线进行塑形而形成半导体装置封装;

使测试处置器的第一导电段塞和第二导电段塞与所述第一部分的所述第一引线接触;

使所述测试处置器的第三导电段塞和第四导电段塞与所述第二部分的所述第二引线接触;

使具有导电板和绝缘尖端的第一柱塞与所述半导体装置封装的所述模制化合物的第一表面接触,所述第一柱塞位于所述测试处置器的所述第一段塞与所述第三段塞之间;

使具有导电板和绝缘尖端的第二柱塞在与所述模制化合物的所述第一表面相对的一侧上与所述半导体装置封装的所述模制化合物的第二表面接触,所述第二柱塞与所述第一柱塞相对放置且处于所述测试处置器的所述第二段塞与所述第四段塞之间;以及

将高电压置于所述第一部分的所述第一引线上,将大约是所述高电压一半的电压置于所述第一柱塞的所述导电板上和所述第二柱塞的所述导电板上,且将接地电压置于所述第二部分的所述第二引线上。

7.根据权利要求6所述的方法,且进一步包括:

测量所述封装衬底的所述第一部分与所述第二部分之间的电流。

8.根据权利要求7所述的方法,其中响应于确定所述电流大于预定阈值,指示所述半导体装置未通过高电压隔离测试;且

其中响应于确定所述电流小于所述预定阈值,指示所述半导体装置封装通过高电压隔离测试。

9.根据权利要求6所述的方法,其中将所述第一柱塞置于大约是所述高电压一半的所述电压下进一步包括:

将具有第一电容的第一电容器串联耦合在所述测试处置器的所述第一导电段塞与所述第一柱塞的所述导电板之间,以及

将具有所述第一电容的第二电容器串联耦合在所述第一柱塞的所述导电板与所述测试处置器的所述第三导电段塞之间。

10.根据权利要求9所述的方法,且进一步包括:

将具有所述第一电容的第三电容器串联耦合在所述测试处置器的所述第二导电段塞与所述第二柱塞的所述导电板之间,以及

将具有所述第一电容的第四电容器串联耦合在所述第二柱塞的所述导电板与所述测试处置器的所述第三导电段塞之间。

11.根据权利要求6所述的方法,其中所述高电压大于300伏。

12.根据权利要求6所述的方法,其中所述高电压大于1千伏。

13.根据权利要求6所述的方法,其中使具有导电板和绝缘尖端的第一柱塞与所述模制化合物的第一表面接触进一步包括使包括具有铜、铝、钢、不锈钢或其合金的导电板且具有包括聚醚酰亚胺、聚酰亚胺、硅酮橡胶、塑料或这些材料中的一者的泡沫的绝缘尖端的第一柱塞与所述模制化合物的所述第一表面接触。

14.根据权利要求13所述的方法,其中使具有导电板和绝缘尖端的第一柱塞与所述模制化合物的第一表面接触进一步包括使具有若干导电板和并联连接的绝缘尖端的第一柱塞的多于一个绝缘尖端与所述模制化合物的所述第一表面接触。

15.根据权利要求13所述的方法,其中使具有若干导电板和并联的绝缘尖端的第一柱塞与所述模制化合物的所述第一表面接触进一步包括使具有若干导电板和并联的绝缘尖端且具有与所述绝缘尖端并联的导电尖端的第一柱塞与所述模制化合物的所述第一表面接触。

16.根据权利要求6所述的方法,其中形成半导体裸片进一步包括形成包含霍尔元件的半导体裸片。

17.根据权利要求16所述的方法,其中形成包含霍尔元件的半导体裸片进一步包括形成包含电路系统的半导体裸片,所述电路系统经配置以使用所述霍尔元件感测电流。

18.根据权利要求6所述的方法,其中将所述半导体裸片安装到所述间隔电介质进一步包括将所述半导体裸片与所述引线框架的所述第一部分电隔离,同时定位所述半导体裸片以暴露于磁场,所述磁场对应于在所述引线框架的所述第一部分中流动的电流。

19.一种用于对半导体装置封装执行高电压隔离测试的测试处置器,其包括:

第一导电段塞和第二导电段塞,其经配置以接触所述半导体装置封装的封装衬底的第一部分的第一引线,所述第一导电段塞和所述第二导电段塞经配置以耦合到高电压;

第三导电段塞和第四导电段塞,其经配置以接触所述半导体装置封装的所述封装衬底的第二部分的第二引线,所述第三导电段塞和所述第四导电段塞经配置以耦合到接地电压;

第一柱塞,其经配置以接触形成所述半导体装置封装的主体的模制化合物的第一表面,所述第一柱塞包含导电板和经布置以接触所述模制化合物的所述第一表面的绝缘尖端,所述导电板经配置以耦合到大约是所述高电压的二分之一的电压;以及

第二柱塞,其经配置以接触与所述模制化合物的所述第一表面相对的所述模制化合物的第二表面,所述第二柱塞包含导电板和经布置以接触所述模制化合物的所述第二表面的绝缘尖端,所述导电板经配置以耦合到大约是所述高电压的二分之一的所述电压。

20.根据权利要求19所述的测试处置器,且进一步包括:

第一电容器,其串联耦合在所述第一导电段塞与所述第一柱塞的所述导电板之间;

第二电容器,其串联耦合在所述第一柱塞的所述导电板与所述测试处置器的所述

第三导电段塞之间;

第三电容器,其串联耦合在所述测试处置器的所述第二导电段塞与所述第二柱塞的所述导电板之间;以及

第四电容器,其串联耦合在所述第二柱塞的所述导电板与所述测试处置器的所述第四导电段塞之间;

其中所述第一电容器、所述第二电容器、所述第三电容器和所述第四电容器具有相同

电容。

用于制造具有隔离的半导体装置封装的方法

技术领域

[0001] 本发明大体上涉及制造半导体装置,且更具体地,涉及制造具有用于半导体裸片的集成隔离(包含对完成的半导体装置封装的测试)的半导体装置封装。

背景技术

[0002] 对于在半导体装置封装中具有内部隔离的集成装置,半导体裸片通过隔离屏障与高电压信号分离。举例来说,具有配置为电流传感器的一体式霍尔(Hall)元件的半导体裸片可通过电介质材料安装到封装衬底,例如引线框架。具有数百伏、一千伏或若干千伏的最大电压的高电压输入信号可耦合到引线框架。半导体裸片内的霍尔电流传感器将输出响应于由在引线框架的部分中流动的电流引起的磁场而变化的信号,而半导体裸片保持与高电压电隔离。封装衬底可包含也与高电压隔离的额外引线。额外引线可耦合到半导体裸片以提供用于半导体裸片的电力、控制和输出信号。需要电隔离的其它类型的半导体装置可安装在半导体装置封装中。举例来说,一对半导体裸片可形成具有电感器的变压器,所述电感器具有由隔离电介质层间隔开的线圈,此布置实现电力在不同电压下在组件之间无直接连接的情况下跨隔离组件的传输。

[0003] 在制造具有隔离的半导体装置封装时,执行测试以验证所述隔离对于应用足够稳健。可将完成的半导体装置封装放置于支持高电压的测试处置器中。测试处置器的一部分将高电压供应到经布置以接收高电压的封装引线。测试处置器的另一部分耦合到封装的与高电压隔离的引线,且进行测量以确定高电压是否与经隔离引线隔离。所述测量包含将高电压施加到封装装置且确定隔离是否有效。

[0004] 输入到半导体装置封装的高电压可产生高电场。例如裸片附接料和模制化合物等电介质材料可能在高电场中失效,从而造成缺陷、电弧放电和短路。测试处置器中的电弧和短路可产生不正确的测试结果,从而在归因于空气中的电场电弧的电流通过被测试装置周围且电弧电流呈现为测试处置器中的电流时指示隔离故障。为了提供能够耦合到千伏范围内的高电压的稳健半导体装置封装,所述半导体装置封装需要经设计以与输入处的高电压相容且能够耐受所得电场而不会损坏半导体装置封装或半导体裸片。在高电压隔离测试期间,需要管理在施加高电压时在测试处置器中产生的电场以防止测试器中的过量场集中的测试结果不正确或防止电弧电流对原本良好的半导体装置和封装造成损坏。

发明内容

[0005] 在所描述实例中,一种用于测试半导体装置封装中的隔离的方法包含:将半导体装置封装放置在测试处置器中,所述半导体装置封装具有从形成所述半导体装置封装的封装主体的模制化合物延伸的封装衬底的第一部分的第一引线,且具有从所述模制化合物延伸的所述封装衬底的第二部分的第二引线,所述第一部分与所述第二部分电隔离;使所述第一部分的所述第一引线与所述测试处置器的第一导电段塞和第二导电段塞接触;使所述第二部分的所述第二引线与所述测试处置器的第三导电段塞和第四导电段塞接触,所述第

三导电段塞和所述第四导电段塞与所述第一导电段塞和所述第二导电段塞间隔开;使所述模制化合物的第一表面与具有导电板和绝缘尖端的第一柱塞接触,所述绝缘尖端与所述模制化合物的所述第一表面接触;使与所述模制化合物的所述第一表面相对的所述模制化合物的第二表面与第二柱塞接触,所述第二柱塞具有导电板和绝缘尖端,所述绝缘尖端与所述模制化合物的所述第二表面接触;以及将高电压置于所述第一导电段塞和所述第二导电段塞上,同时将大约一半的所述高电压置于所述第一柱塞的所述导电板上和所述第二柱塞的所述导电板上,且同时将接地电压置于所述第三导电段塞和所述第四导电段塞上。

[0006] 在另一所描述实例中,另一种方法包含:在半导体晶片上形成半导体裸片;形成封装衬底,所述封装衬底包括第一部分和与所述第一部分间隔开且电隔离的第二部分,所述封装衬底包括导电引线框架,所述第一部分具有装置侧表面和相对表面;将具有第一表面和与所述第一表面相对的第二表面的间隔电介质的所述第一表面安装到所述封装衬底的所述第一部分的所述装置侧表面,所述间隔电介质部分地由所述第一部分覆盖且延伸超出所述第一部分;将所述半导体裸片中的一者安装到所述间隔电介质的所述第二表面,所述半导体裸片中的所述一者部分地由所述间隔电介质覆盖且具有形成于所述半导体裸片的表面上的延伸超出所述间隔电介质的接合焊盘;通过进行从所述半导体裸片的所述接合焊盘到由所述引线框架的所述第二部分形成的引线的电连接而将所述接合焊盘耦合到所述引线;将所述半导体裸片、所述电连接、所述间隔电介质覆盖于模制化合物中且将所述引线框架的所述第一部分部分地覆盖于模制化合物中且将所述引线框架的所述第二部分部分地覆盖于模制化合物中;通过对所述第一部分的从所述模制化合物延伸的第一引线进行塑形且通过对所述第二部分的从所述模制化合物延伸的第二引线进行塑形而形成半导体装置封装;使测试处置器的第一导电段塞和第二导电段塞与所述第一部分的所述第一引线接触;使所述测试处置器的第三导电段塞和第四导电段塞与所述第二部分的所述第二引线接触;使具有导电板和绝缘尖端的第一柱塞与所述半导体装置封装的所述模制化合物的第一表面接触,所述第一柱塞位于所述测试处置器的所述第一段塞与所述第三段塞之间;使具有导电板和绝缘尖端的第二柱塞在与所述模制化合物的所述第一表面相对的一侧上与所述半导体装置封装的所述模制化合物的第二表面接触,所述第二柱塞与所述第一柱塞相对放置且处于所述测试处置器的所述第二段塞与所述第四段塞之间;以及将高电压置于所述第一部分的所述第一引线上,将大约是所述高电压一半的电压置于所述第一柱塞的所述导电板上和所述第二柱塞的所述导电板上,且将接地电压置于所述第二部分的所述第二引线上。

[0007] 在另一所描述实例中,一种用于对半导体装置封装执行高电压隔离测试的测试处置器包含:第一导电段塞和第二导电段塞,其经配置以接触所述半导体装置封装的封装衬底的第一部分的第一引线,所述第一导电段塞和所述第二导电段塞经配置以耦合到高电压;第三导电段塞和第四导电段塞,其经配置以接触所述半导体装置封装的所述封装衬底的第二部分的第二引线,所述第三导电段塞和所述第四导电段塞经配置以耦合到接地电压;第一柱塞,其经配置以接触形成所述半导体装置封装的主体的模制化合物的第一表面,所述第一柱塞包含导电板和经布置以接触所述模制化合物的所述第一表面的绝缘尖端,所述导电板经配置以耦合到大约是所述高电压的二分之一的电压;以及第二柱塞,其经配置以接触与所述模制化合物的所述第一表面相对的所述模制化合物的第二表面,所述第二柱

塞包含导电板和经布置以接触所述模制化合物的所述第二表面的绝缘尖端,所述导电板经配置以耦合到大约是所述高电压的二分之一的所述电压。

附图说明

[0008] 图1说明用在布置中的具有隔离的霍尔电流感测装置的电路框图。

[0009] 图2A-2C以投影视图、部分投影视图和平面视图说明包含用于霍尔电流传感器的半导体装置封装中的半导体裸片的半导体装置封装;图2D是半导体装置封装的横截面。

[0010] 图3A-3B以投影视图和放大视图说明具有呈行和列的半导体裸片的半导体晶片,以及用于与所述布置一起使用的个别半导体裸片。

[0011] 图4A-4F以一系列横截面图说明形成可在布置中使用的半导体装置封装的选定步骤,图4G以投影视图说明由图4A-4F的步骤形成的完成的半导体装置封装。

[0012] 图5A-5C以投影视图说明用于对具有隔离的半导体装置封装执行高电压隔离测试的测试处置器的布置;图5D说明用于将电压施加到布置的电路图,且图5E以横截面图说明布置的额外细节。

[0013] 图6A说明曲线图,且图6B在曲线图上的点处取得的值的对应表中说明模拟的应力体积结果,所述模拟说明在不使用布置的情况下执行的高电压测试,且比较针对使用不同布置执行的测试所获得的应力体积的结果。

[0014] 图7A-7B以流程图说明用于方法布置的步骤。

具体实施方式

[0015] 除非另有指示,否则不同图中的对应标号和符号通常指代对应部分。图未必按比例绘制。

[0016] 元件在本文中描述为“耦合”。如本文所使用,术语“耦合”包含直接连接的元件,以及甚至通过耦合的中间元件或线材电连接的元件。

[0017] 本文中使用术语“半导体裸片”。如本文所使用,半导体裸片可为分立式半导体装置,例如双极晶体管、例如在单个半导体裸片上制造在一起的一对功率FET开关的几个分立式装置,或半导体裸片可为具有多个半导体装置(例如,在A/D转换器中的多个电容器)的集成电路。半导体裸片可包含例如电阻器、电感器、滤波器等无源装置,或可包含例如晶体管等有源装置。半导体裸片可为具有经耦合以形成例如微处理器或存储器装置的功能电路的数百或数千个晶体管的集成电路。可用于所述布置的电力应用的半导体裸片包含分立式功率晶体管、操作功率晶体管的栅极驱动器、实施电力电路系统所需的例如电容器、电感器和电阻器等无源元件,以及包含例如添加系统的可靠性和控制的涌入电流传感器等保护性传感器的智能功率装置。在一些应用中,这些装置可由不同半导体材料制造,且可以是安装在单个装置封装中的单独半导体裸片。在示例布置中,半导体裸片包含配置为电流传感器的霍尔元件。

[0018] 本文中使用术语“半导体装置封装”。半导体装置封装具有以电子方式耦合到端子的至少一个半导体裸片,且具有保护且覆盖半导体裸片的封装主体。在一些布置中,多个半导体裸片可封装在一起。举例来说,功率金属氧化物半导体(MOS)场效应晶体管(FET)半导体裸片和第二半导体裸片(例如,栅极驱动器裸片或控制器装置裸片)可封装在一起以形成

单个封装电子装置。例如无源器件的额外组件可包含在封装电子装置中。半导体裸片安装到提供导电引线的封装衬底,所述导电引线的一部分形成用于所述封装电子装置的端子。半导体裸片可安装到封装衬底,其中有源装置表面面向封装衬底且背侧表面背对封装衬底。半导体装置封装可具有由热固性环氧树脂在模制工艺中形成的封装主体,或通过使用环氧树脂、塑料或在室温下为液体且随后固化的树脂而形成的封装主体。封装主体可为封装电子装置提供密闭封装。可使用包封过程在模具中形成封装主体,然而,在包封期间不覆盖衬底的引线的一部分,这些暴露的引线部分提供用于半导体装置封装的暴露的端子。

[0019] 本文中使用术语“封装衬底”。封装衬底是经布置以接收半导体裸片且将半导体裸片支撑在完成的半导体装置封装中的衬底。封装衬底包含导电引线框架,所述导电引线框架可由铜、铝、不锈钢、钢和合金(例如,合金42)形成。引线框架可包含用于安装半导体裸片的裸片焊盘,以及与裸片焊盘间隔开布置以用于使用引线接合件、带状接合件或其它导体耦合到半导体裸片上的接合焊盘的电连接的导电引线。引线框架可以条带或阵列提供。裸片可放置在条带或阵列上,裸片可放置在每个封装装置的裸片焊盘上,且裸片附接料或裸片粘附剂可用于将裸片安装到引线框架裸片焊盘。引线接合件可将半导体裸片上的接合焊盘耦合到引线框架的引线。在引线接合件就位之后,衬底的一部分、裸片和裸片焊盘的至少一部分可用例如模制化合物的保护材料覆盖。接着可通过切穿安装的半导体裸片之间的模制化合物和封装衬底来使完成的装置彼此移开。

[0020] 引线框架可包含电镀的、冲压的和部分蚀刻的引线框架。在部分蚀刻的引线框架中,通过从金属引线框架的一侧蚀刻图案且接着从另一侧蚀刻图案以形成全厚度和部分厚度部分,可由材料薄片形成两层金属,且在一些区域中,可蚀刻所有金属以形成穿过部分蚀刻引线框架的开口。重复电镀和图案化可形成由电介质间隔开的多层导体,且导电通孔通过电介质连接导体层,所述电介质可以是模制化合物。封装衬底也可以是承载导体的基于带和基于膜的衬底;陶瓷衬底、具有多层导体和绝缘体层的层压衬底;以及陶瓷、玻璃纤维或树脂的印刷电路板衬底,或玻璃增强的环氧树脂衬底,例如阻燃4(FR4)。

[0021] 引线封装可与其中引线延伸远离封装主体且经塑形以形成用于焊接到板的部分的布置一起使用。双列直插式封装或“DIP”可与所述布置一起使用。布置有用于表面安装的满足特定尺寸规格的引线的薄DIP封装可被称为小型集成电路或“SOIC”封装。

[0022] 本文中使用术语“间隔电介质”。间隔电介质在绝缘层中,其提供安装到其上的装置之间的电隔离。用于布置中的间隔电介质包含印刷电路板材料,例如阻燃4(FR4)、玻璃增强环氧树脂或纤维衬底、双马来酰亚胺三嗪树脂(BT)树脂、陶瓷、其它环氧树脂、树脂、带和膜。间隔电介质可以是分层电介质材料的层压体。

[0023] 本文中使用术语“测试处置器”。在所述布置中,测试处置器是测试器,其可接收半导体装置封装、将半导体装置封装传送到测试区域、执行高电压测试以及将半导体装置封装传送出所述测试器。所述布置配置测试处置器的元件以在高电压测试期间管理半导体装置封装周围的电场集中。

[0024] 在所述布置中,半导体装置封装包含封装衬底,所述封装衬底具有与第二部分间隔开且电隔离的第一部分。封装衬底可以是导电引线框架。导电引线框架的第一部分包含要耦合到第一节点的第一引线(或第一组引线)以及要耦合到第二节点的第二引线(或第二组引线)。第一部分包含用于在第一节点与第二节点之间载送电流的导电路径。间隔电介质

安装到引线框架的第一部分的装置侧表面,第一部分具有与装置侧表面相对的相对表面。包含电流传感器的半导体裸片安装到间隔电介质,使得半导体裸片与引线框架的第一部分电隔离。半导体裸片经布置以位于磁场内,所述磁场将因电流在引线框架的第一部分的载流部分中流动而发生。在实例中,半导体裸片包含配置为电流传感器的霍尔元件。在半导体裸片上的接合焊盘与引线框架的第二部分中的第三引线之间进行电连接。模制化合物覆盖引线框架的第一部分和第二部分的至少一部分、间隔电介质和半导体裸片;第一引线、第二引线和第三引线包含从模制化合物暴露以形成封装端子的部分。引线框架的第一部分(包含由半导体装置封装中的模制化合物外部的导电引线形成的端子)与半导体裸片电隔离且与引线框架的第二部分(包含由导电引线形成的端子)电隔离。

[0025] 在测试处置器中,将高电压(例如数百伏或千伏范围内的电压)施加到引线框架的第一部分,而引线框架的第二部分保持在参考电势。为了测试半导体装置封装的隔离,进行电流测量以验证当高电压施加到第一部分时,小于预定量的电流在引线框架的第一部分与第二部分之间流动,从而确认电隔离。

[0026] 在布置中,形成结构以缩减当高电压耦合到测试处置器中的引线框架的第一部分时(例如当高电压大于数百伏时)发生的电场中的集中。在示例测试中,通过使用导电段塞将大于300伏的高电压或更高的电压(例如1kV或高达几千伏)耦合到引线框架的第一部分。经布置以接触形成半导体装置封装的主体的模制化合物的一对柱塞被布置在半导体装置封装的任一侧上,且柱塞接触并保持半导体装置封装。在一种布置中,柱塞包含具有接触半导体装置封装的模制化合物的绝缘尖端的导电板或导电片,例如柱塞可以是具有聚合物尖端的铜板或铜片。在高电压测试期间,经布置以接触由引线框架的第一部分的引线形成的端子的任一侧的一对导电段塞被置于高电压下。柱塞的导电片被置于对应于高电压的大约一半的电压下,而另一对段塞接触由处于小于所述高电压的接地或参考电势的引线框架的第二部分的引线形成的半导体装置封装的端子。通过将柱塞的导电部分置于等于跨半导体装置封装的端子施加的高电压的一半或大约一半的电压下,测试处置器中的电场被管理,且半导体装置封装周围和内部的电场集中被分散开,从而减少或防止高场集中,且防止在执行高电压测试时由于半导体装置封装周围的空气中的电介质击穿而引起的电弧。电弧可承载电流,所述电流会导致错误测试结果且可能损坏半导体装置封装。

[0027] 图1是作为可用于布置中的一个示例半导体装置封装的半导体装置封装100的电路框图。示例半导体装置封装100是霍尔电流传感器。例如用于采用具有隔离的变压器的装置的其它电路可与所述布置一起使用。除了用于高电压信号的电流感测之外,半导体装置封装中的隔离的额外应用包含在单独的接地电势下跨电压范围的电力传输,以及例如在以不同电压电势操作的收发器装置之间的隔离信号传递中的通信。包含交流(AC)隔离、DC-DC转换器和负载保护电路系统的供电电路系统可与所述布置一起使用。所述布置提供高电压测试以验证半导体装置封装中的隔离,且可与包含电隔离的许多装置一起使用。

[0028] 在图1中,输入IN+可耦合到第一节点且可接收载送标记为“I”的电流的信号,例如IN+处的节点可耦合到高电压信号或电压源,且输出IN-可耦合到第二节点,输出IN-输出电流I。半导体装置封装100内的半导体裸片103包含霍尔元件101。提供控制和监测霍尔元件101所需的电路系统,所述电路系统包含霍尔元件偏压电路107、温度补偿和偏移消除电路113、精密放大器109和输出放大器111。

[0029] 在操作中,输出放大器111驱动对应于电流I的量值或随着电流I的变化而改变的输出VOUT。由霍尔元件101感测由于电流I而产生的磁场,且由半导体裸片103输出与磁场的量值相对应的电压VOUT。在系统中,可使用校准方案来根据输出VOUT处出现的电压确定电流I的值。展示了隔离屏障112,隔离屏障112是通过使用具有隔离部分的封装衬底将半导体裸片103安装在由电流I引起的磁场内,同时保持半导体裸片与其中供应电流I的输入IN+和输出IN-电隔离来形成。半导体裸片103可以是无法耐受在端子IN+处施加的高电压的材料或多种材料,且可由硅制成且可在较低电压(例如5伏或更低)下操作。这降低了电流传感器的成本,且允许使用常规半导体处理来形成半导体裸片103。

[0030] 图2A以投影视图说明与布置一起使用的半导体装置封装200。封装衬底231,这里是导电引线框架,被展示为具有第一部分227和第二部分229,第一部分具有若干引线,第二部分具有若干引线,第一部分227和第二部分229彼此间隔开且电隔离。可包含类似于图1中的半导体裸片103的霍尔元件的半导体裸片203安装到间隔电介质205,且间隔电介质205安装到封装衬底231的第一部分227。以此方式,半导体裸片203靠近封装衬底231的第一部分227,但与所述第一部分电隔离。封装衬底231的第二部分229通过半导体裸片203与第二部分229的引线之间的电连接而电连接到半导体裸片203,如图2A所展示。在此实例中,电连接是接合线235,但在替代性布置中,可使用带状接合件。半导体裸片203、间隔电介质205、接合线235和封装衬底231的部分覆盖有模制化合物221,所述模制化合物形成封装主体。间隔电介质205具有延伸超过引线框架的第一部分227的部分,且半导体裸片203具有包含延伸超过间隔电介质205的接合焊盘的部分。

[0031] 封装衬底231的第一部分227通过作为绝缘体的间隔电介质205且通过用于将间隔电介质205安装到第一部分227的裸片附接材料以及用于将半导体裸片203安装到间隔电介质205的裸片附接料与半导体裸片203隔离。封装衬底可以是导电金属的引线框架,有用的实例包含铜、金、合金42、铝、不锈钢、钢和其合金。在实例中,可使用铜引线框架,且铜引线框架可具有在约0.1毫米与0.4毫米之间的厚度。导电引线框架可通过以下方式来形成:冲压或蚀刻导电材料薄片以形成导电引线、裸片焊盘、用于低电阻导电路径的实心部分,或者添加强度、凹坑、孔、开口和狭槽从而形成模制化合物锁定件以增加模制化合物与引线框架特征的粘附性。

[0032] 图2B以另一投影视图也即局部视图中更详细地说明图2A的特征。在图2B中,封装衬底231的第一部分227具有经耦合以接收电流I的第一引线或第一组引线224;例如,引线224可耦合到大于数百伏、千伏或数千伏的高电压信号或电源。第二组引线226经配置以用于将电流I输出到第二节点。电流I流过第一部分227的电流感测部分239,且电流I承载于半导体裸片203的一部分上。间隔电介质205在装置侧表面上安装到封装衬底231的第一部分227。半导体裸片在第一部分227的相对侧上安装到间隔电介质205。引线框架的第一部分227具有电流感测部分239,所述电流感测部分经耦合以在第一引线224与第二引线226之间载送电流I。半导体裸片203的一部分在电流感测部分239下方,且经定位以处于由电流感测部分239中的电流I产生的磁场内。间隔电介质205和将间隔电介质205连接到封装衬底231的第一部分227的裸片附接材料以及将半导体裸片203连接到间隔电介质205的裸片附接料一起提供半导体裸片203与第一部分227之间的电隔离。封装衬底231的第二部分229通过接合线235电连接到半导体裸片203。半导体裸片203的接合焊盘通过安装半导体裸片203以使

得接合焊盘从间隔电介质205暴露而使得半导体裸片203的仅一部分由间隔电介质205覆盖来从间隔电介质205暴露。

[0033] 第一部分227的电流感测部分239被展示为处于间隔电介质205上方,且半导体裸片203具有与电流感测部分239对准的部分(在图2B中不可见),使得半导体裸片203暴露于由于电流I流过电流感测部分239而发生的磁场。电流感测部分239是在半导体裸片203上方承载电流I的导体。在所述布置中,半导体裸片203经定位以将半导体裸片内的霍尔元件放置在磁场中,以允许感测由于电流I引起的磁场。

[0034] 图2C以平面图说明半导体装置封装200,以更好地说明某些方面。在图2C中,引线框架的第一部分227包含第一引线或第一组引线224,以及第二引线或第二组引线226。第一引线224从第一节点接收电流I,所述电流可以是大于几百伏、大于1kV以及高达几千伏的高电压信号,且第二引线或第二组引线226经布置以耦合到第二节点以输出电流I。电流感测部分239耦合在第一引线224与第二引线226之间,且定位于间隔电介质205上方且位于半导体裸片203的一部分上方。半导体裸片203的一部分与电流感测部分239对准,使得由于电流I流过引线框架的第一部分227而引起的磁场到达半导体裸片203中的霍尔元件电流传感器。引线框架的第二部分229通过接合线235耦合到半导体裸片上的接合焊盘。模制化合物221覆盖半导体裸片203、间隔电介质205、接合线235,且部分地覆盖包含第一部分227和第二部分229的引线框架,同时引线框架的引线从模制化合物221暴露。

[0035] 图2D以横截面图说明半导体装置封装200,其中模制化合物221形成封装主体,且第一部分227包含从模制化合物221延伸的引线,且封装衬底的第二部分229包含从模制化合物221延伸的引线。间隔电介质205将半导体裸片203与第一部分227间隔开。半导体裸片203包含接合焊盘208,且接合线235将接合焊盘208耦合到封装衬底的第二部分229的引线。第二部分229和半导体裸片203与封装衬底的第一部分227电隔离,所述封装衬底可为铜、铝、钢、不锈钢或合金(例如合金42)的金属引线框架。间隔电介质205和模制化合物221用于在第一部分227与半导体裸片203之间形成隔离屏障。

[0036] 图3A-3B以投影视图说明具有以行和列形成的半导体裸片303的半导体晶片301,以及在其与半导体晶片分离之后的单元半导体裸片303。在图3A中,半导体晶片301具有形成在其上的半导体裸片303。切划道306和307在半导体裸片303之间横跨晶片301延行,划线在平行组中彼此垂直。半导体裸片303可通过沿着切划道306、307机械锯切或通过使用激光在切划道中刻划晶片且沿着刻划线破开半导体晶片301而彼此分离。图3B以放大视图说明可在布置中使用的半导体裸片303。接合焊盘308形成于半导体裸片303的装置表面上。接合焊盘308电耦合到形成于半导体裸片303内的电路系统(未展示)。

[0037] 图4A-4F以一系列横截面说明用于形成在布置中使用的半导体裸片的步骤。在图4A中,以横截面展示半导体晶片401,其上形成有半导体裸片403,且展示半导体裸片403之间的切划道406。如图3A-3B所展示,可通过沿着裸片之间的例如406等切划道进行单分来从晶片移除半导体裸片。

[0038] 图4B以另一横截面图说明封装衬底431,其可以是导电引线框架,具有第一部分427和第二部分429。第一部分427和第二部分429包含将形成完成的半导体装置封装的端子的导电引线(在横截面中不可见)。

[0039] 图4C是说明在额外处理步骤之后的图4B的封装衬底431的另一横截面。在图4C中,

间隔电介质405安装到封装衬底431的第一部分427的装置侧表面。间隔电介质405是绝缘体,且可为印刷电路板材料,例如FR4或BT树脂。在额外替代布置中,间隔电介质405可以是玻璃、塑料、玻璃纤维、树脂、环氧树脂、半导体衬底或其它绝缘材料。

[0040] 图4D是说明在额外处理步骤之后的图4C的布置的另一横截面。来自图4A中的半导体晶片401的半导体裸片403被展示为在与安装到第一部分427的间隔电介质的表面相对的表面上安装到间隔电介质405,使得间隔电介质定位于封装衬底431的第一部分427与半导体裸片403之间。半导体裸片403通过间隔电介质405与封装衬底431的导电第一部分427电隔离。半导体裸片403使用裸片附接材料安装,所述裸片附接材料可以是非导电裸片附接膜、带、膏剂或环氧树脂。半导体裸片403经定位以使得半导体裸片403的装置侧表面上的接合焊盘408在第一部分427与第二部分429之间的空间上方,且半导体裸片403悬伸在所述空间上方。半导体裸片403安装在“面”侧上,且可被称为安装到间隔电介质405的“倒装芯片”。接合焊盘408定位在第一部分427与第二部分429之间的空间中。

[0041] 图4E以另一横截面图说明在额外处理步骤之后的图4D的封装衬底431。在图4E中,元件被展示为在图4D的过程之后倒置,以辅助引线接合。接合线435从接合焊盘408上的接合球延伸到封装衬底431的第二部分429上的针脚式接合(stitch bond)。接合线435延伸穿过封装衬底431的第一部分427与第二部分429之间的空间。接合线435将半导体裸片403电耦合到封装衬底431的第二部分429,所述封装衬底可为导电引线框架。在示例过程中,引线接合工具具有毛细管,接合线延伸穿过所述毛细管。通过向接合线的暴露端施加火焰或其它热量,在从毛细管延伸的线的端部处形成球。将球放置在半导体裸片403的接合焊盘408上,且使用超声波、机械或热能或这些的组合形成球接合。当毛细管远离接合焊盘移动时,导线延伸且形成弧形或弯曲形状。接合线经放置以与第二部分429中的引线框架上的导电焊盘或引线接触,且使用机械压力、热能、超声能量或这些的组合形成针脚式接合。接着将接合线折断或熔化以完成引线接合,且重复所述过程。在半导体装置封装400中,半导体裸片403与第一部分427电隔离,同时半导体裸片403经定位以使得由电流在第一部分427中流动而引起的磁场可由形成于半导体裸片403中的霍尔元件感测到。

[0042] 图4F以另一横截面说明在模制过程之后图4E中所展示的元件。在图4F中,模制化合物421覆盖半导体裸片403、接合线435、间隔电介质405、封装衬底431的第一部分427的部分和第二部分429的部分。第一部分427和第二部分429的部分未被覆盖且形成用于半导体装置封装400的端子。模制化合物421可以是热固性环氧树脂模制化合物。模制化合物421可以是塑料、环氧树脂或树脂。模制化合物421可在块模制操作中或在单元模具中通过转移模工艺(transfer mold process)形成。在示例过程中,圆块或粉末状的固体模制热固性模制化合物被加热到液态,随后通过压力转移通过流道到其中放置封装衬底431的模具中。液体模制化合物填充模具且覆盖半导体裸片403、接合线435和间隔电介质405以及形成封装衬底431的第一部分427和第二部分429的引线的部分。允许模制化合物冷却和凝固且形成半导体装置封装400的固体主体。可使用室温模制化合物或电介质,例如树脂或液体环氧树脂。在生产实例中,同时模制单元引线框架的条带或阵列,接着通过沿着模制装置之间的锯切道切穿封装衬底来将各个装置彼此单分。

[0043] 图4G以投影视图描绘在修整和成形操作完成处理之后的图4F的半导体装置封装400。封装衬底的第一部分427包含引线424和426,所述引线可经分组以形成输入IN+和输出

IN-,例如,如图1中所展示。引线424和426经修整以移除在上述过程期间连接引线以用于支撑的任何支撑系杆,且引线424和426经塑形以形成用于表面安装半导体装置封装400的端子。可使用“修整成形”工具来执行这些步骤。模制化合物421形成保护半导体裸片403和间隔电介质405的封装主体(参见图4F)。

[0044] 以全文引用的方式并入本文中的标题为“高电压集成电路测试接口组件(HIGH VOLTAGE INTEGRATED CIRCUIT TESTING INTERFACE ASSEMBLY)”的第2021/0231729A1号美国专利公开案公开了一种用于对半导体装置封装执行高电压测试的测试组件。在所述布置中,测试处置器经布置以执行半导体装置封装的高电压测试。

[0045] 图5A-5C以投影视图说明测试处置器和安装在测试处置器中的半导体装置封装的部分,展示了不同布置的特征。在图5A中,半导体装置封装400具有模制化合物421的主体,以及封装衬底的第一部分427和封装衬底的第二部分429,所述第一部分包含从模制化合物421延伸以形成端子的引线,所述第二部分包含从模制化合物421延伸以形成额外端子的引线。第一导电段塞531和第二导电段塞532经定位以与第一部分427的引线的两侧接触,且第三导电段塞533和第四导电段塞534经定位以与第二部分429的引线的两侧接触。第一柱塞541具有导电片542和尖端543,片542是导电材料,例如铜或铝,且尖端543是绝缘体。在示例布置中,尖端543可以是具有低介电常数的聚合物,包含聚醚酰亚胺、聚酰亚胺、硅酮橡胶和/或这些材料的泡沫。在示例布置中,介电常数为1.0的塑料泡沫被用作具有100微米的厚度和约1毫米的高度的尖端543。片542可以是例如铜、铝、钢、不锈钢或这些的合金等导电金属的金属板。

[0046] 第二柱塞551展示为在半导体装置封装400下方且包含片552和尖端553。第一柱塞541和第二柱塞551经布置以在半导体装置封装400的相对侧(例如半导体装置封装的顶部和底部表面)上以可移动方式接触半导体装置封装400的模制化合物421。

[0047] 在操作中,导电段塞531和导电段塞532耦合到在半导体装置封装400的第一部分427的引线处施加大于300伏的高电压的导体。在示例测试中,高电压是4kVrms,但可使用其它电压。在测试布置中使用的高电压经选择以超过装置的额定电压一个安全裕度,所述额定电压对应于将在场中使用的电压。第一柱塞541的板542和第二柱塞551的板552被置于大约为高电压的1/2的电压下,例如2kVrms。第三导电段塞533和第四导电段塞534被置于接地。因为导电板542和552处于高电压与接地之间的中点电压,且因为导电板542、552在半导体装置封装400的中间且在第一导电段塞531和第二导电段塞532与第三导电段塞533和第四导电段塞534之间,所以归因于第一导电段塞和第二导电段塞处的高电压的电场集中被分散开且高电场集中被减小或消除,从而防止在高电压测试期间半导体装置封装周围的空气中的电弧放电。高电压测试用于确认半导体装置封装400的第一部分427和半导体装置封装400的第二部分429在半导体装置封装的额定电压下电隔离。

[0048] 所述布置的使用防止了因处于高电压的导电段塞531、532与处于接地的导电段塞533、534之间的电场的高度集中所致的空气中的电弧放电。当进行高电压测试时,良好的半导体装置封装将不会在封装衬底的第一部分427与封装衬底的第二部分429之间传递电流,这可通过测量导电段塞之间的电流来确认。如果在大于装置的额定电压的预定高电压下检测到电流,则隔离对于被测装置是不够的,即,装置未通过高电压测试。通常,高电压将大于期望的额定电压,比率为1.3到1.5倍。对于特定实例,高电压测试使用4kVrms的测试电压。

如果在测试期间跨高电压测试处置器中的段塞发生电弧放电,则电弧电流可能错误地表现为半导体装置封装的隔离部分之间的电流流动,且导致不正确的测试结果。所述布置的使用会防止或减少由于测试器中和半导体装置封装内的高场集中引起的电弧放电。在一个实例中,图5A中的聚合物尖端543、553是介电常数约为1.0的塑料泡沫。在额外示例布置中,聚合物尖端543、553是介电常数约为3.2的硅酮橡胶。

[0049] 图5B以投影视图说明用于测试隔离半导体装置封装的替代布置。在图5B中,半导体装置封装400被展示为具有形成主体的模制化合物421,以及从模制化合物421延伸的封装衬底的第一部分427和第二部分429的引线。第一导电段塞531和第二导电段塞532接触第一部分427的引线,而第三段塞533和第四段塞534接触第二部分429的引线。柱塞561接触半导体装置封装400的顶部,而柱塞571接触半导体装置封装的底部,柱塞561和571定位于段塞531、532与段塞533、534之间的开口中。接触半导体装置封装400的顶部(如图5B中所定向)的柱塞561包含若干导电板或片,每个导电板或片具有接触模制化合物421的聚合物尖端,在示例布置中,所述尖端是塑料泡沫。在额外有用实例中,聚合物尖端可以是低介电常数材料;包含聚醚酰亚胺、聚酰亚胺、硅酮橡胶和/或它们的泡沫。在图5B的所说明布置中,柱塞571接触半导体装置封装400的模制化合物421的底部,还具有四个尖端573和耦合在一起的导体材料572的四个对应片或板。柱塞561和571可具有铜、铜合金、钢、不锈钢、铝或这些的合金的片。例如,尖端可具有约100微米的厚度和约1毫米的高度。柱塞接触模制化合物。柱塞可具有变化的尺寸,在实例中,柱塞可具有几毫米的高度和宽度,以及约100微米或更大的厚度。片中的狭槽或凹口可将聚合物尖端保持在柱塞中。

[0050] 图5C以投影视图说明用于测试隔离半导体装置封装的另一替代布置。在图5C中,再次展示半导体装置封装400,其中模制化合物421形成主体,且封装衬底的第一部分427和第二部分429的引线从模制化合物421延伸。第一导电段塞531和第二导电段塞532接触第一部分427的引线,而第三段塞533和第四段塞534接触第二部分429的引线。柱塞581接触半导体装置封装400的顶部,而柱塞591接触半导体装置封装的底部,柱塞581和591定位于段塞531、532与段塞533、534之间的开口中。接触半导体装置封装400的顶部(如图5B中所定向)的柱塞581包含若干导电板或片,所述导电板或片具有接触模制化合物421的聚合物尖端,在示例布置中,所述尖端是塑料泡沫。另外,尖端包含导电尖端584。在额外有用实例中,聚合物尖端可以是低介电常数材料;包含聚醚酰亚胺、聚酰亚胺、硅酮橡胶和/或它们的泡沫。在图5C的所说明布置中,柱塞591接触半导体装置封装400的模制化合物421的底部,还具有四个尖端593和耦合在一起的导体材料572的四个对应片或板。此外,柱塞592具有导电尖端594,所述导电尖端可以是铜、铝或另一种导体。例如,尖端可具有约100微米的厚度和约1毫米的高度。柱塞的尖端接触模制化合物。

[0051] 在高电压隔离测试中,当第一段塞531和第二段塞532与第一部分427的引线接触时,将大于300伏的高电压施加到所述段塞。在高电压测试期间,接触半导体装置封装400的第二部分429的引线的第三段塞533和第四段塞534处于接地,且柱塞581、591的导电片或板582、592处于高电压的大约一半。通过在高电压隔离测试期间向与半导体装置封装接触的柱塞施加所述高电压的约一半的电压,电场分布在测试处置器中的半导体装置封装400周围,且避免了高电场集中。防止了由于电介质击穿而可能在处于高电压下的段塞与处于接地的段塞之间发生的电弧放电。

[0052] 图5D以电路图说明用于测试处置器的布置的一个电路。在图5D中,第一导电段塞531和第二导电段塞532耦合到高电压HV+,所述高电压可耦合到300伏或更高的高电压,例如1kV、2kV等。在示例测试中,使用4kVrms的高电压。第三导电段塞533和第四导电段塞534耦合到接地。

[0053] 在所述布置中,HV+/2的电压或高电压的大约一半被施加到柱塞541,所述柱塞经布置以接触半导体装置封装的顶部表面,如图5A-5C中所展示,且施加到经布置以接触半导体装置封装的底部表面的柱塞551,如图5A-5C中所展示。在所说明实例中,使用电容性分压器对电压进行分压。柱塞541耦合到第一电容器C1和第二电容器C2,而柱塞551耦合到第三电容器C3和第四电容器C4。通过使电容器C1-C4中的每一者的电容相同,高电压HV+将在电容器之间其中耦合柱塞541、551的节点处被一分为二。向柱塞提供对应于高电压HV+的一半的电压的另一电路系统可用于形成额外布置。

[0054] 图5E以示例布置说明适于用在测试处置器中以向柱塞541、551提供HV+/2电压的分压器。第一导电段塞531和第二导电段塞532耦合到用于在测试期间接收高电压的标记为HV+的高电压输入。在测试处置器中展示半导体装置封装400,其中第一导电段塞531和第二导电段塞532与半导体装置封装400的引线框架的第一部分427的引线接触。半导体装置封装400的引线框架的第二部分429的引线由耦合到输入的第三导电段塞533和第四导电段塞524接触,所述输入可耦合到接地或电压参考。第一框架535承载耦合在第一导电段塞531与第一柱塞541的导电板542之间的电容器C1。第二框架537承载耦合在第一柱塞541的导电板542与第三导电段塞533之间的第二电容器C2。第三框架536承载耦合在第二导电段塞532与第二柱塞551的导电板552之间的电容器C3。第四框架538承载耦合在第二柱塞552的导电板552与第四导电段塞534之间的第四电容器C4。电容器C1和C2将第一导电段塞531处的电压一分为二,且此电压(大约HV+/2)耦合到第一柱塞541。第一框架535和第二框架537承载电容器C1、C2、第一导电段塞531、第三导电段塞533和第一柱塞542,且可一起移动以允许半导体装置封装400被装载到测试处置器中以及从测试处置器移除。第三框架536和第四框架538承载电容器C3、C4、第二导电段塞532、第四导电段塞534、第二柱塞552,且这些框架和安装到所述框架的其它元件也可一起移动以允许将半导体装置封装400装载到测试处置器中以及从测试处置器移除。电容器C3和C4将第二导电段塞532处的电压HV+一分为二,且此电压(HV+/2)耦合到第二柱塞551。框架535、537、536、538可以是导电金属,例如铜或不锈钢,且可如上所述耦合电容器,或者可如上所述使用接线来耦合电容器,且框架可由强度足够的任何材料制成。测试处置器的框架可移动以允许半导体装置封装400安装在导电段塞之间,接着导电段塞可经放置以与引线框架的引线接触,如图所展示,其中第一柱塞541和第二柱塞552的尖端543和553与模制化合物421接触。在高电压测试期间,电压HV+/2耦合到柱塞的导电板542、552,从而将电场分布在半导体装置封装400上,由此避免原本当电场在元件之间的空气中分解时可能发生的高场集中和电弧放电。

[0055] 图6A以曲线图说明且图6B以对应表格说明来自有限元分析模拟器的模拟结果,展示针对不同布置获得的以立方米立方[m^3]为单位的应力体积Sv,且与不使用所述布置的测试处置器进行比较。图6A是在竖直标度上为应力体积Sv且在水平标度上以伏/微米[V/μm]展示电场E的曲线图。标记为“现有方法”的标绘图对应于不使用所述布置的测试处置器,情况1标绘图对应于具有硅酮橡胶绝缘尖端的单片柱塞(例如图5A中),情况2标绘图对应于具

有聚合物泡沫尖端的单片柱塞(如图5A中),情况3对应于具有带有绝缘尖端的四个片的柱塞(如图5B中),且情况4对应于四个绝缘片和金属片(如图5C中)。箭头指示水平轴上E场为3V/μm的点。此点处取得的数据在图6B的表中展示。

[0056] 在图6B中,所述表展示图6A中的标绘图中在电场E为3V/μm的点(参见图6A中的向下箭头)处的应力体积Sv。在标记为"现有方法"的第一行中,在不使用布置的情况下,现有方法的测试处置器具有75.59的应力体积Sv。在表中,标记为"情况1-单片,介电常数3.2"的第二行说明图5A的具有硅酮橡胶尖端材料的布置,其中应力体积Sv为9.43,这是对现有方法的改进。在第三行中,标记为"情况2,具有聚合物的单片,介电常数1.0"说明例如图5A中的布置,其中单片绝缘尖端具有低介电常数的塑料泡沫。获得的应力体积Sv为2.94,这是布置的最佳性能。其余的行(情况3和情况4)说明图5B的多个片上的多个尖端的布置的性能,以及图5C的尖端介电常数为2.1且一个导电尖端与半导体封装体的模制化合物接触的多个片的布置的性能。与现有方法相比,这些布置改善了应力体积Sv,但程度小于情况1和情况2的单片布置的应力体积。图5A的具有单个片和介电常数约为1.0的塑料泡沫的单个聚合物尖端的布置在所说明布置中是优选的,且如图6B的表所展示,性能显著提高,与现有方法相比,应力体积降低约96%。然而,每一个所说明实例都改进了现有方法的性能。

[0057] 图7A-7B以流程图说明用于制造半导体装置的方法布置。在步骤701处,形成可以是导电引线框架的封装衬底,所述封装衬底具有彼此间隔开且电隔离的第一部分和第二部分,所述引线框架具有第一装置侧表面和相对侧表面(参见图4B中的第一部分427和第二部分429)。

[0058] 在步骤703处,将间隔电介质的第一表面安装到第一部分的装置侧表面,间隔电介质具有第一表面和相对的第二表面,间隔电介质部分地由第一部分覆盖且延伸超出第一部分(参见图4C中的间隔电介质405)。

[0059] 在步骤705处,将半导体裸片安装到间隔电介质的第二表面,半导体裸片的一部分由间隔电介质覆盖,且半导体裸片具有从间隔电介质暴露的接合焊盘(参见图4D中具有接合焊盘408的半导体裸片403)。

[0060] 在步骤707处,在半导体裸片的接合焊盘与引线框架的第二部分之间进行电连接(参见图4E中的接合线435)。替代的电连接包含带状接合。

[0061] 在步骤709处,使用模制化合物来覆盖半导体裸片、间隔电介质,且部分地覆盖引线框架的第一部分和引线框架的第二部分,以形成半导体装置封装(参见图4F中的模制化合物421、图4G中的半导体装置封装400)。

[0062] 在步骤711处,对第一部分的引线、第二部分的引线进行塑形,且移除任何连接材料以完成半导体装置封装(参见图4G中的半导体装置封装400)。

[0063] 所述方法在图7B中继续。图7A中所展示的步骤可与图7B的测试方法步骤异步地执行,可在任何时间和地点制造半导体装置封装,接着可执行图7B的测试方法以完成方法布置。

[0064] 在步骤713处,使测试处置器的第一导电段塞和第二导电段塞与具有隔离的半导体装置封装的引线框架的第一部分的引线接触(例如,参见图5E中的导电段塞531、532)。

[0065] 在步骤715处,使测试处置器的第三导电段塞和第四导电段塞与引线框架的第二部分的引线接触。应注意,虽然为了便于解释将这些步骤描述为单独的顺序步骤,但测试处

置器也可同时执行这些步骤以及下文的步骤717和719。

[0066] 在步骤717处,使具有导电板和绝缘尖端的第一柱塞与半导体装置封装的模制化合物的第一表面接触。第一柱塞位于第一段塞与第三段塞之间,在测试处置器的导电段塞之间的空间中。在如图5E中所展示的实例中,第一柱塞542接触模制化合物421的顶部表面,且被置于导电段塞531、533之间的中点处。

[0067] 在步骤719处,使具有导电板和绝缘尖端的第二柱塞与半导体装置封装的模制化合物的第二表面接触,第二柱塞位于测试处置器的第二段塞与第四段塞之间。在图5E中所展示的实例中,第二柱塞与第一柱塞相对放置且在半导体装置封装下方,且接触模制化合物421的底部表面。

[0068] 在步骤721处,将高电压置于第一部分的引线上,将大约是高电压一半的电压置于第一柱塞和第二柱塞的导电板上,且将第二部分的引线置于接地电压。在步骤723处,通过测量第一部分的引线(其中第一导电段塞和第二段塞在高电压下接触引线)与第二部分的引线(其中第三导电段塞和第四导电段塞在接地电压下接触引线)之间的电流来执行测试。如果电流小于设置为低或零电流电平的预定阈值,则半导体装置封装中的隔离是足够的,且作出半导体装置封装通过高电压隔离测试的指示。相反,如果流动的电流超过预定电平,则半导体装置封装的隔离不足,且作出半导体装置封装未通过高电压隔离测试的指示。未通过装置应被标识且报废或修理。

[0069] 在示例布置中,制造半导体装置,所述半导体装置包含在封装衬底(例如引线框架)中具有隔离部分的半导体装置封装。接着测试电隔离。在测试处置器中,在引线框架的第一部分上施加大于300伏以及高达几千伏的高电压。将具有导电板和绝缘尖端的柱塞放置成与半导体装置封装的模制化合物接触。在所述布置中,柱塞被放置在从高电压分出且大约是第一部分处的高电压的一半的电压下。在引线框架的第二部分的引线上施加接地电压。所述布置的使用以及接触半导体装置封装的模制化合物的柱塞上的划分电压将测试处置器中因高电压所致的电场分散开,从而防止空气中的电弧放电且减少由于原本可能发生的电弧放电而引起的电流。在测试处置器内使用结构来减少隔离的装置封装中的电场的高度集中。在示例布置中,电容器分压结构用于将高电压分压为高电压的一半的划分电压,且所述划分电压耦合到柱塞的导电板。在用于执行半导体装置封装的高电压隔离测试的测试处置器中使用布置的结构降低了当引线框架的第一部分耦合到高电压时发生的电场的集中。

[0070] 在权利要求书的范围内,所描述布置的修改是可能的,且其它替代布置是可能的。

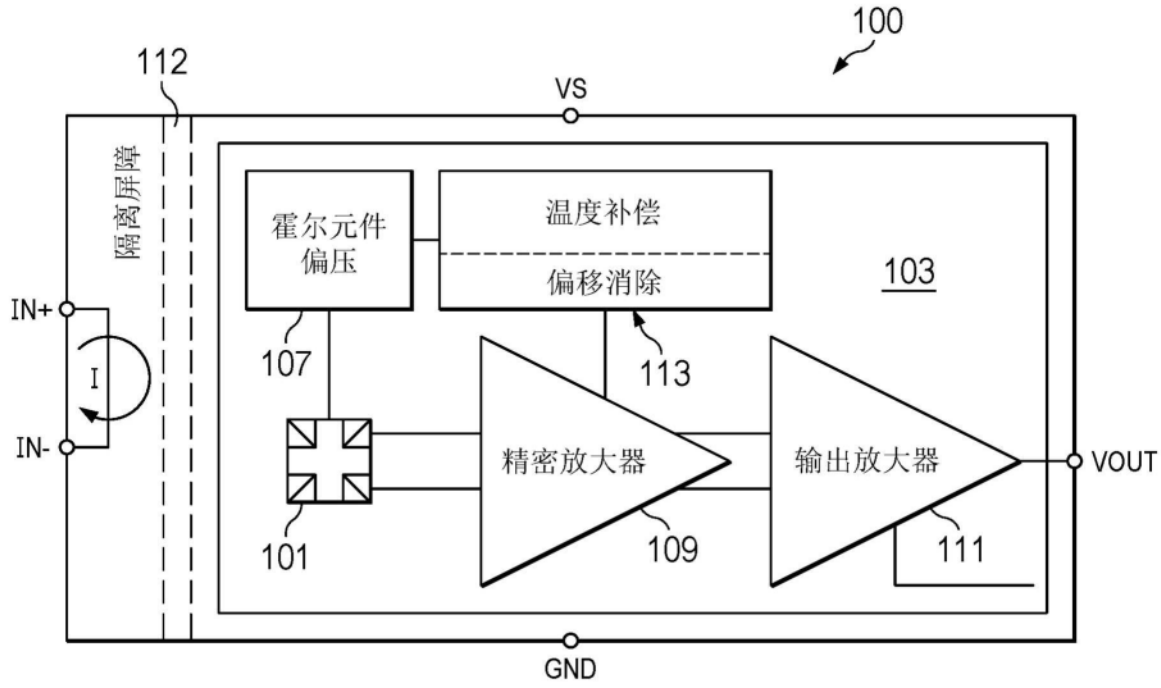

100
112
VS
隔离屏障
霍尔元件
偏压
温度补偿
偏移消除
103
IN+
I
IN-
107
113
精密放大器
输出放大器
VOUT
101
109
111
GND

图1

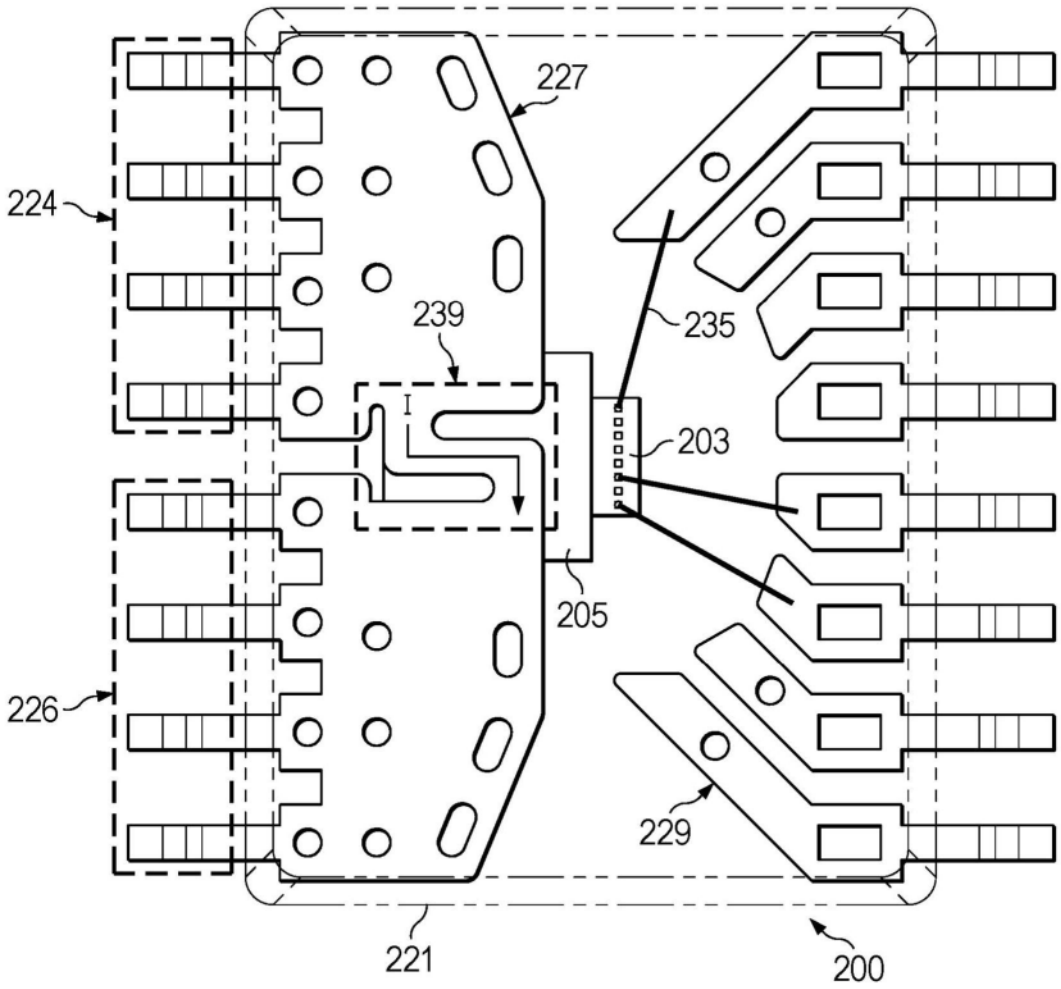


图2C

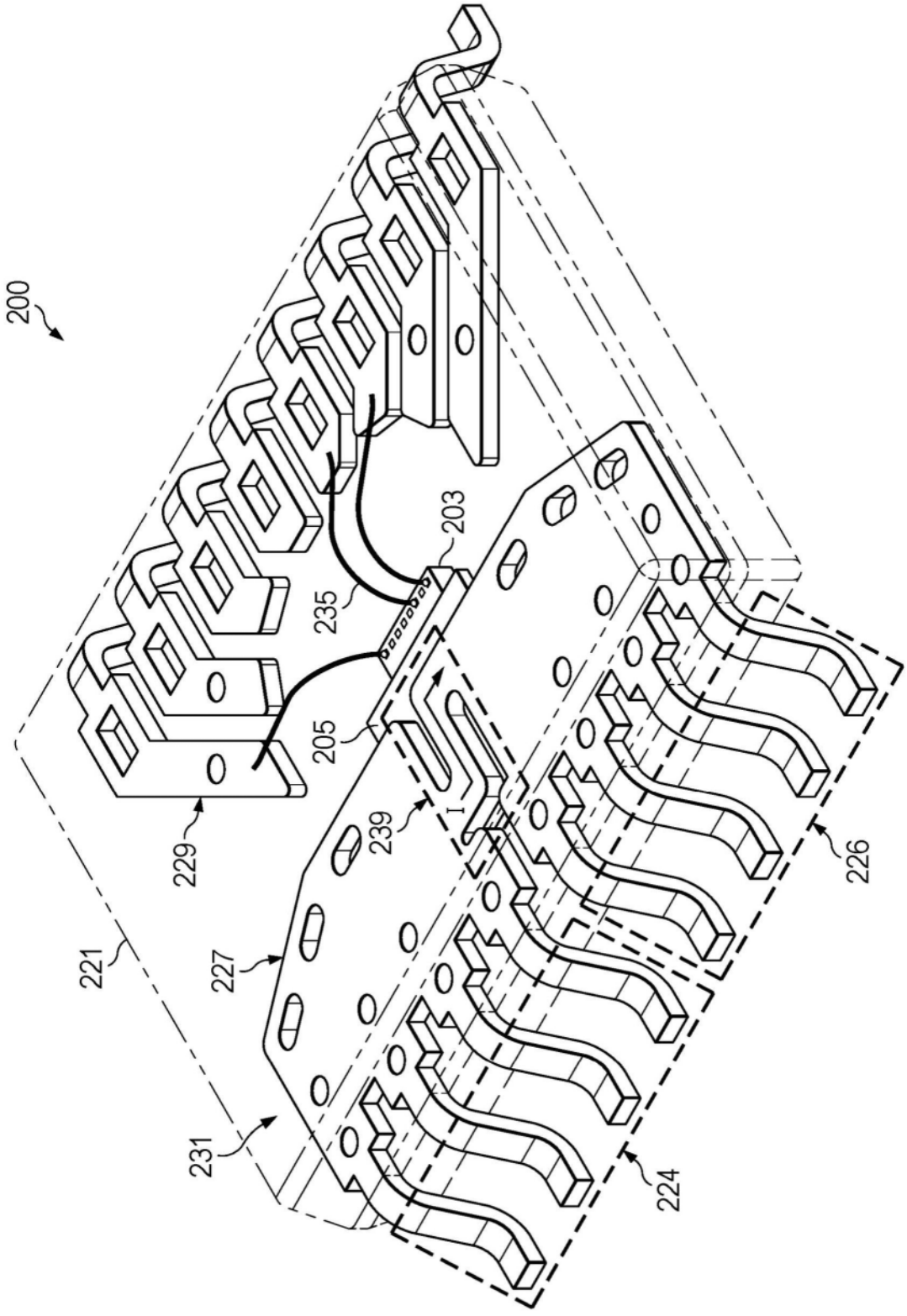


图2A

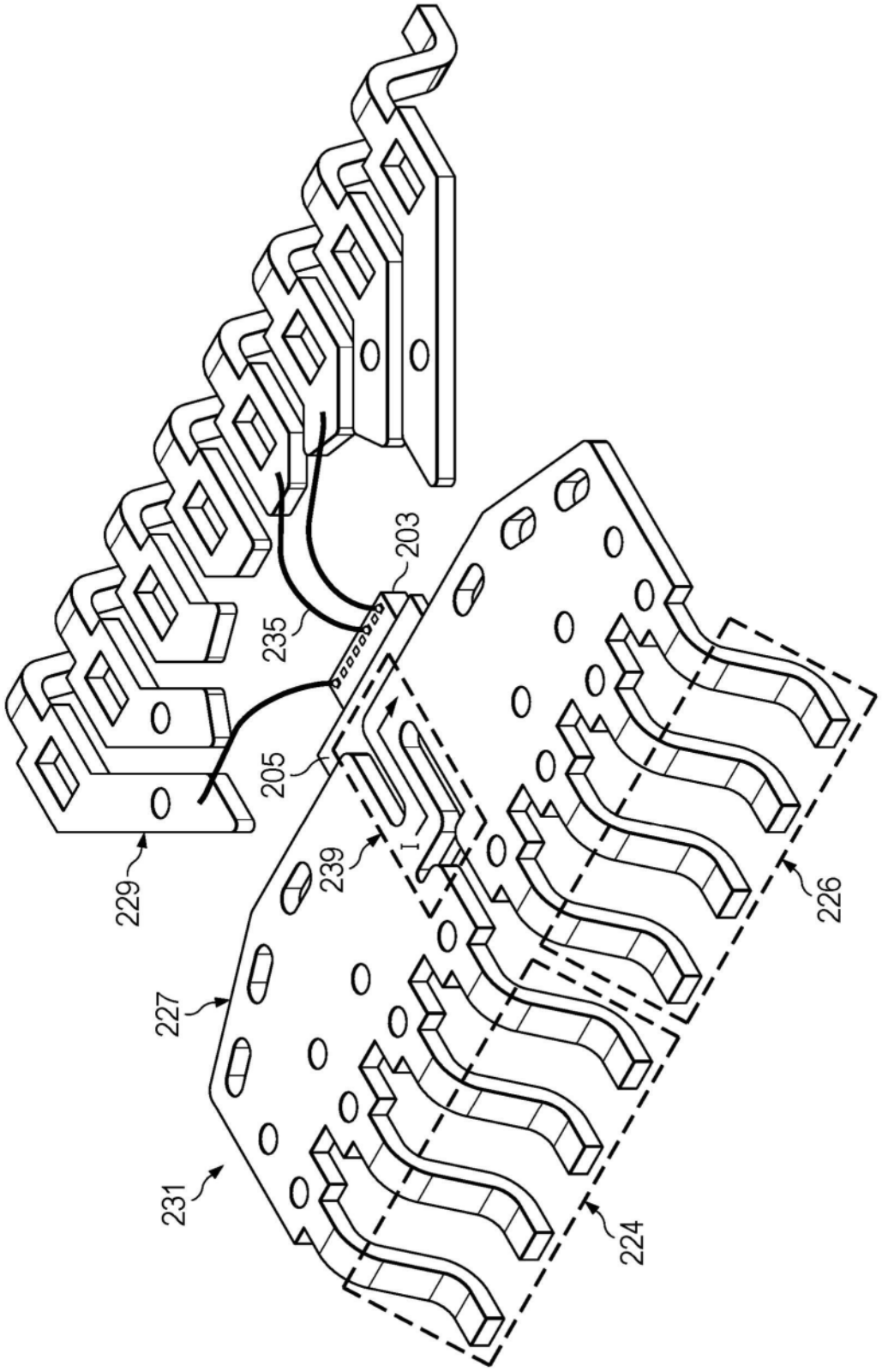


图2B

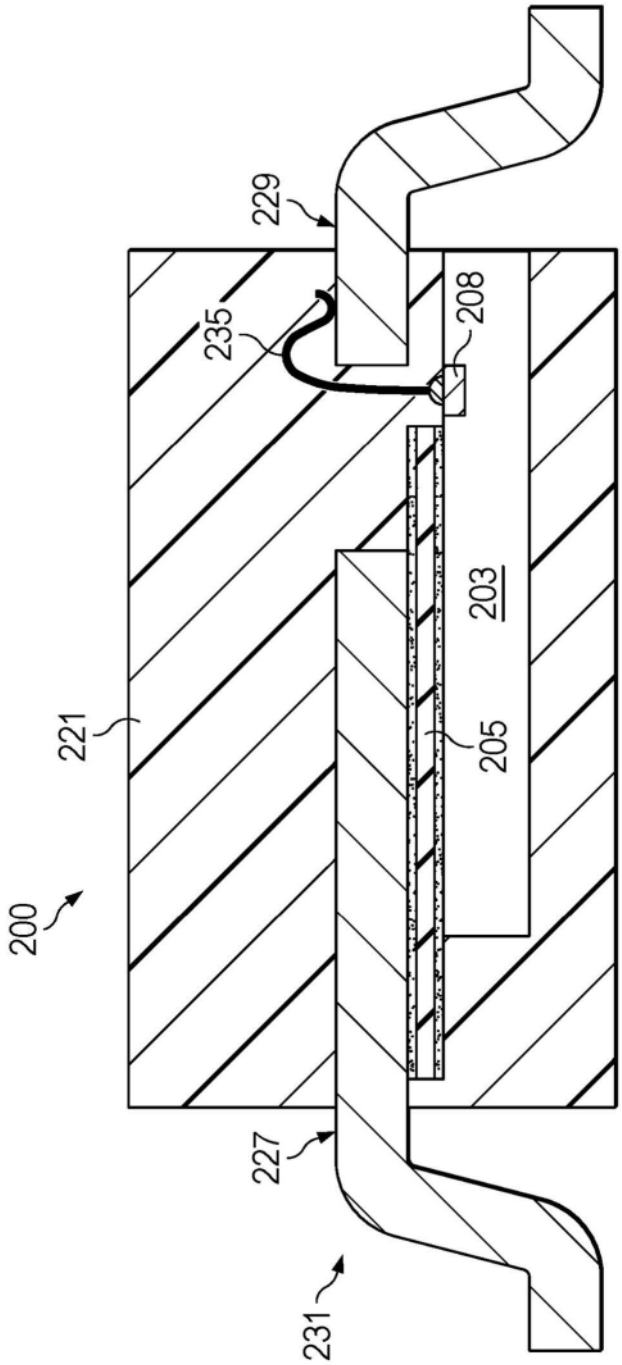


图2D

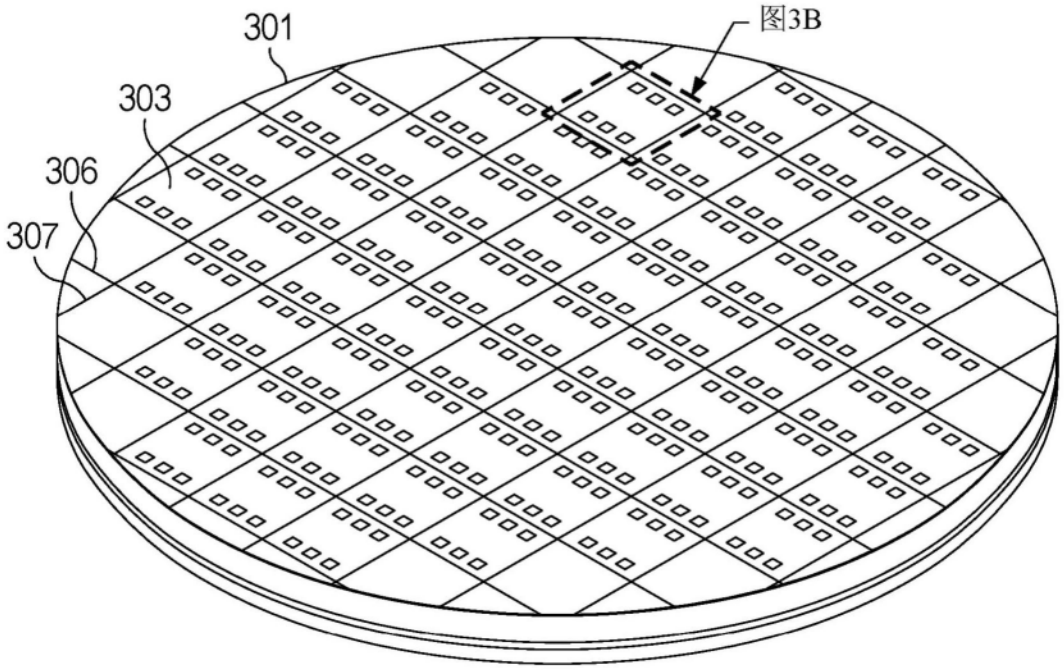


图3A

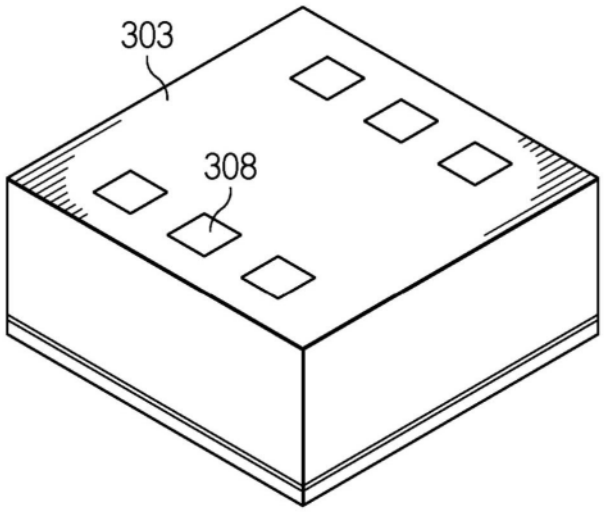


图3B

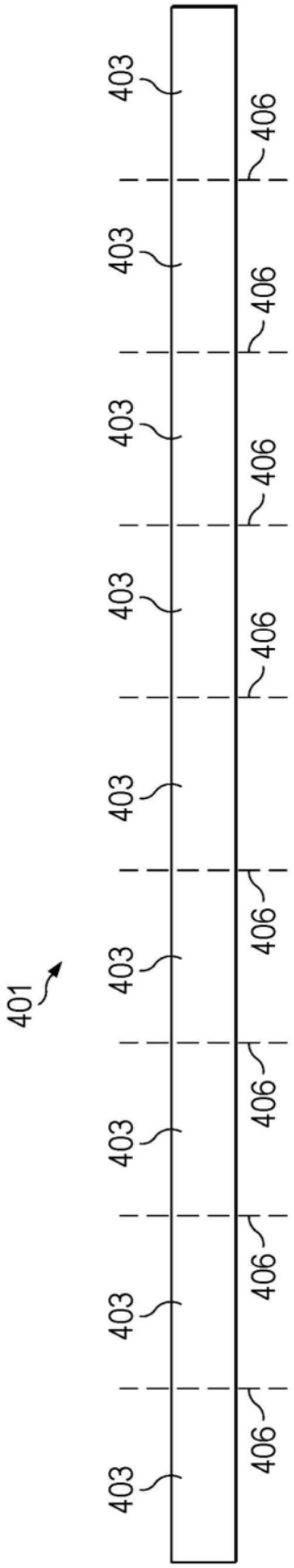

401
403
406
403
406
403
406
403
406
403
406
403
406
403
406
403
406
403

图4A

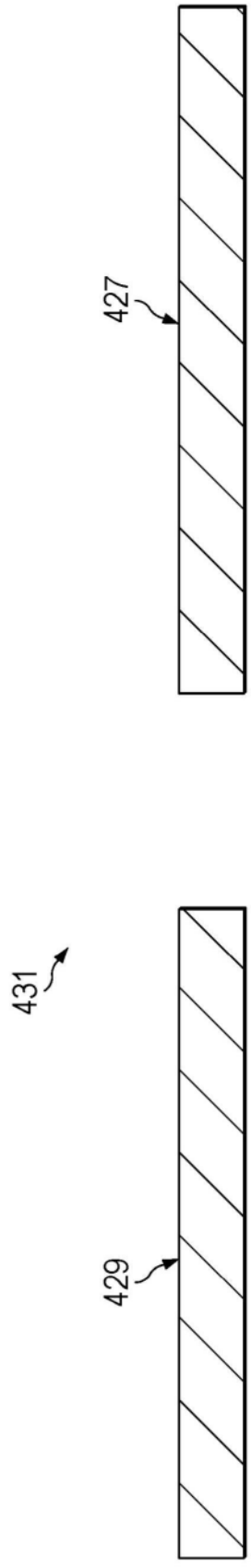


图4B

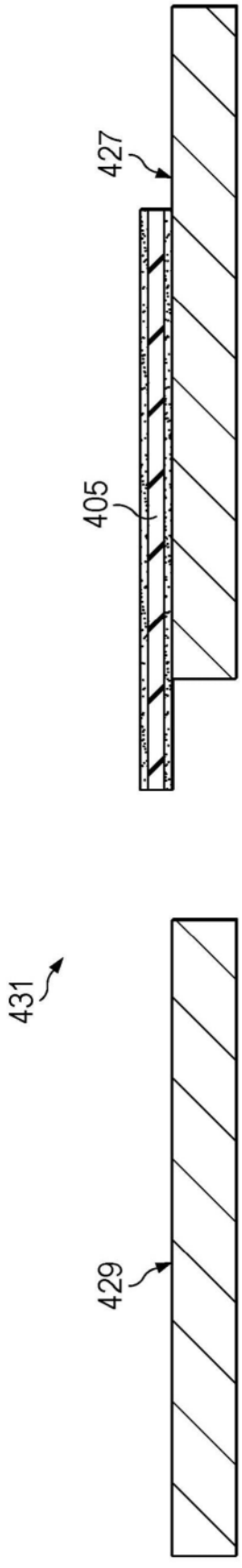


图4C

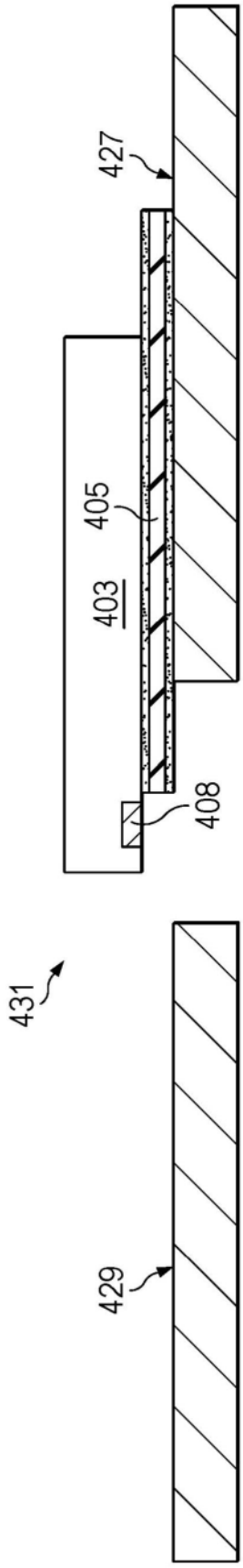


图4D

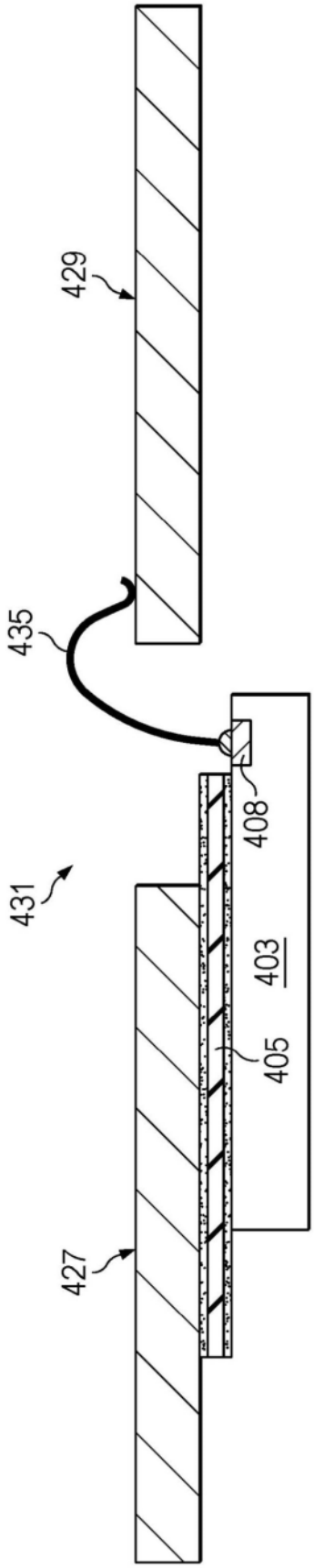


图4E

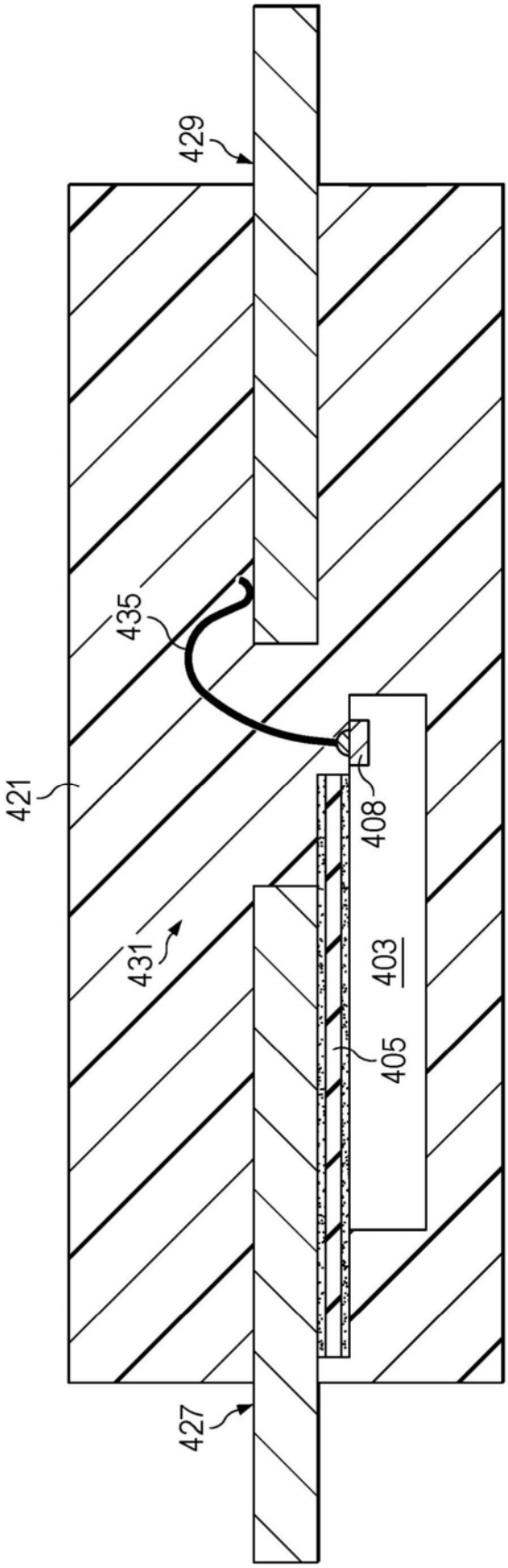


图4F

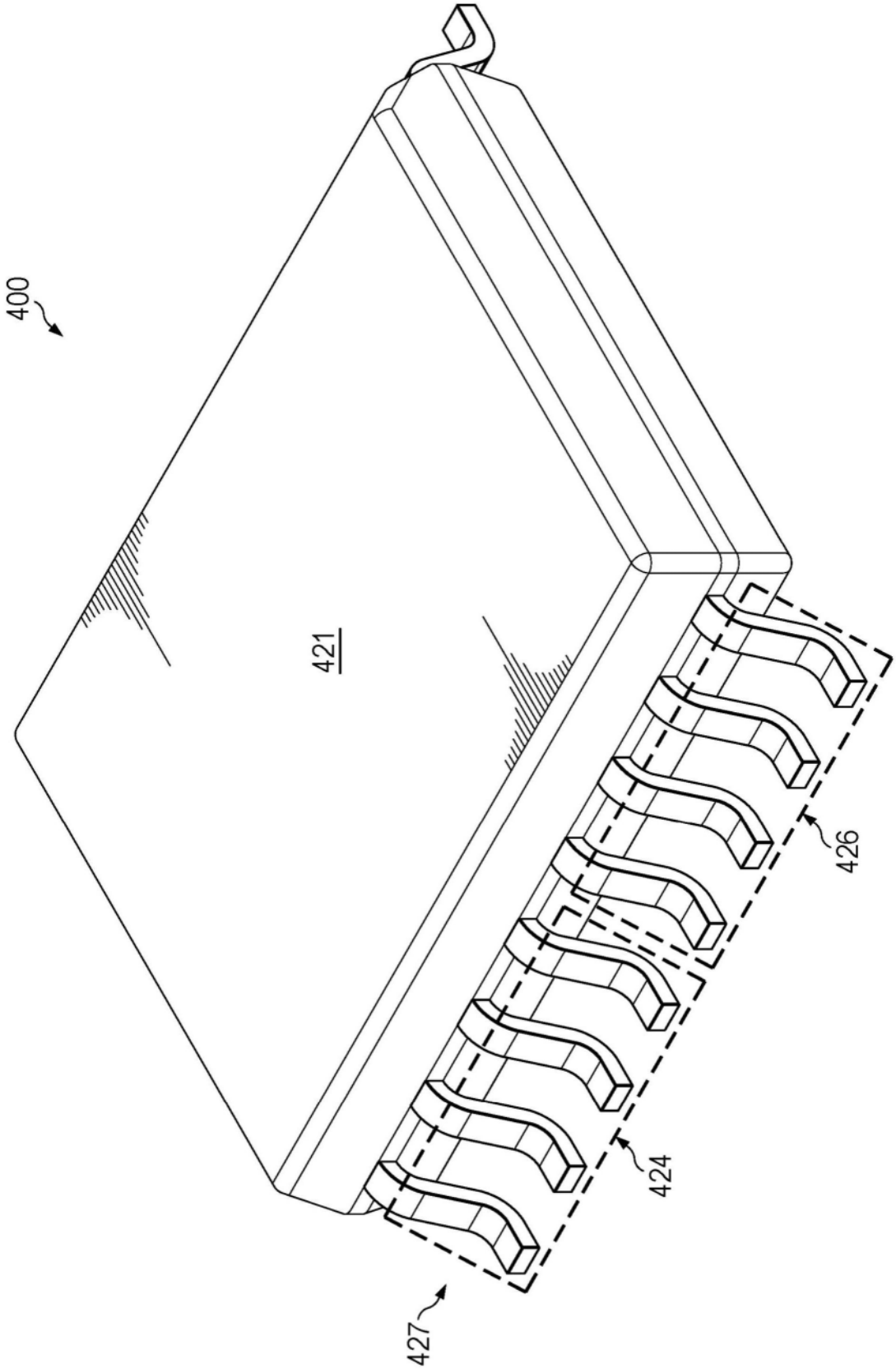


图4G

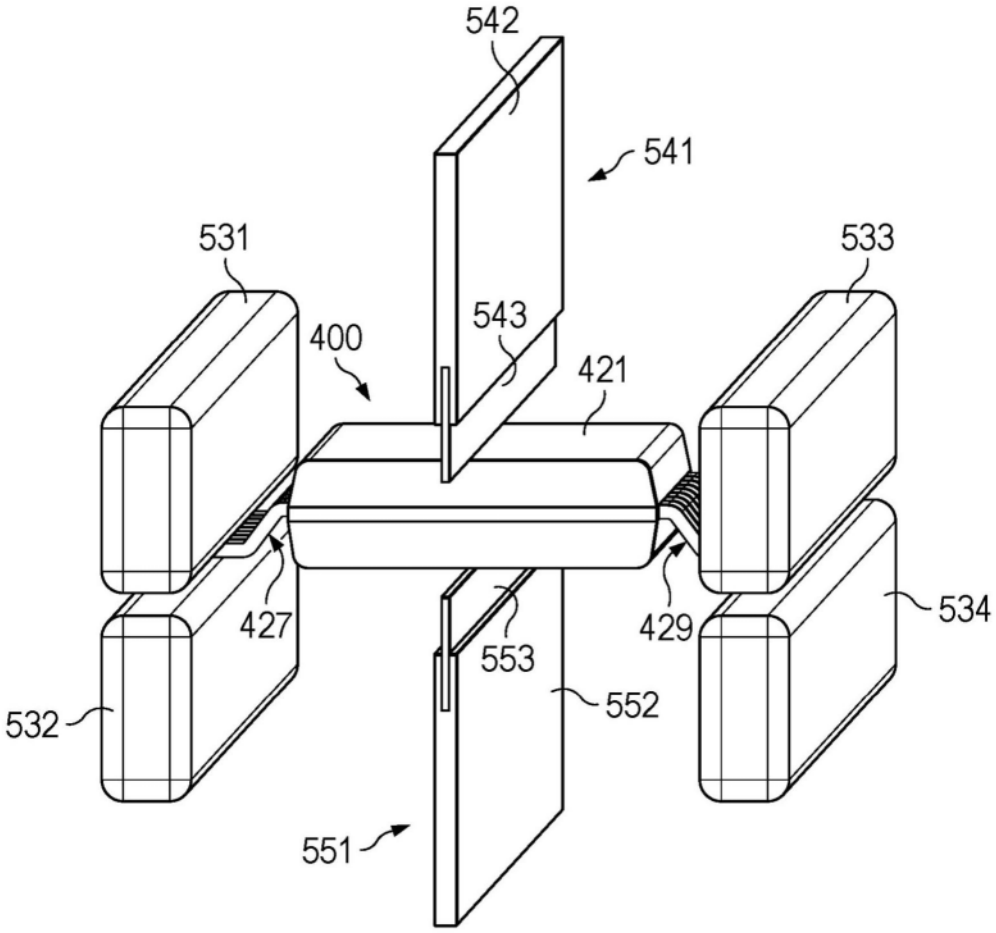


图5A

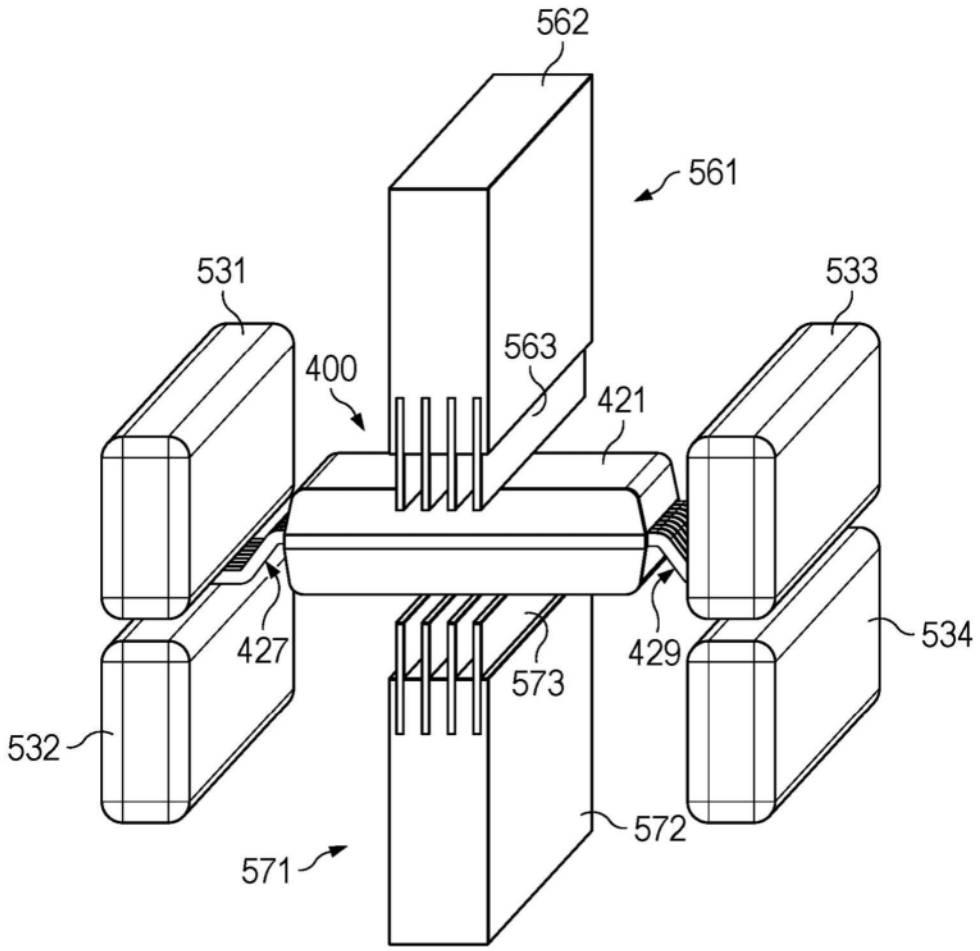


图5B

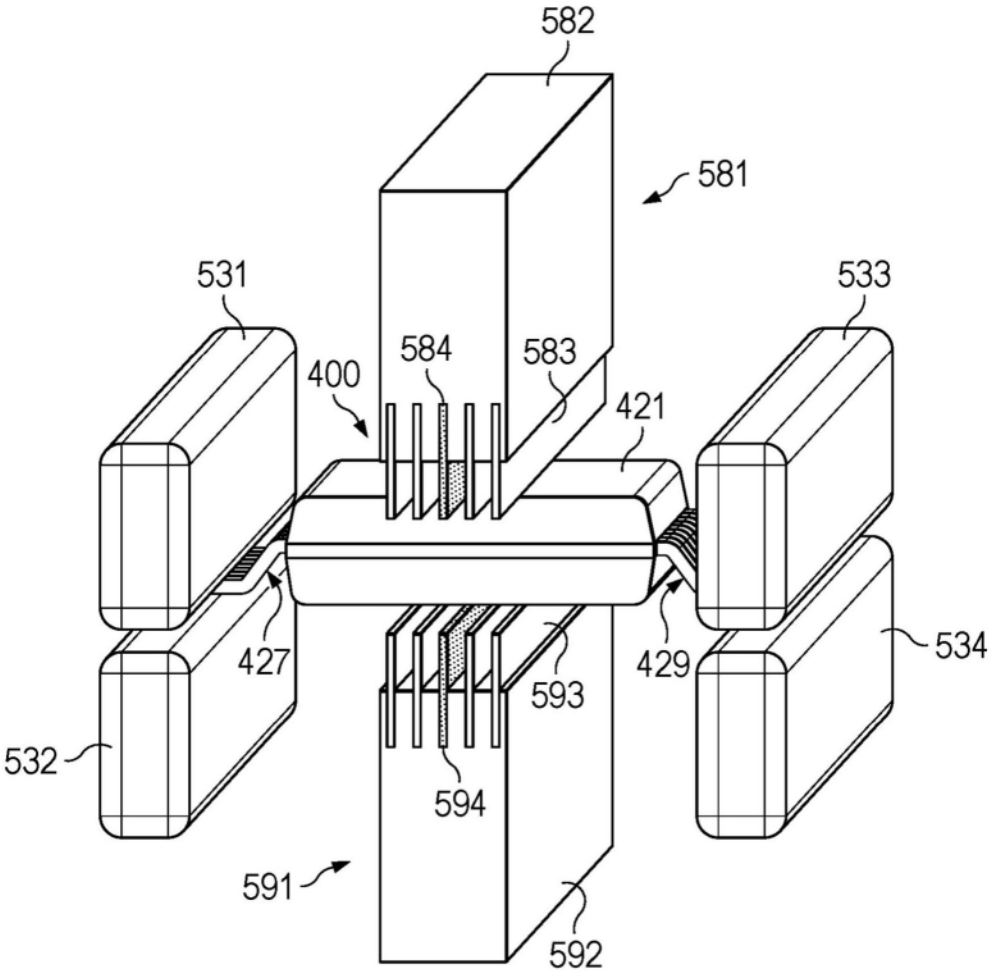


图5C

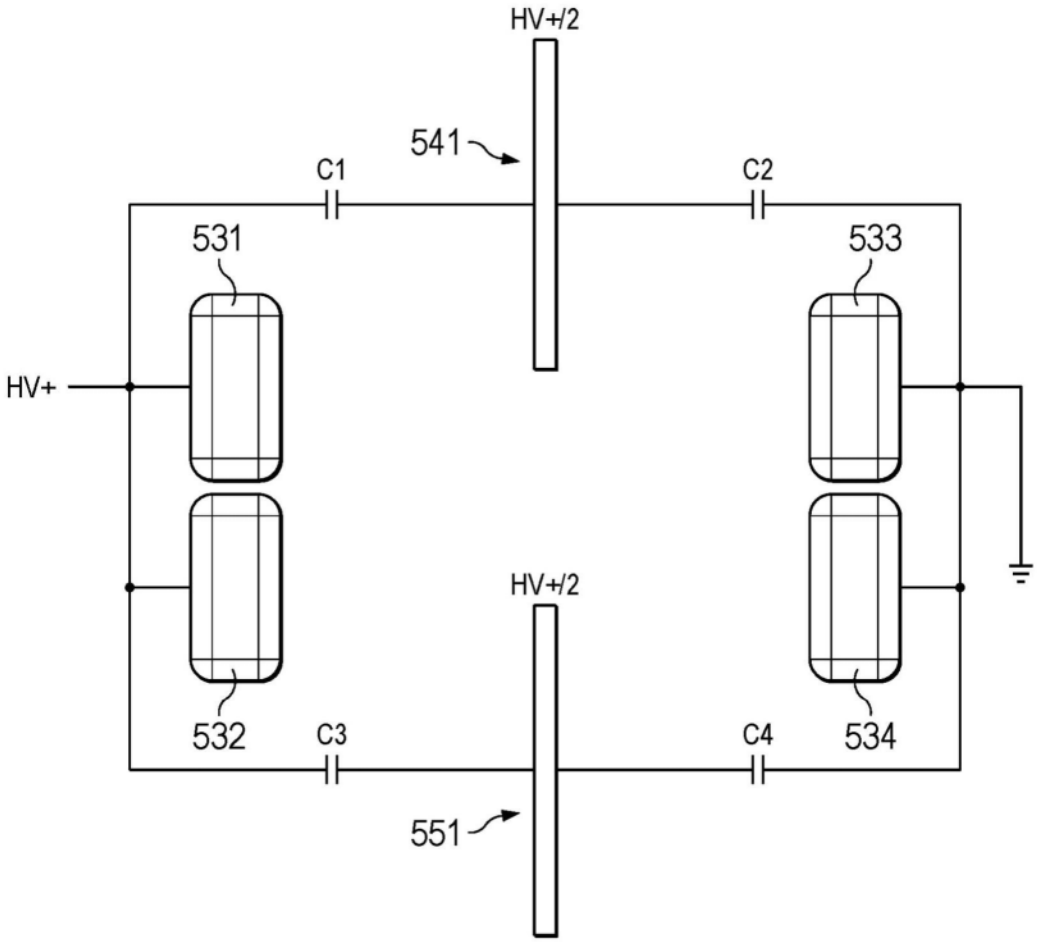


图5D

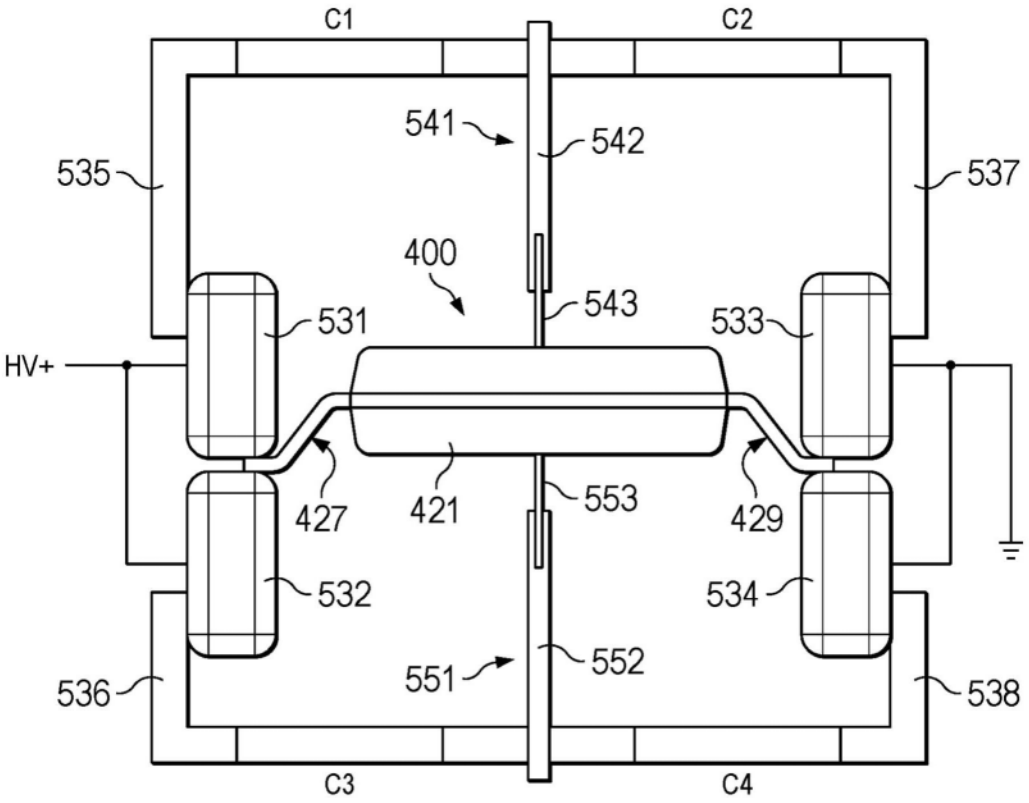

C1
C2
541
542
535
537
400
543
531
533
HV+
427
421
553
429
532
534
551
552
536
538
C3
C4

图5E

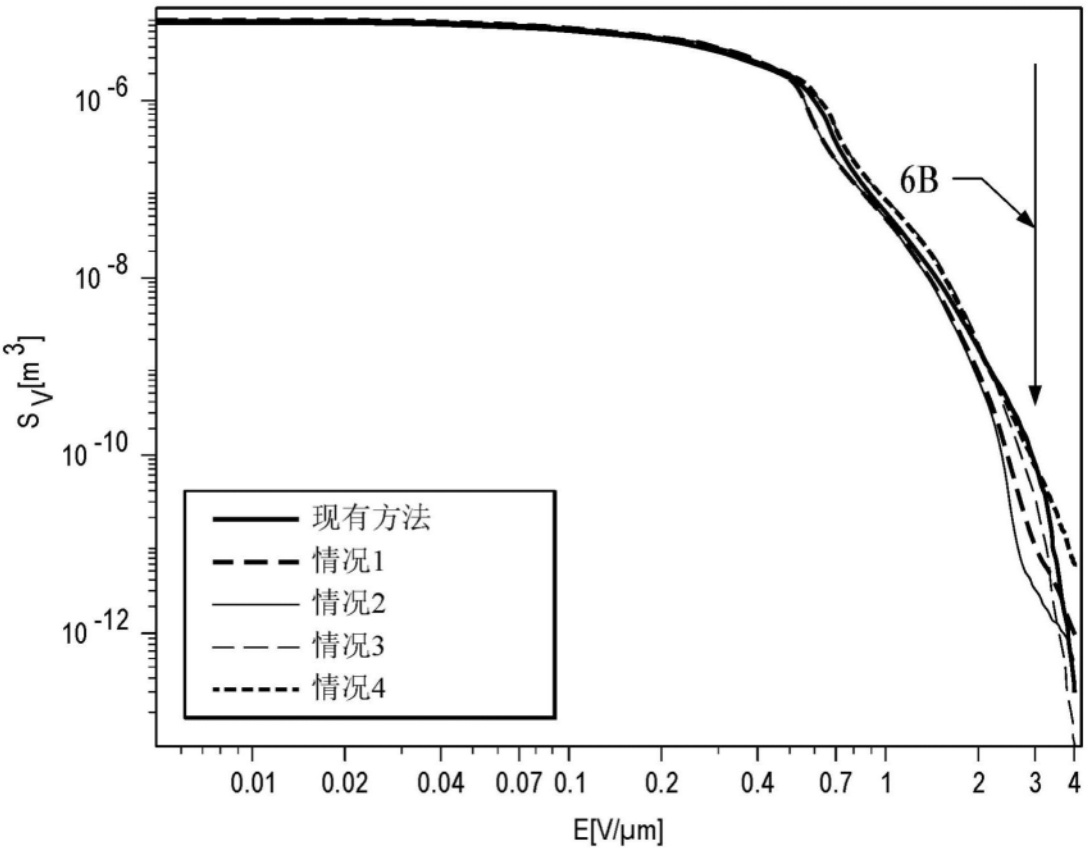


图6A

	在3 V/μm处的S_V [$\times 10^{-12}$]
现有方法	75.59
情况1 - 单片，介电常数3.2	9.43
情况2，具有聚合物的单片，介电常数1.0	2.94
情况3，4片，介电常数2.1	29.96
情况4，具有金属，介电常数2.1	73.61

图6B

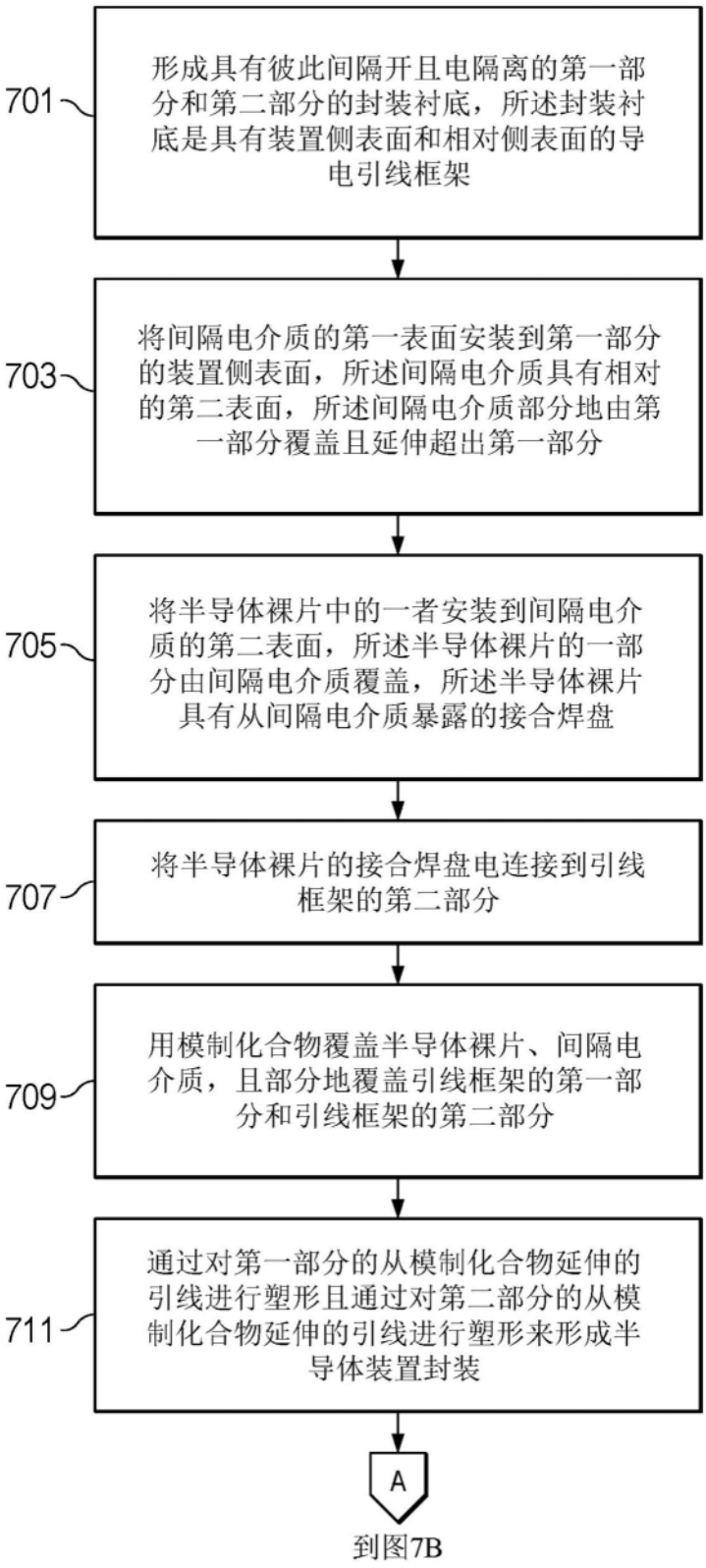

701
形成具有彼此间隔开且电隔离的第一部分和第二部分的封装衬底，所述封装衬底是具有装置侧表面和相对侧表面的导电引线框架
703
将间隔电介质的第一表面安装到第一部分的装置侧表面，所述间隔电介质具有相对的第二表面，所述间隔电介质部分地由第一部分覆盖且延伸超出第一部分
705
将半导体裸片中的一者安装到间隔电介质的第二表面，所述半导体裸片的一部分由间隔电介质覆盖，所述半导体裸片具有从间隔电介质暴露的接合焊盘
707
将半导体裸片的接合焊盘电连接到引线框架的第二部分
709
用模制化合物覆盖半导体裸片、间隔电介质，且部分地覆盖引线框架的第一部分和引线框架的第二部分
711
通过对第一部分的从模制化合物延伸的引线进行塑形且通过对第二部分的从模制化合物延伸的引线进行塑形来形成半导体装置封装
A
到图7B

图7A

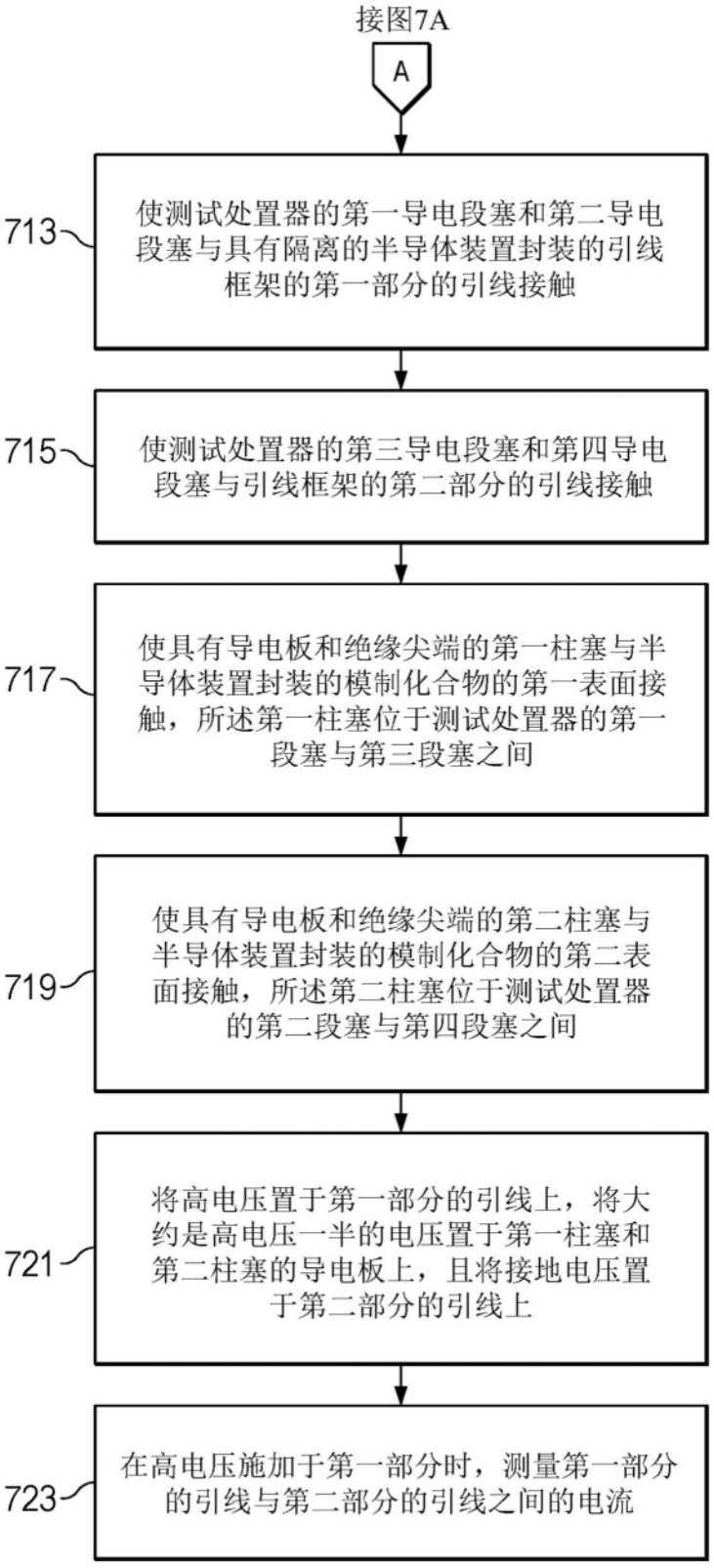

接图7A
A
713
使测试处置器的第一导电段塞和第二导电段塞与具有隔离的半导体装置封装的引线框架的第一部分的引线接触
715
使测试处置器的第三导电段塞和第四导电段塞与引线框架的第二部分的引线接触
717
使具有导电板和绝缘尖端的第一柱塞与半导体装置封装的模制化合物的第一表面接触，所述第一柱塞位于测试处置器的第一段塞与第三段塞之间
719
使具有导电板和绝缘尖端的第二柱塞与半导体装置封装的模制化合物的第二表面接触，所述第二柱塞位于测试处置器的第二段塞与第四段塞之间
721
将高电压置于第一部分的引线上，将大约是高电压一半的电压置于第一柱塞和第二柱塞的导电板上，且将接地电压置于第二部分的引线上
723
在高电压施加于第一部分时，测量第一部分的引线与第二部分的引线之间的电流

图7B