(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
H01L 21/334

(45) 공고일자 2003년05월09일
(11) 등록번호 10-0372478
(24) 등록일자 2003년02월04일

(21) 출원번호 10-1994-0022109
(22) 출원일자 1994년09월02일

(65) 공개번호 특1995-0009977
(43) 공개일자 1995년04월26일

(30) 우선권주장 93-221193 1993년09월06일 일본(JP)
94-010782 1994년02월02일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 호리우찌마사따다
일본국도꾜도가네이시누꾸이미나미쵸5-13-7

오나이다까히로
일본국도꾜도오우메시가베쵸9-4-26-303

와시오가쯔요시
일본국사이따마껜도꼬로자와시히가시도꼬로자와와다1-26-39

(74) 대리인 백남기

심사관 : 정회환

# (54) 절연막상에형성된단결정반도체막을갖는다층적층구조체및그제조방법

## 요약

다층구조체와 그 제조방법 및 상기 다층구조체를 사용해서 제조된 반도체장치와 그 제조방법에 관한 것으로서, 매우 높은 집적밀도를 갖고 고속동작이 가능한 반도체장치를 형성하기 위해, 지지기판, 지지기판상에 적층된 제 1의 절연층, 비정질 또는 다결정 반도체로 이루어지는 제 1의 반도체층, 제 2의 절연층 및 단결정 반도체로 이루어지는 제 2의 반도체층을 마련한다.
이러한 장치를 이용하는 것에 의해, 반도체장치의 동작속도를 현저하게 향상시킬 수 있고, 고성능의 반도체장치를 저가로 제조할 수 있으며, 컬렉터저항을 대폭으로 저감해서 반도체장치 및 그것을 사용한 집적회로의 고속동작을 향상시킬 수 있다.

## 대표도

도 1

## 명세서

## 도면의 간단한 설명

제 1도는 본 발명의 제 1의 실시예에 따른 반도체기판을 도시한 단면도.
제 2도는 종래의 반도체기판을 도시한 단면도.
제 3도는 종래의 반도체기판을 도시한 단면도.
제 4도는 본 발명의 제 1의 실시예의 공정도.
제 5도는 본 발명의 제 4의 실시예의 공정도.
제 6도~제 9도는 본 발명의 제 5의 실시예의 공정도.
제 10도 및 제 11도는 본 발명의 제 6의 실시예의 공정도.
제 12도~제 14도는 본 발명의 제 8의 실시예의 공정도.
제 15도~ 제 18도는 본 발명의 제 9의 실시예의 공정도.
제 19도~제 20도는 본 발명의 제 10의 실시예의 공정도.
제 21도~제 23도는 본 발명의 제 11의 실시예의 공정도.
제 24도 및 제 25도는 본 발명의 제 12의 실시예의 공정도.
제 26도는 본 발명의 제 13의 실시예에 따른 컴퓨터의 구조를 도시한 도면.
제 27도는 본 발명의 제 14의 실시예에 따른 광전송 시스템의 구조를 도시한 도면.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다층적층구조체(이하, 다층구조체라고도 한다) 및 상기 다층구조체를 사용해서 제조된 반도체장치 및 그 제조방법에 관한 것이다. 특히, 본 발명은 절연막상에 형성된 매우 얇은 단결정 반도체막을 갖는 다층구조체와 그 제조방법, 매우 얇은 단결정 반도체층을 사용해서 형성된 MOS 트랜지스터와 바이폴라 트랜지스터 및 이들 트랜지스터의 제조방법에 관한 것이다.
제 2도에 도시된 바와 같이, 단결정 Si층 (3) 이 절연막 (2) 를 거쳐서 지지기판 (Si기판) (1) 상에 형성된 구조는 주지이다.
이와 같은 구조는 일반적으로 SOI (Silicon On Insulator) 기판이라 불린다. 이와 같은 SOI 기판은 고농도의 산소이온을 Si기판의 표면영역에 이온주입해서 이산화 실리콘을 형성한 후, 고온의 열처리에 의해 단결정화를 위해 표면 근방의 결정 결함을 회복시켜서 매립산화막 (2) 의 품질을 향상시키는 공정에 의해서 제조된다.
또, SOI 기판은 단결정SI기판 (1) 상에 형성된 이산화 실리콘막(2)에 제 2의 단결정SI기판 (3) 을 접착제를 사용하지 않고 직접 접착시킨 후, 제 2의 Si기판 (3) 의 이면에서 연삭 및 연마를 실행해서 제 2의 Si기판 (3) 의 두께를 얇게 하고, 이것에 의해 얇은 단결정Si막 (3) 아래에 이산화 실리콘막 (2) 가 매립된 구조를 형성하는 공정에 의해서 제조된다.
이것에 의해, 두께가 100 200nm인 매우 얇은 단결정 반도체층이 결연막상에 형성된 SOI 기판을 형성할 수 있다.
이와 같은 SOI 기판은 매우 얇은 SOI MOS 트랜지스터용 기판으로서 이미 실용화되어 있었다. 이러한 SOI 기판을 사용한 매우 얇은 SOI MOS 트랜지스터에 있어서, 소오스/드레인 접합을 두꺼운 매립산화막상에 형성할 수 있으므로, 소오스/드레인 기생용량을 종래의 1/2이하로 저감할 수 있다. 또, 게이트 용량과 금속 기생용량도 매립산화막의 영향으로 현저하게 저감할 수 있으므로, 트랜지스터의 동작을 고속으로 실행할 수 있다. 또한, 제조방법도 웰형성공정을 생략하는등 SOI 기판을 사용해서 현저하게 간단화할 수 있으므로, 제조원가를 현저하게 저감할 수 있다.
제 3도에 도시한 바와 같이 SOI 기판을 사용한 바이폴라 트랜지스터도 주지이다. 제 3도에 있어서, (1) 은 단결정 실리콘 (Si) 으로 이루어진 지지기판이고, (2) 는 산화실리콘막이고, (3) 은 단결정 실리콘으로 이루어진 SOI 층 (절연막상에 형성된 단결정 반도체층을 본 명세서에서는 SOI층이라 한다) 이다.
n 형 고농도 컬렉터 영역 (4) 는 SOI층 (3) 내에 선택적으로 형성되고, 얇은 단결정 실리콘층은 주지의 에피택셜 성장법에 의해 SOI층 (3) 의 주표면상에 형성된다. 제 3도에 있어서, (5) 는 소자내 분리절연막이고, (6) 은 소자간 분리절연막이고, (7) 은 필드 산화막이고, (8) 은 p 형 진성 베이스 영역이고, 이들 각각은 상기 단결정 실리콘층에 형성된다. 또, (9) 는 베이스 인출전극이고, (10) 은 전극보호절연막이고, (11) 은 이미터-베이스 분리 절연막이고, (12) 는 베이스 인출전극이고, (13) 은 그래프트 베이스(graft base)영역이고, 이들의 각각은 베이스 인 출전극 (9) 으로부터의 불순물확산에 의해서 형성된다. (15) 는 이미터 영역이고, (16), (17) 및 (18) 은 각각 이미터, 베이스 및 컬렉터 금속전극이다.
제 3도에 도시된 트랜지스터는 절연막 (2) 에 의해서 실리콘기판 (1) 에서 완전하게 분리되어 있으므로, 컬렉터-기판 용량이 저하하는 것에 의해 동작속도가 증가하고, α선 조사에 의해서 기판내에 발생한 전하에 의한 회로오동작이나 잡음의 발생이 방지된다.
제 3도에 도시된 기판에 있어서, SOI 층 (3) 의 막두께는 컬렉터 영역 (4) 의 저항값을 충분히 낮게 하기 위해 통상 1 μm 이상의 두께로 되도록 이루어지고, 따라서 이 기판내의 SOI층은 매우 얇은 SOI MOS 트랜지스터에 사용되는 것과는 다르다.

MOS 트랜지스터는 바이폴라 트랜지스터에 비해서 미세구조 즉 고집적화에 적합하지만, 부하구동능력이 바이폴라 트랜지스터보다 떨어지므로 고속동작에는 적합하지 않다. 고속이고 또한 고집적인 대규모 집적회로를 실현하기 위해, MOS 트랜지스터와 바이폴라 트랜지스터를 조합한 회로도 널리 실용화되어 BiCMOS회로라 불리고 있다. 이 경우, MOS 트랜지스터를 얇은 SOI 층내에 형성하면, 기생용량의 저감효율에 의해서 부하구동능력을 향상시킬 수 있게 된다. 그러나, 이것은 대형 컴퓨터에 사용되는 고속 반도체장치로서는 고속성능에 있어서 아직 불충분하다.

BiCMOS회로를 얇은 SOI 층내에 형성하면, 더욱 고집적할 수 있는 MOS 트랜지스터와 부하구동능력이 우수하고, 고속동작이 가능한 바이폴라 트랜지스터의 우수한 특성을 아울러 갖는 대규모 집적회로를 실현할 수 있고, 대형 컴퓨터 등의 성능 향상을 달성할 수 있다.

얇은 SOI 층내에 바이폴라 트랜지스터를 제조하는 기술은 본 발명자들에 의해서 일본국 특허공개공보 평성 3-130977호에 기재되어 있다. 그러나, 여기에 기재되어 있는 바이폴라 트랜지스터는 이미터, 베이스 및 컬렉터가 횡방향으로 배치된 소위 횡형 트랜지스터이고, 베이스폭은 최소가공치수와 불순물 확산 조건에 의해서 결정된다. 현재의 불순물 확산기술을 사용하면, 베이스폭을 50nm이하까지 억제성 좋게 형성할 수 있지만, 에칭에 의한 최소가공치수는 노출방법등에 따라 다르지만, 거의 수 100nm가 한계이고, 또한 가공치수의 변동도 크다.

한편, 이미터, 베이스 및 컬렉터가 종방향으로 배치되는 종형 트랜지스터는 진성 컬렉터폭 및 베이스폭등을 얇게 하는 것에 의해서 성능이 개선되어 고속동작이 실현되었다. 그러나, 이 종형 트랜지스터에 있어서는 미세가공의 한계 때문에 횡방향의 치수를 매우 작게하는 것이 곤란하므로, 고속동작을 더욱 향상시키는 것은 곤란하였다.

따라서, 상기 종래의 방법에 따르면, 매우 높은 집적밀도를 갖는 MOS 트랜지스터와 또 고속동작이 가능한 종형 바이폴라 트랜지스터를 동일한 얇은 SOI 층내에 제조하는 것은 곤란하였다.

본 발명의 목적은 상술한 종래의 문제점을 해결하기 위해 이루어진 것으로, 매우 높은 집적밀도와 고속동작을 갖는 반도체장치를 형성할 수 있는 SOI 층을 갖는 SOI 기판 및 그 제조방법을 제공하는 것이다.

본 발명의 다른 목적은 상기 매우 얇은 SOI 기판상에 동시에 형성된 고집적 밀도를 갖는 매우 얇은 SOI MOS 트랜지스터와 고속동작을 하는 얇은 SOI 바이폴라 트랜지스터를 제공하는 것이다.

본 발명의 또 다른 목적은 제3도에 도시한 종래의 바이폴라 트랜지스터에 비해서 컬렉터 저항이 낮고, 진성 컬렉터 영역의 접합이 얕고, 에피택셜 성장공정이 불필요하며, 제조원가를 저감할 수 있는 고성능의 바이폴라 트랜지스터를 제공하는 것이다.

상기 목적을 달성하기 위해, 본 발명에 따르면, 어떠한 접착제도 사용하지 않고 2매의 기판을 서로 직접 접착하는 다층구조를 갖는 SOI 기판을 마련한다. 2매의 기판을 접착하는 것이 가능한지 아닌지는 접착시킬 2개의 표면의 미시적 및 거시적인 평탄성에 강하게 의존하고, 표면의 재질에는 의존하지 않는다. 그 때문에, 기판의 주표면상에 각종 절연막 또는 반도체박막이 형성되어 있어도 최상부의 막의 표면의 평탄성이 충분이 양호하면, 지장없이 서로 직접 접착시킬 수 있다.

따라서, 이와 같은 접착기술을 사용하는 것에 의해, 바라는 반도체막 및 절연막등의 다층막이 내부에 매립된 다층구조의 SOI 기판을 용이하게 실현할 수 있다.

상기 2매의 기판을 서로 직접 접착시켜서 상기 다층구조의 SOI 기판을 형성한 후에, 한쪽의 반도체 기판의 이면측에서 지정된 값에 도달할 때까지 연삭과 연마를 실행한 후, 또 에칭을 실행해서 상기 한쪽의 반도체기판의 두께를 얇게 한다. 이 방법에 의해서 두께가 수 100nm인 매우 얇은 단결정 반도체층 (SOI 층) 아래에 얇은 산화막, 얇은 실리콘막 및 두꺼운 산화막등이 매립된 다층구조의 SOI 기판을 얻을 수 있다. 상기 다층구조의 SOI 기판에 있어서, SOI 층의 표면에서 두꺼운 산화막으로 연장하는 소자간 분리절연막을 형성한 후, 공지의 제조방법을 사용해서 SOI 층의 활성영역에 트랜지스터등의 반도체장치를 형성한다. 이 경우, 종래의 방법과는 달리 고농도 컬렉터 영역 (4) 와 에피택셜층을 형성하지 않고 진성베이스 (8), 베이스 인출전극 (9), 그래프트 베이스 (13), 이미터 (15) 등을 형성할 수 있다. 그 후, 종래의 방식에서는 컬렉터 인출영역 (12) 가 형성되어 있던 영역에 상기 실리콘막에 도달하는 열린구멍부를 형성하고, 활성영역의 하부의 실리콘막을 선택적으로 제거해서 활성영역의 하부에 터널을 형성한다. 상기 열린구멍부의 형성에 앞서서, 실리콘 질화막과 같은 선택적으로 제거가 가능한 막을 전면에 형성하여 활성영역의 표면을 보호한다. 터널의 상부 상의 얇은 산화막을 제거한 후, 고농도 n형 불순물, 예를 들면 인으로 도프된 실리콘을 화학기상반응법 (Chemical Vapor Deposition Reaction) 등에 의해서 퇴적시키켜 상기 터널내를 충진시킨다.

다음에, 열처리에 의해서 불순물을 실리콘막에서 터널상의 SOI 층으로 확산시킨다. 그 후, 주표면상에 형성된 고농도 불순물이 첨가된 실리콘층을 패터닝하고, 금속으로 이루어진 이미터, 베이스 및 컬렉터전극을 형성하여 트랜지스터를 완성한다.

상기 컬렉터영역의 형성 이후는 고온의 열처리가 실행되지 않으므로, 불순물의 확산이 매우 적고, 급준한 불순물 분포가 유지된다. 또, 상기 컬렉터영역은 실리콘막으로 부터의 불순물 확산 대신에 기상확산에 의해서 형성하고, 그 후에 저저 항 도체막으로 터널을 충진해도 좋다. 상기 저저항 도체막은 실리콘 이외에 텅스텐 (W) 이나 알루미늄 (Aℓ) 이나 금속 질화물등과 같은 화학기상반응법에 의해 형성가능한 금속이라도 좋다. 또, 이들 막은 상기 재질의 다층막이라도 좋다. 또, 상술한 제조방법에 있어서, 컬렉터 영역을 이미터 영역의 형성후에 형성하였지만, 이들 영역을 동시에 또는 순서를 바꾸어 형성해도 좋다. 매우 얇은 SOI MOS 트랜지스터는 공지의 방법을 사용해서 다층구조의 SOI 기판상에 형성해도 좋다.

상술한 제조방법에 있어서는 다층구조의 SOI 기판을 사용하였지만, 본 발명은 제 1의 통상의 실리콘 기판의 표면상에 절연막등을 형성한 후, 그 표면을 기계적, 화학적 연마등에 의해서 평탄화하고 나서 제 2의 기판을 제 1의 기판에 직접 접착시키고, 그 후 제 1의 기판의 이면측에서 연삭과 연마를 실행하여 제 1의 기판의 두께를 얇게 하는 것에 의해 형성된 SOI 기판에도 적용된다. 이 경우, 제 1의 통상의 실리콘 기판상에 실리콘막과 같은 다음의 공정에서 다른 저저항 도체막으로 치환되는 막을 패터닝해서 남겨두는 것에 의해, SOI 기판의 형성후에 이 실리콘막이 SOI 기판 아래에

배치된다. 이와 같이 얻어진 구조에 대해서 상기 다층구조의 SOI 기판의 제조 방법을 적용할 수 있다. 이 경우, 매립된 저저항 도체층을 바라는 형상으로 패터닝할 수 있다. 따라서, 이것은 게이트 전극이 매립된 구조를 갖는 MOS 트랜지스터의 매립 게이트 전극의 형성에도 적용할 수 있다.

본 발명에 의하면, 초고속 동작이 가능한 종형 바이폴라 트랜지스터와 MOS 트랜지스터가 동일 SOI 막상에 형성되어 있는 SOI 기판을 얻을 수 있다. 이것은 매우 높은 집적밀도를 갖는 매우 얇은 SOI MOS 트랜지스터의 부하구동능력을 향상시 킬 수 있고, 매우 얇은 SOI MOS 트랜지스터의 우수한 특징과 바이폴라 트랜지스터의 고속 동작을 조합시킨 BiCMOS 대규모 집적회로를 실현할 수 있으며, 대형 컴퓨터의 성능을 향상시킬 수 있다.

또, 반도체장치를 제조에 있어서, 에피택셜 성장공정을 생략할 수 있다. 에피택셜 성장공정은 높은 처리온도를 필요로 한다. 특히, 완전한 결정성장을 얻기 위해서는 기판 표면상에 청정화 기상 처리를 고온으로 실행할 필요가 있어, 하지 불순물층으로 부터의 불순물의 외부확산 및 성장중의 에피택셜층으로의 불순물 확산을 피하는 것이 곤란하다. 그 때문에, 에피택셜 성장공정 후, 고농도의 컬렉터 영역에 급준한 불순물 분포를 유지하는 것이 곤란하다.

에피택셜 성장공정의 다른 결점은 대량처리가 곤란하고 반도체장치가 고가로 되는 것이다. 그러나, 본 발명에 의하면, 에피택셜 공정을 생략하는 것에 의해 이들 결점을 해소할 수 있다. 또, 불순물 분포가 매우 급준한 고농도의 컬렉터 영역과 우수한 특성을 갖는 반도체장치를 저가로 형성할 수 있다.

또, 본 발명에 의하면, 컬렉터 영역이 모든 고온열처리가 종료한 후에 형성되므로, 금속재료와 같은 저저항 도전체로 컬렉터 인출영역을 형성할 수 있어 컬렉터 저항을 현저하게 저감할 수 있다.

이하, 실시예를 사용해서 본 발명을 상세하게 설명한다. 이해를 용이하게 하기 위해, 주요부분은 확대해서 도시되어 있다. 또한, 각 부의 재질, 반도체층의 도전형 및 제조조건은 다음의 실시예의 기재에 제한되지 않는 것은 물론이다.

실시예 1

제 1도 및 제 4도는 본 발명에 의한 다층구조의 SOI 기판 및 그 제조방법을 설명하기 위한 단면도이다. 이 실시예에 있어서, 지지기판 (1) 로서 면방위 100, 저항율 10Ωcm, 직경 12.5cm의 n형 단결정 실리콘 기판을 사용하였다. 이 지지기판 (1) 의 전면에 걸친 평탄도는 2 μm 이하이고, 0.5μm $^2$ 의 미소영역에 있어서의 평균 표면 거칠음은 4nm이하로 매우 평탄하였다.

지지기판 (1) 의 주표면상에 주지의 열산화법에 의해서 두께가 500nm인 이산화 실리콘막 (이하, 산화막이라 한다) (2) 를 형성하였다. 또, 상기 지지기판 (1) 과 동일한 사양을 갖는 실리콘기판 (3) 이 별도로 마련되고, 주표면상에 두께가 10nm인 산화막 (20) 과 두께가 500nm인 실리콘막 (19) 이 순서대로 적층된다. 상기 실리콘막 (19) 는 $Si_2N_6$ 을 소오스 가스로 해서 CVD (Chemical Vapor Deposition) 법에 의해서 520℃에서 형성하였다. 이와 같이 얻어진 퇴적막은 비정질이고, 평균 표면 거칠음은 4nm이하로 매우 평탄하였다.

주지의 청정처리에 의해 산화막 (2) 와 실리콘막 (19) 의 표면에서 미립자등의 이물질을 제거하였다. 그 후, 제 4도에 도시한 바와 같이, 양자의 계면에 기포가 발생하지 않도록, 먼지가 없는 환경하에서 산화막 (2) 와 실리콘막 (19) 의 표면을 서로 밀착시키고, 산화막 (2) 와 실리콘막 (19) 을 서로 직접 접착시켰다. 산화막 (2) 와 실리콘막 (19) 의 접착강도를 높이기 위해, 1100℃에서 1 hr동안 열처리를 실시하였다. 이러한 열처리에 의해, 산화막 (2) 와 실리콘막 (19) 의 접착강도가 단결정 실리콘 기판의 Si-Si 접착강도와 동일 정도로까지 크게 되었다.

다음에, 제 1도에 도시한 바와 같이 500nm의 균일한 두께를 갖는 단결정 실리콘 기판 (3) 이 산화막 (2) 상에 남을 때까지 실리콘 기판 (3) 의 이면측에서 주지의 연삭 및 연마를 실행하여 실리콘 기판 (3) 의 두께를 얇게 하였다.

이러한 SOI 기판에 있어서, 제 1도에서 명확한 바와 같이 얇은 단결정 실리콘층 (3) 아래에 얇은 절연막 (20) 을 거쳐서 반도체 박막 (19) 와 두꺼운 절연막 (2) 가 적층된다. 따라서, 후술하는 바와 같이, 매우 얇은 SOI MOS 트랜지스터와 종형 바이폴라 트랜지스터를 동일한 지지기판 (1) 상에 형성할 수 있다. 이것에 의해 초고속 동작이 가능하고 집적밀도가 매우 높은 대규모 집적회로가 실현되었다.

이 실시예에 있어서, 지지기판 (1) 상의 두꺼운 산화막 (2) 의 표면을 실리콘막 (19) 의 표면에 직접 접착시키지만, 상기 산화막 (2) 를 CVD 법등에 의해 실리콘막 (19) 상에 형성해도 좋고, 산화막이 형성되어 있지 않은 지지기판 (1) 의 표면에 직접 접착시켜도 좋다.

또, 이 실시예에 있어서, 2개의 실리콘 산화막 (2), (20) 과 실리콘층 (19) 를 지지기판 (1) 과 SOI 층 (3) 사이에 개재하였지만, 본 발명은 이러한 구조에 한정되는 것은 아니고, 여러가지로 변경가능하다. 예를 들면, 지지기판과 SOI 층 사이에 형성된 층의 수와 재질을 이 실시예와 다르게 해도 좋다. 각층을 적층시키는 순서도 적절하게 변경가능하며, 원하는 층에 다른 층을 삽입해도 좋다. 웨이퍼의 직접 접착이 실행되는 위치, 즉 2개의 표면이 서로 대향해서 직접 접착되는 위치를 형성해야할 반도체장치에 따라서 적절하게 선택할 수 있다.

실시예 2

실시예 1 에 있어서, 지지기판으로서 두께가 500nm인 산화막과 CVD 법에 의해 형성된 두께가 50nm인 실리콘 질화막으로 이루어진 다층 절연막 (2) 가 표면상에 형성된 실리콘 기판 (1) 을 사용하고, SOI 층으로 되는 반도체 기판 (3) 으로서는 GaAs의 단결정 기판 (화합물 반도체) 을 사용하였다. 반도체 기판 (3) 의 주표면상에는 플라즈마CVD 법에 의해 두께가 10nm인 실리콘 산화막 (20) 을 형성하였고, 상기 실리콘막 (19) 대신에 진공증착법에 의해서 두께가 300nm인 Ge막을 형성하였다.

실시예 1과 마찬가지로, 적층절연막 (2) 와 Ge (19) 를 서로 밀착시키고 압력을 가하는 것에 의해서 지지기판 (1) 과 반도체기판 (3) 을 서로 직접 접착시킨 후, 600℃의 열처리를 실행하여 접착강도를 강화하였다.

다음에, 실시예 1과 마찬가지로, 300nm의 균일한 두께를 갖는 단결정 화합물 반도체로 이루어지는 SOI 층 (3) 이 산화막 (20) 상에 남을 때까지 그 이면측에서 반도체기판 (3)의 두께를 얇게 하였다.

이 실시예에서 형성된 SOI 기판에 있어서, 단결정 화합물 반도체로 이루어지는 얇은 SOI 층 (3) 아래에 얇은 절연막 (20) 을 거쳐서 반도체 박막 (19), 두꺼운 절연막 (2) 및 실리콘 다결정 기판으로 이루어지는 지지기판 (1) 이 형성되었

다. 그 때문에, 후술하는 바와 같이, 기계적 강도가 우수한 실리콘 지지기판상에 화합물반도체 트랜지스터를 형성할 수 있고, 이것에 의해 베이스/컬렉터간 기생용량이 작고 동작속도가 매우 빠른 화합물 반도체 트랜지스터를 얻을 수 있었다.

이 실시예에 있어서, SOI 층을 구성하는 화합물 반도체기판 (3) 으로서 GaAs 를 사용하였지만, 에피택셜 성장공정에 의해서 이미터 반도체층으로 되는 n 형 저지항 GaAs층, 버퍼층으로 되는 n 형 GaAs층, 베이스 반도체층으로 되는 저저항 p 형 GaAs층 및 진성 컬렉터층으로 되는 n 형 GaAs층이 순차 적층되는 GaAs기판을 기판으로 사용해도 좋다. 화합물 반도체기판 (3) 으로서, GaAs뿐만 아니라, InP 를 사용해도 좋다. 또, 에피택셜 성장공정에 의해서 n 형 GaAs층, n 형 이미터 InP 층, InGaAs버퍼층, p 형 베이스 InGaAs층, n 형 컬렉터 InGaAs층이 순차 적층되는 InP 기판을 사용해도 좋다.

서로 재료가 다른 반도체층이 화합물 반도체기판상에 적층되어 있는 경우, SOI 층을 형성하기 위해 상기 두께를 얇게 하는 공정은 연삭 및 연마를 실행하여 바라는 값까지 두께를 얇게 하고 나서, 남아있는 GaAs층 또는 InP 층만을, 예를 들러 InGaAs층을 스토퍼로서 사용한 화학적 에칭법에 의해서 완전하게 제거하는 것에 의해, 에피택셜층만을 최종적으로 남도록 해도 좋다.

실시예 3

한쪽의 접착면인 비정질 실리콘막 (19) 대신에 CVD 법에 의해서 형성된 실리콘 질화막 (19') 를 사용하는 것 이외에는 실시예 1과 동일한 방법으로 다층구조의 SOI 기판을 형성하였다.

이 실시예에서 형성된 다층구조의 SOI 기판에 있어서, 얇은 단결정 실리콘층 (3) 아래에 얇은 절연막 (20) 을 거쳐서 실리콘 질화막 (19') 와 두꺼운 절연막 (2) 가 형성되었다. 그 때문에, 후술하는 바와 같이, 매우 얇은 SOI MOS 트랜지스 터와 종형 바이폴라 트랜지스터를 동일한 지지기판상에 형성할 수 있고, 이것에 의해 고속동작이 가능하고 또한 고집적도를 갖는 대규모 집적회로를 실현할 수 있다.

또, 이 실시예의 다층구조의 SOI 기판에 있어서, 실리콘 질화막 (19') 가 SOI 층 (3) 아래에 형성되어 있으므로, 산화막 (2) 에 의해 SOI 층 (3) 에 인가되는 인장강도가 실리콘 질화막 (19') 에 의해서 완화된다. 그 결과, SOI 기판의 챔버가 5㎛이하, 즉 실리콘 질화막 (19') 가 존재하지 않는 SOI 기판의 1/10로 저감된다. 이 실시예에 있어서, 실리콘막 (19) 대신에 실리콘막상에 적층된 실리콘 질화막의 다층막을 사용하고, 두꺼운 산화막 (2) 를 갖는 지지기판 (1) 에 직접 접착시키는 경우에도 동일한 효과를 얻을 수 있다.

실시예 4

제 5도는 본 발명의 제 4의 실시예를 도시한 도면이다. 실시예 1에 있어서, 연삭 및 연마에 의해서 SOI 층 (3) 의 두께를 약 3㎛로 되도록 얇게 하고, SOI 층 (3) 의 웨이퍼의 두께분포를 광학적 분포에 의해 측정해서 측정된 데이타를 컴퓨터에 저장하였다. 이 측정은 SOI 층 (3) 의 표면은 1,024로 분할되고, 두께는 각 분할면마다 그 위치 함수로서 표시되로록 실행되었다.

다음에, $SF_6$ 을 반응가스로서 사용한 마이크로파 드라이에칭 장치내에 상기 SOI 기판을 넣고, 1mm 의 제한된 직경을 갖는 플라즈마빔 (100) 에 의해서 SOI 층 (3) 의 특정부분을 선택적으로 에칭하였다. 상기 에칭은 미리 측정해 둔 막두께분포에 따라서 에칭량을 제어하는 것에 의해 실행되었다. 상기 에칭에 의해, SOI 층 (3) 의 두께를 100nm의 설정 막두께에 대해서 5nm이하의 오차로 제어할 수 있었다.

본 실시예에서 형성된 SOI 기판에 있어서, 얇은 단결정 실리콘으로 이루어진 얇은 SOI 층 (3) 아래에 절연막 (20), 반도체막 (19) 및 두꺼운 절연막 (2) 가 형성되어 있다. 그 때문에, 후술하는 바와 같이, 동일한 지지기판상애 매우 얇은 SOI MOS 트랜지스터와 종형 바이폴라 트랜지스터를 형성할 수 있어, 초고속 동작이 가능하고, 고집적도를 갖는 대규모 집적회로를 실현할 수 있다.

이 실시예에서 형성된 반도체기판에 있어서, SOI 층 (3) 의 두께의 변동은 5nm이하 이내이고, 실시예 1에서 형성된 SOI 기판의 1/20 로 향상되었다.

실시예 5

본 발명의 제 5의 실시예에 대해서 제 6도~제 9도를 참조해서 설명한다. SOI 기판 (3) 으로서 면방위100, 저항율10 Ωcm, 직경12.5cm의 n 형 단결정 실리콘 기판을 사용하고, 실시예 4와 동일한 방법으로 다층구조의 SOI 기판을 형성하였다.

다층구조의 SOI 기판의 주표면에서 실리콘 산화막(2) 및 얇은 실리콘 산화막 (20) 에 각각 도달하도록 깊은 홈 및 좁은 홈을 형성한 후, 소자간 분리절연막 (6) 및 소자내 분리절연막 (5) 를 각각 깊은 홈 및 좁은 홈내에 동시에 매립하였다.

다음에, 제 6도에 도시한 바와 같이, 활성영역 이외의 SOI 층 (단결정 실리콘층) (3) 의 주표면상에 두께가 300nm인 필드 산화막 (7) 을 형성하였다.

주지의 바이폴라 트랜지스터의 제조방법을 사용해서 진성 베이스영역 (8), 고농도의 p 형 불순물이 첨가된 다결정 실리콘막으로 이루어진 베이스 인출전극 (9), 전극보호절연막 (10) 및 이미터--베이스 분리절연막 (11) 을 형성하였다. 열처리를 실행해서 그래프트 베이스영역 (13) 을 형성하고, 또 고농도의 n 형 분순물이 첨가된 다결정 실리콘막으로 이루어진 이미터 인출전극 (21) 을 형성한 후, 단시간동안 고온으로 열처리를 실행해서 얕은 접합을 갖는 이미터 영역 (15) 를 형성하였다. 또, 그래프트 베이스 영역 (13) 의 형성을 위한 열처리와 이미터 영역 (15) 의 형성을 위한 열처리를 공통화해서 동시에 실행해도 좋다.

이미터영역 (15) 를 형성한 후, 질화막 (22) 를 전면에 걸쳐서 배치하고, 또 열린구멍부 (23) 을 형성하였다. 상기 질화막 (22) 와 SOI 층 (3) 중 활성영역상에 형성되어 있는 원하는 곳을 선택적으로 제거하였다. 상기 열린구멍부의 최소치수는 800nm이고, 그의 깊이는 실리콘 박막 (19) 에 도달하는 값으로 하였다. 주지의 이방성 에칭에 의해서 상기 열린구멍부 (23) 을 거쳐서 활성영역내의 실리콘 박막 (19) 를 선택적으로 제거해서 터널 (24) 를 형성하였다 (제 7도

참조).
상기 터널 (24) 의 천정부에 노출된 얇은 질화막 (20) 을 선택적으로 제거해서 SOI 층 (3) 의 바닥부를 노출시킨 후, 600℃에서 열분해된 디실란을 사용한 주지의 CVD 법에 의해서 전면에 걸쳐서 고농도의 인이 도프된 두께가 500nm인 비정질 실리콘층을 형성해서 터널 (24) 와 열린구멍부 (23) 을 이 비정질 실리콘층 (25) 로 충진하였다. 계속해서, 단시간동안 고온으로 열처리를 실행하여 터널 (24) 상부의 SOI 층 (3) 의 바닥부내에 얕은 n 형 고농도 컬렉터영역 (26) 을 형성하였다. 다음에, 상기 실리콘층 (25) 중 주표면상에 형성된 부분을 원하는 회로구성에 따라서 패터닝하고 남아있는 질화막 (22) 를 제거하였다 (제 8도참조).
절연막 (10) 에 도달하는 열린구멍부를 형성한 후, Aℓ을 주성분으로 하는 베이스전극 (17), 이미터전극 (21) 및 컬렉터전극 (18) 을 포함하는 전극과 배선을 형성하였다 (제 9도참조).
이 실시예에 있어서, 종래는 필수였던 에피택셜 성장을 실행할 필요가 없으므로, 에피택셜 성장 및 필드 산화막 (7) 형성등에 실행된 고온열처리에 의한 고농도의 컬렉터영역의 확장을 발생시키지 않고, 급준한 불순물분포를 갖는 고농도의 컬렉터영역을 형성할 수 있다. 그 때문에, 종래의 에피택셜층에 대응하는 층의 두께를 200nm로 매우 얇게 해도 베이스와 컬렉터간의 단락등의 불량이 발생하는 일없이, 각 접합을 얕게 하는 것에 의해서 매우 고속의 반도체장치를 실현할 수 있다.
또, 종래의 구조에 있어서, 컬렉터영역의 확장을 극력 저감시키기 위해, Sb (안티몬) 을 n 형 불순물로서 사용하였지만, Sb는 석출농도의 허용한계가 낮으므로, 컬렉터영역의 저항을 낮게 하는 것은 곤란하였다. 반면, 이 실시예에 있어서, 불순물농도 분포의 확장이 매우 미소하므로, 인과 같이 석출농도가 높고, 저항을 낮게하는 것이 가능한 불순물을 사용할 수 있다. 따라서, 이 실시예에서 형성된 반도체장치의 컬렉터 저항이 종래의 약 1/2로 저감되었다.
이 실시예에 있어서, npn 형 바이폴라 트랜지스터의 경우를 도시하였지만, 본 발명은 이것에 한정되는 것은 아니고, n 형 베이스영역과 p 형 이미터영역을 미리 형성해 두고, 열린구멍부 (23) 및 터널 (24) 를 고농도의 B(붕소) 가 도프된 실리콘층 (25) 로 충진하는 것에 의해, pnp 형바이폴라 트랜지스터를 용이하게 제조할 수 있다. 붕소의 확산속도는 Sb등의 n 형 불순물의 확산속도보다 매우 크므로, 종래의 pnp 형 트랜지스터에 있어서의 고농도의 컬렉터영역이 npn 형 트랜지스터보 다 더 확장되어 접합을 얕게할 수 있다. 그러나, 이 실시예에 있어서는 고온의 에피택셜 성장이 실행되지 않으므로, 상기의 문제점을 용이하게 해소할 수 있다.
실시예 6
본 발명의 제6의 실시예에 대해서 제 10도 및 제 11도를 참조해서 설명한다. 상기 실시예 5와 마찬가지로, 열린구멍부 (23) 및 터널 (24) 를 형성한 후, 제 10도에 도시한 바와 같이 고농도의 인이 도프된 두께가 20nm인 실리콘층 (25) 를 주지의 CVD 법을 사용해서 전면에 걸쳐서 형성한 후, 단시간동안 고온으로 열처리를 실행해서 고농도의 컬렉터영역 (26) 을 형성하였다. 이 경우, 상기 열린구멍부 (23) 및 터널 (24) 의 내면상에 실리콘층 (25) 가 형성되었다.
다음에, 두께가 500nm인 텅스텐 (W)층 (27) 을 CVD 법에 의해 형성해서 열린구멍부 (23) 및 터널 (24) 내를 충진하였다. 이 실시예에 있어서, 질화 실리콘막 (22) 의 형성은 생략하고, 이미터영역 (15) 를 고농도의 컬렉터영역 (26) 과 함께 형성해서 제 10도에 도시한 구조를 형성하였다.
상기 실리콘층 (25) 및 W층 (27) 을 원하는 회로구조에 따라서 패터닝해서 이미터 인출전극 (21), (28) 및 컬렉터 인출전극 (27) 을 형성하였다. 또, 상기 실시예 1과 마찬가지로 해서 베이스 금속전극 (17), 이미터 금속전극 (16) 및 컬렉터 금속전극 (18) 을 포함하는 전극과 배선을 형성해서 제 11도에 도시한 구조를 형성하였다.
이 실시예에서 형성된 반도체장치에 있어서, 컬렉터저항은 상기 실시예 1에서 형성된 반도체장치의 1/10이하로 저감되었다. 또, 이 실시예에 있어서, 이미터 영역과 컬렉터영역을 동시에 형성할 수 있으므로, 각 접합을 모두 얕게 할 수 있어 초고속의 트랜지스터를 실현할 수 있다.
이 실시예에서는 npn 형 바이폴라 트랜지스터를 형성하는 경우를 도시하였지만, n 형의 베이스영역을 미리 형성해 두고, 열린구멍부 (23) 및 터널 (24) 내를 고농도의 붕소로 도프된 실리콘층 (25) 로 충진하는 것에 의해, pnp 형 바이폴라 트랜지스터를 마찬가지로 제조할 수 있다.
실시예 7
실시예 6에 있어서, 소자간 절연막 (6) 을 형성해서 활성영역을 확정한 후, 주지의 방법을 사용해서 SOI 층의 원하는 활성영역에 n 채널 MOS 트랜지스터를 제조한 예이다.
바이폴라 트랜지스터가 형성될 영역을 절연막으로 덮고, 바이폴라 트랜지스터의 형성에 앞서서, MOS 트랜지스터의 게이트 산화막, 게이트 전극 및 소오스/드레인영역을 형성하였다. 다음에, 바이폴라 트랜지스터가 형성될 영역상의 상기 절연막을 선택적으로 제거한 후, 상기 실시예 6과 동일한 방법으로 바이폴라 트랜지스터를 형성하였다.
또, MOS 트랜지스터영역에 있어서, 실리콘층 (19) 에 도달하는 열린구멍부를 바이폴라 트랜지스터영역의 형성과 동시에 형성하였지만, 실리콘층 (19) 의 선택 에칭은 바이폴라 트랜지스터의 제조공정과는 별도로 실행하고, MOS 트랜지스터영역에 있어서 산화막 (20) 은 제거하지 않았다. MOS 트랜지스터 영역에서 터널 (24) 의 형성, W막 (27) 의 매립 및 주표면에까지 연장된 W막 (27) 의 형성과 그의 패터 닝을 실행해서, MOS 트랜지스터의 스레쉬홀드 전압을 제어하기 위한 전압을 인가하는 제 4의 전극을 형성하였다.
이 실시예에 있어서, 소오스/드레인 기생용량이 통상의 반도체기판을 사용한 경우의 1 /2인 매우 얇은 MOS 트랜지스터와 컬렉터저항이 종래의 1/10이고 또 접합이 얕게되는 종형의 고속 바이폴라 트랜지스터를 동일 SOI 기판내에 형성하는 것에 의해, 초고속 동작이 가능하고 매우 높은 집적밀도를 갖는 대규모 집적회로를 실현할 수 있게 된다. 또, 이 실시예에 있어서, 터널 (24) 내에 실리콘층 (25) 및 W층 (27) 을 매립하였지만, 터널 (24) 내에 실리콘 산화막등의 절연막을 매립해도 좋고, 이와 같이 하는 것에 의해 지지기판과 SOI 층간의 기생용량이 더욱 저감된다.
MOS 트랜지스터영역에 있어서, 실리콘층 (19) 에 도달하는 열린구멍부의 형성없이, SOI 층의 바닥부에 고저항의 실리콘층이 형성된 채로 남아있는 구조라도 좋다.

실시예 8

본 발명의 제 8의 실시예에 대해서 제 1 2도 제 14도를 참조해서 설명한다.

제 12도에 도시한 바와 같이, 실시예 4와 마찬가지로 InP 기판 (도시하지 않음) 상에 캡층으로 되는 InGaAs층 (101), 이미터층으로 되는 n 형 저저항 InP 층 (102), 버퍼층으로 되는 InGaAs층 (103), 베이스층으로 되는 p 형 InGaAs층 (104), 진성 컬렉터층으로 되는 n 형InGaAs층 (105) 를 에피택셜 성장공정에 의해서 순차 적층하였다. 다음에, 플라즈마CVD 법에 의해서 두께가 100nm인 실리콘질화막 (20) 을 형성해서 한쪽의 기판을 형성하였다.

한편, 실리콘 단결정기판 (1) 의 주표면상에 두께가 500nm인 산화막 (2) 및 두께가 500nm인 Ge증착막 (19) 를 형성해서 상기 기판과 직접 접착될 지지기판을 형성하였다.

상기 Ge증착막 (19) 와 N 형 InGaAs층 (105) 를 서로 대향해서 밀착시킨 후 서로 직접 접착하고, 그 후 접착강도를 강화하기 위해 300℃에서 열처리를 실행하였다. 다음에, InP 기판 (3) 의 이면측에서 연삭 및 연마를 실행해서 상기 InP 기판의 두께를 약 2㎛까지 얇게 하였다. 염산수용액을 사용해서 이 InP 기판을 제거하고 InGaAs캡층 (101) 의 상면을 노출시켰다. 이 염산수용액에 의해서 InGaAs층은 에칭되지 않고, InP 기판만이 제거되어 InGaAs캡층 (101) 의 표면이 노출된다.

산화막 (2) 에 도달하도록 InGaAs캡층 (101) 상에 홈을 형성해서 원하는 활성영역을 확정하고, 산화막 (6)으로 홈내를 충진하였다.

제 13도에 도시한 바와 같이, 이미터전극 (106) 을 형성하고, 이 이미터전극 (106) 을 마스크로 해서 InGaAs캡층 (101) 과 n 형 저저항 이미터 InP 층 (102) 의 노출된 부분을 에칭하였다. 이 경우, 상기 InGaAs캡층 (103) 의 노출된 부분을 동시에 에칭해도 좋다.

다음에, 제 14도에 도시한 바와 같이, 베이스전극 (107) 을 이미 터전극 (106) 과 자기정합 관계로 형성한 후, 플라즈마CVD 법에 의해서 실리콘 질화막을 전면에 걸쳐서 형성하였다. 그 후, 주지의 포토에칭에 의해서 이 실리콘 질화막의 원하는 영역상에 열린구멍부를 형성하고, 이 실리콘 질화막을 마스크로 해서 Ge막 (19) 에 도달하도록 표면상에 열린구멍부 (23) 을 형성하였다. 그후, 에칭을 계속 해서 Ge막 (19) 와 실리콘 질화막 (20) 을 완전하게 제거하고 터널 (24) 를 형성하였다.

이미터전극 (106) 및 베이스전극 (107) 의 영역을 선택적으로 덮은 상태에서 CVD 법에 의해 W 막을 전면에 걸쳐서 형성해서 터널 (24) 및 열린구멍부 (23) 내를 W 막 (108) 로 충진하였다. 또, 컬렉터전극 (108) 을 형성해서 헤테로접합 화합물 반도체 트랜지스터를 형성하였다.

이 실시예에 있어서, 종래의 실리콘 바이폴라 트랜지스터보다 고속동작이 가능한 InP 화합물 반도체 트랜지스터를 SOI 구조를 사용해서 실현할 수 있었다. 이것에 의해, 컬렉터저항이 매우 낮아지고, 컬렉터/베이스 기생용량도 현저하게 저감되어, 고속성능을 더욱 향상시킬 수 있게 된다.

실시예 9

본 발명의 제 9의 실시예에 대해서 제 15도~제 18도를 참조해서 설명한다.

제 15도에 도시한 바와 같이, 실시예 7에서 사용한 단결정 실리콘 기판과 동일한 사양으로 형성된 실리콘기판 (3) 의 특정한 영역에 주지의 방법을 사용해서 두께가 400nm인 필드 산화막 (7) 을 선택적으로 형성하여 소자간 분리절연막을 형성하였다. 필드 산화막 (7) 에 의해 분리된 활성영역의 표면에 두께가 10nm인 얇은 실리콘 산화막 (29) 를 형성하였다. 그 후, 두께가 450nm인 도프되지 않은 비정질 실리콘층 (30) 을 형성해서 활성영역의 적어도 일부를 덮고 또한 필드 산화막상으로 연장하도록 패터닝하였다.

두께가 500nm인 실리콘 산화막 (31) 을 CVD 법을 사용해서 전면에 걸쳐 형성 하고, 또 표면의 평탄화를 위해 다결정 실리콘층 (32) 를 형성하였다. 이 실시예에 있어서, 상기 다결정 실리콘층 (32) 의 막두께는 2.5 ㎛로 하였다. 다음에, 다결정 실리콘층 (32) 의 표면은 평균 표면 거칠음이 0.3nm이하로 되도록 기계적 화학적으로 연마하였다.

다음에, 제 16도에 도시한 바와 같이, 상기 표면이 연마된 다결정 실리콘층 (32) 의 표면과 별도로 마련된 제 2의 실리콘기판 (1) 의 주표면상에 형성된 두께가 200nm인 실리콘 열산화막 (2) 의 표면을 서로 대향해서 밀착시킨 후, 서로 직접 접착시켰다. 제 2의 실리콘기판 (1) 은 상기 다결정 실리콘기판 (3) 과 동일한 사양으로 형성하였다. 실리콘 열산화막 (2) 와 다결정 실리콘층 (32) 의 접착면이 매우 청정하고, 또한 각 표면의 미세한 거칠음이 5nm이하이고, 전면의 평탄함이 1㎛이하이면, 보이드의 발생없이 전면을 균일하게 접착시킬 수 있다.

상기의 직접 접착을 실행한 후, 접착강도를 향상시키기 위해 900℃에서 30분동안 열처리를 실행하였다. 이 열처리를 실행한 후 인장시험에 의해서 접착강도를 조사한 결과, 단결정 실리콘의 Si-Si 접착강도와 동일한 정도의, 즉 약 800 kg/㎠ 이라고 하는 큰 값이 얻어졌다.

단결정 실리콘기판 (3) 의 이면측에서 연삭을 실행해서 그의 두께를 약 10㎛로 얇게하고, 에틸렌 디아민 피로카테콜이 첨가된 연마액을 사용해서 기계적 화학적으로 연마를 실행하였다. 이 연마는 회전디스크상에 마련된 연마용 천에 연마액을 공급하면서 $1.9\times10^{4}$ Pa의 압력으로 실리콘기판 (3) 을 누르는 것에 의해 실 행하였다. 연마의 진행에 따라서 노출되는 필드 산화막 (7) 의 연마속도는 단결정 실리콘기판 (3) 에 비해서 매우 늦고, $1/10^{4}$ 배 이하였다. 그 때문에, 단결정 실리콘기판 (3) 이 완전히 평탄화되어 필드 산화막 (7) 의 이면과 동일면으로 되었다. 이것에 의해, 활성영역에 대응해서 필드 산화막 (7) 에 의해 절연분리된 두께가 약 200nm인 단결정SOI 층 (3) 이 얻어졌다.

다음에 제 17도에 도시한 바와 같이, 상기 실시예 6과 마찬가지로, 진성 베이스영역 (8), 베이스 인출전극, 전극보호절연막 (10), 이미터-베이스 분리절연막 (11), 그래프트 베이스영역 (13), 이미터인출전극 (21) 및 이미터영역 (15) 등을 형성하였다. 또, 전면에 걸쳐서 실리콘 질화막 (22) 를 형성한 후 불필요한 부분을 제거하고, 상기 필드 산화막 (7) 의 원하는 영역상에 Si막 (30) 에 도달하는 최소치수600nm의 열린구멍부 (23) 을 형성하였다.

제 18도에 도시한 바와 같이, Si층 (30) 을 완전히 제거하고, 단결정Si층 (활성영역) 의 하부에 도달하는 터널을 형성하였다. 또, 터널 상부의 얇은 질화막 (29) 를 제거하고, 포스핀 ($PH_3$) 을 확산원으로 하는 단시간 기상확산에 의해

서 상기 터널을 거쳐서 SOI 층의 바닥부로 인을 확산시키는 것에 의해, 얕은 고농도의 컬렉터영역 (26) 을 형성하였다. 또, 주지의 CVD 법을 사용해서 상기 터널 및 열린구멍부 (23) 을 W 막 (27) 로 충진하였다. W 막 (27) 의 패터닝에 의해 컬렉터 인출전극 (27) 을 형성하고, 또 주지의 방법을 사용해서 A ℓ 을 주성분으로 하는 베이스전극 (17), 이미터전극(16) 및 컬렉터전극 (18) 을 형성하였다.

이 실시예에 의하면, 저저항의 컬렉터 인출전극 (27) 을 활성영역의 위치와는 관계없이 원하는 회로구성에 따라서 특정 부분으로 연장하도록 형성할 수 있다. 그 때문에, 회로설계의 자유도를 대폭으로 향상시키고, 반도체장치의 집적밀도를 향상시킬 수 있다. 또, 이미터, 베이스 및 컬렉터의 각 영역이 형성되는 SOI 층의 두께를 막두께의 제어성이 가장 우수한 단결정Si기판의 열산화막인 필드절연막 (7) 의 막두께로 규정할 수 있다. 따라서, 상기 실시예 6 및 실시예 7 에서 형성된 반도체장치에 비해서 각 영역을 극한까지 얕게 할 수 있어, 동작을 더욱 향상시킬 수 있다.

이 실시예에 있어서, 이해를 용이하게 하기 위해, 베이스영역 (8) 및 이미터영역 (15) 를 형성한 후에 고농도의 컬렉터영역 (26) 을 형성한 예를 도시하였지만, 이 실시예와 동일한 방법으로 이미터영역 (5) 와 고농도의 컬렉터영역 (26) 을 동시에 형성하거나 또는 고농도의 컬렉터영역 (26) 을 형성한 후에 이미터영역 (15) 를 형성해도 좋다. 또, 이 실시예는 도전형이 반대인 pnp 형 트랜지스터의 제조에 대해서도 적용할 수 있는 것은 물론이다.

실시예 10

본 발명의 제 10의 실시예에 대해서 제 19도 및 제 20도를 참조해서 설명한다. 이 실시예에 있어서, 반도체장치는 p 형 단결정Si기판 (3) 을 사용한 것을 제외하고, 실시예 9와 동일한 방법으로 제조하였다.

제 19도에 도시한 바와 같이, 실시예 9에 있어서, 필드산화막 (7) 의 막두께는 150nm로 하고, 활성영역내의 Si기판 (3) 의 표면상에는 두께가 5nm인 실리콘 산 화막으로 이루어진 게이트 절연막 (33) 을 형성하였다. 게이트 절연막 (33) 을 형성하고, 실시예9와 마찬가지로 두께가 450nm인 도프되지 않은 비정질Si막을 형성하였다. 그 후, 불필요한 부분은 주지의 포토에칭에 의해서 제거하고, 게이트 전극으로서 동일 패턴을 갖는 Si막 (30) 을 형성하였다. 이 Si막 (30) 은 활성영역 부분을 덮고 또한 필드 산화막 (7) 로 연장하도록 형성하였다.

상기 Si막 (30) 을 마스크로서 해서 As이온을 주입하는 것에 의해, Si기판 (3) 의 표면영역에 고농도의 불순물로 도프된 n 형 소오스영역 (34) 및 드레인영역 (35) 를 형성하였다.

다음에, 두께가 500nm인 산화막 (31) 과 두께가 2.5μm 인 다결정 Si막 (32) 를 전면에 걸쳐서 형성한 후, 상기 실시예 9와 마찬가지로 다결정Si막 (32) 의 표면을 기계적 화학적으로 연마하였다. 그 후, 열산화막 (2) 가 표면에 형성되어 있는 단결정Si기판 (1) 과 다결정Si막 (32) 의 표면을 직접 접착시켰다. 또, 상기 실시예 9와 마찬가지로 Si기판 (3) 의 이면측에서 연삭과 연마를 실행하여 얇은 SOI 층 (3) 을 형성해서, 제 19도에 도시한 구조를 형성하였다. 상기 SOI 층 (3) 의 층두께는 약 75nm였다.

제 20도에 도시한 바와 같이, 상기 SOI 층 (3) 의 활성영역 표면상에 두께가 5nm인 제 2의 게이트 절연막 (36) 을 형성한 후, 필드 산화막 (7) 의 원하는 부분에 최소치수가 600nm인 열린구멍부 (도시하지 않음) 을 형성하고, Si막 (30) 의 일부를 노출시켰다. 다음에 상기 열린구멍부를 거쳐서 노출된 Si막 (30) 을 선택적으로 제거하고, 상기 SOI 층 (3) 의 바닥부에 도달하는 터널을 형성하였다.

CVD 법을 사용해서 두께가 300nm인 W 막을 형성해서 상기 터널 내를 충진하고, W 게이트전극 (38) 을 형성하였다. 주표면상에도 형성되어 있는 W 막의 표면을 보호하기 위해 인이 약간 첨가된 실리콘 산화막을 형성하고, 계속해서 실리콘 산화막과 W막을 동일 형상으로 패터닝하여 게이트 보호절연막 및 제 2의 게이트전극 (37) 을 형성하였다.

인이 약간 첨가된 실리콘 산화막 (31') 을 전면에 걸쳐서 형성한 후, 이방성 에칭에 의해 제2의 게이트전극 (37) 의 측벽상에 절연막 (31') 를 선택적으로 남기고, 제2의 게이트전극 (37) 이 노출되는 것을 방지하였다.

다음에, 상기 제 2의 게이트전극 (37) 을 마스크로 해서 As 이온의 주입을 실행하여 제 2의 소오스영역 (39) 및 제 2의 소오스영역 (40) 을 형성하였다. 상기 제조공정에 있어서, 제 1의 게이트전극 (38) 과 제 2의 게이트전극 (37) 은 동시에 형성된 동일 금속막 (W막) 으로 이루어지고, 열린구멍부를 거쳐서 서로 전기적으로 접속되어 있다. 또, 제 1의 소오스영역 (34) 와 제 2의 소오스영역 (35) 및 제 1의 드레인영역 (35) 와 제 2의 드레인영역 (40) 은 각각 서로 접속되도록 접합깊이를 설정하였다.

제 2의 게이트절연막 (36) 의 불필요한 부분을 제거한 후, A ℓ 을 주성분으로 하는 소오스전극 (41) 및 드레인전극 (42) 를 주지의 방법으로 형성해서 제 20도에 도시한 구조를 형성하였다.

이 실시예에 있어서, 얇은 단결정SOI 층 (3) 의 상면 및 하면상에 제 2의 게이트전극 (37) 및 제 1의 게이트전극 (38) 이 각각 마련되어 있는 구조의 MOS 트랜 지스터가 형성된다. 따라서, 얇은 단결정SOI 층 (3) 전체를 채널로서 동작시킬 수 있어, 구동전류를 종래구조의 MOS 트랜지스터의 2배 이상으로 증가시킬 수 있다. 또, 상기 게이트전극 (37), (38) 은 저저항의 동일한 재료로 이루어지므로, 고속 동작특성이 우수하고, 회로설계의 자유도가 큰 반도체장치를 얻을 수 있다. 특히, 제 1의 W 게이트전극 (38) 은 직접 접착 공정시에 고온 열처리에 의해 영향을 받지 않도록 형성되므로, 게이트 절연막 (33) 의 두께가 5nm로 매우 얇더라도 고신뢰성을확보할 수 있다.

이 실시예에 있어서, 상기 제 1 및 제 2의 게이트전극 (38), (37) 는 CVD 법에 의해 형성된 W 막으로 형성하였지만, 본 발명은 그것에 한정되는 것은 아니고, A ℓ , Mo, Ti, Ta 등 저저항 금속막이나 금속규화막 또는 소오스/드레인영역과는 도전형이 다른 반도체 박막이라도 좋다. 또, p 채널형과 n 채널형의 트랜지스터를 형성하고, p 채널형과 n 채널형의 트랜지스터의 각 게이트전극을 재료가 서로 다른 금속막이나 금속규화막 또는 첨가된 불순물의 농도 및 그 도전형이 다른 반도체막으로 형성해도 좋다.

실시예 11

본 발명의 제 11의 실시예에 대해서 제 21도~제 23도를 참조해서 설명한다.

먼저, 실시예 9에 있어서, 바이폴라 트랜지스터가 형성될 영역 이외의 단결정Si기판 (3) 의 영역에 주지의 열산화 공정에 의해서 두께가 400nm인 필드 절연막 (7) 을 형성하였다. 이 필드 절연막 (7) 의 원하는 부분을 제거한 후, MOS

트랜지스터가 형성되는 제 2의 활성영역을 둘러싸도록, 주지의 열산화 공정에 의해서 두 께가 100nm인 제 2의 필드 절연막 (71) 을 형성하였다.
제 2의 필드 절연막(71)의 형성에 사용되는 두께가 5nm인 실리콘 질화막 (43) 의 불필요한 부분을 제거한 후, 바이폴라 트랜지스터가 형성될 영역상에 실리콘 질화막 (43) 의 부분을 남겼다. 다음에, 주지의 열산화 공정에 의해서 상기 제 2의 활성영역상에 두께가 5nm인 게이트 절연막 (33) 을 형성하였다.
두께가 200nm인 도프되지 않은 비정질Si막 (30) 을 전면에 걸쳐서 형성한 후 불필요한 부분을 제거하고, 상기 제 1 및 제 2의 활성영역을 덮고 필드 산화막 (7), (71) 로 연장하도록 패턴을 형성하였다. 상기 MOS 트랜지스터가 형성될 영역에 소오스영역 (39) 및 드레인영역 (40) 을 형성한 후, 상기 실시예 9와 마찬가지로 두께가 500nm인 실리콘 산화막 (31) 및 두께가 2.5㎛ 인 다결정 Si막 (32) 를 전면에 걸쳐서 적층시키고, 그 적층된 표면은 평탄화를 위해 연마하였다. 소오스영역 (39) 및 드레인영역 (40)은 접합깊이가 최종적으로 60nm로 되도록 형성하였다.
다음에, 제 22도에 도시한 바와 같이, 상기 다결정Si막 (32) 의 표면을 별도로 마련된 다결정Si기판 (1) 의 표면상에 형성된 열산화막 (2) 와 직접 접착시킨 후, Si기판 (3) 의 이면측에서 연삭과 연마를 실행해서 두께를 얇게 해서 얇은 SOI층 (3) 을 형성하였다. 이 SOI 층 (3) 의 두께는 바이폴라 트랜지스터가 형성될 영역에서는 200nm이고, MOS 트랜지스터가 형성될 영역에서는 50nm였다.
바이폴라 트랜지스터가 형성될 영역에 있어서는 상기 실시예 9와 마찬가지로 진성 베이스 (8), 베이스 인출전극 (9), 전극보호절연막 (10), 이미터-베이스 분리절연막 (11), 그래프트 베이스영역 (13), 이미터인출전극 (21) 및 이미터영역 (15) 등을 형성하였다. MOS 트랜지스터가 형성될 영역에 있어서는 실시예 10과 동일한 방법으로 SOI 층 (3) 의 표면상에 두께가 5nm인 열산화막으로 이루어진 제 2의 게이트 절연막을 형성하고, 전표면에 걸쳐서 실리콘 질화막 (22) 를 형성하였다.
필드 절연막 (7), (71) 및 그 아래에 형성된 질화 실리콘막 (43) 에 최소치수가 400nm인 열린구멍부 (23) 을 각각 형성하고, 바이폴라 트랜지스터의 바닥부 및 MOS 트랜지스터의 바닥부에서 연장하고 있는 Si패턴의 상면을 노출시켰다.
상기 열린구멍부 (23) 을 거쳐서 Si패턴 (30) 을 제거해서 터널을 형성한 후, 제 23도에 도시한 바와 같이 터널 상부의 SOI 층 (3) 의 바닥면에 불순물을 도프해서 n 형의 고농도 컬렉터영역 (26) 을 형성하였다. 다음에, 상기 실리콘 질화막 (2) 를 제거한 후 상기 터널을 W막으로 충진하고, 실시예 9와 동일한 방법으로 컬렉터 인출전극 (27) 을 형성하였다.
또, MOS 트랜지스터 영역의 바닥부에 있어서 SOI 층 (3) 의 하부에 얇은 게이트 절연막 (33) 이 남겨져 있으므로, 고농도 영역은 형성되지 않고 W 막으로 이루어진 게이트전극 (38) 만이 형성된다. 상기 W 막은 CVD 법을 사용해서 형성되고, 막두께는 200nm로 하였다.
주표면상에 형성된 W 막을 원하는 회로구성에 따라서 패터닝해서 이미터 인출전극 (28) 및 제 2의 게이트전극 (37) 을 형성하고, 주지의 방법을 사용해서 Aℓ막으로 이루어진 베이스전극 (18), 이미터전극 (16), 소오스전극 (41) 및 드레인전극 (42) 를 형성하였다.
이 실시예에서 형성된 반도체장치에 있어서, 이미터, 베이스 및 컬렉터는 두 께가 200nm인 SOI 층내에 급준하고 얕은 접합을 갖도록 형성되어 있으므로, 고속동작이 가능한 바이폴라 트랜지스터와 두께가 50nm인 얇은 단결정SOI 층의 양면상에 각각 금속 게이트전극이 형성된 고속 MOS트랜지스터를 동일 기판상에 형성할 수 있다. 그 때문에, 바이폴라 트랜지스터와 MOS 트랜지스터가 함께 배치되어 있고, 대용량이고 또한 고속동작이 가능한 종래의 Bi-CMOS 반도체장치의 고속동작을 더욱 향상시킬 수 있다.
실시예 12
본 발명의 제 12의 실시예에 대해서 제 24도 및 제 25도를 참조해서 설명한다.
먼저, 실시예 7과 동일한 방법으로 필드 절연막 (7) 에 의해 2부분으로 분리된 두께가 200nm인 SOI 층 (3) 을 형성하였다. 다음에, 상기 SOI 층 (3) 중 npn 형 바이폴라 트랜지스터가 형성되는 영역에는 실시예 7과 마찬가지로 p 형의 진성 베이스영역 (8), 고농도의 p 형 불순물이 도프된 베이스 인출전극 (9), 그래프트 베이스영역 (3), 전극보호절연막 (10), 이미터 - 베이스 분리절연막 (11), n 형 이미터 인출전극 (21) 및 이미터영역 (15) 를 형성하였다. 또, 상기 SOI 층 (3) 중 pnp 형 바이폴라 트랜지스터가 형성되는 다른 영역에 있어서는 마찬가지로 n 형 진성 베이스영역 (43), 고농도의 n 형 불순물이 첨가된 베이스 인출전극 (44), 그래프트 베이스영역, 전극보호절연막 (10), 이미터 - 베이스 분리절연막 (11), p 형 다결정 Si막으로 이루어지는 이미터 인출전극 (45) 및 p 형 이미터영역 (46) 등을 형성하였다.
제 24도에 도시한 바와 같이, 실리콘 질화막 (22) 를 전면에 걸쳐서 형성한 후, 상기 실리콘 질화막 (22) 및 필드 절연막 (7) 의 특정 부분에 열린구멍부 (23) 을 형성해서 npn 형 트랜지스터가 형성될 영역의 바닥부에서 필드 절연막 (7) 로 연장하는 Si막 (30) 의 상면을 노출시켰다. 다음에, 상기 열린구멍부 (23) 을 거쳐서 S 막 (30) 을 선택적으로 제거하고 터널 (24) 를 형성하였다.
상기 실시예 3과 마찬가지로, 터널 (24) 상부의 얇은 산화막 (29) 를 제거한 후, n 형의 고농도 컬렉터영역 (26) 을 형성하고, 터널 (24) 을 W 막으로 충진하고, 컬렉터 인출전극 (25) 를 형성하였다 표면을 보호하기 위해 컬렉터 인출전극 (25) 를 포함하는 원하는 부분상에 인이 약간 도프된 실리콘 산화막을 형성한 후, 상기 실리콘 산화막 및 필드 절연막 (7) 에 열린구멍부를 형성해서 pnp 형 트랜지스터가 형성될 영역의 바닥부에서 필드절연막 (7) 로 연장하는 Si막 (30) 의 상면을 노출시켰다. 상기 열린구멍부 (23) 을 거쳐서 Si막 (30) 을 제거해서 터널을 형성한 후, 얇은 실리콘 질화막 (29) 를 제거하고, 노출된 SOI 층의 바닥면에 디보란 ($B_2H_6$) 을 기상확산원으로 하는 단시간 기상확산법에 의해서 p 형의 고농도 컬렉터영역 (47) 을 형성하였다.
화학기상형성법에 의해서 W 막을 형성해서 터널을 충진하고, 컬렉터 인출전극 (48) 을 형성하였다. 마지막으로, Aℓ으로 이루어진 전극 (18), (49) 를 포함하는 전극과 배선을 원하는 회로구성에 따라서 형성하고, 제 25도에 도시한 구

조를 형성하였다.
이 실시예에 있어서, pnp 형과 npn 형의 바이폴라 트랜지스터는 동일 기판에 배치할 수가 있다. 즉, 두께가 200nm로 매우 얇은 SOI 층에 얕은 접합구조를 갖는 상보형 바이폴라 트랜지스터를 형성할 수 있었다. 따라서, 적은 소비전력으로 고속동작이 가능한 반도체장치의 고속동작을 더욱 향상시킬 수 있다.
실시예 13
본 발명의 제 13의 실시예에 대해서 제 26도를 사용해서 설명한다. 이 실시예에 있어서, 본 발명의 반도체장치는 명령과 연산을 처리하는 여러개의 프로세서(500)이 서로 병렬로 접속되어 있는 대형의 고속 컴퓨터에 적용된다.
이 실시예에 있어서, 반도체장치의 집적도가 높으므로, 명령과 연산을 처리하는 프로세서 (500), 기억제어유닛 (501) 및 주기억유닛 (502) 를 1변이 약 10~30mm 인 실리콘 반도체칩에 형성할 수 있었다. 프로세서 (500), 기억제어유닛 (501) 및 화합물 반도체 집적회로로 이루어진 데이타통신 인터페이스유닛 (503) 을 동일한 세라믹기판 (506) 상에 실장하였다. 또, 데이타통신 인터페이스유닛 (503) 및 데이타통신 제어유닛 (504) 를 동일한 세라믹기판 (507) 상에 실장하였다. 이들 세라믹기판 (506), (507) 및 주기억장치 (502) 가 실장되어 있는 세라믹기판을 1변이 약 50cm이하인 기판상에 실장하고, 대형 컴퓨터의 중앙처리유닛 (508) 을 형성하였다. 이 중앙처리유닛 (508) 내의 데이타통신, 여러개의 중앙처리유닛간 데이타통신 및 데이타통신 인터페이스유닛 (503), 입출력 프로세서 (505) 를 각각 실장한 기판 (509) 과 프로세서 (500) 사이의 데이타의 통신을 도면중의 화살표로 표시된 광섬유 (510) 을 사용해서 실행하였다. 이 컴퓨터에 있어서, 프로세서 (500), 기억 제어유닛 (501) 및 주기억유닛 (502) 등의 반도체장치는 서로 병렬로 고속으로 동작하고, 또 데이타의 통신은 광매체를 사용해서 실행하므로, 1초당의 명령처리회수를 대폭으로 증가시킬 수 있었다.
실시예 14
제 27도는 실시예 14에 따른 광전송 시스템을 도시한 도면이다. 이 실시예 14에 있어서, 데이타를 고속으로 전송하는 광전송 모듈 (613) 및 데이타를 고속으로 수신하는 광수신 모듈 (614) 에 실시예 13에서 형성된 반도체장치를 사용하였다.
이 실시예에 있어서, 실시예 3에서 제조된 반도체장치를 사용해서 출력신호 (610) 를 처리하는 디지탈 멀티플렉싱회로 (601) 및 반도체 레이저 (603) 을 구동하는 반도체 레이저 구동 아날로그회로 (602) 로 이루어지는 광전송 모듈 (613) 을 형성하였다. 또, 전송된 광신호 (611) 에서 포토다이오드 (604) 에 의해 변환된 입력신호 (612) 를 증폭하는 프리앰프 (605) 와 자동 이득제어앰프 (606), 클럭 추출회로 (607), 검출회로 (608) 등의 아날로그회로 및 디지탈회로인 분리변환회로 (609) 로 이루어진 광수신모듈 (614) 를 실시예3에서 제조된 반도체장치를 사용해서 형성하였다. 실시예 3에서 형성된 반도체장치는 고속 (차단주파수 및 최대차단주파수 : 100Hz) 으로 동작할 수 있으므로, 대용량 (1초당 30G 비트) 의 신호를 초고속으로 송수신할 수 있었다.
상기 설명에서 명확한 바와 같이, 본 발명에 의하면, 고농도의 컬렉터영역 및 그 상면에 에피택셜층을 형성하는 일 없이 반도체기판을 형성할 수 있다. 종래는 에피택셜공정에 있어서의 에피택셜층으로의 불순물확산을 억제하는 것이 어렵고, 급준한 불순물분포를 갖는 고농도의 컬렉터영역을 실현하는 것은 곤란하였다. 본 발명에 의하면, 필드 절연막의 형성등의 고온열처리공정 후에 컬렉터영역을 형성할 수 있으므로, 매우 급준한 불순물분포를 갖는 고농도의 컬렉터영역을 실현할 수 있다. 따라서, 고농도의 컬렉터영역의 상부에 형성되는 베이스 및 이미터의 각 영역의 두께를 현재의 제조기술의 범위내에서 극한까지 얕게 할 수 있다. 그 때문에, 본 발명의 반도체기판을 사용하는 것에 의해 반도체장치의 동작속도를 현저하게 향상시킬 수 있다.
또, 다량처리가 곤란하고 반도체장치의 가격저감이 곤란한 에피택셜 공정이 불필요하므로, 고성능의 반도체장치를 저가로 제조할 수 있다.
또, 컬렉터 인출영역을 저저항의 금속재료로 형성할 수 있으므로, 컬렉터저항을 대폭으로 저감해서 반도체장치 및 그것을 사용한 집적 회로의 고속동작을 향상시킬 수 있다.

## (57) 청구의 범위

### 청구항 1.
지지기판 및 상기 지지기판의 표면상에 단일의 산화막으로 이루어지는 제1 절연층, 도프되지 않은 비정질 반도체와 도프되지 않은 다결정 반도체로 이루어진 군에서 선택된 하나로 이루어지는 제1 반도체층, 상기 제1 절연층의 두께보다 얇은 제2 절연층 및 단결정 반도체로 이루어지는 제2 반도체층을 포함하고,
상기 제1 절연층, 상기 제1 반도체층, 상기 제2 절연층 및 제2 반도체층은 상기 지지기판의 주표면상에 적층되어 있는 다층적층구조체.
### 청구항 2.
제1항에 있어서,
상기 제1 반도체층과 상기 제2 반도체층은 적어도 하나의 다른 원소구성을 갖는 재료로 이루어지는 다층적층구조체.
### 청구항 3.
제2항에 있어서,
상기 제1 반도체층과 상기 제2 반도체층은 다른 재료로 이루어지는 다층적층 구조체.
### 청구항 4.
제1항에 있어서,
상기 제1 반도체층과 상기 제2 반도체층은 동일한 원소구성을 갖는 재료로 이루어지는 다층적층구조체.

**청구항 5.**
제4항에 있어서,
상기 제1 반도체층은 도프되지 않은 다결정 실리콘으로 이루어지고,
상기 제2 반도체층은 단결정 실리콘으로 이루어지는 다층적층구조체.

**청구항 6.**
제1항에 있어서,
상기 지지기판은 단결정 실리콘으로 이루어지는 다층적층구조체.

**청구항 7.**
제1항에 있어서,
상기 제1 반도체층의 적어도 일부는 상기 제1 절연층과 다른 재료로 이루어지는 절연층에 의해서 치환되는 다층적층구조체.

**청구항 8.**
적어도 제1 절연층을 포함하는 막을 지지기판의 주표면상에 형성하는 공정,
적어도 제2 절연층을 포함하는 막을 단결정 반도체기판의 주표면상에 형성하는 공정,
상기 지지기판의 주표면상에 형성된 막과 상기 단결정 반도체기판의 주표면상에 형성된 막이 서로 대향하도록 상기 지지기판과 상기 단결정 반도체기판을 배치하는 공정,
상기 지지기판의 주표면상에 형성된 막과 상기 단결정 반도체기판의 주표면 상에 형성된 막을 서로 직접 접착시키는 공정 및
상기 단결정 반도체기판의 두께를 이면측에서 얇게 하는 공정을 포함하는 다층적층구조체의 제조방법.

**청구항 9.**
제8항에 있어서,
상기 단결정 반도체기판의 두께를 이면측에서 얇게 하는 상기 공정은 연삭 및 연마에 의해 실행되는 다층적층구조체의 제조방법.

**청구항 10.**
제9항에 있어서,
상기 제1 절연층은 상기 지지기판의 주표면상에 형성되고, 상기 단결정 반도체기판의 주표면상에는 제2 절연층과 비정질 또는 다결정 반도체층이 적층되어 있는 다층적층구조체의 제조방법.

**청구항 11.**
제10항에 있어서,
상기 제1 절연층과 상기 비정질 또는 다결정 반도체층은 서로 직접 접착되는 다층적층구조체의 제조방법.

**청구항 12.**
지지기판을 마련하는 공정,
단결정 반도체기판의 주표면상에 제2 절연층, 비정질 또는 다결정 반도체층 및 제1 절연층을 적층시키는 공정 및
상기 지지기판의 주표면상과 상기 제1 절연층을 서로 직접 접착시키는 공정 을 포함하는 다층적층구조체의 제조방법.

**청구항 13.**
단결정 반도체기판을 마련하는 공정,
지지기판의 주표면상에 제2 절연층, 비정질 또는 다결정 반도체층 및 제1 절연층을 적층시키는 공정 및
상기 단결정 반도체기판의 주표면상과 상기 제1 절연층을 서로 직접 접착시키는 공정을 포함하는 다층적층구조체의 제조방법.

**청구항 14.**
단결정 반도체기판,
상기 단결정 반도체기판 표면의 제1 영역상에 적층된 제1 절연막의 제1 부분, 제1 도전막 및 단결정 반도체막의 제1 부분 및
상기 제1 영역과는 다른 상기 단결정 반도체기판 표면의 제2 영역상에 적층된 상기 제1 절연막의 제2 부분, 제2 도전막, 제2 절연막 및 상기 단결정 반도체막의 제2 부분을 포함하고,
상기 제1 영역상에 형성된 상기 단결정 반도체막과 상기 제2 영역상에 형성된 상기 단결정 반도체막내에는 각각 서로 다른 반도체장치의 적어도 일부가 형성되는 반도체장치.

**청구항 15.**
제14항에 있어서,
상기 제1 영역상에 형성된 상기 단결정 반도체막과 상기 제2 영역상에 형성 된 상기 단결정 반도체막내에는 적어도 바이폴라 트랜지스터와 MOS 트랜지스터의 일부가 형성되는 반도체장치.

**청구항 16.**
제14항에 있어서,
상기 제1 영역은 상기 단결정 반도체막의 표면에서 상기 제1 절연막의 표면으로 연장하는 절연막영역으로 둘러싸여져 있는 반도체장치.

**청구항 17.**
제14항에 있어서,

상기 제1 영역상에 형성된 상기 도전막은 상기 단결정 반도체막내에 형성된 열린구멍부를 거쳐서 상기 단결정 반도체막의 표면상으로 연장하는 반도체장치.

**청구항 18.**

제14항에 있어서,
상기 제1 영역과 상기 제2 영역은 상기 제1 영역과 상기 제2 영역 사이에 형성된 두꺼운 절연막에 의해서 서로 분리되어 있는 반도체장치.

**청구항 19.**

제14항에 있어서,
상기 제1 영역과 상기 제2 영역상에 적층된 상기 절연막, 상기 도전막 및 상기 단결정 반도체막은 각각 상기 제1 영역 및 상기 제2 영역을 연속해서 덮도록 형성되어 있는 반도체장치.

**청구항 20.**

제14항에 있어서,
MOS 트랜지스터의 제1 게이트전극은 상기 도전막의 상기 제2 부분상에 형성된 상기 제1 절연막의 상기 제2 부분내에 매립되어 있는 반도체장치.

**청구항 21.**

제20항에 있어서,
상기 제1 게이트전극에 대응하는 위치에서 상기 단결정 반도체막상에 형성된 게이트 절연막상에 제2 게이트전극이 배치되는 반도체장치.

**청구항 22.**

제14항에 있어서,
상기 제1 도전막과 상기 제2 도전막은 동일층으로 구성되는 반도체장치.

**청구항 23.**

단결정 반도체기판, 상기 기판표면상에 단일의 산화막으로 이루어지는 제1 절연막, 도전막, 제2 절연막 및 상기 단결정 반도체기판의 표면상에 적층된 제1 도 전형을 갖는 단결정 반도체막 및
상기 단결정 반도체막의 표면영역내에 배치되고 상기 제1 도전형과는 반대인 제2 도전형을 갖는 베이스영역, 상기 베이스영역의 표면영역내에 배치되고 상기 제1 도전형을 갖는 이미터영역 및 상기 베이스영역의 하면과 접촉하고 상기 단결정 반도체막내에 배치되며 상기 제1 도전형을 갖는 컬렉터영역을 포함하고,
상기 제2 절연막의 두께는 상기 제1 절연막보다 얇은 반도체장치.

**청구항 24.**

제23항에 있어서,
상기 도전막은 고농도의 인이 도프된 실리콘으로 이루어지는 반도체장치.

**청구항 25.**

제23항에 있어서,
상기 베이스영역과 상기 컬렉터영역은 두꺼운 절연막으로 둘러싸여져 있는 반도체장치.

**청구항 26.**

다층적층구조체의 주표면상에 절연막으로 이루어지는 제1의 막, 도전막으로 이루어지는 제2의 막, 단결정 반도체로 이루어지는 제3의 막을 적층시키는 공정,
상기 제3의 막에서 상기 제2의 막을 거쳐서 상기 제1의 막으로 연장하는 소자간 분리영역을 형성하는 공정,
상기 제3의 막의 원하는 영역상에 트랜지스터의 적어도 일부를 형성하는 공정,
상기 소자간 분리영역으로 둘러싸인 상기 제3의 막의 원하는 부분을 에칭해서 열린구멍부를 형성하고, 상기 열린구멍부를 거쳐서 상기 제2의 막을 에칭해서 상기 소자간 분리영역으로 둘러싸인 상기 제2 영역을 제거하여 터널을 형성하는 공정 및
상기 터널을 도전성재료로 충전해서 상기 제3의 막과 pn접합을 형성하는 공정을 포함하는 반도체장치의 제조방법.

**청구항 27.**

제26항에 있어서,
상기 제2의 막을 형성하는 상기 공정과 상기 제3의 막을 형성하는 상기 공정 사이에 절연막으로 이루어지는 제4의 막을 형성하는 공정이 삽입되는 반도체장치의 제조방법.

**청구항 28.**

제27항에 있어서,
상기 제1의 막, 상기 제2의 막, 상기 제3의 막 및 상기 제4의 막을 적층시키는 상기 공정은 상기 다층적층구조체상에 상기 제1의 막 및 제2의 막이 적층되는 제1 구조체와 제2 다층적층구조체상에 상기 제3의 막 및 제4의 막이 서로 적층되는 제2 구조체를 상기 제2의 막과 상기 제4의 막이 서로 대향해서 밀착되도록 직접 접착시키고, 제2 다층적층구조체의 두께를 이면측에서 얇게 하는 것에 의해 실행되는 반도체장치의 제조방법.

**청구항 29.**

다층적층구조체의 주표면상에 절연막으로 이루어지는 제1의 막, 도전막으로 이루어지는 제2의 막, 절연막으로 이루어지는 제4의 막, 절연막으로 이루어지는 제5의 막 및 단결정 반도체로 이루어지는 제3의 막을 적층시키는 공정 및
상기 제3의 막내에 도전막으로 이루어지는 게이트전극을 형성하는 공정을 포함하고,

상기 제1, 제2, 제4, 제5 및 제3의 막을 적층시키는 상기 공정은 상기 다층적층구조체상에 상기 제1, 제2 및 제4의 막을 적층시키는 제1 구조체와 제2 기판상 에 상기 제3 및 제5의 막이 서로 적층되는 제2 구조체를 상기 제4의 막과 상기 제5의 막이 서로 대향해서 밀착되도록 직접 접착시키고, 제2 다층적층구조체의 두께를 이면측에서 얇게 하는 것에 의해 실행되는 반도체장치의 제조방법.

**청구항 30.**

제1 절연층으로 덮인 지지기판을 준비하는 공정,
단결징 반도체기판의 주표면상에 형성된 제1 비정질 또는 다결정 반도체층상에 제2 절연층과 제2 비정질 또는 다결정 반도체층을 적층시키는 공정,
상기 제1 절연층과 상기 제2 비정질 또는 다결정 반도체층을 서로 직접 접착시키는 공정 및
상기 제1 절연층과 상기 제2 비정질 또는 다결정 반도체층이 밀착하도록 열처리를 실행하는 공정을 포함하는 반도체장치의 제조방법,

**청구항 31.**

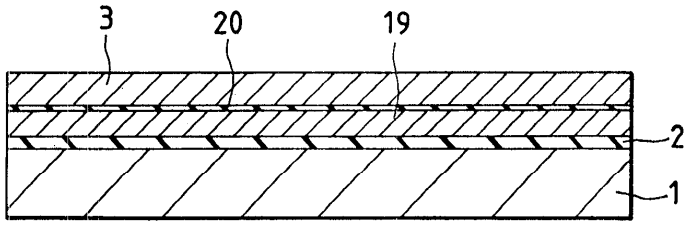
절연층을 포함하는 제1층, 비정질 또는 다결정 반도체층을 포함하는 제2층, 절연층을 포함하는 제4층, 절연층을 포함하는 제5층 및 단결정 반도체층을 포함하는 제3층을 지지기판의 주표면상에 적층하는 공정 및
상기 제3층상에 게이트 절연막을 거쳐서 도전막을 포함하는 게이트전극을 형성하는 공정을 갖는 반도체장치의 제조방법으로서,
상기 지지기판과 상기 지지기판상에 형성된 상기 제1층을 포함하는 제1 다층적층 구조체, 제2 기판, 상기 제2 기판상에 형성된 상기 제2층, 상기 제3층, 상기 제4층 및 상기 제5층을 포함하는 제2 다층적층 구조체는 서로 대향해서 밀착하도록 직접 접착되고, 상기 제2 다층적층 구조체의 두께를 이면에서 얇게 하는 것에 의해서 형성되는 반도체장치의 제조방법.

**청구항 32.**

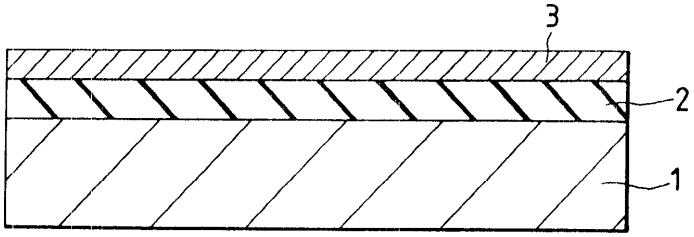
제31항에 있어서,
절연층을 포함하는 상기 제4층의 막두께는 단결정 반도체층을 포함하는 상기 제3층의 막두께보다 얇고, 상기 제3층의 막두께는 절연층을 포함하는 상기 제1층의 막두께 및 비정질 또는 다결정 반도체층을 포함하는 제2층의 막두께보다 얇은 반도체장치의 제조방법.

도면

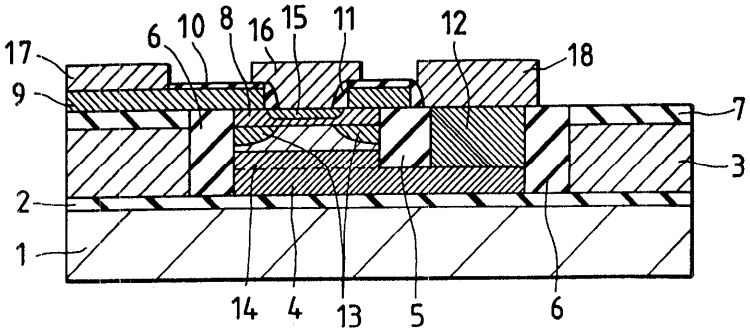
도면1



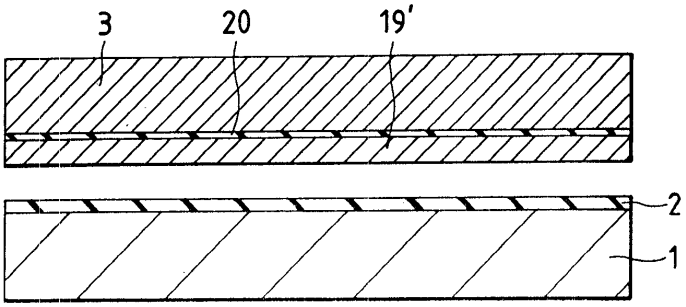

도면2



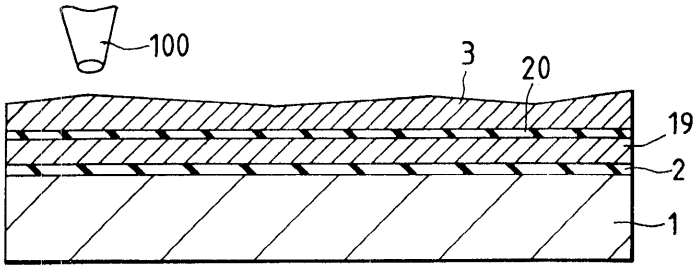
도면3



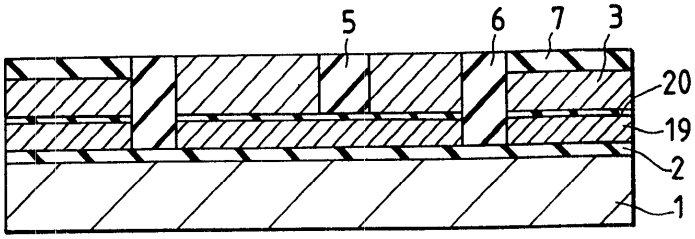

도면4



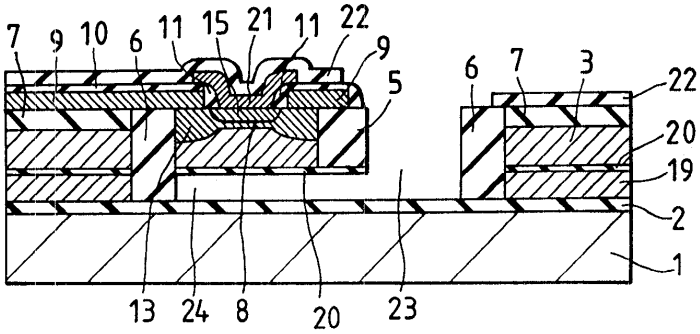

도면5



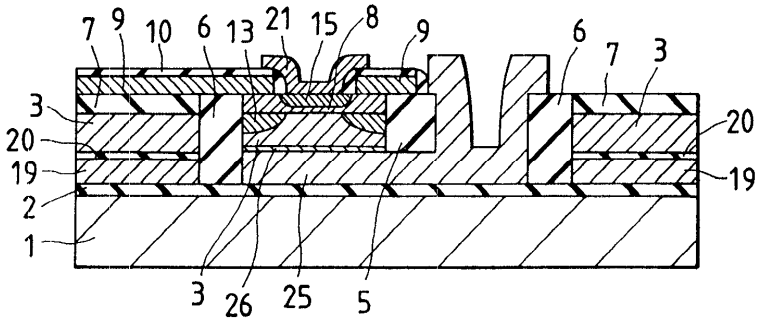

도면6



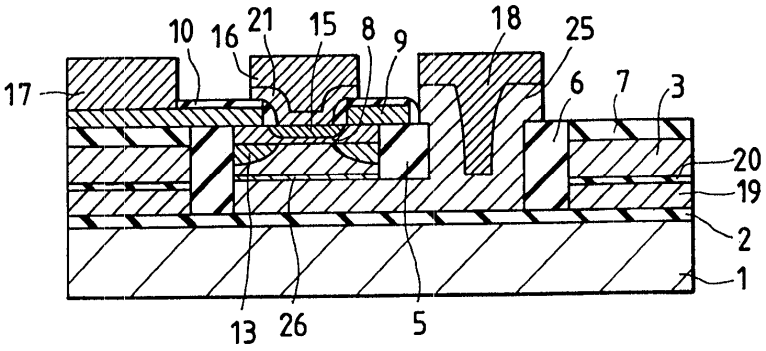

도면7



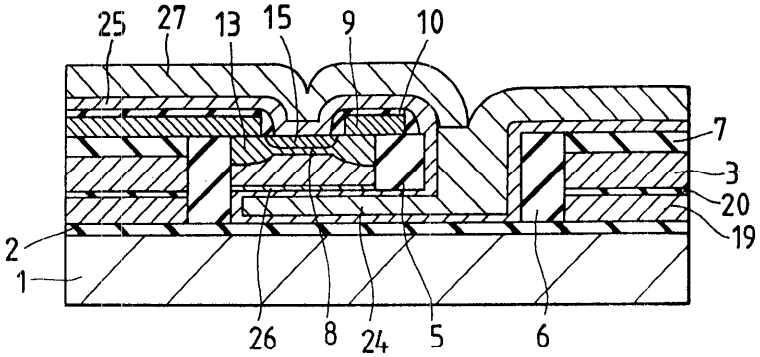
도면8



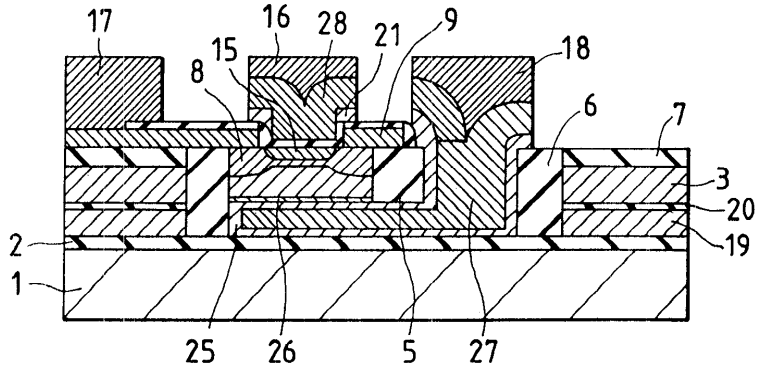

도면9



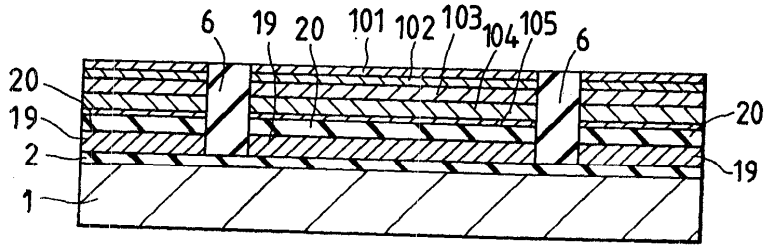

도면10



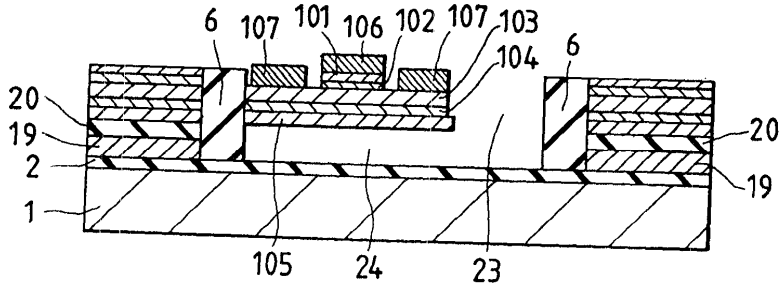

도면11



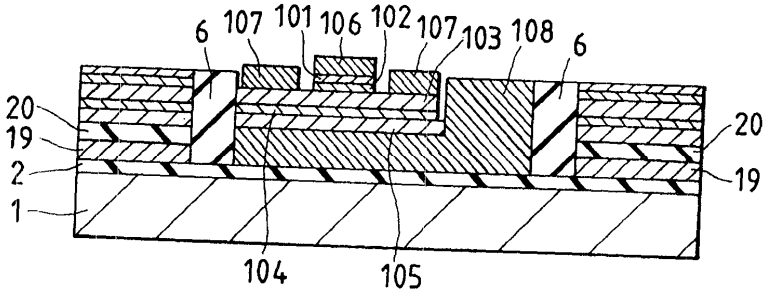
도면12



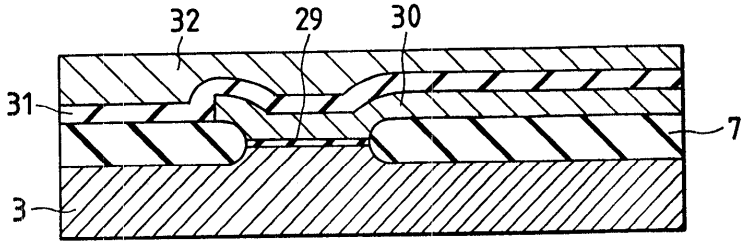

도면13



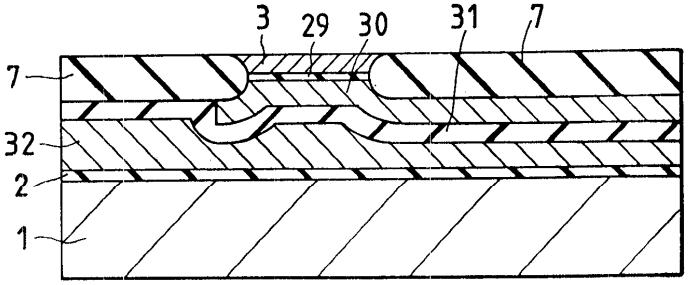

도면14



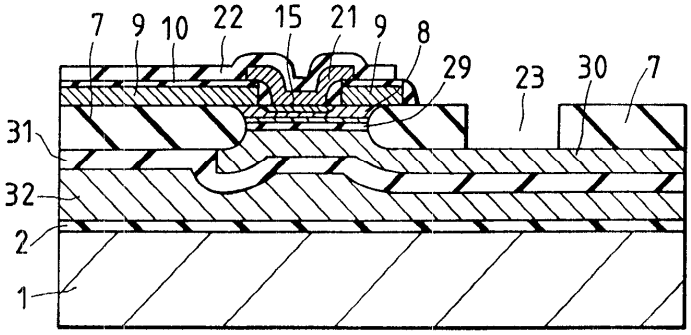

도면15



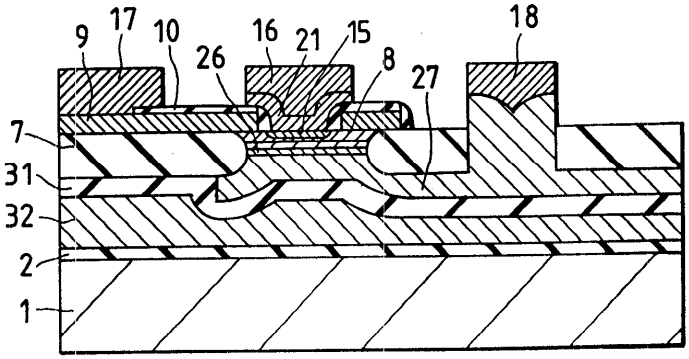

도면16



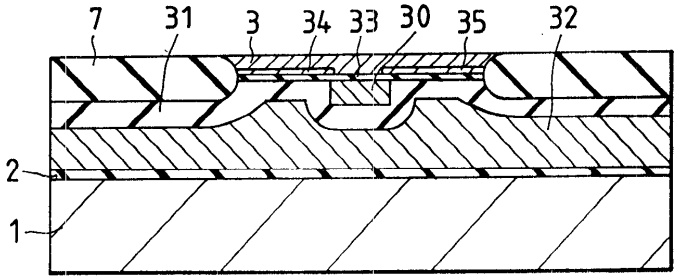
도면17



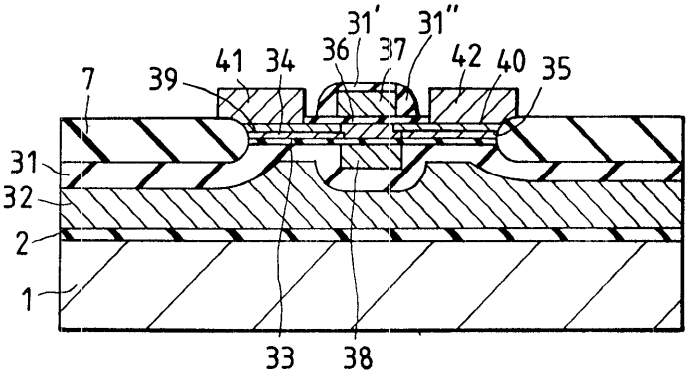

도면18



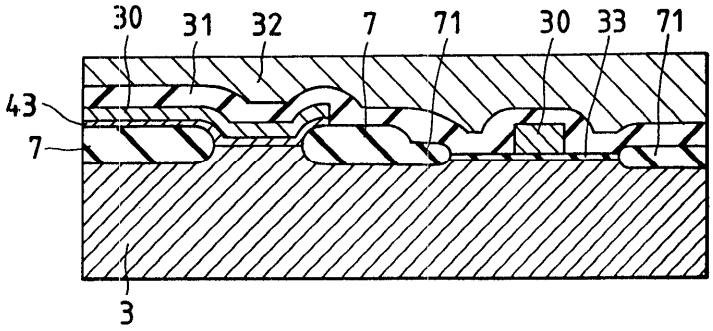

도면19



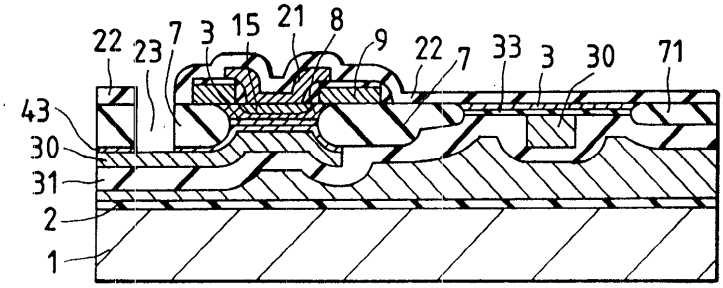

도면20



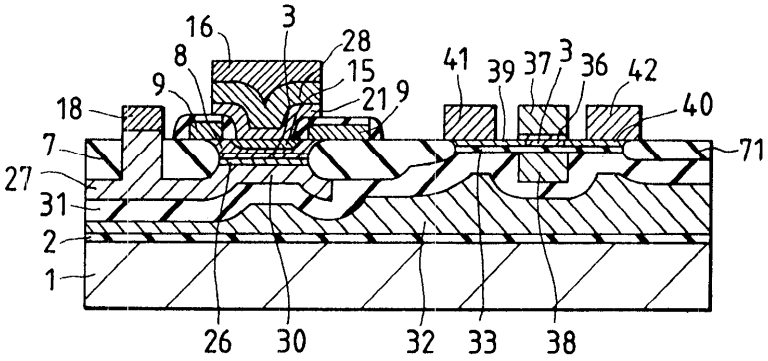
도면21



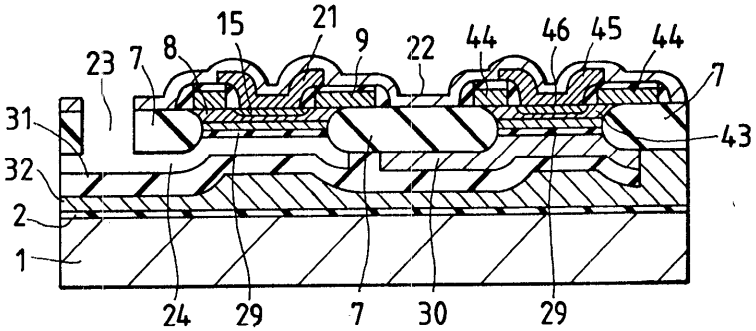

도면22



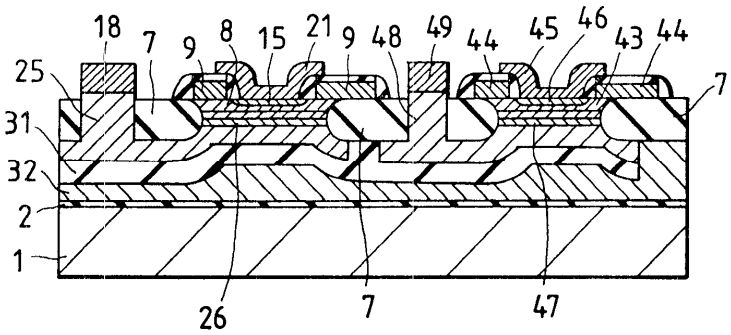

도면23



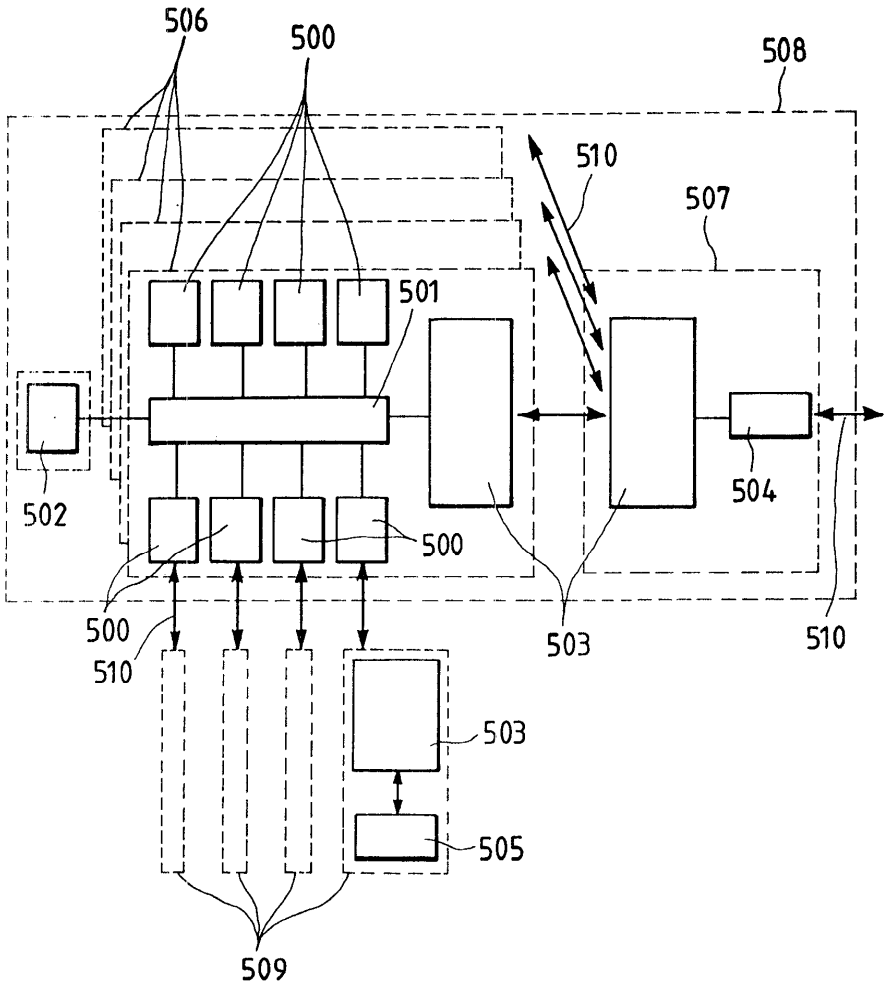

도면24



도면25


18
7
9
8
15
21
9
48
49
44
45
46
43
44
7
25
31
32
2
1
26
7
47

도면26


506
500
508
510
507
501
502
504
500
500
510
503
510
503
505
509

도면27

