



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I605589 B

(45)公告日：中華民國 106 (2017) 年 11 月 11 日

(21)申請案號：102139859

(22)申請日：中華民國 102 (2013) 年 11 月 01 日

(51)Int. Cl. : H01L29/778 (2006.01)

H01L21/338 (2006.01)

(30)優先權：2012/12/07 日本

2012-268315

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：谷口理 TANIGUCHI, SATOSHI (JP)；竹內克彥 TAKEUCHI, KATSUHIKO (JP)

(74)代理人：陳長文

(56)參考文獻：

JP 2009071270A

US 2001002706A1

審查人員：吳松屏

申請專利範圍項數：11 項 圖式數：25 共 68 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SEMICONDUCTOR DEVICE

(57)摘要

一種半導體裝置包含：一通道層；及一高電阻層，其被提供在該通道層上且由具有高電阻之一半導體製成，該半導體具有比形成該通道層之半導體之導電帶位置高之一導電帶位置。該半導體裝置包含一第一導電型低電阻區域，該第一導電型低電阻區域被提供在該高電阻層之一表面層上且由包含第一導電型雜質之一半導體製成。該半導體裝置包含：一源極電極及一汲極電極，其等在與該低電阻區域交叉之一位置中連接至該高電阻層；一閘極絕緣膜，其被提供在該低電阻區域；及一閘極電極，其經由該閘極絕緣膜被提供在該低電阻區域上。該半導體裝置包含分別於該低電阻區域與該源極電極之間及該低電阻區域與該汲極電極之間之電流阻擋區域。

A semiconductor device includes a channel layer; and a high resistance layer that is provided on the channel layer, and is made of a semiconductor with high resistance which has a conduction band position higher than that of the semiconductor which forms the channel layer. The semiconductor device includes a first conduction-type low resistance region provided on a surface layer of the high resistance layer, and is made of a semiconductor including first conduction type impurities. The semiconductor device includes: a source electrode and a drain electrode that are connected to the high resistance layer, in a position crossing the low resistance region; a gate insulating film provided on the low resistance region; and a gate electrode provided on the low resistance region via the gate insulating film. The semiconductor device includes current block regions between the low resistance region and the source electrode, and between the low resistance region and the drain electrode respectively.

指定代表圖：

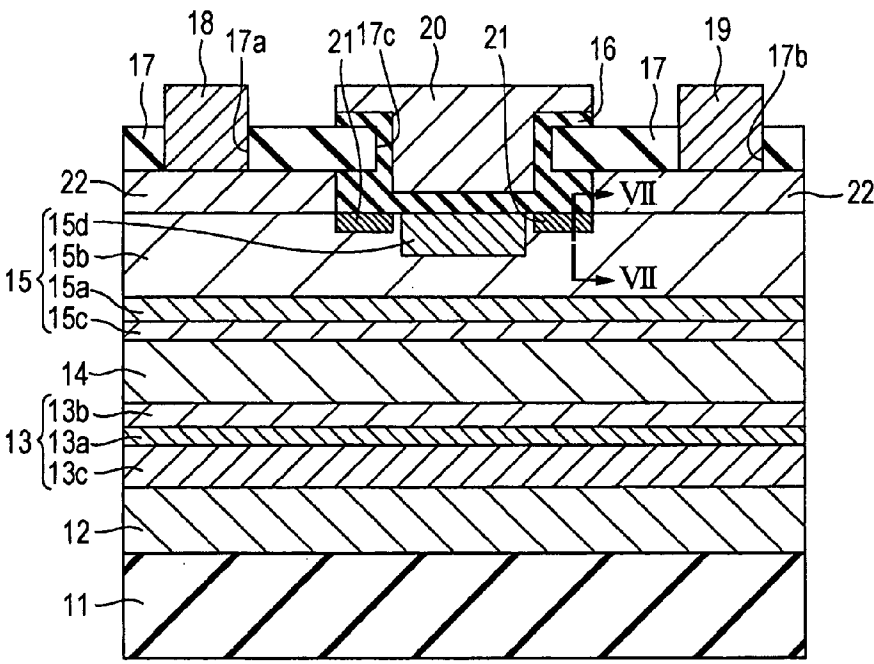


圖 1

符號簡單說明：

- 11 . . . 基板
- 12 . . . 緩衝層
- 13 . . . 下障壁層
- 13a . . . 載子供應層
- 13b . . . 高電阻層
- 13c . . . 高電阻層
- 14 . . . 通道層
- 15 . . . 上障壁層
- 15a . . . 載子供應層
- 15b . . . 高電阻層
- 15c . . . 高電阻層
- 15d . . . p 型低電阻區域
- 16 . . . 閘極絕緣膜
- 17 . . . 絕緣層
- 17a . . . 開口
- 17b . . . 開口
- 17c . . . 開口
- 18 . . . 源極電極
- 19 . . . 汲極電極
- 20 . . . 閘極電極
- 21 . . . 電流阻擋區域
- 22 . . . 間隙層

## 發明摘要



※ 申請案號： 102139859

※ 申請日： 102.11.1

※IPC 分類：H01L29/778; H01L21/338;  
(2006.01) (2006.01)

## 【發明名稱】

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF  
MANUFACTURING THE SEMICONDUCTOR DEVICE

## 【中文】

一種半導體裝置包含：一通道層；及一高電阻層，其被提供在該通道層上且由具有高電阻之一半導體製成，該半導體具有比形成該通道層之半導體之導電帶位置高之一導電帶位置。該半導體裝置包含一第一導電型低電阻區域，該第一導電型低電阻區域被提供在該高電阻層之一表面層上且由包含第一導電型雜質之一半導體製成。該半導體裝置包含：一源極電極及一汲極電極，其等在與該低電阻區域交叉之一位置中連接至該高電阻層；一閘極絕緣膜，其被提供在該低電阻區域；及一閘極電極，其經由該閘極絕緣膜被提供在該低電阻區域上。該半導體裝置包含分別於該低電阻區域與該源極電極之間及該低電阻區域與該汲極電極之間之電流阻擋區域。

## 【英文】

A semiconductor device includes a channel layer; and a high resistance layer that is provided on the channel layer, and is made of a semiconductor with high resistance which has a conduction band position higher than that of the semiconductor which forms the channel layer. The semiconductor device includes a first conduction-type low resistance region provided on a surface layer of the high resistance layer, and is made of a semiconductor including first conduction type impurities. The semiconductor device includes: a source electrode and a drain electrode that are connected to the high resistance layer, in a position crossing the low resistance region; a gate insulating film provided on the low resistance region; and a gate electrode provided on the low resistance region via the gate insulating film. The semiconductor device includes current block regions between the low resistance region and the source electrode, and between the low resistance region and the drain electrode respectively.

**【代表圖】**

**【本案指定代表圖】：**第（1）圖。

**【本代表圖之符號簡單說明】：**

- |     |         |
|-----|---------|
| 11  | 基板      |
| 12  | 緩衝層     |
| 13  | 下障壁層    |
| 13a | 載子供應層   |
| 13b | 高電阻層    |
| 13c | 高電阻層    |
| 14  | 通道層     |
| 15  | 上障壁層    |
| 15a | 載子供應層   |
| 15b | 高電阻層    |
| 15c | 高電阻層    |
| 15d | p型低電阻區域 |
| 16  | 閘極絕緣膜   |
| 17  | 絕緣層     |
| 17a | 開口      |
| 17b | 開口      |
| 17c | 開口      |
| 18  | 源極電極    |
| 19  | 汲極電極    |
| 20  | 閘極電極    |
| 21  | 電流阻擋區域  |
| 22  | 間隙層     |

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF

MANUFACTURING THE SEMICONDUCTOR DEVICE

## [相關申請案之交叉參考]

本申請案主張2012年12月7日申請之日本優先權專利申請案JP 2012-268315之權利，其完整內容以引用的方式併入本文中。

## 【先前技術】

本揭示內容係關於半導體裝置及其製造方法，尤其係關於包含介於閘極電極與通道層之間之障壁層中之低電阻區域之半導體裝置及其製造方法。

近些年來，在諸如行動電話之行動通信系統中，已需在行動通信終端機中小型化大小及減小功率消耗。為了實現該等需求，舉例而言，需針對天線開關減小導通電阻 $R_{on}$ 。

作為已在實踐中用作該天線開關之半導體裝置，揭示接面型場效電晶體(JPHEMT；接面假晶高電子遷移率電晶體)(參見，舉例而言，日本未審查專利申請公開案第11-150264號)。

此外，揭示使用以下各者執行電流調變之MIS閘極結構型HEMT裝置：使用III族氮化物材料(諸如AlGa<sub>N</sub>/Ga<sub>N</sub>或AlIn<sub>N</sub>/Ga<sub>N</sub>)形成之金屬絕緣體半導體(MIS)反轉層；及異質接面(參見，舉例而言，日本未審查專利申請公開案第2009-71270號)。

上述各半導體裝置具有一種結構，其中閘極電極被提供在源極電極與汲極電極之間且可調變在源極電極與汲極電極之間流動之電

流。接著，各半導體裝置僅具有一通道，載子一起行進穿過該通道，且電晶體之效能由通道中之輸送特性判定。

### 【發明內容】

但是，在上述JPHEMT中，由於閘極電流歸因於施加至閘極電極之正向電壓而增大，故可施加至閘極電極之正向電壓受限。此外，在MIS閘極結構型GaN HEMT裝置中，遷移率與上述JPHEMT相比較低且GaN HEMT裝置不適用於高頻率操作。因此，上述各半導體裝置具有結構問題。

因此，可期望提供一種半導體裝置，其中高的正電壓可被施加至閘極電極，同時保持高遷移率。此外，可期望改良半導體裝置中之切換特性。

本揭示內容提供一種具有極佳切換特性之半導體裝置及一種製造該半導體裝置之方法。

根據本揭示內容之一實施例之一半導體裝置包含：一通道層；及一高電阻層，其被提供在通道層上且由具有高電阻之一半導體製成，該半導體具有比形成通道層之半導體之導電帶位置高之一導電帶位置。此外，根據本揭示內容之實施例之半導體裝置包含一第一導電型低電阻區域，該第一導電型低電阻區域被提供在高電阻層之一表面層上且由包含第一導電型雜質之一半導體製成。接著，根據本揭示內容之實施例之半導體裝置包含：一源極電極及一汲極電極，其等在使低電阻區域插置於其等之間之一位置中連接至高電阻層；一閘極絕緣膜，其被提供在低電阻區域上；及一閘極電極，其經由閘極絕緣膜被提供在高電阻層上。半導體裝置包含低電阻區域與源極電極之間及低電阻區域與汲極電極之間之電流阻擋區域。

此外，根據本揭示內容之另一實施例之半導體裝置包含：一通道層；及一高電阻層，其被提供在通道層上且由具有高電阻之一半導

體製成，該半導體具有比形成通道層之半導體之導電帶位置高之一導電帶位置。此外，根據本揭示內容之實施例之半導體裝置包含：一源極電極及一汲極電極，其等連接至高電阻層；閘極絕緣膜，其被提供在高電阻層上；及一閘極電極，其經由閘極絕緣膜被提供在源極電極與汲極電極之間之高電阻層上。此外，半導體裝置包含源極電極與汲極電極之間(惟閘極電極正下方之位置除外)之電流阻擋區域。

此外，根據本揭示內容之又一實施例之製造一半導體裝置之一方法包含：在通道層上形成一高電阻層，該高電阻層由具有高電阻之一半導體製成，該半導體具有比形成通道層之一半導體之導電帶位置高之一導電帶位置；及在高電阻層之表面層上形成由包含一第一導電型雜質之半導體製成之一第一導電型低電阻區域。接著，根據本揭示內容之實施例之製造半導體裝置之一方法進一步包含：形成一源極電極及一汲極電極，其等在與一低電阻區域交叉之一位置中連接至高電阻層；在低電阻區域上形成一閘極絕緣膜；及經由閘極絕緣膜在低電阻區域上形成一閘極電極。此外，在半導體裝置中，電流阻擋區域形成在低電阻區域與源極電極及低電阻區域與汲極電極之間。

此外，根據本揭示內容之又一實施例之製造半導體裝置之一方法包含在通道層上形成由具有高電阻之半導體製成之高電阻層，該半導體具有比形成通道層之半導體之導電帶位置高之導電帶位置。接著，根據本揭示內容之實施例之製造半導體裝置之方法包含：形成源極電極及汲極電極，其等連接至高電阻層；在高電阻區域上形成閘極絕緣膜；及經由閘極絕緣膜在高電阻層上源極電極與汲極電極之間形成閘極電極。此外，在半導體裝置中，電流阻擋區域形成在源極電極與汲極電極之間，惟閘極電極正下方除外。

根據半導體裝置及其製造方法，閘極絕緣膜形成在閘極電極與半導體層之間，且電流阻擋區域被提供在源極電極與閘極電極之間及

汲極電極與閘極電極之間。為此，可抑制當將電壓施加至閘極電極時之閘極洩漏電流且可將高的正向電壓施加至閘極電極。此外，即使在藉由提供電流阻擋區域而將反轉層形成在閘極電極下方之MIS部分中的情況中，由於電流未在遷移率低於通道層之反轉層中流動，故可避免傳輸電導之不必要閘極電壓相依性且可改良半導體裝置之切換特性。

根據本揭示內容之實施例，藉由抑制閘極絕緣膜與半導體層之間之界面中之電流，可改良半導體裝置之切換特性。

### 【圖式簡單說明】

圖1係根據第一實施例之半導體裝置之示意組態之圖；

圖2A係繪示閘極絕緣膜及上障壁層中界面狀態密度低的情況中之能帶組態之圖；

圖2B係繪示閘極絕緣膜及上障壁層中界面狀態密度高的情況中之能帶組態之圖；

圖3係繪示其中大約零伏特之閘極電壓被施加至閘極電極之狀態中之能帶組態之圖；

圖4係繪示其中大約三伏特之閘極電壓被施加至閘極電極之狀態中之能帶組態之圖；

圖5係其中形成載子缺乏區域之半導體裝置之示意組態之圖；

圖6係繪示其中三伏特或三伏特以上之閘極電壓被施加至閘極電極之狀態中之能帶組態之圖；

圖7係繪示當電壓被施加至閘極時載子之二維分佈及閘極電極附近之電流密度之圖；

圖8係繪示傳輸電導之變化量與施加至閘極電極之電壓之變化之間之關係之圖；

圖9A及圖9B係製造根據第一實施例之半導體裝置之程序圖；

圖10係根據第二實施例之半導體裝置之示意組態之圖；

圖11係根據第三實施例之半導體裝置之示意組態之圖；

圖12係根據第四實施例之半導體裝置之示意組態之圖；

圖13A係繪示其中在閘極電極下方使用不具有負固定電荷之絕緣膜之情況中之能帶組態之圖；

圖13B係其中具有負固定電荷之絕緣模亦存在於閘極電極與源極電極及汲極電極之間之絕緣膜上之情況中之能帶組態之圖；

圖14係根據第五實施例之半導體裝置之示意組態之圖；

圖15A係繪示閘極電極中之閘極金屬、閘極絕緣膜及半導體層之能帶組態之圖；

圖15B係繪示在其中具有相對於閘極金屬之高功函數之金屬接觸閘極電極與源極電極及汲極電極之間之絕緣膜之情況中之能帶組態之圖；

圖16係繪示根據第六實施例之半導體裝置之示意組態之圖；

圖17係繪示根據第七實施例之半導體裝置之示意組態之圖；

圖18係繪示根據第八實施例之半導體裝置之示意組態之圖；

圖19係繪示根據第九實施例之半導體裝置之示意組態之圖；

圖20係繪示根據第十實施例之半導體裝置之示意組態之圖；

圖21係繪示根據第十一實施例之半導體裝置之示意組態之圖；

圖22係繪示根據第十二實施例之半導體裝置之示意組態之圖；

圖23係繪示根據第十三實施例之半導體裝置之示意組態之圖；

圖24係繪示具有JPHEMT結構之半導體裝置之組態之圖；及

圖25係繪示MIS閘極結構型HEMT裝置之組態之圖。

### 【實施方式】

下文中，將描述用於實施本揭示內容之最佳模式之實例。但是，本揭示內容不限於下述實例。

將按下列順序描述實施例。

- 1.半導體裝置之概述
- 2.第一實施例(半導體裝置)
- 3.第一實施例(製造半導體裝置之方法)
- 4.第二實施例(半導體裝置)
- 5.第三實施例(半導體裝置)
- 6.第四實施例(半導體裝置)
- 7.第五實施例(半導體裝置)
- 8.第六實施例(半導體裝置)
- 9.第七實施例(半導體裝置)
- 10.第八實施例(半導體裝置)
- 11.第九實施例(半導體裝置)
- 12.第十實施例(半導體裝置)
- 13.第十一實施例(半導體裝置)
- 14.第十二實施例(半導體裝置)
- 15.第十三實施例(半導體裝置)

- 1.半導體裝置之概述

## JPHEMT

上述接面型場效電晶體(JPHEMT；接面閘極假晶高電子遷移率電晶體)係使用pn接面及異質接面執行電流調變之半導體裝置。在圖24中，繪示JPHEMT之組態之實例。

舉例而言，在圖24中所繪示之JPHEMT中，一第二障壁層103及一通道層104以及一第一障壁層105經由由GaAs製成之一緩衝層102依序沈積在一半絕緣單晶GaAs基板101上。

第二障壁層103具有其中一載子供應層103a插置於兩層高電阻層103b與103c之間之結構。此外，第一障壁層105具有其中一載子供應

層105a插置於兩層高電阻層105b與105c之間之結構。此外，在第一障壁層105中，p型低電阻區域105d形成在作為上層之高電阻層105b上。

一閘極電極106形成在p型低電阻區域105d上。一源極電極108及一汲極電極109分別形成在障壁層105上p型低電阻區域105d及閘極電極106之兩側上。

舉例而言，具有此組態之半導體裝置包含由InGaAs製成之通道層104與由AlGaAs製成且具有比通道層104所具有之能帶隙寬之能帶隙之障壁層103及105之各者之間之異質接面。此外，障壁層103及105之各者包含載子供應層103a及105a，其等包含作為供體之雜質。

在具有上述組態之半導體裝置中，形成二維電子氣體層，其中作為載子之電子以高密度被限制於通道層104中障壁層103與105之界面中。接著，藉由施加電壓至閘極電極106及使用由p型低電阻區域105d及高電阻層105b製成之pn接面控制二維電子氣體層之密度，調變經由通道層104之一部分在源極電極108與汲極電極109之間流動之電流。

由於將具有低雜質密度之二維電子氣體層用作通道，故JPHEMT具有使遷移率能夠增大之特性特徵。但是，由於使用pn接面，故內建電壓僅為約1伏特，且若施加1伏特以上之正向電壓，則正向電流流動且閘極洩漏電流增大。因此，存在施加至閘極之電壓受限之問題。

#### MIS閘極結構型裝置

MIS閘極結構型HEMT裝置(MISHEMT；金屬絕緣體半導體高電子遷移率電晶體)係高頻及高功率裝置，其中使用諸如AlGaN/GaN或AlInN/GaN之III族氮化物材料。此半導體裝置使用金屬絕緣體半導體(MIS)反轉層及異質接面執行電流調變。在圖25中繪示此半導體裝置之組態實例。

在圖25中所繪示之半導體裝置中，由GaN製成之一基底層113、

由AlGa<sub>N</sub>製成之一障壁層115及由SiO<sub>2</sub>製成之一閘極絕緣膜117依序沈積在一藍寶石基板111上。接著，在閘極絕緣膜117之區域之一部分上，形成一閘極電極116。

障壁層115係由一高電阻層115b及一p型低電阻區域115c製成。p型低電阻區域115c形成在閘極絕緣膜117正下方及在平面圖中自閘極電極116之表面側觀察閘極電極116之情況中實質上由閘極電極116遮蔽之範圍內。

當電壓被施加至閘極電極116時，一反轉層形成在p型低電阻區域115c中閘極電極116與閘極絕緣膜117之間之界面上且調變在源極電極118與汲極電極119之間流動之電流。

此外，在使用III族氮化物材料之MIS閘極結構型HEMT裝置中，由於閘極絕緣膜117形成在閘極電極116與p型低電阻區域115c之間，故閘極洩漏電流低且高的正電壓可被施加至閘極電極116。

但是，當裝置處於導通操作中時，由於藉由MIS操作形成在半導體表面上之反轉層充當通道，故存在與二維電子氣體層充當通道之情況相比遷移率變低之問題。

即使在使用III-V族材料之邏輯裝置應用中，關於其中調查使用具有極佳電子輸送特性之InGaAs改良效能之裝置，可能無法實現使用反轉層之通道中之遷移率之原始效能。

#### MISPHEMT及MISJPHEMT

關於FET之上述問題，對於具有保持高遷移率及減小閘極洩漏電流且能夠施加高的正電壓至閘極電極之兩個特性之FET，提出金屬絕緣體半導體假晶高電子遷移率電晶體(MISPHEMT)及金屬絕緣體半導體接面閘極假晶高電子遷移率電晶體(MISJPHEMT)。

在MISJPHEMT中，可藉由將閘極絕緣膜(諸如Al<sub>2</sub>O<sub>3</sub>)插入JPHEMT之閘極電極與半導體層之間而預期高遷移率及低閘極洩漏電

流兩者。由於可抑制閘極洩漏電流，故可將高的正電壓施加至閘極電極且因此可減小導通電阻 $R_{on}$ 。此外，可增大最大汲極電流 $I_{dmax}$ 。此可促成減小天線開關及功率放大器之功率消耗。

另一方面，在MISPHEMT及MISJPHEMT中，存在作為載子行進之通道之兩個通道；存在PHEMT之二維電子氣體層及MIS之閘極絕緣膜與半導體之界面。

在MISPHEMT之實例中，根據施加至閘極之電壓之增大，將歸因於累積在MIS之絕緣膜與半導體之界面中之電子之輸送之電流加至歸因於電子行進在PHEMT之二維電子氣體層中之電流。歸因於MISPHEMT之結構限制，用於MIS區段之半導體材料之載子輸送特性劣於二維電子氣體層之載子輸送特性。為此，在源極電極與汲極電極之間流動之汲極電流之絕對值增大且導致傳輸電導對施加至閘極之電壓相依性之劣化。由於天線開關及功率放大器之失真特性與傳輸電導特性正相關，故傳輸電導對所施加電壓之相依性之劣化導致失真特性之劣化。因此，可期望改良相依性。

## 2.第一實施例(半導體裝置)

### MISJPHEMT：結構

接下來，將描述本揭示內容之第一實施例。根據第一實施例之半導體裝置之示意組態繪示在圖1中。圖1中所繪示之半導體裝置係所謂的MISJPHEMT，其包含介於閘極電極與通道層之間之障壁層且與障壁層之導電型不同之導電型之低電阻區域進一步被提供在障壁層中且此外，閘極電極經由絕緣膜被提供在低電阻區域上。

在圖1中所繪示之半導體裝置中，由各化合物半導體材料製成之一緩衝層12、一下障壁層13、一通道層14、一上障壁層15及一間隙層22依序沈積在由化合物半導體製成之一基板11上。

在下障壁層13中，提供一載子供應層13a。在上障壁層15中，連

同載子供應層15a提供一p型低電阻區域15d。

接著，在由上述化合物半導體材料製成之半導體層之沈積主體上提供一絕緣層17。在絕緣層17上，提供開口17a及17b。在開口17a及17b中，形成一源極電極18及一汲極電極19，其等經由間隙層22連接至上障壁層15。

此外，在開口17a與17b之間，一開口17c被提供在絕緣層17及間隙層22中。開口17c以使得間隙層22之開口寬度比絕緣層17之開口寬度大之一方式形成。在開口17c中，一閘極絕緣膜16沿著開口17c之底部表面及側表面形成在上障壁層15上。

一閘極電極20形成在閘極絕緣膜16之上部分上。一p型低電阻區域15d經由閘極絕緣膜16形成在閘極電極20正下方。電流阻擋區域21被提供在上障壁層15之表面上及閘極絕緣膜16下方p型低電阻區域15d之兩側上。

#### 基板11

基板11係由具有半絕緣性質之化合物半導體材料形成。基板11係由例如III-V族化合物半導體材料形成且使用具有半絕緣性質之單晶GaAs基板或InP基板。

#### 緩衝層12

舉例而言，緩衝層12係由基板11上之磊晶生長之化合物半導體層形成，且經形成以使用有利地晶格匹配於基板11及下障壁層13之化合物半導體。舉例而言，在基板11由單晶GaAs基板製成之情況中，作為緩衝層12之實例，使用未被摻雜雜質之u-GaAs(u指示未摻雜雜質；下文中指示相同)之磊晶生長層。

#### 下障壁層

下障壁層13係由具有比形成通道層14之III-V族化合物半導體之導電帶位置高之導電帶位置之III-V族化合物半導體形成。具有高導電

帶位置之III-V族化合物半導體之實例包含AlGaAs混合晶體及類似物。舉例而言，下障壁層13係由 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混合晶體形成，其中鋁(Al)對III族元素之組合物比率係0.2。

此下障壁層13包含：一載子供應層13a，其中以高密度包含作為第二導電型雜質之n型雜質；及高電阻層13b及13c，其等具有高電阻。此等高電阻層13b及13c可以低密度包含n型雜質或作為第一導電型雜質之p型雜質且可能不包含n型雜質及p型雜質。在高電阻層13b及13c中，較佳的是，雜質密度等於或低於 $1 \times 10^{17}$  pcs./ $\text{cm}^3$ 且比電阻等於或高於 $1 \times 10^{-2}$   $\Omega \text{ cm}$ 。

舉例而言，下障壁層13包含載子供應層13a，其厚度係4 nm且被添加大約 $3 \times 10^{18}$   $\text{cm}^{-3}$ 之矽作為n型雜質。接著，下障壁層13具有一結構，其中在載子供應層13a上及下方，厚度為200 nm且未被添加雜質之高電阻層13c及厚度為2 nm且未被添加雜質之高電阻層13b沈積在基板11上。此外，下障壁層13可能不包含高電阻層13b及13c，且整個區域可為載子供應層13a。

#### 通道層

通道層14係源極電極18與汲極電極19之間的電流路徑。通道層14係由具有比形成下障壁層13及上障壁層15之III-V族化合物半導體所具有之導電帶位置低的導電帶位置之III-V族化合物半導體形成。具有較低導電帶位置之III-V族化合物半導體之實例包含AlGaAs混合晶體及類似物。舉例而言，通道層14係由其中銦(In)對III族元素的組合物比率係0.2且未被添加雜質的 $\text{u-In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混合晶體形成。因此，通道層14以使得載子累積(其等供應自下文所述之下障壁層13之載子供應層13a及上障壁層15之載子供應層15a)之一方式形成。

舉例而言，在通道層14係由InGaAs混合晶體形成之情況中，較佳的是，銦對III族元素之組合物比率等於或高於0.1。銦組合物比率

愈高，能帶隙可愈窄。若銦組合物比率等於或高於0.1，則分別可使下障壁層13與通道層14之間及上障壁層15與通道層14之間之各導電帶位置之差異足夠大。此外，較佳的是，通道層14之厚度等於或薄於15 nm。此係因為通道層14之結晶度在其變厚時劣化。

#### 上障壁層

上障壁層15包含其中包含具有高密度之n型雜質之載子供應層15a及具有高電阻之高電阻層15b及15c。此外，在高電阻層15b中，包含p型低電阻區域15d。

上障壁層15係由具有比形成通道層14之III-V族化合物半導體所具有之導電帶位置高之導電帶位置的III-V族化合物半導體形成。舉例而言，此上障壁層15係由 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混合晶體(其中鋁對III族元素之組合物比率係0.2)形成。

在其中上障壁層15係由 $\text{AlGaAs}$ 混合晶體形成之情況中，較佳的是，鋁對III族元素之組合物比率等於或低於0.25。藉由使鋁組合物比率等於或低於0.25，可抑制所謂的源極電阻增大。此外，在藉由將在下文描述之p型雜質之擴散而形成p型低電阻區域15d時，可抑制擴散速度且可改良可控性。

上障壁層15包含具有供應載子之雜質之載子供應層15a。舉例而言，包含矽(Si)作為供應電子之n型雜質之n型載子供應層15a在膜厚度方向上配置在上障壁層15之中間部分中。

高電阻層15b及15c可包含具有低密度之n型雜質或p型雜質。此外，高電阻層15b及15c可能不包含n型雜質及p型雜質。

p型低電阻區域15d係具有高密度之p型雜質之擴散區域。p型低電阻區域15d係相對於源極電極18與汲極電極19之間之區域中之閘極電極20提供之p型低電阻區域。此p型低電阻區域15d位於閘極絕緣膜16與高電阻層15b之間且由舉例而言鋅(Zn)(其係p型雜質)形成且擴散

至高電阻層15b之一部分中。較佳的是，p型低電阻區域15d中之p型雜質之密度等於或高於 $1 \times 10^{18} \text{ cm}^{-3}$ 。

舉例而言，上障壁層15包含載子供應層15a，其厚度係4 nm且添加大約 $3 \times 10^{18} \text{ cm}^{-3}$ 之矽作為n型雜質。接著，上障壁層15具有一結構，其中在載子供應層15a上及下方自通道層14側沈積厚度為2 nm且未添加雜質之高電阻層15c及厚度為30 nm且未添加雜質之高電阻層15b。

此外，上障壁層15具有一結構，其中具有大約 $1 \times 10^{19} \text{ cm}^{-3}$ 之p型雜質密度之p型低電阻區域15d嵌入在高電阻層15b中，同時與閘極絕緣膜16接觸。

此外，在此實例中，描述其中下障壁層13及上障壁層15係由 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混合晶體之相同組合物形成之實例。但是，下障壁層13及上障壁層15可由具有相互不同的組合物之 $\text{AlGaAs}$ 混合晶體形成。

在上障壁層15中，較佳的是，鋁對III族元素之組合物比率等於或低於0.25。相反，在下障壁層13中，p型低電阻區域不一定藉由p型雜質之擴散而形成。基於此原因，與上障壁層15相比，在下障壁層13之結構中，鋁組合物比率可較高。

此外，較佳的是，高電阻層13b及15b中之雜質密度等於或低於 $1 \times 10^{17} \text{ cm}^{-3}$ 且較佳的是，比電阻等於或高於 $1 \times 10^{-2} \text{ } \Omega \text{ cm}$ 。

#### 間隙層

間隙層22係提供在上障壁層15與源極電極18之間及上障壁層15與汲極電極19之間。間隙層22係形成為包含與p型低電阻區域15d及障壁層中之導電型雜質不同之導電型雜質之一層。此外，間隙層22係由與上障壁層15之材料相同之材料形成或由具有介於源極電極18及汲極電極19之功函數與上障壁層15之導電帶位置之間之導電帶位置之半導體材料形成。

間隙層22具有減小至通道之存取電阻之目的。存取電阻係由半導體及電極之接觸電阻及自電極至通道層14之電阻構成。為此，為了減小兩個電阻，將具有高密度之雜質添加至間隙層22。

#### 絕緣層

絕緣層17具有相對於形成上障壁層15之化合物半導體之絕緣性質且使用具有保護低於離子雜質之一層之一表面及類似物(本文中，上障壁層15)之功能之材料。舉例而言，絕緣層17係由具有200 nm之厚度之氮化矽( $\text{Si}_3\text{N}_4$ )形成。

#### 源極電極18及汲極電極19

源極電極18及汲極電極19分別經由開口17a與17b在與p型低電阻區域15d交叉之位置中與上障壁層15歐姆接觸。源極電極18及汲極電極19係由其中金-鍺( $\text{AuGe}$ )、鎳( $\text{Ni}$ )及金( $\text{Au}$ )循序沈積且自上阻障層15側依序合金化之材料形成。舉例而言，源極電極18及汲極電極19之各膜厚度分別總計為大約1000 nm。

#### 閘極絕緣膜

閘極絕緣膜16係提供在形成於絕緣層17上之開口17c之下部分處且以完全閉合開口17c之狀態提供。接著，閘極絕緣膜16之邊緣被提供至絕緣層17之上部分。閘極絕緣膜16係由氧化物或氮化物形成且舉例而言係由具有10 nm之厚度之氧化鋁( $\text{Al}_2\text{O}_3$ )形成。

#### 閘極電極

閘極電極20係經由閘極絕緣膜16而提供在p型低電阻區域15d之上部分上方。閘極電極20以嵌入開口17c之一狀態而提供。閘極電極20係由自基板11側循序沈積之鈦( $\text{Ti}$ )、鉑( $\text{Pt}$ )及金形成。

#### 電流阻擋區域

此外，如圖1中所繪示，電流阻擋區域21形成在p型低電阻區域15d之兩側上。在具有圖1中所繪示之組態之半導體裝置中，費米能階

釘紮歸因於閘極絕緣膜16與高電阻層15b之間之界面狀態而發生。即，藉由閘極絕緣膜16與上障壁層15之高電阻層15b之間之界面狀態而在高電阻層15b中產生空乏層。以此方式，以電流阻擋區域21之形式實現在閘極電極20之兩側中擴展至半導體中之空乏層之效應。

將使用圖2A及圖2B中所繪示之能帶組態描述如何藉由界面狀態形成電流阻擋區域21。圖2A繪示界面狀態密度在閘極絕緣膜16及上障壁層15中低之情況中之能帶組態。此外，圖2B繪示界面狀態密度在閘極絕緣膜16及上障壁層15中係高之情況中之能帶組態。

如圖2A中所繪示，在界面狀態密度低的情況中，藉由施加電壓至閘極電極而使電子累積在上障壁層15側中。為此，在閘極絕緣膜16與上障壁層15之界面中產生電流路徑。相反，在界面狀態密度高的情況中，難以藉由施加電壓至閘極電極而使電子累積在上障壁層15側中。為此，未在閘極絕緣膜16與上障壁層15之界面中產生電流路徑。

通常，比較p型低電阻區域15d與高電阻層15b，具有高密度之界面狀態易於形成在高電阻層15b及閘極絕緣膜16中能帶隙中之深位置處。為此，充當高電阻層15b中之電流阻擋區域之空乏層易於自閘極絕緣膜16與高電阻層15b之界面延伸。

此外，由於閘極電極20未接觸此區域，故其較不易受施加至閘極之電壓影響。因此，即使施加正電壓，空乏層之寬度仍不會輕易改變，且因此在施加至閘極之電壓之廣泛範圍中預期電流阻擋區域之效應。

#### MISJPHEMT：操作

##### 能帶

在圖3及圖4中，繪示如上文所述般組態之半導體裝置之閘極電極20下方之能帶之組態。圖3繪示其中施加大約零伏特之閘極電壓 $V_g$ 之狀態。圖4繪示其中施加大約三伏特之閘極電壓 $V_g$ 之狀態。此外，

在圖3及圖4中，繪示半導體裝置，其中下障壁層13及上障壁層15分別由 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混合晶體形成且通道層14係由 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混合晶體形成。

如圖3中所繪示，上述半導體裝置以使得通道層14及上障壁層15之導電帶邊緣之不連續量 $\Delta E_c$ 足夠大(本文中，0.31 eV)之一方式組態。此外，半導體裝置以使得上障壁層15之電位最小點與通道層14中之電子之費米能階之間之差值足夠大(本文中，0.20 eV或更高)之一方式組態。為此，與分佈在通道層14中之電子之數目相比，分佈在上障壁層15中之電子之數目足夠小以被忽視。

此外，上述半導體裝置具有其中通道層14插置於導電帶位置比通道層14之導電帶位置高之下障壁層13與上障壁層15之間之組態。為此，當自下障壁層13及上障壁層15之載子供應層13a及15a供應載子時，通道層14累積載子且變成二維電子氣體層。

在此半導體裝置中，閘極絕緣膜係提供在閘極電極與第一導電型p型低電阻區域之間，不存在如在pn接面之情況中流動之大正向電流之情況。為此，閘極洩漏電流可大大減小，且可施加大的正電壓至閘極電極20。

此外，如圖1中所繪示，半導體裝置具有p型低電阻區域15d之兩側上之電流阻擋區域21。以此方式，藉由施加正電壓至閘極電極20，即使在由閘極電極20、閘極絕緣膜16及p型低電阻區域15d製成之MIS結構執行一反轉操作且在閘極絕緣膜16與p型低電阻區域15d之間之界面中產生載子之情況中，該等載子仍不促成在源極電極18與汲極電極19之間流動之電流。

操作

在如上文所述般組態之半導體裝置中，在大約零伏特之閘極電壓 $V_g$ 施加至閘極電極20之狀態中，閘極絕緣膜16下方之p型低電阻區

域15d中之價能帶位置 $E_v$ 係恆定的且實質上與費米能階 $E_f$ 匹配。

此外，如圖5中所繪示，在閘極電壓 $V_g$ 低於臨限電壓之情況中，其中使電子空乏之一載子缺乏區域14a形成在定位於半導體裝置中之p型低電阻區域15d正下方之通道層14內之區域中。在圖3中繪示此時之能帶組態。以此方式，通道層14歸因於載子缺乏區域14a而處於高電阻狀態中。因此，在源極電極18與汲極電極19之間，汲極電流 $I_d$ 不經由通道層14流動且半導體裝置變為關斷狀態。

另一方面，在將大約三伏特之正閘極電壓 $V_g$ 施加至半導體裝置之閘極電極20之狀態中，降低經由閘極絕緣膜16之p型低電阻區域15d之導電帶位置 $E_c$ 。為此，使p型低電阻區域15d中之電洞空乏。在圖4中繪示此時之能帶組態。

此外，此時，圖5中所繪示之通道層14中之載子缺乏區域14a消失。為此，通道層14中之電子數目增大且源極電極18與汲極電極19之間之汲極電流 $I_d$ 經由通道層14流動。藉由閘極電壓 $V_g$ 調變此汲極電流 $I_d$ 。

在相關技術中之JPHEMT中，施加至閘極電極之電壓等於或低於1.0 V。但是，在此半導體裝置中，施加至閘極電極之電壓不一定等於或低於1.0 V。即，與JPHEMT相比，在例示性半導體裝置中，可施加高的正電壓至閘極電極20。為此，通道層14之導通電阻 $R_{on}$ 減小且最大汲極電流 $I_{dmax}$ 增大。此外，裝置之大小可減小且寄生電容可減小。

### 電流阻擋區域

順便提及，在具有上述組態之半導體裝置中，在其中不包含電流阻擋區域之組態之情況中，當將等於或高於3.0 V之正閘極電壓 $V_g$ 施加至閘極電極20時，下述現象發生。

當將正閘極電壓 $V_g$ 施加至閘極電極20時，經由閘極絕緣膜16之p

型低電阻區域15d之導電帶位置降低且反轉操作開始在閘極絕緣膜16及p型低電阻區域15d之區域中發生。為此，存在於絕緣膜與半導體之間之界面中之電子之數目增大且形成除通道層14中外汲極電流 $I_d$ 流動通過之路徑。此時，由於汲極電流 $I_d$ 係流動通過反轉操作部分及通道層14之電流之總和，故汲極電流之總值變大。在圖6中繪示此時之能帶組態。

在圖7中，繪示當施加閘極電壓時閘極電極附近的電流密度分佈。由於藉由電流阻擋區域之存在或不存在而評估電流之差值，故在圖7中繪示圖1中之VII-VII線截面圖中之電流密度。本文中，電流阻擋區域存在之情況係如上述圖1中所繪示般組態之半導體裝置之情況。此外，電流阻擋區域不存在之情況係如上述圖1中所繪示般組態被移除電流阻擋區域21之半導體裝置之情況。

如圖7中所繪示，在不具有電流阻擋區域之半導體裝置中，電流產生在通道層14中及閘極絕緣膜16與高電阻層15b之間之界面(閘極絕緣膜與半導體之間之界面)中。

相反，在具有電流阻擋區域之半導體裝置中，電流僅產生在通道層14中且不產生在閘極絕緣膜16與高電阻層15b之間之界面中。以此方式，應瞭解可藉由電流阻擋區域21抑制在反轉操作時在絕緣膜與半導體之間之界面中流動之電流。

在形成於絕緣層與半導體之間之界面中之反轉層中行進之電子之遷移率與在通道層14中行進之電子之遷移率不同。在用於由AlGaAs層表示之上障壁層15中之半導體材料中行進之電子之遷移率係 $1000 \text{ cm}^2/\text{V}\cdot\text{sec}$ 至 $3000 \text{ cm}^2/\text{V}\cdot\text{sec}$ ，且低於通道層14中之遷移率。因此，作為電晶體之操作能力之一者之傳輸電導(gm；汲極電流相對於施加至閘極電極之電壓之變化之變化量)展示對施加至閘極電極之電壓之大相依性，此係因為電子行進之位置自一個增加至兩個。在圖8

中繪示此狀態。

如圖8中所繪示，在不具有電流阻擋區域之半導體裝置中，當所施加電壓等於或高於3伏特時，可見傳輸電導之增大。相比之下，在具有電流阻擋區域21之半導體裝置中，即使在所施加電壓等於或高於3伏特之情況中，傳輸電導不增大。以此方式，藉由包含電流阻擋區域21，可瞭解傳輸電導 $g_m$ 之閘極電壓相依性係小的。舉例而言，在假定應用於天線切換之情況中，傳輸電導 $g_m$ 之閘極電壓相依性影響開關之失真特性。因此，在具有電流阻擋區域21之MISJPHEMT中，失真特性之劣化係小的。

#### 優點

根據本揭示內容之實施例中之半導體裝置，由於閘極絕緣膜16形成在閘極電極20與p型低電阻區域15d(閘極絕緣膜與半導體之間之界面)之間，故閘極洩漏電流幾乎不在此界面中流動。為此，可將高的正電壓施加至閘極電極20且可減小導通電阻 $R_{on}$ 。此外，可增大最大汲極電流 $I_{dmax}$ 。

此外，半導體裝置具有電流阻擋區域，且由於即使施加至閘極之電壓增大，傳輸電導之閘極電壓相依性仍係低，故與半導體裝置不具有電流阻擋區域之一結構相比，可抑制導通時諧波失真特性之劣化。

因此，若使用此半導體裝置組態一無線通信設備，則可減小無線通信設備之大小且可減小功率消耗。即，特定言之，在行動通信終端機中，可最小化設備之大小且可延長操作時間，且進一步可使其更易於攜帶。

此外，由於閘極絕緣膜16形成在閘極電極20與p型低電阻區域15d之間，故可改良閘極電極20與汲極電極19之間之耐受電壓。

### 3.第一實施例(製造半導體裝置之方法)

接下來，將描述製造上述第一實施例中之半導體裝置之方法。

首先，如圖9A中所繪示，在基板11上沈積半導體層。

舉例而言，在由GaAs製成之基板11上，例如藉由磊晶生長未添加雜質之u-GaAs層而形成緩衝層12。接著，在緩衝層12上，例如藉由磊晶生長AlGaAs( $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混合晶體)層而形成下障壁層13。此時，循序磊晶生長由未添加雜質之u-AlGaAs層製成之高電阻層13c、由添加矽(Si)之n型AlGaAs層製成之載子供應層13a及由未添加雜質之u-AlGaAs層製成之高電阻層13b。以此方式，形成下障壁層13，其包含在膜厚度方向上之中心中之n型載子供應層13a。

接下來，在下障壁層13上，藉由磊晶生長未添加雜質之u-InGaAs層而形成通道層14。

接著，在通道層14上，藉由磊晶生長AlGaAs( $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混合晶體)層而形成上障壁層15。此時，循序磊晶生長由未添加雜質之u-AlGaAs層製成之高電阻層15c、由添加矽(Si)之n型AlGaAs層製成之載子供應層15a及由未添加雜質之u-AlGaAs層製成之高電阻層15b。以此方式，獲得上障壁層15，其包含在膜厚度方向上之中心中之n型載子供應層15a。

此外，在上障壁層15上，舉例而言，將添加矽作為n型雜質之n型GaAs層形成為間隙層22。

接著，藉由台面蝕刻或隔離植入(未繪示)執行元件間分離。

接下來，如圖9B中所繪示，在間隙層22上，藉由使用例如電漿增強化學氣相沈積(PECVD)方法形成氮化矽膜而形成絕緣層17。接著，藉由對絕緣層17執行圖案蝕刻，在閘極電極形成區域上形成暴露上障壁層15之表面之開口17c。在此狀態中，藉由自暴露於開口17之底部部分上之間隙層22之表面引入p型雜質而在上障壁層15中形成p型低電阻區域15d。舉例而言，藉由在大約600°C之溫度下使鋅(其係p型

雜質)擴散至間隙層22及高電阻層15b中而形成p型低電阻區域15d。本文中，藉由使鋅(Zn)(其係p型雜質)擴散至未到達載子供應層15a之位置中(即，僅在高電阻層15b中之表面層上)而形成p型低電阻區域15d。舉例而言，藉由在大約600°C之溫度下使用鋅化合物氣體之氣相擴散執行鋅(Zn)之擴散。以此方式，藉由在開口17c之底部部分上之一自對準形成p型低電阻區域15d。

接下來，在形成p型低電阻區域15d之後，使用檸檬酸基蝕刻溶液選擇性地僅移除藉由開口17c暴露之間隙層22之一部分。接著，藉由在其中移除絕緣層17之上障壁層15之高電阻層15b上及絕緣層17上藉由使用原子層沈積(ALD)方法沈積氧化鋁膜而形成閘極絕緣膜16。

在形成閘極絕緣膜16後，藉由在閘極絕緣膜16上循序沈積鎳及金及形成一圖案而形成閘極電極20。

接下來，藉由蝕刻選擇性地移除閘極絕緣膜16及絕緣層17，且接著在源極電極形成區域與汲極電極形成區域(p型低電阻區域15d插置於其等之間)中分別形成開口17a及開口17b。接著，舉例而言，在開口17a及開口17b上循序沈積AuGe、鎳及金且形成圖案。隨後，藉由在大約400°C下進行熱處理，藉由形成金合金分別形成源極電極18及汲極電極19且可形成圖1中所繪示之半導體裝置。

在閘極電極附近之間隙中，藉由閘極絕緣膜16與上障壁層15之高電阻層15b之間之界面狀態，使空乏層延伸至高電阻層15b且充當電流阻擋區域21。通常，比較p型低電阻區域15d與高電阻層15b，在高電阻層15b及閘極絕緣膜16中之能帶隙中之深位置處，易於形成具有高密度之界面狀態。為此，易於延伸充當電流阻擋區域21之空乏層。此外，閘極電極20不接觸此區域，故其較不易受施加至閘極之電壓影響。因此，即使施加正電壓，空乏層仍不易變化且在閘極電壓之廣泛範圍中預期電流阻擋區域之效應。

舉例而言，半導體裝置較佳用於無線通信系統中之無線通信設備。作為無線通信設備，通信頻率係超高頻(UHF)帶或更高之設備較佳。

根據本實施例中之半導體裝置，由於閘極絕緣膜16形成在閘極電極20與p型低電阻區域15d之間，故閘極洩漏電流幾乎不在閘極絕緣膜16與高電阻層15b之間之界面中流動。為此，可將大的正電壓施加至閘極電極20且可減小導通電阻 $R_{on}$ 。此外，可增大最大汲極電流 $I_{dmax}$ 。

若使用此半導體裝置組態無線通信設備，則可減小無線通信設備之大小且可減小功率消耗。即，特定言之，在行動通信終端機中，可最小化設備之大小且可延長操作時間，且此外可使其更易於攜帶。

此外，由於閘極絕緣膜16形成在閘極電極20與p型低電阻區域15d之間，故可改良閘極電極20與汲極電極19之間之耐受電壓。

此外，根據製造本實施例中之半導體裝置之方法，在通道層14與閘極絕緣膜16之間形成由具有比形成通道層14之半導體之能帶隙寬之一能帶隙之半導體製成之高電阻層15b。接著，在高電阻層15b上，藉由使p型雜質擴散而形成對應於閘極電極20之p型低電阻區域15d。因此，可易於製造本實施例中之半導體裝置。

#### 4.第二實施例(半導體裝置)

接下來，將描述半導體裝置之一第二實施例。第二實施例類似於上述第一實施例。第二實施例中之半導體裝置係所謂的MISJPHEMT，其中障壁層被提供在閘極電極與通道層之間且與障壁層不同之導電型低電阻區域被提供在障壁層中。此外，在第二實施例中，將藉由相同數字標記與上述第一實施例相同之組態且將不重複詳細描述。

在圖10中繪示第二實施例中之半導體裝置之組態。如圖10中所

繪示，在半導體裝置中，由各化合物半導體材料製成之緩衝層12、下障壁層13、通道層14、上障壁層15及間隙層22依序沈積在基板11上。

在下障壁層13中，提供一載子供應層13a。在上障壁層15中，連同載子供應層15a提供p型低電阻區域15d。

此外，在由上述化合物半導體材料製成之各層之沈積主體上，提供絕緣層17。在絕緣層17上，提供開口17a及17b。在開口17a及17b中，形成源極電極18及汲極電極19，其等將經由間隙層22連接至上障壁層15。

在開口17a與17b之間，開口17c被提供在絕緣層17與間隙層22中。開口17c連續形成在絕緣層17及絕緣層17下方之間隙層22中，且以使得間隙層22之開口寬度大於絕緣層17之開口寬度之一方式而形成。

上述組態類似於上述第一實施例中之組態。

在開口17c中，閘極絕緣膜16沿著開口17c之底部表面及側表面形成在上障壁層15上。在開口17c中，間隙層22之側壁上及上障壁層15上之閘極絕緣膜16經形成以具有比間隙層22之厚度的一半薄之一厚度。為此，將由閘極絕緣膜16及閘極電極20之側表面圍繞之間隙23提供在與間隙層22相同之層上。

閘極電極20被提供在閘極絕緣膜16之上部分上，惟間隙23除外。p型低電阻區域15d經由閘極絕緣膜16形成在閘極電極20正下方。電流阻擋區域21形成在上障壁層15之表面上及閘極絕緣膜16下方p型低電阻區域15d之兩側上。

間隙23形成在提供於間隙層22之側壁上之閘極絕緣膜16與閘極電極20之間且形成在電流阻擋區域21上方。在開口17c中，由於間隙層22之開口寬度比絕緣層17之開口寬度寬，故間隙23被提供在兩個開口寬度不匹配之位置中。

為此，展示其中將間隙23提供在閘極電極20之側表面上之組態。由於間隙23係提供在閘極電極20與電流阻擋區域21之間，故與第一實施例中之情況相比，可經由閘極絕緣膜進一步抑制施加至閘極電極之電壓對電流阻擋區域之影響。

### 5.第三實施例(半導體裝置)

接下來，將描述半導體裝置之一第三實施例。第三實施例類似於上述第一實施例。第三實施例中之半導體裝置係所謂的MISJPHEMT，其中障壁層被提供在閘極電極與通道層之間且與障壁層不同之導電型低電阻區域被提供在障壁層中。此外，在第三實施例中，將藉由相同數字標記與上述第一實施例相同之組態且將不重複詳細描述。

在圖11中繪示第三實施例中之半導體裝置之組態。如圖11中所繪示，在半導體裝置中，由各化合物半導體材料製成之緩衝層12、下障壁層13、通道層14、上障壁層15及間隙層22依序沈積在基板11上。

在下障壁層13中，提供一載子供應層13a。在上障壁層15中，連同載子供應層15a提供一p型低電阻區域15d。

在由上述化合物半導體材料製成之各層之沈積主體上，提供絕緣層17。在絕緣層17上，提供開口17a及17b。在開口17a與17b中，形成源極電極18及汲極電極19，其等將經由間隙層22連接至上障壁層15。

上述組態類似於上述第一實施例中之組態。

此外，在開口17a與17b之間，開口17c及開口17d被提供在絕緣層17及間隙層22上。開口17c係提供在絕緣層17及間隙層22上形成閘極電極20之位置上。開口17d以一預定距離提供在開口17c之兩側上。在絕緣層17之底部部分上，以使得開口17c及開口17d連接至與間隙層22相同之層之一方式提供間隙層22之開口。接著，閘極絕緣膜16自開口

17d至上障壁層15連續形成在間隙層22之開口中。此外，閘極電極20自開口17c形成在閘極絕緣膜16之上部分上。p型低電阻區域15d經由閘極絕緣膜16形成在閘極電極20正下方。

此外，在高電阻層15b，電流阻擋區域21被提供在開口17d下面之閘極絕緣膜16下方。

在形成p型低電阻區域15d時或在隨後程序中，藉由將雜質自開口17d引入至高電阻層15b而形成電流阻擋區域21。舉例而言，藉由打開絕緣層17而在開口17c及開口17c之兩側上提供開口17d。接著，藉由自開口17c及17d引入雜質，在開口17c下方形成p型低電阻區域15d且在開口17d下方形成電流阻擋區域21。此區域係由pn接面製成且空乏層延伸至高電阻層15b側且充當電流阻擋區域21。由於閘極電極20不在電流阻擋區域21正上方且電壓經由厚絕緣膜施加至電流阻擋區域21，故在施加閘極電壓時，電流阻擋區域21中空乏層之變化係小的。為此，即使在歸因於反轉操作而在p型低電阻區域15d與閘極絕緣膜16之間存在電子之情況中，空乏層仍可充當電流阻擋區域。

#### 6.第四實施例(半導體裝置)

接下來，將描述半導體裝置之一第四實施例。第四實施例類似於上述第一實施例。第四實施例中之半導體裝置係所謂的MISJPHEMT，其中障壁層被提供在閘極電極與通道層之間且與障壁層不同之導電型低電阻區域被提供在障壁層中。此外，在第四實施例中，將藉由相同數字標記與上述第一實施例相同之組態且將不重複詳細描述。

在圖12中繪示第四實施例中之半導體裝置之組態。如圖12中所繪示，在半導體裝置中，由各化合物半導體材料製成之緩衝層12、下障壁層13、通道層14、上障壁層15及間隙層22依序沈積在基板11上。

在下障壁層13中，提供一載子供應層13a。在上障壁層15中，連

同載子供應層15a提供p型低電阻區域15d。

此外，在由上述化合物半導體材料製成之各層之沈積主體上，提供絕緣層17。在絕緣層17上，提供開口17a及17b。在開口17a及17b中，形成源極電極18及汲極電極19，其等將經由間隙層22連接至上障壁層15。

在開口17a與17b之間，開口17c被提供在絕緣層17及間隙層22中。開口17c連續形成至絕緣層17及絕緣層17下方之間隙層22中，且以使得間隙層22之開口寬度大於絕緣層17之開口寬度之一方式形成。

上述組態類似於上述第一實施例中之組態。

在開口17c中，沿著開口17c之底部表面及側表面在上障壁層15上形成閘極絕緣膜16。閘極絕緣膜16係由一第一閘極絕緣膜16A及由與第一閘極絕緣膜16A之材料不同之一材料製成之一第二閘極絕緣膜16B形成。

在閘極絕緣膜16上，形成閘極電極20。p型低電阻區域15d經由第一閘極絕緣膜16A形成在閘極電極20正下方。此外，電流阻擋區域21形成在上障壁層15之表面上及閘極絕緣膜16下方p型低電阻區域15d之兩側上。電流阻擋區域21係提供在與第二閘極絕緣膜16B接觸之位置處及上障壁層15之表面上。

第一閘極絕緣膜16A僅被提供在閘極電極20下方。此外，第二閘極絕緣膜16B被提供在開口17c之側表面上，惟閘極電極20正下方除外。即，在本實例中之半導體裝置中，由彼此不同之材料製成之兩個閘極絕緣膜16分別形成在閘極電極20正下方及開口17c之側表面上。

形成在第二閘極絕緣膜16B與高電阻層15b之間之界面狀態經設定以處於半導體中之深狀態且使得與形成在第一閘極絕緣膜16A與p型低電阻區域15d之間之界面狀態相比，密度較高。為此，在形成在第二閘極絕緣膜16B與高電阻層15b之間之界面狀態中，歸因於施加

電壓至閘極電極之空乏層之變化係小的。因此，即使在歸因於反轉操作而在p型低電阻區域15d與第二閘極絕緣膜16B之間存在電子之情況中，空乏層仍可充當電流阻擋區域21。

舉例而言，具有第二閘極絕緣膜16B之功能之絕緣膜之實例包含SiN及SiO<sub>2</sub>。另一方面，舉例而言，可使用Al<sub>2</sub>O<sub>3</sub>及HfO<sub>2</sub>作為閘極電極20正下方之第一閘極絕緣膜16A。

此外，可藉由改變負固定電荷之量及界面偶極之量而形成電流阻擋區域21作為第二閘極絕緣膜16B。圖13A及圖13B繪示藉由閘極絕緣膜16中所使用之材料之固定電荷量之差值之能帶組態之變化。圖13A繪示在閘極絕緣膜16不具有負固定電荷之情況中閘極電極20下方之一能帶組態。此外，圖13B繪示在閘極絕緣膜16具有負固定電荷之情況中閘極電極20下方之一能帶組態。

如圖13B中所繪示，藉由改變固定電荷之量及界面偶極之量，可使可形成MIS界面中之累積層之電壓偏移。為此，電子不易藉由 $-Q_f/C_{ox}$ 累積，且第二閘極絕緣膜16B可充當電流阻擋區域21。以此方式，藉由改變負固定電荷之量及第二閘極絕緣膜16B之界面偶極之量，可在第二閘極絕緣膜16B與上障壁層15之上界面上形成電流阻擋區域21。舉例而言，已報告其中將H引入至Al<sub>2</sub>O<sub>3</sub>之一材料作為引入固定電荷之絕緣膜。

## 7.第五實施例(半導體裝置)

接下來，將描述半導體裝置之一第五實施例。第五實施例類似於上述第一實施例。第五實施例中之半導體裝置係所謂的MISJPHEMT，其中障壁層被提供在閘極電極與通道層之間且與障壁層不同之導電型低電阻區域被提供在障壁層中。此外，在第五實施例中，將藉由相同數字標記與上述第一實施例相同之組態且將不重複詳細描述。

在圖14中繪示第五實施例中之半導體裝置之組態。如圖14中所繪示，在半導體裝置中，由各化合物半導體材料製成之緩衝層12、下障壁層13、通道層14、上障壁層15及間隙層22依序沈積在基板11上。

在下障壁層13中，提供載子供應層13a。在上障壁層15中，連同載子供應層15a提供p型低電阻區域15d。

此外，在由上述化合物半導體材料製成之各層之沈積主體上，提供絕緣層17。在絕緣層17上，提供開口17a及17b。在開口17a及17b中，形成源極電極18及汲極電極19，其等將經由間隙層22連接至上障壁層15。

在開口17a與17b之間，開口17c被提供在絕緣層17及間隙層22中。開口17c連續形成至絕緣層17及絕緣層17下方之間隙層22中且以使得間隙層22之開口大於絕緣層17之開口之一方式形成。

上述組態類似於上述第一實施例中之組態。

此外，在開口17c中，沿著開口17c之底部表面及側表面在上障壁層15上形成閘極絕緣膜16。在開口17c中，間隙層22之側壁上及上障壁層15上之閘極絕緣膜16經形成以具有比第一實施例中之厚度薄之一厚度。此閘極絕緣膜16之組態類似於上述第二實施例中之組態。

在本實例中，在閘極絕緣膜16之上部分上，形成閘極電極20。此外，在比提供在絕緣層17中之開口17c之開口寬之範圍中，在提供於間隙層22中之開口17c之閘極絕緣膜16上形成閘極電極20。

閘極電極20係由第一閘極電極20A及第二閘極電極20B形成。第一閘極電極20A經形成具有與開口17c之開口寬度相同之寬度且在開口17c之中心中與p型低電阻區域15d相同之區域中。接著，在第一閘極電極20A之側表面上提供第二閘極電極20B。在開口17c中，由於間隙層22之開口寬度係形成為寬且閘極絕緣膜16係形成為薄，故第二閘極電極20B形成在絕緣層17之開口寬度與間隙層22之開口寬度不匹配

之位置中。接著，在閘極絕緣膜16上(惟形成第二閘極電極20B之區域除外)形成第一閘極電極20A。

此外，p型低電阻區域15d經由閘極絕緣膜16形成在第一閘極電極20A正下方。此外，電流阻擋區域21形成在上障壁層15之表面上且經由p型低電阻區域15d之兩側上之閘極絕緣膜16形成在第二閘極電極20B正下方。

在半導體裝置中，將具有比第一閘極電極20A之功函數大之一功函數之一金屬用作為第二閘極電極20B。圖15A及圖15B根據閘極電極20中所使用之金屬之功函數之差值繪示能帶組態之變化。圖15A及圖15B繪示在將具有小功函數( $W_{m1}$ )之一材料採用於閘極電極20之情況中及在將具有大功函數( $W_{m2}$ )之一材料採用於閘極電極20之情況中閘極電極20中之能帶組態。

如圖15A及圖15B中所繪示，藉由使用具有大的功函數之金屬，自等式 $\Delta V = W_{m2} - W_{m1}$ 中得知，電子不易累積在界面 $\Delta V$ 中，形成作為電流路徑之累積層之電壓被偏移至正偏壓方向。因此，在由第二閘極電極20B、閘極絕緣膜16及高電阻層15b製成之MIS結構中，歸因於累積操作而施加至閘極之電壓相對於由第一閘極電極20A、閘極絕緣膜16及p型低電阻區域15d製成之MIS結構而偏移至正方向。為此，即使當由第一閘極電極20A、閘極絕緣膜16及p型低電阻區域15d製成之MIS結構執行一反轉操作時，由第二閘極電極20B、閘極絕緣膜16及高電阻層15b製成之MIS結構部分仍可維持作為電流阻擋區域之功能。以此方式，藉由將具有大的功函數之材料用作第二閘極電極20B，可在上障壁層15之上界面上形成電流阻擋區域21。

作為實現作為第二閘極電極20B之功能之具有大的功函數之金屬之實例，可包含Ni、Pd、Pt、Au及類似物。

## 8.第六實施例(半導體裝置)

接下來，將描述半導體裝置之一第六實施例。

在上述各實施例中，描述被引入基於MISJPHEMT結構之電流阻擋區域之半導體裝置及其製造方法。但是，此電流阻擋區域之貢獻不僅對MISJPHEMT有效，而且對MISPHEMT有效。

下文中，將描述將電流阻擋區域引入至MISPHEMT結構化半導體裝置之組態。在第六實施例中描述之MISPHEMT結構化半導體裝置中，將藉由相同數字標記與上文第一實施例中描述之MISJPHEMT結構化半導體裝置相同之組態且將不重複詳細描述。

### MISPHEMT

在圖16中繪示第六實施例中之半導體裝置之組態。如圖16中所繪示，在半導體裝置中，由各化合物半導體材料製成之緩衝層12、下障壁層13、通道層14、上障壁層15及間隙層22依序沈積在基板11上。

在下障壁層13中，提供一載子供應層13a。在上障壁層15中，提供載子供應層15a。

此外，不同於第一實施例中描述之MISJPHEMT結構，在上障壁層15中未提供p型低電阻區域。

接著，在由上述化合物半導體材料製成之各層之沈積主體上，提供絕緣層17。在絕緣層17上，提供開口17a及17b。在開口17a及17b中，形成源極電極18及汲極電極19，其等將經由間隙層22連接至上障壁層15。

此外，在開口17a與17b之間，在絕緣層17與間隙層22中提供開口17c。開口17c連續形成至絕緣層17及絕緣層17下方之間隙層22。開口17c以使得間隙層22之開口寬度比絕緣層17之開口寬度寬之一方式形成。

在開口17c中，閘極絕緣膜16沿著開口17c之底部表面及側表面形成在上障壁層15上。在閘極絕緣膜16之上部分上，形成閘極電極20。

p型低電阻區域15d經由閘極絕緣膜16形成在閘極電極20正下方。此外，電流阻擋區域21包含在上障壁層15之表面上及閘極絕緣膜16下方，惟閘極電極20正下方除外。

在第六實施例中，基板11、緩衝層12、下障壁層13、通道層14、閘極絕緣膜16、絕緣層17、源極電極18、汲極電極19、閘極電極20及間隙層22具有類似於第一實施例中描述之組態之組態。此外，上障壁層15具有類似於第一實施例中描述之組態之一組態，惟其中不包含低電阻區域除外。

#### 電流阻擋區域

如圖16中所繪示，在閘極絕緣膜16與高電阻層15b之間之界面中，電流阻擋區域21形成在閘極電極20正下方之兩側上，惟閘極電極20正下方除外。

在具有圖16中所繪示之一組態之半導體裝置中，一費米能階釘紮根據閘極絕緣膜16與高電阻層15b之間之界面狀態而發生。即，藉由閘極絕緣膜16與上障壁層15之高電阻層15b之間之界面狀態而在高電阻層15b中產生空乏層。以此方式，以電流阻擋區域21之一形式實現在閘極電極20之兩側中擴展之空乏層之效應。

在本實施例中，可使用圖2A及圖2B中所繪示之能帶組態以與第一實施例之組態類似之一方式描述如何藉由界面狀態形成電流阻擋區域21。如圖2A中所繪示，在界面狀態密度低的情況中，電子藉由施加電壓至閘極電極而累積在上障壁層15側中。為此，在閘極絕緣膜16與上障壁層15之間之界面中產生電流路徑。相反，如圖2B中所繪示，在界面狀態密度高之情況中，即使施加電壓至閘極電極，電子仍不易累積在上障壁層15側中。因此，在閘極絕緣膜16與上障壁層15之間之界面中未產生電流路徑。

由於電流阻擋區域21係閘極電極20未接觸之區域，故其等較不

易受施加至閘極之電壓影響。因此，即使施加正電壓，空乏層之寬度仍不易變化。因此，在閘極電壓之廣泛範圍中預期電流阻擋區域21之效應。

另一方面，由於閘極電極20正下方之電流阻擋區域21之區域係極大地受施加至閘極之電壓影響之區域，故被施加正電壓之空乏層之寬度易變化且難以預期電流阻擋區域之效應。因此，此區域作為電流阻擋區域之貢獻係小的。

此外，製造具有第六實施例中描述之MISPHEMT結構之半導體裝置之方法與製造上述第一實施例中之半導體裝置之方法相同，惟未執行藉由引入雜質形成低電阻層除外。

#### 9.第七實施例(半導體裝置)

接下來，將描述半導體裝置之一第七實施例。第七實施例中之半導體裝置類似於上述第六實施例中之半導體裝置，且係其中包含閘極電極與通道層之間之障壁層之所謂的MISPHEMT。此外，在第七實施例中，將藉由相同數字標記與上述第六實施例相同之組態且將不重複詳細描述。

在圖17中繪示第七實施例中之半導體裝置之組態。如圖17中所繪示，在半導體裝置中，由各化合物半導體材料製成之緩衝層12、下障壁層13、通道層14、上障壁層15及間隙層22依序沈積在基板11上。

在下障壁層13中，提供一載子供應層13a。在上障壁層15中，提供載子供應層15a。

此外，在由上述化合物半導體材料製成之各層之沈積主體上，提供絕緣層17。在絕緣層17上，提供開口17a及17b。在開口17a及17b中，形成源極電極18及汲極電極19，其等將經由間隙層22連接至上障壁層15。

在開口17a與17b之間，開口17c被提供在絕緣層17及間隙層22

中。開口17c連續形成在絕緣層17及絕緣層17下方之間隙層22中。開口17c以使得間隙層22之開口寬度比絕緣層17之開口寬度寬之一方式形成。

上述組態類似於上述第六實施例中之組態。

在開口17c中，閘極絕緣膜16沿著開口17c之底部表面及側表面形成在上障壁層15上。在開口17c中，間隙層22之側壁上及上障壁層15上之閘極絕緣膜16經形成以具有比間隙層22之厚度的一半薄的厚度。為此，由閘極絕緣膜16及閘極電極20之側表面圍繞之間隙23被提供在與間隙層22相同之層上。

閘極電極20被提供在閘極絕緣膜16之上部分上，惟間隙23除外。此外，電流阻擋區域21包含在上障壁層15之表面上及閘極電極20之兩側上之間隙23之下以及閘極絕緣膜16下方。

間隙23係形成在提供於間隙層22之側壁上之閘極絕緣膜16與閘極電極20之間且形成在電流阻擋區域21上方。在開口17c中，由於間隙層之開口寬度比絕緣層17之開口寬度寬，故間隙23被提供在開口寬度不匹配之位置中。

為此，展示間隙23被提供在閘極電極20之側表面上之組態。由於間隙23被提供在閘極電極20與電流阻擋區域21之間，故與第一實施例中之情況相比，可經由閘極絕緣膜進一步抑制施加至閘極之電壓對電流阻擋區域之影響。

#### 10.第八實施例(半導體裝置)

接下來，將描述半導體裝置之一第八實施例。第八實施例類似於上述第六實施例。第八實施例中之半導體裝置類係其中障壁層包含於閘極電極與通道層之間之所謂的MISPHEMT。此外，在第八實施例中，將藉由相同數字標記與上述第六實施例相同之組態且將不重複詳細描述。

在圖18中繪示第八實施例中之半導體裝置之組態。如圖18中所繪示，在半導體裝置中，由各化合物半導體材料製成之緩衝層12、下障壁層13、通道層14、上障壁層15及間隙層22依序沈積在基板11上。

在下障壁層13中，提供一載子供應層13a。在上障壁層15中，提供載子供應層15a。

在由上述化合物半導體材料製成之各層之沈積主體上，提供絕緣層17。在絕緣層17上，提供開口17a及17b。在開口17a與17b中，形成源極電極18及汲極電極19，其等將經由間隙層22連接至上障壁層15。

上述組態類似於上述第六實施例中之組態。

此外，在開口17a與17b之間，開口17c及開口17d被提供在絕緣層17及間隙層22中。開口17c被提供在形成閘極電極20之絕緣層17及間隙層22之位置中。開口17d以與開口17c相距預定間隔被提供在開口17c之兩側上。間隙層22之一開口經提供在絕緣層17之下部分中以在與間隙層22相同之層中與開口17c及開口17d連接。接著，閘極絕緣膜16自開口17d至上障壁層15連續形成在間隙層22之開口中。此外，閘極電極20自開口17c形成在閘極絕緣膜16之上部分上。

此外，在高電阻層15b之表面上，電流阻擋區域21形成在開口17d下面之閘極絕緣膜16下方。

藉由將雜質自開口17d引入至高電阻層15b而形成電流阻擋區域21。舉例而言，在打開絕緣層17之後，形成開口17c且在開口17c之兩側上形成開口17d。接著，藉由自開口17d引入雜質而在開口17d下方形成電流阻擋區域21。此區域係由pn接面製成且延伸至高電阻層15b側之空乏層充當電流阻擋區域21。由於閘極電極20並非處於電流阻擋區域21正上方且電壓經由厚的絕緣膜施加至其上，故在施加電壓至閘極時，電流阻擋區域21中空乏層之變化係小的。為此，即使在施加閘

極電壓時，空乏層仍可充當電流阻擋區域。

#### 11.第九實施例(半導體裝置)

接下來，將描述半導體裝置之一第九實施例。第九實施例中之半導體裝置類似於上述第六實施例中之半導體裝置，且係其中包含閘極電極與通道層之間之障壁層之所謂的MISPHEMT。此外，在第九實施例中，將藉由相同數字標記與上述第六實施例相同之組態且將不重複詳細描述。

在圖19中繪示第九實施例中之半導體裝置之組態。如圖19中所繪示，在半導體裝置中，由各化合物半導體材料製成之緩衝層12、下障壁層13、通道層14、上障壁層15及間隙層22依序沈積在基板11上。

在下障壁層13中，提供一載子供應層13a。在上障壁層15中，提供載子供應層15a。

此外，在由上述化合物半導體材料製成之各層之沈積主體上，提供絕緣層17。在絕緣層17上，提供開口17a及17b。在開口17a與17b中，形成源極電極18及汲極電極19，其等將經由間隙層22連接至上障壁層15。

在開口17a與17b之間，開口17c被提供在絕緣層17及間隙層22中。開口17c連續形成在絕緣層17及絕緣層17下方之間隙層22中。開口17c以使得間隙層22之開口比絕緣層17之開口寬之一方式形成。

上述組態類似於上述第六實施例中之組態。

在開口17c中，閘極絕緣膜16沿著開口17c之底部表面及側表面形成在上障壁層15上。閘極絕緣膜16係由第一閘極絕緣膜16A及由與第一閘極絕緣膜16A之材料不同之一材料製成之第二閘極絕緣膜16B形成。

在閘極絕緣膜16上，形成閘極電極20。p型低電阻區域15d經由第一閘極絕緣膜16A形成在閘極電極20正下方。此外，電流阻擋區域

21包含在上障壁層15之表面上及閘極絕緣膜16下方p型低電阻區域15d之兩側上。電流阻擋區域21被提供在與第二閘極絕緣膜16B接觸之位置處及上障壁層15之表面上。

第一閘極絕緣膜16A僅被提供在閘極電極20下方。此外，第二閘極絕緣膜16B被提供在開口17c之側表面上，惟閘極電極20正下方除外。即，在本實例中之半導體裝置中，由彼此不同之材料製成之兩個閘極絕緣膜16分別形成在閘極電極20正下方及開口17c之側表面上。

形成在第二閘極絕緣膜16B與高電阻層15b之間之界面中之界面狀態經設定以處於半導體中之深狀態，且使得與形成在第一閘極絕緣膜16A與高電阻層15b之間之界面狀態相比，密度較高。為此，在形成在第二閘極絕緣膜16B與高電阻層15b之間之界面中之界面狀態中，歸因於施加至閘極電極之空乏層之變化係小的。因此，即使在歸因於反轉操作而在高電阻層15b與第二閘極絕緣膜16B之間存在電子之情況中，空乏層仍可充當電流阻擋區域21。

舉例而言，具有第二閘極絕緣膜16B之功能之絕緣膜之實例包含SiN及SiO<sub>2</sub>。另一方面，舉例而言，可使用Al<sub>2</sub>O<sub>3</sub>及HfO<sub>2</sub>作為閘極電極20正下方之第一閘極絕緣膜16A。

此外，對於第二閘極絕緣膜16B，可藉由改變負固定電荷之量及界面偶極之量而形成電流阻擋區域21。可使用圖13A及圖13B中所繪示之能帶組態，以與第四實施例類似之方式描述藉由閘極絕緣膜16中使用之材料之固定電荷之量之差值形成電流阻擋區域21。

如圖13B中所繪示，藉由改變固定電荷之量及界面偶極之量，可使可形成MIS界面中之累積層之電壓偏移。為此，電子不易藉由-Q<sub>f</sub>/C<sub>ox</sub>累積，且MIS累積層可充當電流阻擋區域21。以此方式，藉由改變負固定電荷之量及第二閘極絕緣膜16B之界面偶極之量，可在上障壁層15之上界面上形成電流阻擋區域21。舉例而言，已報告其中將

H引入至 $\text{Al}_2\text{O}_3$ 之一材料作為引入固定電荷之絕緣膜。

## 12.第十實施例(半導體裝置)

接下來，將描述半導體裝置之一第十實施例。第十實施例類似於上述第六實施例。第十實施例中之半導體裝置係其中障壁層被提供在閘極電極與通道層之間之所謂的MISPHEMT，此外，在第十實施例中，將藉由相同數字標記與上述第六實施例相同之組態且將不重複詳細描述。

在圖20中繪示第十實施例中之半導體裝置之組態。如圖20中所繪示，在半導體裝置中，由各化合物半導體材料製成之緩衝層12、下障壁層13、通道層14、上障壁層15及間隙層22依序沈積在基板11上。

在下障壁層13中，提供一載子供應層13a。在上障壁層15中，提供載子供應層15a。

此外，在由上述化合物半導體材料製成之各層之沈積主體上，提供絕緣層17。在絕緣層17上，提供開口17a及17b。在開口17a與17b中，形成源極電極18及汲極電極19，其等將經由間隙層22連接至上障壁層15。

在開口17a與17b之間，開口17c被提供在絕緣層17及間隙層22中。開口17c連續形成在絕緣層17及絕緣層17下方之間隙層22中且以使得間隙層22之開口比絕緣層17之開口寬之一方式形成。

上述組態類似於上述第六實施例中之組態。

此外，在開口17c中，閘極絕緣膜16沿著開口17c之底部表面及側表面形成在上障壁層15上。在開口17c中，間隙層22之側壁上及上障壁層15上之閘極絕緣膜16經形成以具有比第六實施例中之厚度薄之一厚度。此閘極絕緣膜16之組態類似於上述第七實施例中之組態。

在本實施例中，在閘極絕緣膜16上，形成閘極電極20。此外，閘極電極20在比提供於絕緣層17中之開口17c之開口寬之範圍中形成在

提供於間隙層22中之開口17c之閘極絕緣膜16上。

閘極電極20係由一第一閘極電極20A及一第二閘極電極20B形成。第一閘極電極20A經形成具有與開口17c之中心中之開口17c之開口寬度相同之寬度。接著，將第二閘極電極20B提供在第一閘極電極20A之側表面上。在開口17c中，由於間隙層22之開口寬度係形成為寬且閘極絕緣膜16係形成為薄，故第二閘極電極20B係形成在絕緣層17之開口寬度與間隙層22之開口寬度不匹配之位置處。接著，在閘極絕緣膜16上(惟形成第二閘極電極20B之區域除外)形成第一閘極電極20A。

此外，電流阻擋區域21包含在上障壁層15之表面上且經由閘極絕緣膜16包含在第二閘極電極20B正下方。

在半導體裝置中，將具有比第一閘極電極20A之功函數大之一功函數之金屬用於第二閘極電極20B。可使用圖15B中所繪示之能帶組態，以與第五實施例類似之一方式描述藉由閘極電極20中使用之金屬之功函數之差值形成電流阻擋區域21。

如圖15A及圖15B中所繪示，藉由使用具有大的功函數之金屬，自等式 $\Delta V = W_{m2} - W_{m1}$ 得知，電子不易累積在界面 $\Delta V$ 中，且形成作為電流路徑之累積層之電壓偏移至正偏壓方向。因此，在由第二閘極電極20B、閘極絕緣膜16及高電阻層15b製成之MIS結構中，歸因於累積操作而施加至閘極之電壓相對於由第一閘極電極20A、閘極絕緣膜16及高電阻層15b製成之MIS結構而偏移至正方向。為此，即使當由第一閘極電極20A、閘極絕緣膜16及高電阻層15b製成之MIS結構執行一反轉操作時，由第二閘極電極20B、閘極絕緣膜16及高電阻層15b製成之MIS結構部分仍可維持作為電流阻擋區域21之功能。以此方式，藉由將具有大的功函數之材料用作為第二閘極電極20B，可在上障壁層15之上界面上形成電流阻擋區域21。

作為實現作為第二閘極電極20B之功能之具有大的功函數之金屬之實例，可包含Ni、Pd、Pt、Au及類似物。

### 13.第十一實施例(半導體裝置)

接下來，將描述半導體裝置之一第十一實施例。

在上述第六實施例至第十實施例中，描述基於MISPHEMT結構引入電流阻擋區域之半導體裝置。但是，此電流阻擋區域之貢獻在其中閘極絕緣膜接觸半導體表面之整個表面之結構中有效。

下文中，在具有電流阻擋區域之MISPHEMT結構化半導體裝置中，將描述其中閘極絕緣膜接觸半導體表面之組態。在第十一實施例中描述之MISPHEMT結構化半導體裝置中，將藉由相同數字標記與上文第六實施例中描述之MISJPHEMT結構化半導體裝置相同之組態且將不重複詳細描述。

#### MISPHEMT

在圖21中繪示第十一實施例中之半導體裝置之組態。如圖21中所繪示，在半導體裝置中，由各化合物半導體材料製成之緩衝層12、下障壁層13、通道層14、上障壁層15及間隙層22依序沈積在基板11上。

在下障壁層13中，提供一載子供應層13a。在上障壁層15中，提供載子供應層15a。

此外，在間隙層22中提供其上形成閘極電極20之開口22c。

接著，在由上述化合物半導體材料製成之各層之沈積主體中，閘極絕緣膜16被提供以覆蓋間隙層22之上部分及藉由間隙層22之開口22c暴露之高電阻層15b之上部分。在閘極絕緣膜16上，提供開口17a及17b。在開口17a及17b中，形成源極電極18及汲極電極19，其等將經由間隙層22連接至上障壁層15。開口22c被提供在開口17a與開口17b之間。在開口22c中，閘極電極20被提供在閘極絕緣膜16上。此

外，電流阻擋區域21形成在上障壁層15之表面上及閘極絕緣膜16下方，惟閘極電極20正下方除外。

在第十一實施例中，基板11、緩衝層12、下障壁層13、通道層14、源極電極18、汲極電極19、閘極電極20及間隙層22具有類似於第一實施例中描述之組態之組態。此外，上障壁層15具有類似於第六實施例中描述之組態之一組態。在本實施例中之半導體裝置具有類似於第六實施例中描述之組態之一組態，惟絕緣層不包含在間隙層22上但閘極絕緣膜16通常包含在間隙層22上及閘極電極20下方除外。

#### 電流阻擋區域

如圖21中所繪示，在閘極絕緣膜16與高電阻層15b之間之界面中，電流阻擋區域21形成在閘極電極20正下方之兩側上，惟閘極電極20正下方除外。

在具有圖21中所繪示之一組態之半導體裝置中，費米能階釘紮根據閘極絕緣膜16與高電阻層15b之間之界面狀態而發生。即，藉由閘極絕緣膜16與上障壁層15之高電阻層15b之間之界面狀態而在高電阻層15b中產生空乏層。以此方式，以電流阻擋區域21之形式實現在閘極電極20之兩側中擴展之空乏層之效應。

在本實施例中，可使用圖2A及圖2B中所繪示之能帶組態以類似於第一實施例之方式描述如何藉由界面狀態形成電流阻擋區域21。如圖2A中所繪示，在界面狀態密度低的情況中，電子藉由施加電壓至閘極電極而累積在上障壁層15側中。為此，在閘極絕緣膜16與上障壁層15之間之界面中產生電流路徑。相反，如圖2B中所繪示，在界面狀態密度高之情況中，即使電壓被施加至閘極電極，電子仍不易累積在上障壁層15側中。因此，在閘極絕緣膜16與上障壁層15之間之界面中不產生電流路徑。

由於電流阻擋區域21係閘極電極20未接觸之區域，故其等較不

易受施加至閘極之電壓影響。因此，即使施加正電壓，空乏層之寬度仍不易變化。因此，在施加至閘極之電壓之廣泛範圍中預期電流阻擋區域21之效應。

另一方面，由於閘極電極20正下方之電流阻擋區域21之區域在很大程度上受所施加之電壓影響，故在施加正電壓時空乏層之寬度易變化，且因此難以預期電流阻擋區域之效應。因此，此區域作為電流阻擋區域之貢獻不太大。

#### 14.第十二實施例(半導體裝置)

接下來，將描述半導體裝置之一第十二實施例。第十二實施例中之半導體裝置類似於上述第十一實施例中之半導體裝置，且係具有其中閘極絕緣膜接觸半導體表面之整個表面之組態之所謂的MISPHEMT。此外，在第十二實施例中，將藉由相同數字標記與上述第十一實施例相同之組態且將不重複詳細描述。

在圖22中繪示第十二實施例中之半導體裝置之組態。如圖22中所繪示，在半導體裝置中，由各化合物半導體材料製成之緩衝層12、下障壁層13、通道層14、上障壁層15及間隙層22依序沈積在基板11上。

在下障壁層13中，提供一載子供應層13a。在上障壁層15中，提供載子供應層15a。

此外，在間隙層22中提供其上形成閘極電極20之開口17c。

接著，在由上述化合物半導體材料製成之各層之沈積主體上，提供絕緣膜24以覆蓋間隙層22之上部分及藉由間隙層22之開口17c暴露之高電阻層15b之上部分，且將絕緣膜24提供在開口17c之區域上(惟閘極電極20正下方除外)。此外，提供閘極絕緣膜16以覆蓋絕緣膜24之上部分及開口17c之底部表面。

在絕緣膜24及閘極絕緣膜16上，提供開口17a及17b。在開口17a

及17b中，形成源極電極18及汲極電極19，其等將經由間隙層22連接至上障壁層15。在開口17a與開口17b之間提供開口17c。在開口17c中，閘極電極20被提供在閘極絕緣膜16上。此外，電流阻擋區域21形成在上障壁層15之表面上及絕緣膜24下方。

絕緣膜24及閘極絕緣膜16係由彼此不同之材料形成。形成在絕緣膜24與高電阻層15b之間之界面狀態經設定以處於半導體中之深狀態且使得與形成在閘極絕緣膜16與高電阻層15b之間之界面狀態相比，密度較高。為此，在形成在絕緣膜24與高電阻層15b之間之界面狀態中，歸因於施加至閘極之電壓之空乏層之變化係小的。因此，即使在歸因於反轉操作而在高電阻層15b與絕緣膜24之間存在電子之情況中，空乏層仍可充當電流阻擋區域21。

舉例而言，具有絕緣膜24之功能之絕緣膜之實例包含SiN及SiO<sub>2</sub>。另一方面，舉例而言，可使用Al<sub>2</sub>O<sub>3</sub>及HfO<sub>2</sub>作為閘極電極20正下方之閘極絕緣膜16。

此外，作為絕緣膜24，可藉由改變負固定電荷之量及界面偶極之量而形成電流阻擋區域21。可使用圖13A及圖13B中所繪示之能帶組態，以與第四實施例類似之方式描述藉由閘極絕緣膜16中使用之材料之固定電荷之量之差值形成電流阻擋區域21。

如圖13B中所繪示，藉由改變固定電荷之量及界面偶極之量，可使可形成MIS界面中之累積層之電壓偏移。為此，電子不易藉由 $-Q_f/C_{ox}$ 累積，且MIS累積層可充當電流阻擋區域21。以此方式，藉由改變負固定電荷之量及第二閘極絕緣膜16B之界面偶極之量，可在上障壁層15之上界面上形成電流阻擋區域21。舉例而言，已報告其中將H引入至Al<sub>2</sub>O<sub>3</sub>之材料作為引入固定電荷之絕緣膜。

如實施例中所述，其中閘極絕緣膜接觸半導體表面之整個表面之組態可藉由其中整合間隙層上之絕緣層及閘極絕緣膜之組態而應用

至第一實施例至第十實施例中描述之半導體裝置。

#### 15.第十三實施例(半導體裝置)

接下來，將描述半導體裝置之一第十三實施例。

在上述各實施例中，其中電流阻擋區域之最上表面經由閘極絕緣膜形成在與閘極電極相對之半導體層中之結構。但是，電流阻擋區域之最上表面可形成在不同於與閘極電極相對之半導體層之半導體層中。

下文中，在第一實施例中之MISJPHEMT結構化半導體裝置中，將描述其中電流阻擋區域之最上表面形成在不同於與閘極電極相對之半導體層之半導體層中之組態。在第十三實施例中之MISJPHEMT結構化半導體裝置中，將藉由相同數字標記與上文第一實施例中描述之MISJPHEMT結構化半導體裝置相同之組態且將不重複詳細描述。

在圖23中繪示第十三實施例中之半導體裝置之組態。如圖23中所繪示，在半導體裝置中，由各化合物半導體材料製成之緩衝層12、下障壁層13、通道層14、上障壁層15、一層間層25及間隙層22依序沈積在基板11上。

在下障壁層13中，提供一載子供應層13a。在上障壁層15中，連同載子供應層15a提供p型低電阻區域15d。

此外，在由上述化合物半導體材料製成之各層之沈積主體上，提供絕緣層17。在此絕緣層17上，提供開口17a及17b。在開口17a及17b中，形成源極電極18及汲極電極19，其等將經由間隙層22及層間層25連接至上障壁層15。

此外，在開口17a與17b之間，開口17c被提供在絕緣層17、間隙層22及層間層25中。開口17c連續形成至絕緣層17、間隙層22及層間層25。開口17c以使得間隙層22之開口寬度比絕緣層17之開口寬度寬且層間層25之開口寬度與絕緣層17之開口寬度相同之一方式形成。

在開口17c中，閘極絕緣膜16沿著開口17c之底部表面及側表面形成在上障壁層15上。在閘極絕緣膜16之上部分上，形成閘極電極20。p型低電阻區域15d經由閘極絕緣膜16形成在閘極電極20正下方。此外，電流阻擋區域21形成在與閘極絕緣膜16接觸之層間層25之表面上及惟閘極電極20正下方除外之位置上。電流阻擋區域21自層間層25之表面連續形成至高電阻層15b。

層間層25使用形成在與閘極絕緣膜16之界面中具有一較高界面狀態密度之材料而非採用於高電阻層15b之材料形成。舉例而言，在《Appl. Phys. Lett.》，63, (1993年) 第379頁中報告基於InGaP之材料(其形成在與絕緣膜之界面中)之界面狀態密度小於基於GaAs之材料。

因此，在本實例中之半導體裝置中，上障壁層15之高電阻層15b係由基於InGaP之材料形成，且層間層25係由基於AlGaAs之材料形成。藉由此組態，可將閘極絕緣膜16與p型低電阻區域15d之間之界面中之界面狀態密度製成低，且此外，可將閘極絕緣膜16與層間層25之間之界面中之界面狀態密度製成高。因此，可形成電流阻擋區域。

如上所述，藉由將層間層25插置在上障壁層15與閘極絕緣膜16之間，可將其上形成電流阻擋區域之最上半導體層及經由閘極絕緣膜16與閘極電極20相對之半導體層形成為彼此不同之層。接著，藉由分別由不同材料形成其上形成電流阻擋區域之最上半導體層及經由閘極絕緣膜與閘極電極相對之半導體層，可達成閘極電極及電流阻擋區域下方之界面狀態密度之減小。

在本實施例中，描述其中將插置層間層25之組態應用於第一實施例中之半導體裝置之情況。但是，該組態亦可應用於第二實施例至第十二實施例中之半導體裝置。

與障壁層不同之導電型

在上述實施例中，描述其中通道層中之載子係電子之組態之情

況。但是，本揭示內容中之半導體裝置可應用於其中載子係電洞之組態之情況。本揭示內容可藉由用與障壁層不同之導電型取代上述實施例中雜質之導電型及能帶之描述而應用於載子係電洞之情況。

本揭示內容之實施例亦可具有如下組態。

(1)一種半導體裝置，其包含：一通道層；一高電阻層，其被提供在該通道層上且由具有高電阻之一半導體製成，該半導體具有比形成該通道層之一半導體之導電帶位置高之一導電帶位置；一第一導電型低電阻區域，其被提供在該高電阻層之一表面層上，且由包含第一導電型雜質之一半導體製成；一源極電極及一汲極電極，其等在使該低電阻區域插置於其等之間之一位置中連接至該高電阻層；一閘極絕緣膜，其被提供在該低電阻區域上；一閘極電極，其經由該閘極絕緣膜提供在該低電阻區域上；及電流阻擋區域，其等形成在該低電阻區域與該源極電極之間及該低電阻區域與該汲極電極之間。

(2)根據上文(1)中所述之半導體裝置，其中該等電流阻擋區域係由藉由形成在該高電阻層及該閘極絕緣膜中之一界面狀態而形成在該高電阻層之該表面上之一空乏層製成。

(3)根據上文(2)中所述之半導體裝置，其進一步包含：該等電流阻擋區域上之該閘極絕緣膜中之間隙。

(4)根據上文(2)中所述之半導體裝置，其進一步包含：一金屬層，其在該等電流阻擋區域上之該閘極絕緣膜中具有比該閘極電極之功函數高之一功函數。

(5)根據上文(1)中所述之半導體裝置，其中該等電流阻擋區域係由該等第一導電型雜質之一擴散區域製成。

(6)根據上文(1)中所述之半導體裝置，其中在該等電流阻擋區域上提供與該閘極絕緣膜不同之一絕緣膜。

(7)根據上文(1)至(6)中所述之半導體裝置，其中該等電流阻擋區

域之表面層係由與該高電阻層不同之半導體層形成。

(8)根據上文(7)中所述之半導體裝置，其包含：一層間層，其介於該高電阻層與該閘極絕緣膜之間，惟該閘極電極正下方之位置除外，其中該等電流阻擋區域自該層間層之表面形成在該閘極絕緣膜與該層間層之界面中。

(9)一種半導體裝置，其包含：一通道層；一高電阻層，其被提供在該通道層上且由具有高電阻之一半導體製成，該半導體具有比形成該通道層之半導體之導電帶位置高之一導電帶位置；一源極電極及一汲極電極，其等連接至該高電阻層；一閘極絕緣膜，其被提供在該高電阻層上；一閘極電極，其經由該閘極絕緣膜提供在該源極電極與該汲極電極之間該高電阻層上；及電流阻擋區域，其等形成在該源極電極與該汲極電極之間，惟該閘極電極正下方之位置除外。

(10)一種製造一半導體裝置之方法，其包含：在通道層上形成一高電阻層，該高電阻層係由具有高電阻之一半導體製成，該半導體具有比形成該通道層之一半導體之導電帶位置高之導電帶位置；在該高電阻層之一表面層上形成一第一導電型低電阻區域，該第一導電型低電阻區域係由包含一第一導電型雜質之一半導體製成；形成一源極電極及一汲極電極，其等在使該低電阻區域插置於其等之間之一位置中連接至該高電阻層；在該低電阻區域上形成一閘極絕緣膜；經由該閘極絕緣膜在該低電阻區域上形成一閘極電極；及在該低電阻區域與該源極電極之間及該低電阻區域與該汲極電極之間形成電流阻擋區域。

(11)一種製造一半導體裝置之方法，其包含：在一通道層上形成一高電阻層，該高電阻層係由具有高電阻之一半導體製成，該半導體具有比形成該通道層之一半導體之導電帶位置高之一導電帶位置；形成一源極電極及一汲極電極，其等連接至該高電阻層；在該高電阻層上形成一閘極絕緣膜；經由該閘極絕緣膜在該源極電極與該汲極電極

之間該高電阻區域上形成一閘極電極；及在該源極電極與該汲極電極之間形成電流阻擋區域，惟該閘極電極正下方之位置除外。

熟習此項技術者應瞭解不同修改、組合、子組合及變更可取決於設計要求及其他因素而發生，只要該等修改、組合、子組合及變更係在隨附申請專利範圍或其等效物之範疇內。

#### 【符號說明】

|     |         |
|-----|---------|
| 11  | 基板      |
| 12  | 緩衝層     |
| 13  | 下障壁層    |
| 13a | 載子供應層   |
| 13b | 高電阻層    |
| 13c | 高電阻層    |
| 14  | 通道層     |
| 14a | 載子缺乏區域  |
| 15  | 上障壁層    |
| 15a | 載子供應層   |
| 15b | 高電阻層    |
| 15c | 高電阻層    |
| 15d | p型低電阻區域 |
| 16  | 閘極絕緣膜   |
| 16A | 第一閘極絕緣膜 |
| 16B | 第二閘極絕緣膜 |
| 17  | 絕緣層     |
| 17a | 開口      |
| 17b | 開口      |
| 17c | 開口      |

|      |             |
|------|-------------|
| 17d  | 開口          |
| 18   | 源極電極        |
| 19   | 汲極電極        |
| 20   | 閘極電極        |
| 20A  | 第一閘極電極      |
| 20B  | 第二閘極電極      |
| 21   | 電流阻擋區域      |
| 22   | 間隙層         |
| 22c  | 開口          |
| 23   | 間隙          |
| 24   | 絕緣膜         |
| 25   | 層間層         |
| 101  | 半絕緣單晶GaAs基板 |
| 102  | 緩衝層         |
| 103  | 第二障壁層       |
| 103a | 載子供應層       |
| 103b | 高電阻層        |
| 103c | 高電阻層        |
| 104  | 通道層         |
| 105  | 第一障壁層       |
| 105a | 載子供應層       |
| 105b | 高電阻層        |
| 105c | 高電阻層        |
| 105d | p型低電阻區域     |
| 106  | 閘極電極        |
| 108  | 源極電極        |

|          |         |
|----------|---------|
| 109      | 汲極電極    |
| 111      | 藍寶石基板   |
| 113      | 基底層     |
| 115      | 障壁層     |
| 115b     | 高電阻層    |
| 115c     | p型低電阻區域 |
| 116      | 閘極電極    |
| 117      | 閘極絕緣膜   |
| 118      | 源極電極    |
| 119      | 汲極電極    |
| $E_c$    | 導電帶位置   |
| $E_f$    | 費米能階    |
| $E_v$    | 價能帶位置   |
| $W_{m1}$ | 小功函數    |
| $W_{m2}$ | 大功函數    |

## 申請專利範圍

1. 一種半導體裝置，其包括：
  - 一通道層；
  - 一高電阻層，其被提供在該通道層上且由具有高電阻之一半導體製成，該半導體具有比形成該通道層之一半導體之導電帶位置高之一導電帶位置；
  - 一第一導電型低電阻區域，其被提供在該高電阻層之一表面層上且由包含第一導電型雜質之一半導體製成；
  - 一源極電極及一汲極電極，其等在使該低電阻區域插置於其等之間之一位置中連接至該高電阻層；
  - 一閘極絕緣膜，其被提供在該低電阻區域上；
  - 一閘極電極，其經由該閘極絕緣膜提供在該低電阻區域上；及
  - 電流阻擋區域，其等形成在該低電阻區域與該源極電極之間及該低電阻區域與該汲極電極之間。
2. 如請求項1之半導體裝置，
  - 其中該等電流阻擋區域係由藉由形成在該高電阻層及該閘極絕緣膜中之一界面狀態而形成在該高電阻層之表面上之一空乏層製成。
3. 如請求項2之半導體裝置，其進一步包括：
  - 該等電流阻擋區域上之該閘極絕緣膜中之間隙。
4. 如請求項2之半導體裝置，其進一步包括：
  - 一金屬層，其在該等電流阻擋區域上之該閘極絕緣膜中具有比該閘極電極之功函數高之一功函數。
5. 如請求項1之半導體裝置，
  - 其中該等電流阻擋區域係由該等第一導電型雜質之一擴散區

域製成。

6. 如請求項1之半導體裝置，

其中在該等電流阻擋區域上提供與該閘極絕緣膜不同之一絕緣膜。

7. 如請求項1之半導體裝置，

其中該等電流阻擋區域之表面層係由與該高電阻層不同之半導體層形成。

8. 如請求項7之半導體裝置，其包括：

一層間層，其介於該高電阻層與該閘極絕緣膜之間，惟該閘極電極正下方之位置除外，

其中該等電流阻擋區域自該層間層之表面形成在該閘極絕緣膜與該層間層之界面中。

9. 一種半導體裝置，其包括：

一通道層；

一高電阻層，其被提供在該通道層上且由具有高電阻之一半導體製成，該半導體具有比形成該通道層之半導體之導電帶位置高之一導電帶位置；

一源極電極及一汲極電極，其等連接至該高電阻層；

一閘極絕緣膜，其被提供在該高電阻層上；

一閘極電極，其經由該閘極絕緣膜提供在該源極電極與該汲極電極之間該高電阻層上；及

電流阻擋區域，其等形成在該源極電極與該汲極電極之間，惟該閘極電極正下方之位置除外。

10. 一種製造一半導體裝置之方法，其包括：

在通道層上形成一高電阻層，該高電阻層係由具有高電阻之一半導體製成，該半導體具有比形成該通道層之一半導體之導

電帶位置高之導電帶位置；

在該高電阻層之一表面層上形成一第一導電型低電阻區域，該第一導電型低電阻區域係由包含一第一導電型雜質之一半導體製成；

形成一源極電極及一汲極電極，其等在使該低電阻區域插置於其等之間之一位置中連接至該高電阻層；

在該低電阻區域上形成一閘極絕緣膜；

經由該閘極絕緣膜在該低電阻區域上形成一閘極電極；及

在該低電阻區域與該源極電極之間及該低電阻區域與該汲極電極之間形成電流阻擋區域。

11. 一種製造一半導體裝置之方法，其包括：

在一通道層上形成一高電阻層，該高電阻層係由具有高電阻之一半導體製成，該半導體具有比形成該通道層之一半導體之導電帶位置高之一導電帶位置；

形成一源極電極及一汲極電極，其等連接至該高電阻層；

在該高電阻層上形成一閘極絕緣膜；

經由該閘極絕緣膜在該源極電極與該汲極電極之間該高電阻區域上形成一閘極電極；及

在該源極電極與該汲極電極之間形成電流阻擋區域，惟該閘極電極正下方之位置除外。

圖式

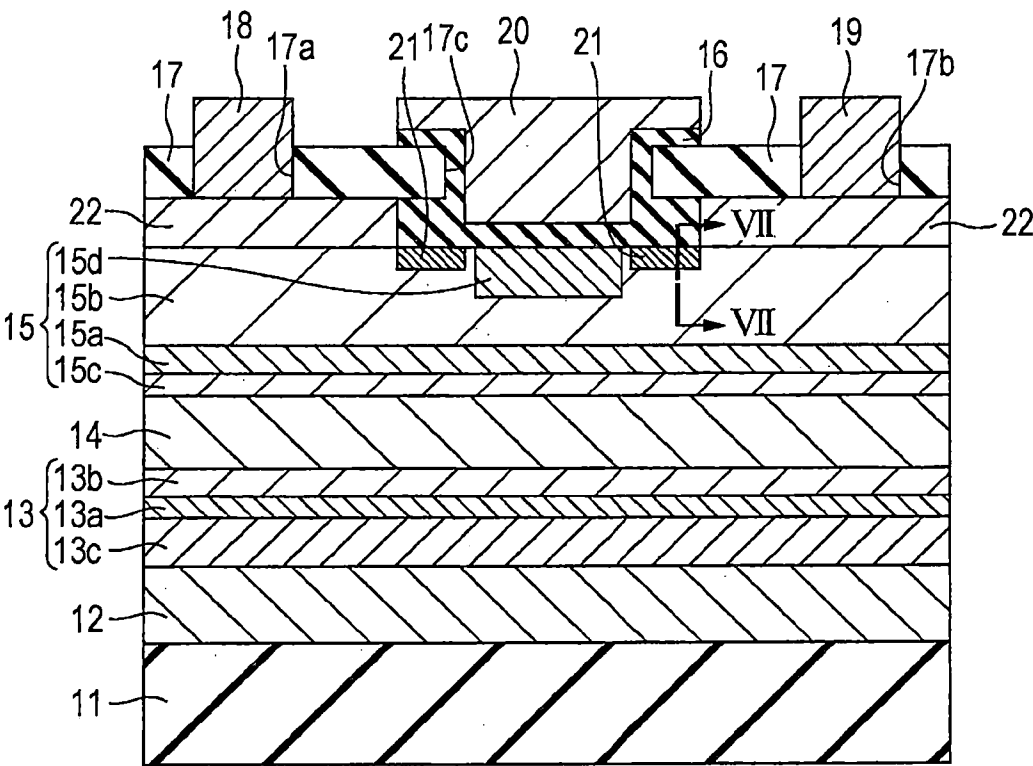


圖 1

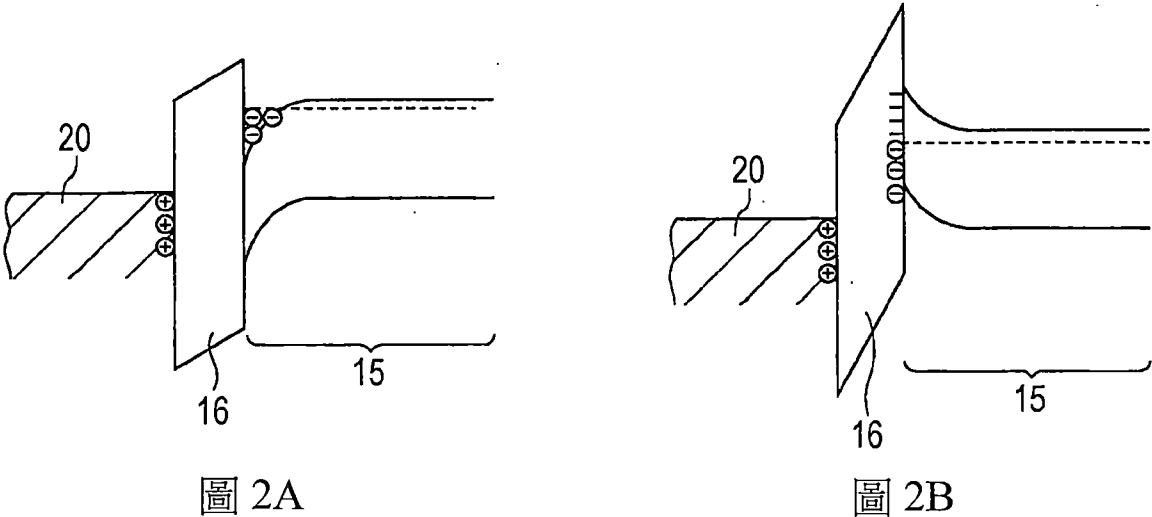


圖 2A

圖 2B

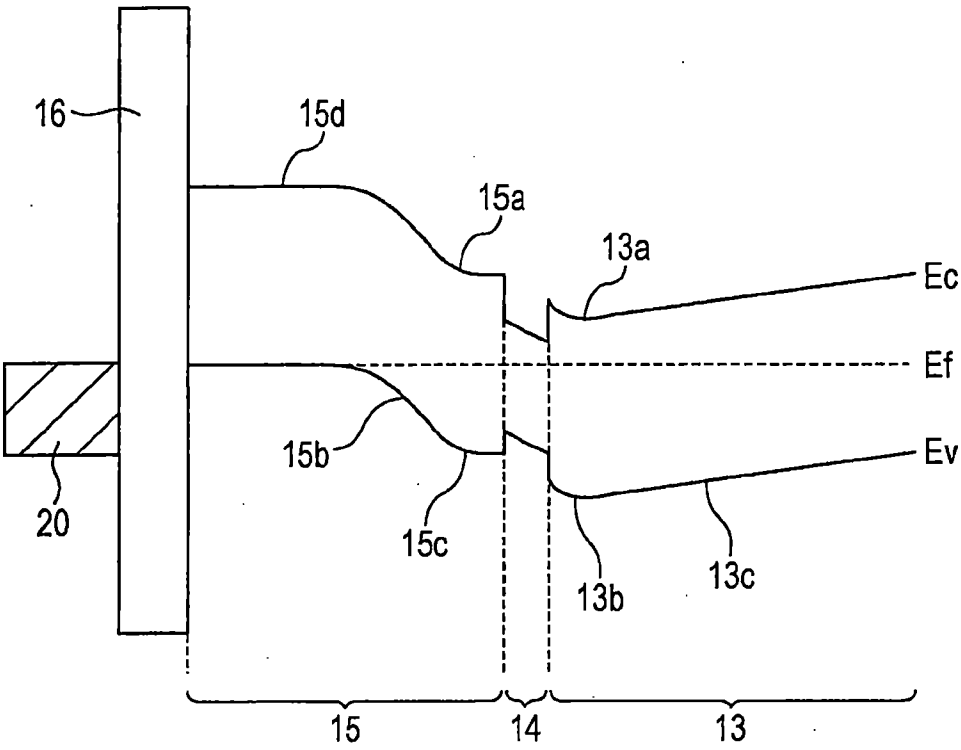


圖 3

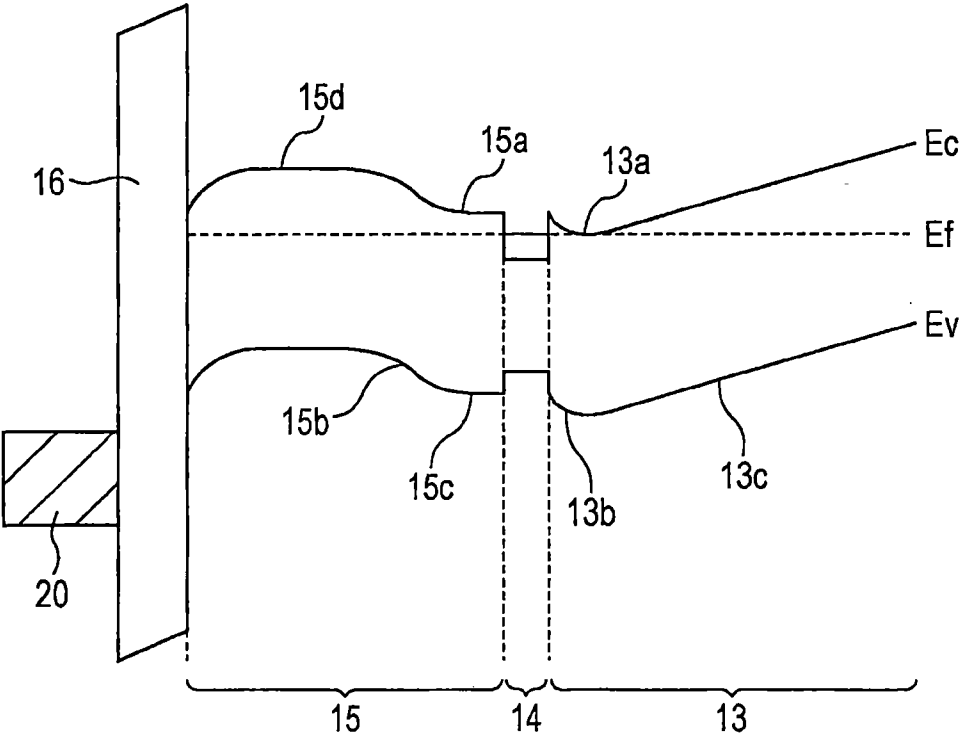


圖 4

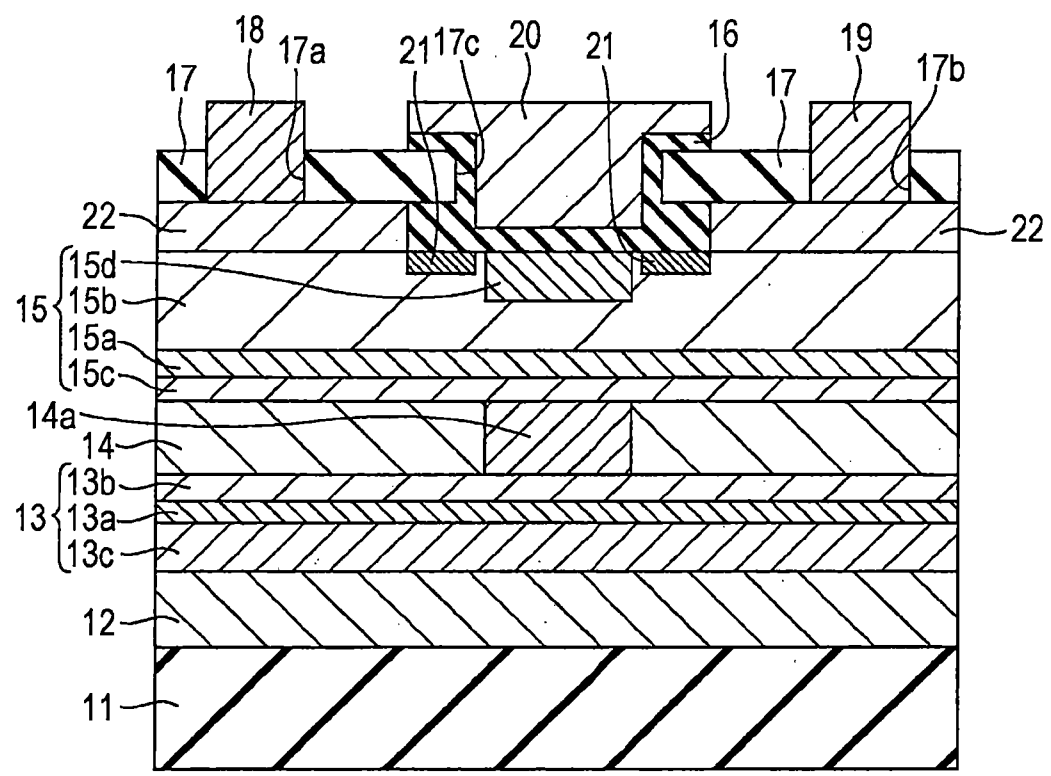


圖 5

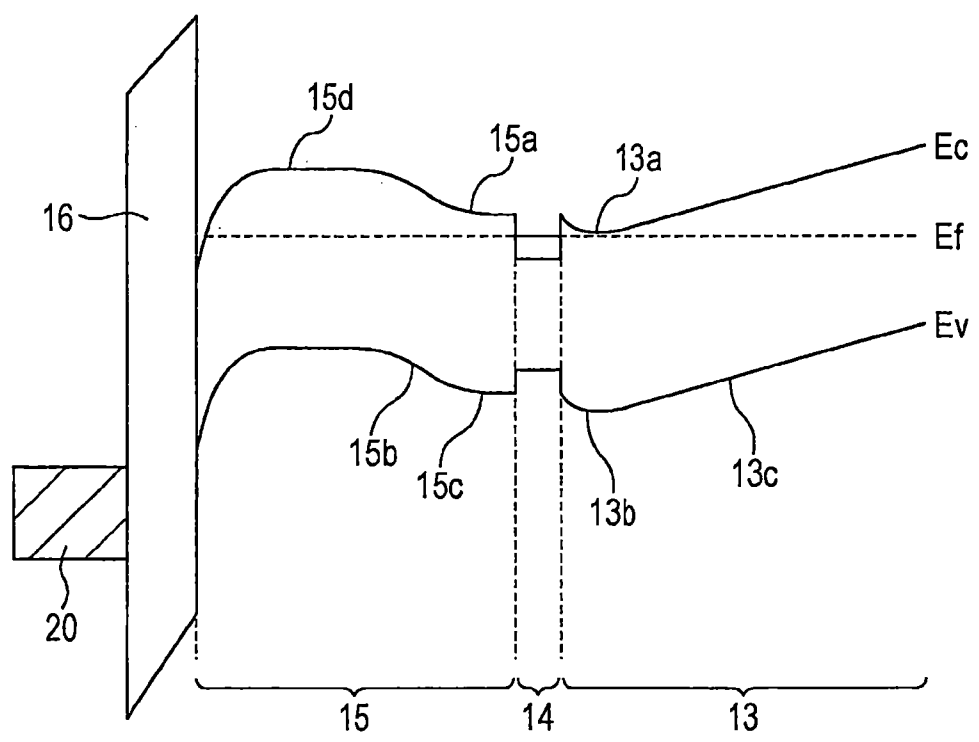


圖 6

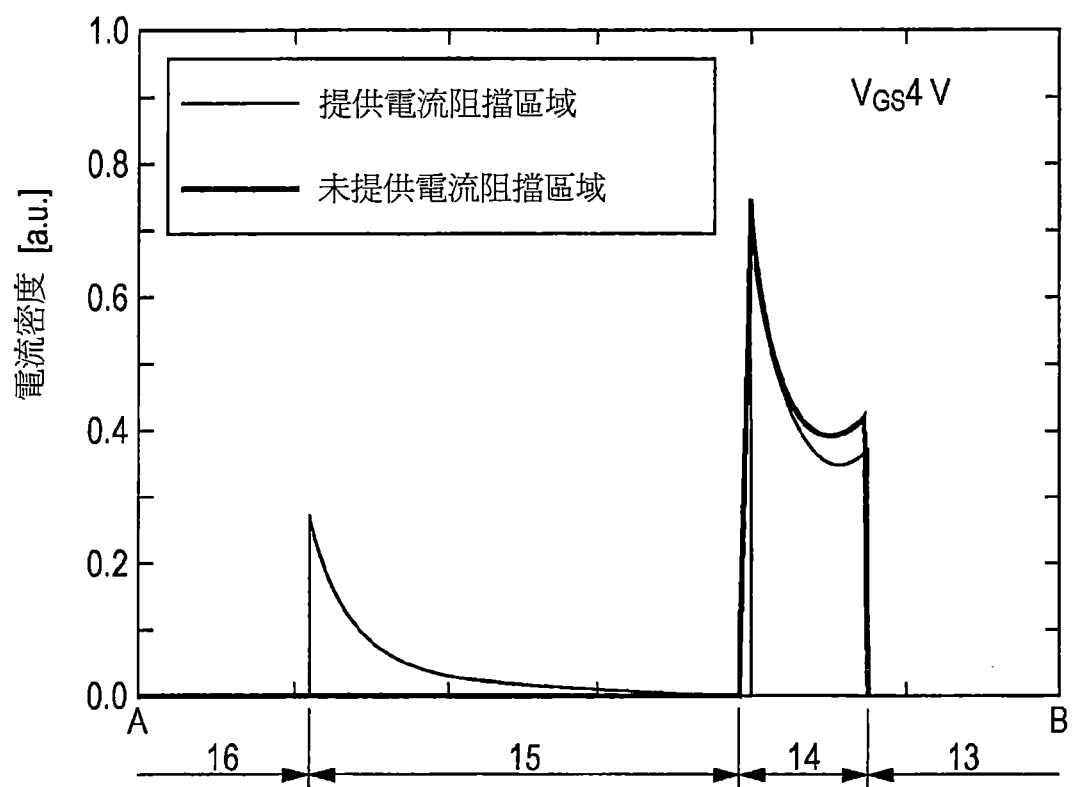


圖 7

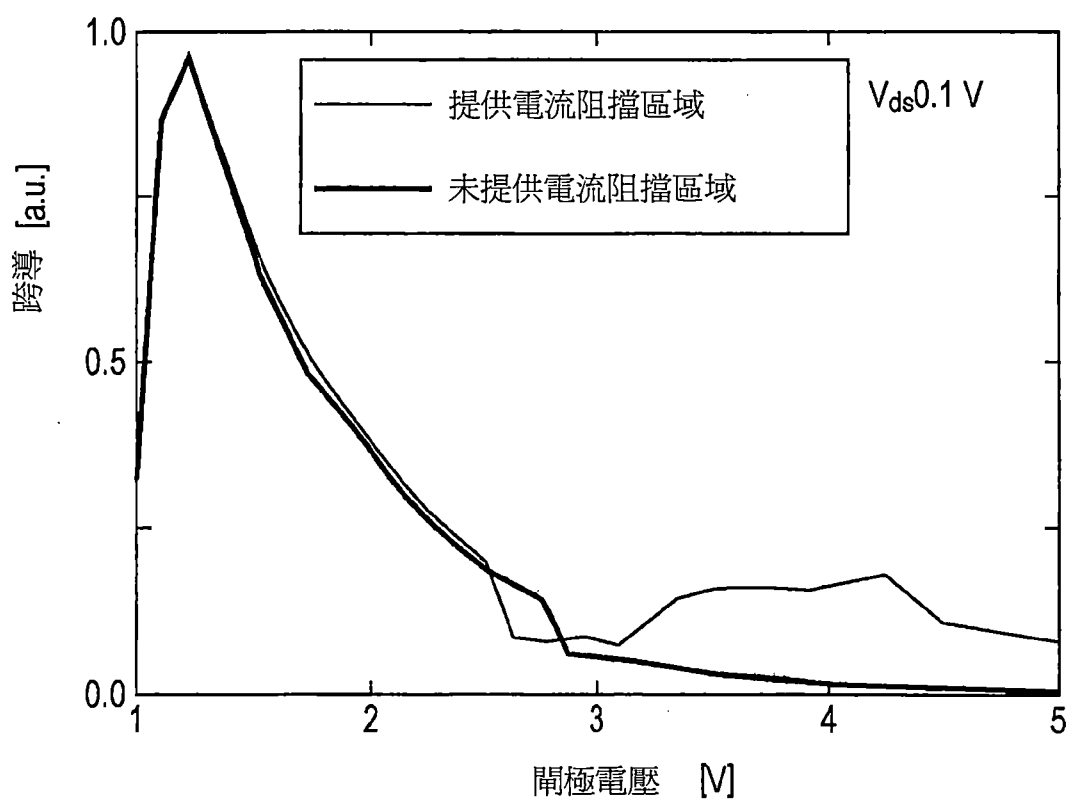


圖 8

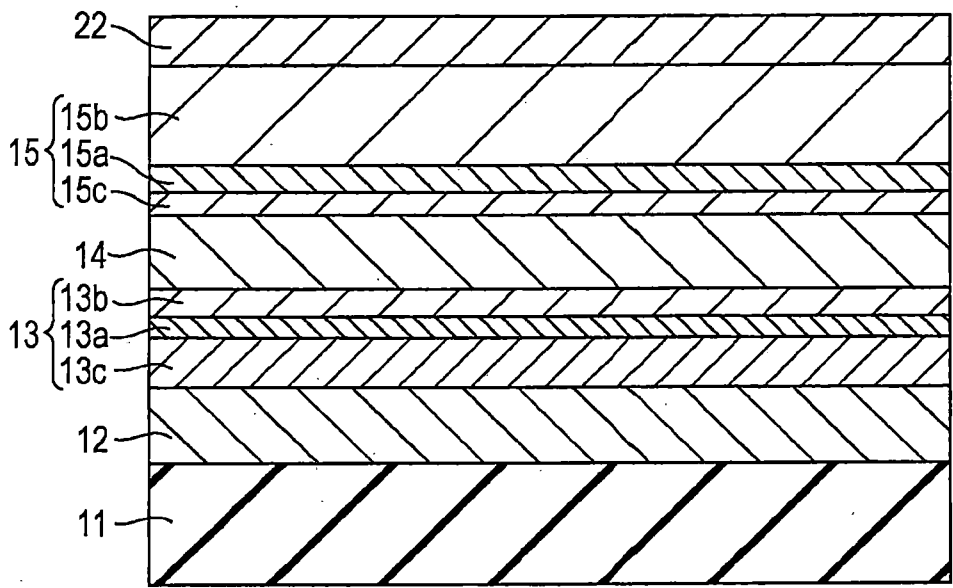


圖 9A

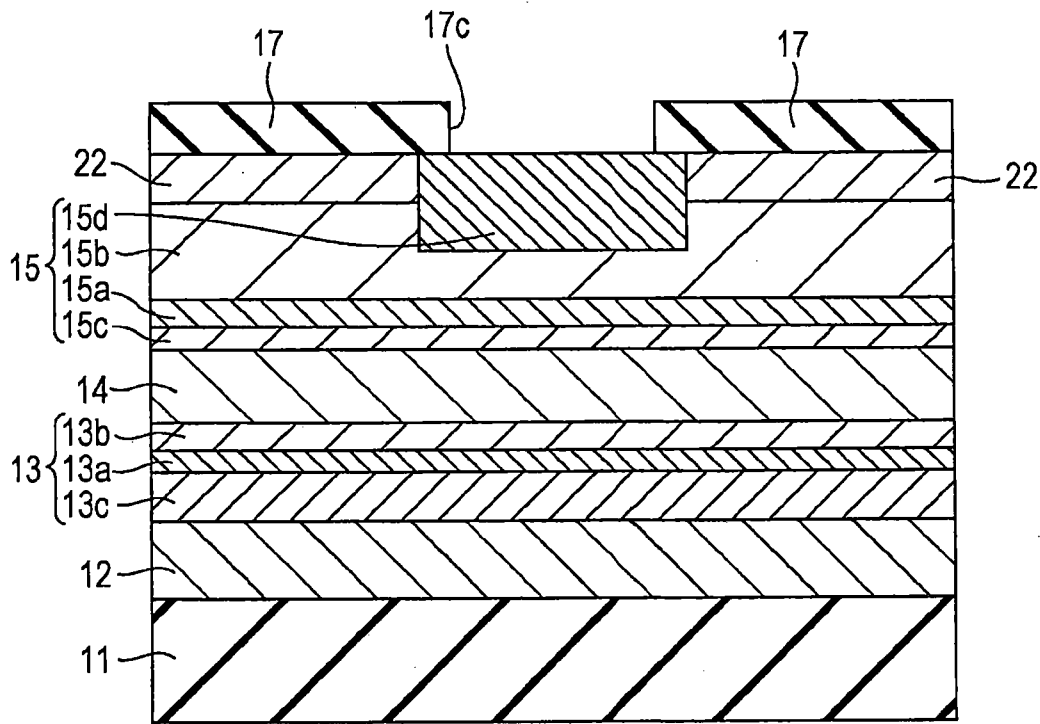


圖 9B

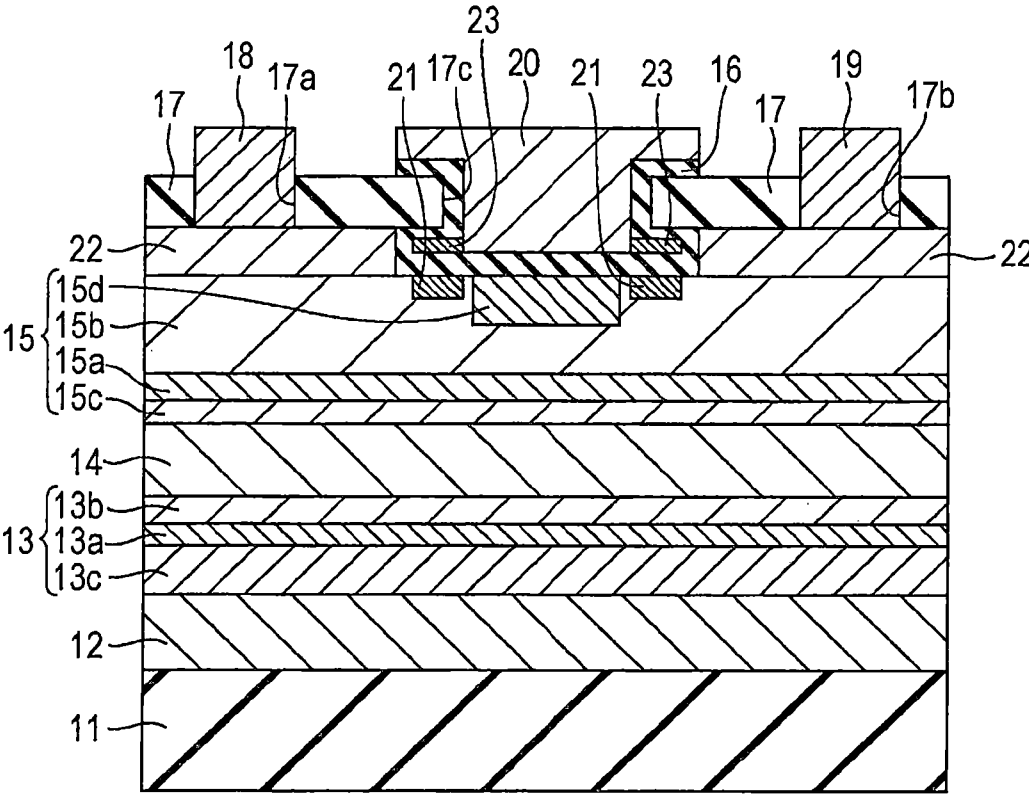


圖 10

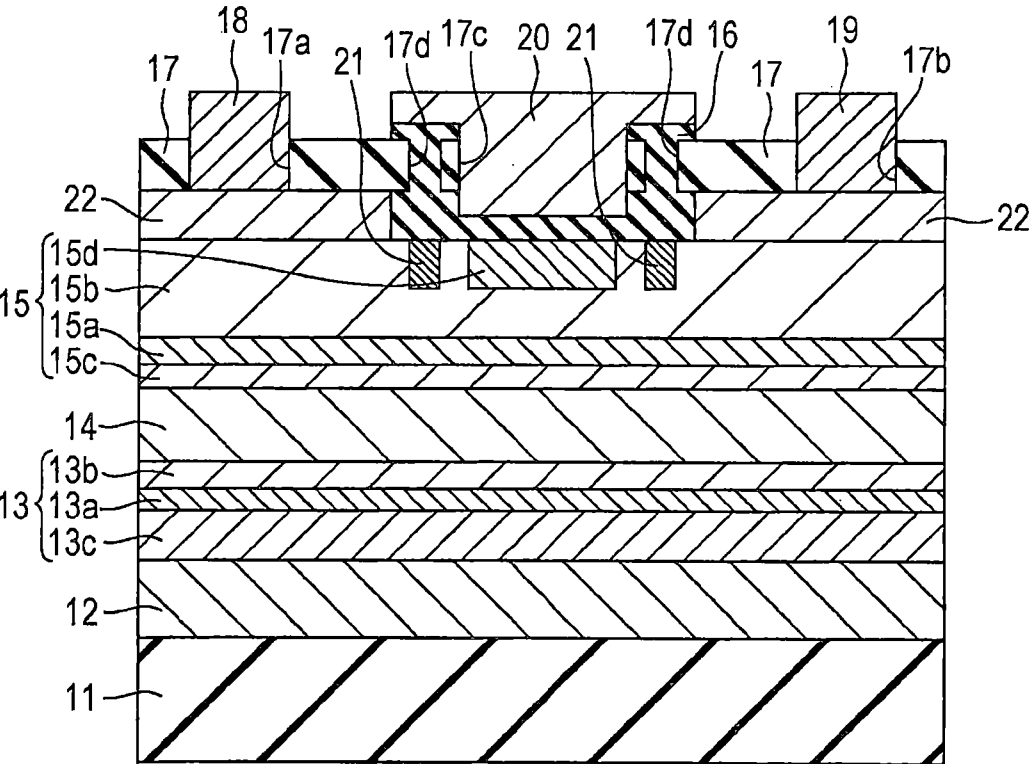


圖 11

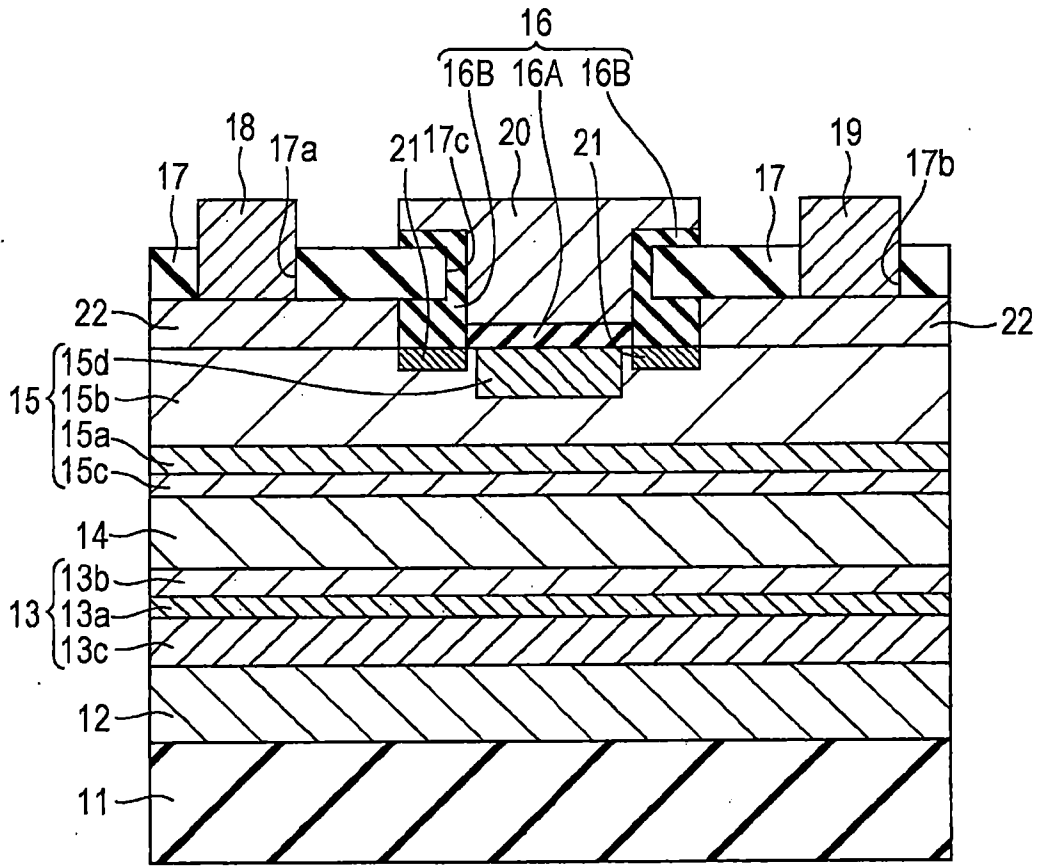


圖 12

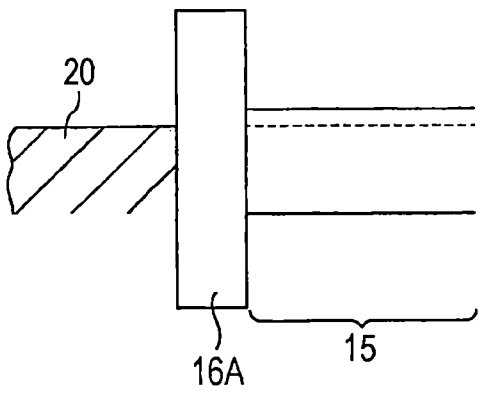


圖 13A

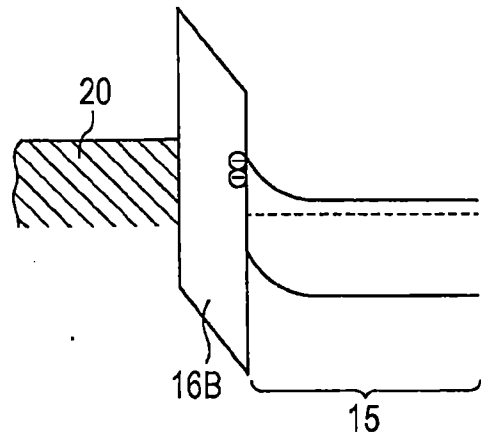


圖 13B

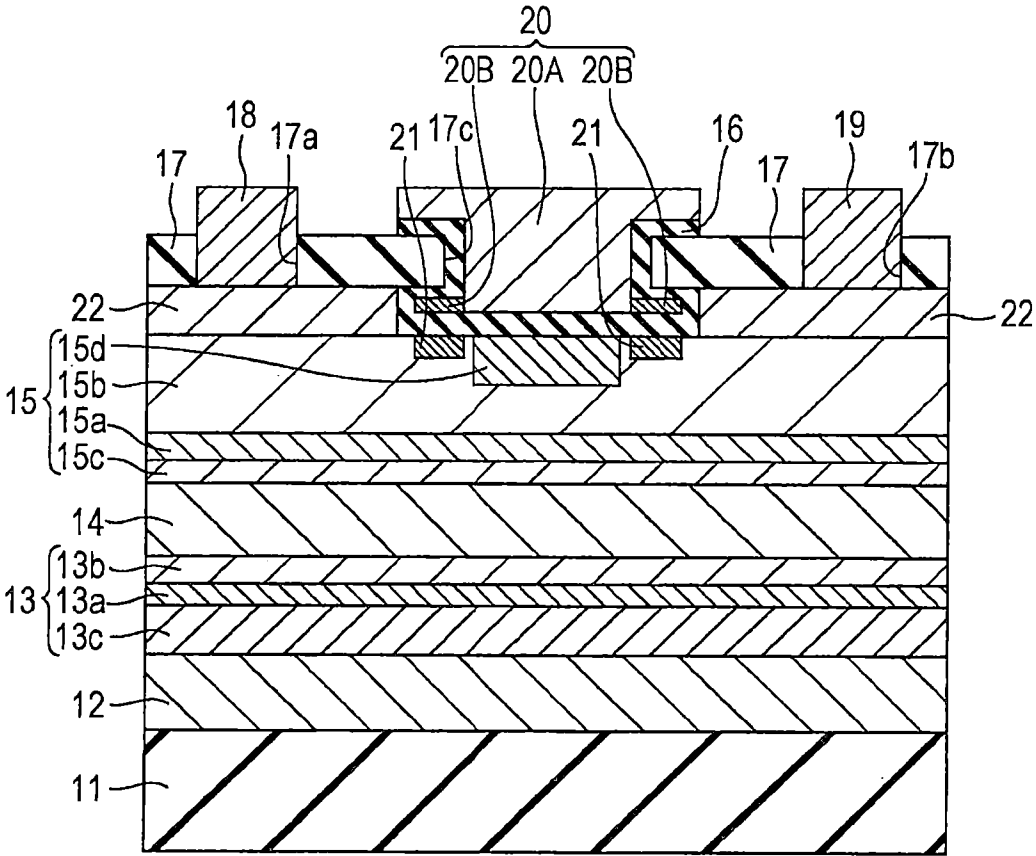


圖 14

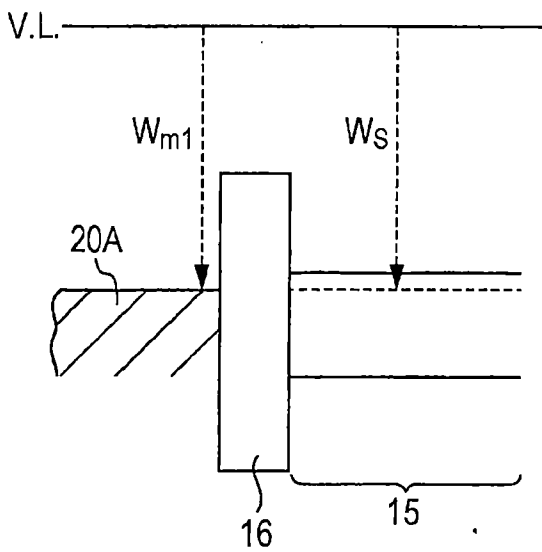


圖 15A

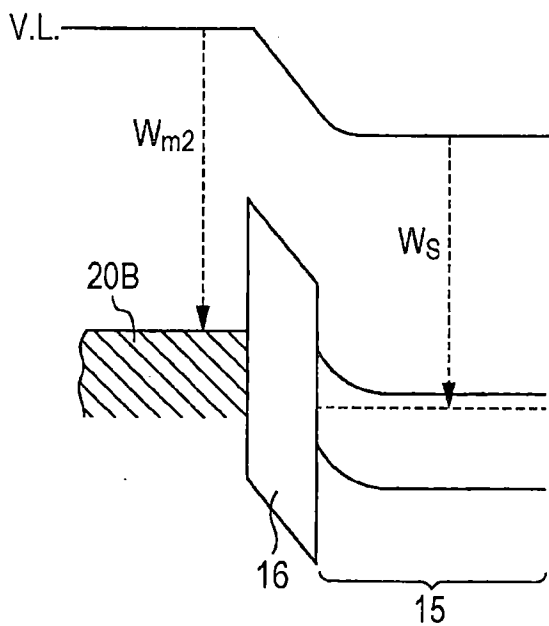


圖 15B

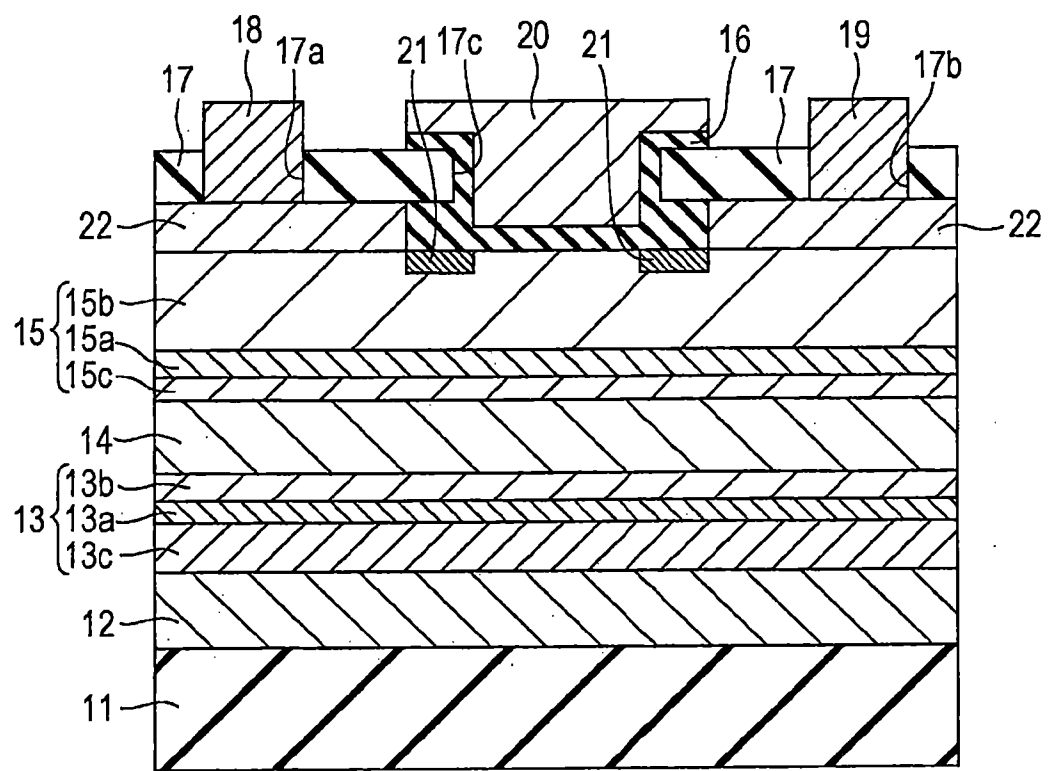


圖 16

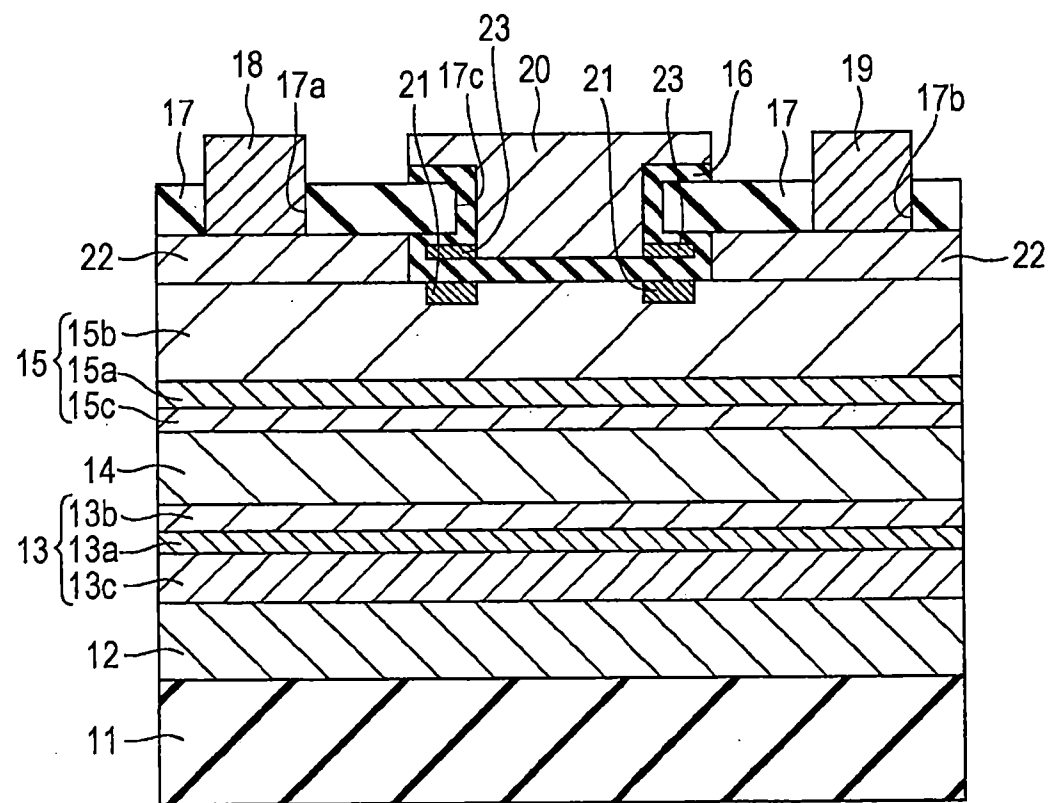


圖 17

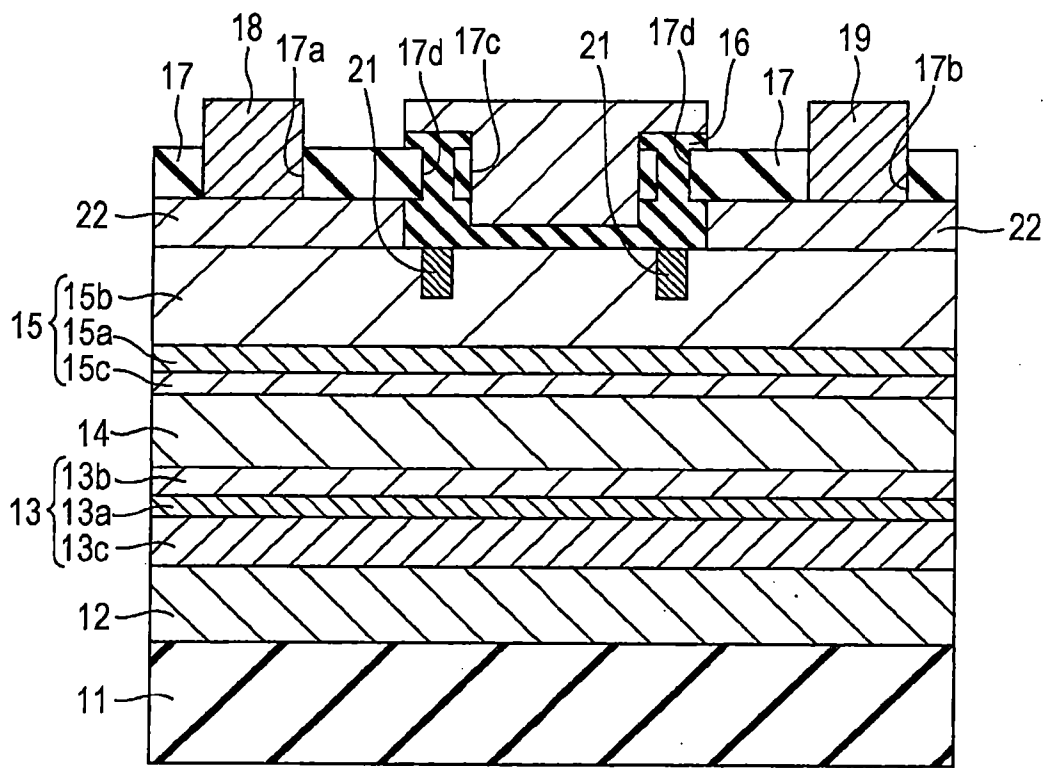


圖 18

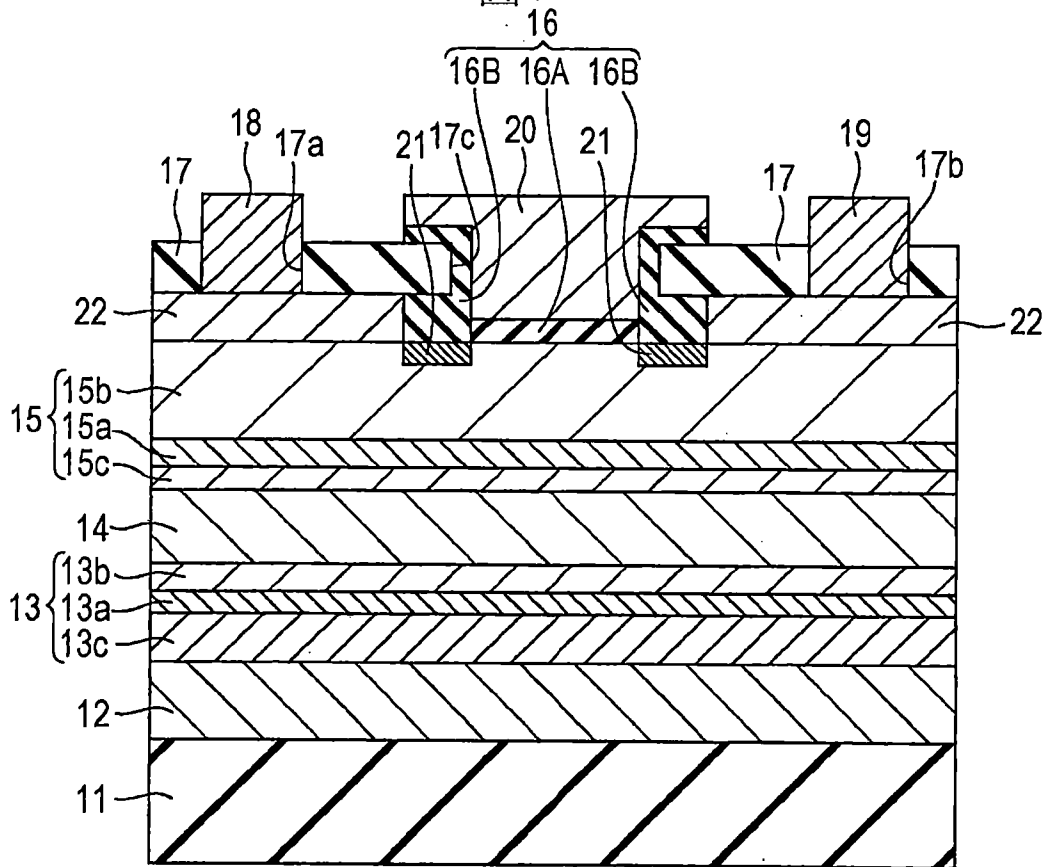


圖 19

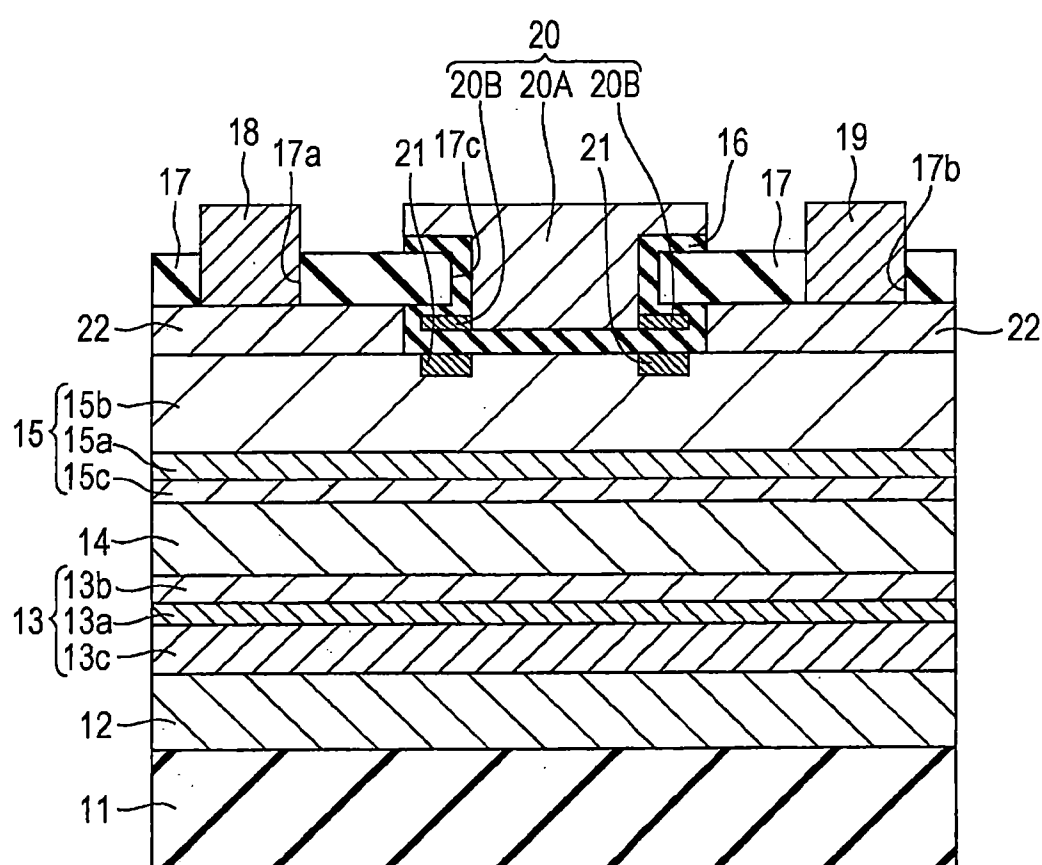


圖 20

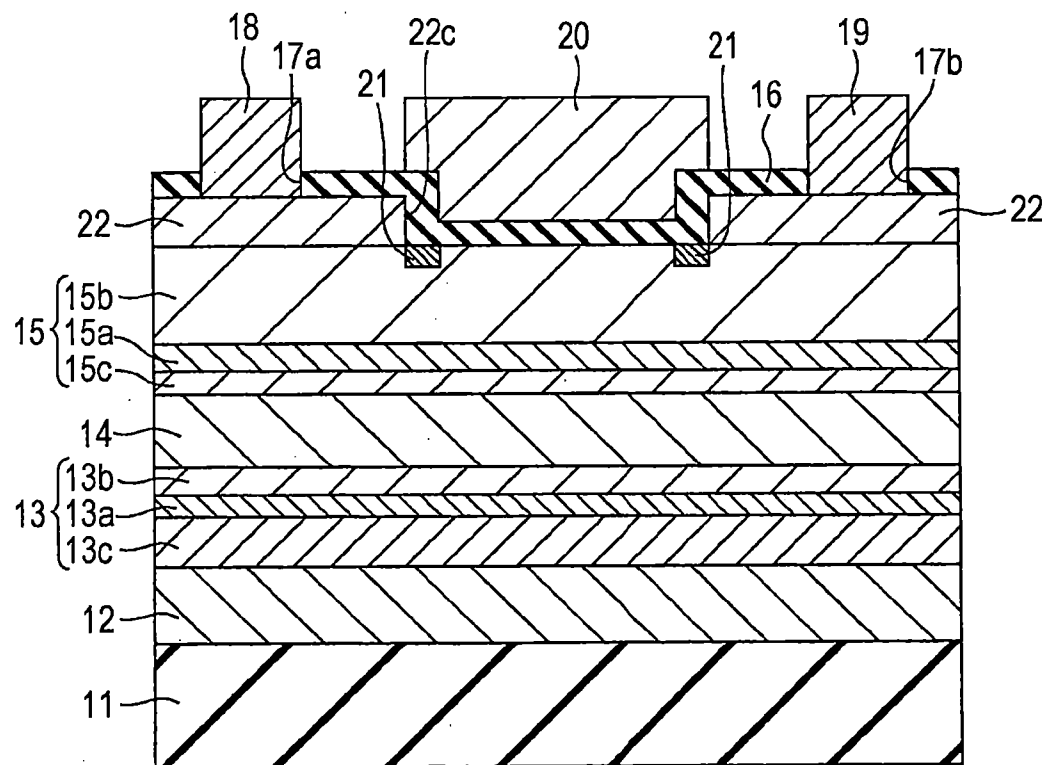


圖 21

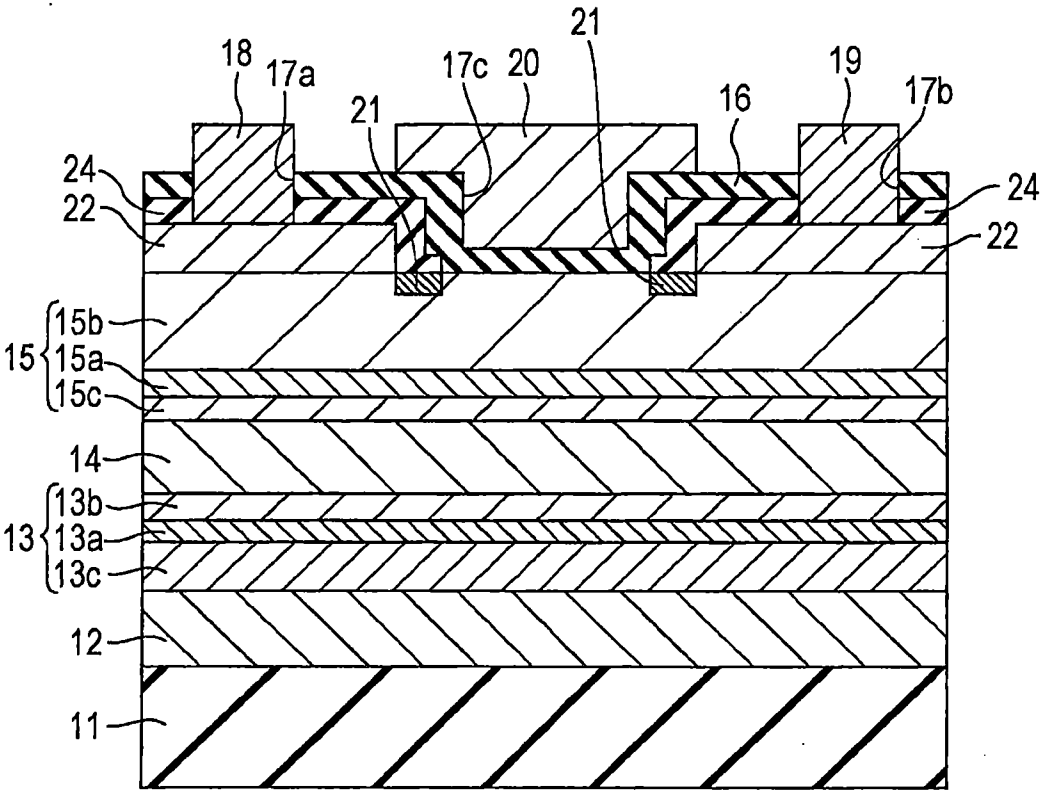


圖 22

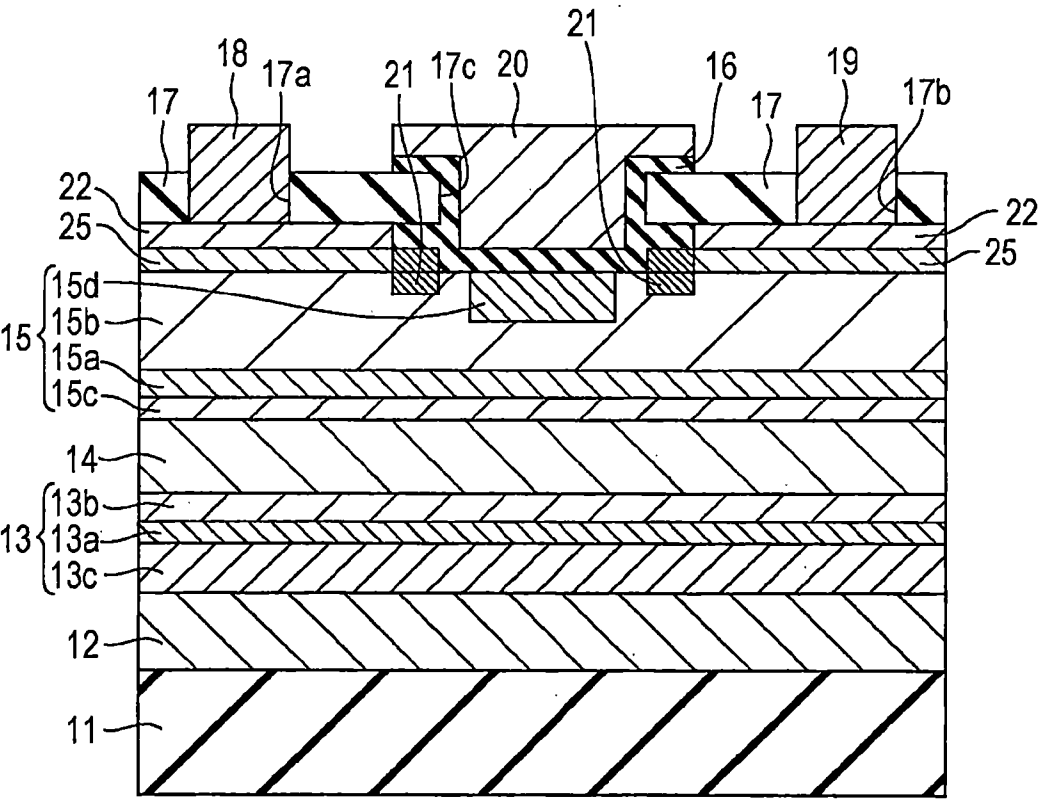


圖 23

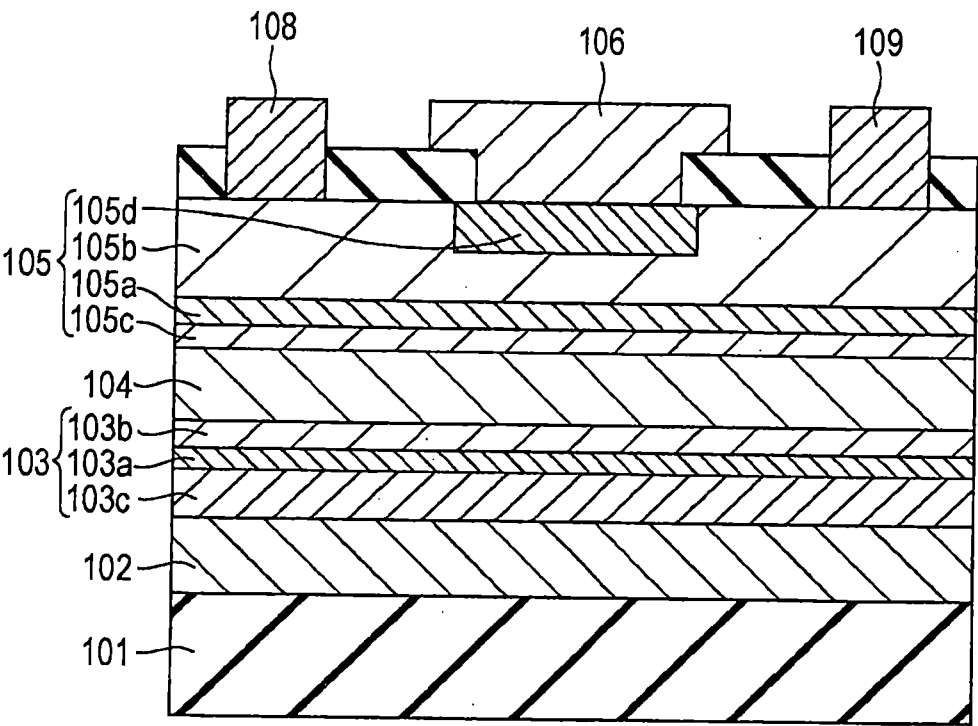


圖 24

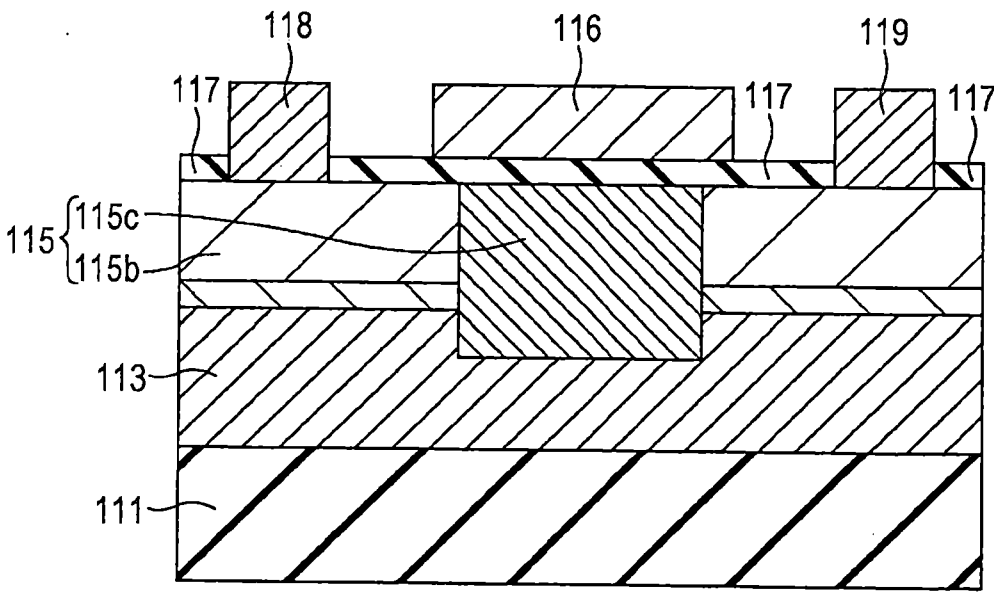


圖 25