

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 18 年 11 月 24 日 (2006.11.24)

【公開番号】特開 2002-7111 (P2002-7111A)
 【公開日】平成 14 年 1 月 11 日 (2002.1.11)
 【出願番号】特願 2001-143171 (P2001-143171)
 【国際特許分類】

G 0 6 F 7/487 (2006.01)

G 0 6 F 7/485 (2006.01)

【F I】

G 0 6 F 7/52 3 1 0 C

G 0 6 F 7/50 L

【手続補正書】
 【提出日】平成 18 年 10 月 11 日 (2006.10.11)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

データ・オペランドを送るための方法であって、

第 1 セットのパス上において、第 1 のエンコーディング方式により定義される第 1 のデータ・オペランドを受け取るステップと、

第 2 セットのパス上において、第 1 のエンコーディング方式により定義される第 2 のデータ・オペランドを受け取るステップと、

第 2 のエンコーディング方式により前記第 1 のデータ・オペランドを再定義し、該再定義された第 1 のデータ・オペランドを第 3 セットのパス上に送るステップと、

第 2 のエンコーディング方式により前記第 2 のデータ・オペランドを再定義し、該再定義された第 2 のデータ・オペランドを第 3 セットのパス上に送るステップと、

前記再定義された第 1 のデータ・オペランドをセルフタイム式に処理するステップと、

前記再定義された第 2 のデータ・オペランドをセルフタイム式に連続して処理し、前記処理された第 1 のデータ・オペランドを第 1 のエンコーディング方式に変換し、該変換された第 1 のデータ・オペランドを第 4 セットのパス上に送るステップと、

前記処理された第 2 のデータ・オペランドを第 1 のエンコーディング方式に戻す変換をし、前記変換された第 2 のデータ・オペランドを第 5 セットのパス上に送るステップと、

前記第 1 及び第 2 のデータ・オペランドの各々を、2 つの論理変数によって定義するステップと、

前記第 1 及び第 2 のデータ・オペランドの各々を、4 つの論理変数によって再定義するステップと、

4 つのそれぞれの論理変数によって再定義される前記第 1 及び第 2 のデータ・オペランドの各々についてシフト演算を実行するステップと、

前記第 1 及び第 2 のデータ・オペランドの各々を 2 つの論理変数によって再定義するステップと、を含む方法。

【請求項 2】

データ・オペランドを送るためのシステムであって、

第 1 セットのパス上において、第 1 のエンコーディング方式によって定義された第 1 のデータ・オペランドを受け取り、第 2 セットのパス上において、前記第 1 のエンコーディ

ング方式によって定義された第 2 のデータ・オペランドを受け取るための手段を含み、前記第 1 のエンコーディング方式は前記第 1 および第 2 のデータ・オペランドを 2 つの論理変数によって定義し、再定義手段は前記第 1 及び第 2 のデータ・オペランドの各々を 2 つの論理変数によって再定義し、

前記第 1 及び第 2 のデータ・オペランドを第 2 のエンコーディング方式によって再定義する手段と、

前記再定義された第 1 及び第 2 のデータ・オペランドを第 3 セットのパス上に送る手段と、

前記再定義された第 1 及び第 2 のデータ・オペランドをセルフタイム式に連続して処理する手段と、

前記処理された第 1 及び第 2 のデータ・オペランドを前記第 1 のエンコーディング方式に戻す変換をする手段と、

前記変換された第 1 及び第 2 のデータ・オペランドを第 4 及び第 5 セットのパス上それぞれに送る手段と、

前記第 1 及び第 2 のデータ・オペランドの各々にシフト関数の実行を連続的に処理する手段と、を備えるシステム。

【請求項 3】

第 1 及び第 2 のデータ・オペランドを第 1 及び第 2 セットのパス上それぞれから受け取るように構成されたエンコーダを備え、前記第 1 および第 2 のデータ・オペランドは第 1 のエンコーディング方式によって定義され、該エンコーダは、前記第 1 及び第 2 のデータ・オペランドを第 2 のエンコーディング方式によって再定義し、該再定義された第 1 及び第 2 のデータ・オペランドを第 3 セットのパス上に送るようさらに構成され、該エンコーダは、

第 1 のデータ・オペランドを 2 対 1 エンコーディングから 4 対 1 エンコーディングへと前記第 3 セットのパス上に変換するよう構成された第 1 のエンコーダと、

第 2 のデータ・オペランドについて遅延を付けるよう構成された遅延デバイスと、

前記遅延された第 2 のデータ・オペランドを 2 対 1 エンコーディングから 4 対 1 エンコーディングへと前記第 3 セットのパス上に変換するよう構成された第 2 のエンコーダと、を備え、

前記再定義された第 1 及び第 2 のデータ・オペランドは、時間内に連続的にして、セルフタイム式で処理するよう構成されたデバイスと、

前記処理された第 1 及び第 2 のデータ・オペランドを前記デバイスから連続して受け取るよう構成されたデコーダと、を備え、該デコーダは、前記第 1 及び第 2 のデータ・オペランドを第 4 及び第 5 セットのパス上それぞれにデコードするようさらに構成される、プロセッサ。