

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成18年11月24日(2006.11.24)

【公開番号】特開2002-7111(P2002-7111A)

【公開日】平成14年1月11日(2002.1.11)

【出願番号】特願2001-143171(P2001-143171)

【国際特許分類】

G 06 F 7/487 (2006.01)

G 06 F 7/485 (2006.01)

【F I】

G 06 F 7/52 310 C

G 06 F 7/50 L

【手続補正書】

【提出日】平成18年10月11日(2006.10.11)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データ・オペランドを送るための方法であって、

第1セットのバス上において、第1のエンコーディング方式により定義される第1のデータ・オペランドを受け取るステップと、

第2セットのバス上において、第1のエンコーディング方式により定義される第2のデータ・オペランドを受け取るステップと、

第2のエンコーディング方式により前記第1のデータ・オペランドを再定義し、該再定義された第1のデータ・オペランドを第3セットのバス上に送るステップと、

第2のエンコーディング方式により前記第2のデータ・オペランドを再定義し、該再定義された第2のデータ・オペランドを第3セットのバス上に送るステップと、

前記再定義された第1のデータ・オペランドをセルフタイム式に処理するステップと、

前記再定義された第2のデータ・オペランドをセルフタイム式に連続して処理し、前記処理された第1のデータ・オペランドを第1のエンコーディング方式に変換し、該変換された第1のデータ・オペランドを第4セットのバス上に送るステップと、

前記処理された第2のデータ・オペランドを第1のエンコーディング方式に戻す変換をし、前記変換された第2のデータ・オペランドを第5セットのバス上に送るステップと、

前記第1及び第2のデータ・オペランドの各々を、2つの論理変数によって定義するステップと、

前記第1及び第2のデータ・オペランドの各々を、4つの論理変数によって再定義するステップと、

4つのそれぞれの論理変数によって再定義される前記第1及び第2のデータ・オペランドの各々についてシフト演算を実行するステップと、

前記第1及び第2のデータ・オペランドの各々を2つの論理変数によって再定義するステップと、を含む方法。

【請求項2】

データ・オペランドを送るためのシステムであって、

第1セットのバス上において、第1のエンコーディング方式によって定義された第1のデータ・オペランドを受け取り、第2セットのバス上において、前記第1のエンコーディ

ング方式によって定義された第2のデータ・オペランドを受け取るための手段を含み、前記第1のエンコーディング方式は前記第1および第2のデータ・オペランドを2つの論理変数によって定義し、再定義手段は前記第1及び第2のデータ・オペランドの各々を2つの論理変数によって再定義し、

前記第1及び第2のデータ・オペランドを第2のエンコーディング方式によって再定義する手段と、

前記再定義された第1及び第2のデータ・オペランドを第3セットのパス上に送る手段と、

前記再定義された第1及び第2のデータ・オペランドをセルフタイム式に連続して処理する手段と、

前記処理された第1及び第2のデータ・オペランドを前記第1のエンコーディング方式に戻す変換をする手段と、

前記変換された第1及び第2のデータ・オペランドを第4及び第5セットのパス上それに送る手段と、

前記第1及び第2のデータ・オペランドの各々にシフト関数の実行を連続的に処理する手段と、を備えるシステム。

【請求項3】

第1及び第2のデータ・オペランドを第1及び第2セットのパス上それから受け取るように構成されたエンコーダを備え、前記第1および第2のデータ・オペランドは第1のエンコーディング方式によって定義され、該エンコーダは、前記第1及び第2のデータ・オペランドを第2のエンコーディング方式によって再定義し、該再定義された第1及び第2のデータ・オペランドを第3セットのパス上に送るようさらに構成され、該エンコーダは、

第1のデータ・オペランドを2対1エンコーディングから4対1エンコーディングへと前記第3セットのパス上に変換するよう構成された第1のエンコーダと、

第2のデータ・オペランドについて遅延を付けるよう構成された遅延デバイスと、

前記遅延された第2のデータ・オペランドを2対1エンコーディングから4対1エンコーディングへと前記第3セットのパス上に変換するよう構成された第2のエンコーダと、を備え、

前記再定義された第1及び第2のデータ・オペランドは、時間内に連続的して、セルフタイム式で処理するよう構成されたデバイスと、

前記処理された第1及び第2のデータ・オペランドを前記デバイスから連続して受け取るよう構成されたデコーダと、を備え、該デコーダは、前記第1及び第2のデータ・オペランドを第4及び第5セットのパス上それにデコードするようさらに構成される、プロセッサ。