

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-109307

(P2012-109307A)

(43) 公開日 平成24年6月7日(2012.6.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/00 (2006.01)	HO 1 L 23/00 C	4M119
HO 1 L 23/32 (2006.01)	HO 1 L 23/32 D	5F044
HO 1 L 21/60 (2006.01)	HO 1 L 21/60 311Q	5F092
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 F	
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 447	

審査請求 未請求 請求項の数 17 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2010-255088 (P2010-255088)
 (22) 出願日 平成22年11月15日 (2010.11.15)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100110928
 弁理士 速水 進治
 (74) 代理人 100118544
 弁理士 野本 可奈
 (74) 代理人 100127236
 弁理士 天城 聡
 (72) 発明者 渡邊 敬仁
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 (72) 発明者 牛山 吉孝
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 最終頁に続く

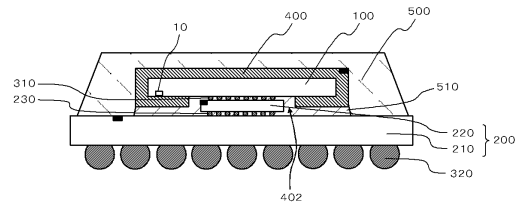
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】半導体チップを磁気シールド層で被覆しても、 bumps を狭いピッチで配置することができるようにする。

【解決手段】半導体チップ100は磁気記憶素子10を有しており、かつ第1面に電極パッドを有している。磁気シールド層400は、少なくとも電極パッドが露出した状態で半導体チップ100を被覆している。半導体チップ100は、 bumps 310 を介して配線基板200に実装されている。半導体チップ100と配線基板200は、少なくとも一方が凸部を有しており、当該凸部上に bumps 310 が設けられている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

磁気記憶素子を有するとともに、第 1 面に電極パッドを有する半導体チップと、少なくとも前記電極パッドが露出した状態で前記半導体チップを被覆する磁気シールド層と、

前記半導体チップがバンプを介して接続された配線基板と、
を備え、

前記半導体チップと前記配線基板は、少なくとも一方が凸部を有しており、当該凸部上に前記バンプが設けられている半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、
前記磁気シールド層は、少なくとも前記半導体チップの前記第 1 面の一部を覆っており、

前記凸部は、前記磁気シールド層のうち前記第 1 面を覆っている部分とは重なっていない半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置において、
前記半導体チップと前記配線基板の間の空間を封止する樹脂層を備え、
前記樹脂層は、前記磁気シールド層と前記凸部の間にも形成されている半導体装置。

【請求項 4】

請求項 1 ~ 3 のいずれか一項に記載の半導体装置において、
前記凸部は前記配線基板に設けられている半導体装置。

【請求項 5】

請求項 4 に記載の半導体装置において、
前記配線基板は、第 1 の配線基板と、前記第 1 の配線基板上に設けられた第 2 の配線基板を有しており、
前記凸部は前記第 2 の配線基板である半導体装置。

【請求項 6】

請求項 4 に記載の半導体装置において、
前記配線基板は、
部分的に形成された保護膜と、
前記保護膜を貫通している金属柱と、
を有しており、
前記凸部は、前記保護膜及び前記金属柱である半導体装置。

【請求項 7】

請求項 4 に記載の半導体装置において、
前記配線基板は、部分的にビルドアップ領域を有しており、
前記凸部は前記ビルドアップ領域である半導体装置。

【請求項 8】

請求項 1 ~ 3 のいずれか一項に記載の半導体装置において、
前記凸部は前記半導体チップに設けられている半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置において、
前記半導体チップは、前記凸部が設けられている面に保護膜を有しており、
前記凸部は、前記保護膜よりも高い半導体装置。

【請求項 10】

請求項 8 又は 9 に記載の半導体装置において、
前記凸部は前記電極パッド上に形成された金属柱である半導体装置。

【請求項 11】

請求項 1 ~ 10 のいずれか一項に記載の半導体装置において、

10

20

30

40

50

前記半導体チップは、前記磁気記憶素子が形成されているメモリ有領域と、前記磁気記憶素子が形成されていないメモリ無領域とを有しており、

前記磁気シールド層は、少なくとも平面視で前記メモリ有領域と重なる領域に形成されている半導体装置。

【請求項 1 2】

請求項 1 ~ 1 1 のいずれか一項に記載の半導体装置において、

前記磁気記憶素子は、前記半導体チップに対して垂直な方向の磁場によって書き込みが行われ、

前記磁気シールド層は、前記半導体チップの前記第 1 面から側面を経由して、前記第 1 面とは反対側の面である第 2 面にかけて形成されている半導体装置。

10

【請求項 1 3】

請求項 1 2 に記載の半導体装置において、

前記半導体チップは矩形であり、

前記磁気シールド層は、

前記一面に対向する領域に前記電極パッドを露出させるための開口を有しており、

前記半導体チップの一辺に位置する前記側面を経由するように形成されており、かつ前記一辺の近くには、前記一辺に沿った長尺形状を有する前記開口が形成されていない半導体装置。

【請求項 1 4】

請求項 1 2 又は 1 3 に記載の半導体装置において、

前記磁気シールド層は、前記側面に対向する領域が、前記第 1 面に対向する領域及び前記第 2 面に対向する領域よりも厚い半導体装置。

20

【請求項 1 5】

請求項 1 2 ~ 1 4 のいずれか一項に記載の半導体装置において、

前記半導体チップに垂直な断面で見た場合、前記磁気シールド層は、前記側面に対向する領域が湾曲している半導体装置。

【請求項 1 6】

請求項 1 ~ 1 1 のいずれか一項に記載の半導体装置において、

前記磁気記憶素子は、前記半導体チップに対して水平な方向の磁場によって書き込みが行われ、

30

前記磁気シールド層は、前記半導体チップのうち前記電極パッドが形成されていない面のみに形成されている半導体装置。

【請求項 1 7】

磁気記憶素子を有するとともに第 1 面に電極パッドを有する半導体チップを、少なくとも前記電極パッドが露出するように磁気シールド層で被覆する工程と、

前記半導体チップを配線基板に bumps を介して接続する工程と、

を備え、

前記半導体チップと前記配線基板は、少なくとも一方が凸部を有しており、当該凸部上に前記 bumps が設けられている半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁気記憶素子を有する半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

記憶素子の一例である磁気記憶素子 (MRAM : Magnetoresistive Random Access Memory) を実用化するための開発が進められている。磁気記憶素子は、電子スピンの向きを書き換えることにより情報を書き込む素子である。このため、磁気記憶素子は、外部の静

50

磁場によって情報が誤消去又は誤書込されてしまう可能性がある。これに対して、例えば特許文献 1 及び 2 に示すように、磁気記憶素子を有する半導体チップを磁気シールドで覆う構造が検討されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2003 - 309196 号公報

【特許文献 2】特開 2003 - 347441 号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0004】

磁気シールドから半導体チップに向けて磁気が漏れることを抑制するためには、特許文献 2 のように、半導体チップを直接磁気シールド層で覆うことが望ましい。しかし半導体チップを直接磁気シールド層で覆った場合、半導体チップを配線基板にフリップチップ実装しようとする、磁気シールド層よりもパンプを高くする必要がある。この場合、パンプを狭いピッチで配置することが難しくなってしまう。

【課題を解決するための手段】

【0005】

本発明によれば、磁気記憶素子を有するとともに、第 1 面に電極パッドを有する半導体チップと、

20

少なくとも前記電極パッドが露出した状態で前記半導体チップを被覆する磁気シールド層と、

前記半導体チップがパンプを介して接続された配線基板と、
を備え、

前記半導体チップと前記配線基板は、少なくとも一方が凸部を有しており、当該凸部に前記パンプが設けられている半導体装置が提供される。

【0006】

本発明によれば、半導体チップと前記配線基板は、少なくとも一方が凸部を有している。このため、パンプの高さを小さくすることができる。そして、これに伴ってパンプ径を小さくすることができる。従って、パンプを狭いピッチで配置することができる。

30

【0007】

本発明によれば、磁気記憶素子を有するとともに第 1 面に電極パッドを有する半導体チップを、少なくとも前記電極パッドが露出するように磁気シールド層で被覆する工程と、

前記半導体チップを配線基板にパンプを介して接続する工程と、
を備え、

前記半導体チップと前記配線基板は、少なくとも一方が凸部を有しており、当該凸部に前記パンプが設けられている半導体装置の製造方法が提供される。

【発明の効果】

【0008】

本発明によれば、半導体チップを磁気シールド層で被覆しても、パンプを狭いピッチで配置することができる。

40

【図面の簡単な説明】

【0009】

【図 1】第 1 の実施形態に係る半導体装置の構成を示す断面図である。

【図 2】磁気記憶素子の原理を説明するための図である。

【図 3】磁気記憶素子の構成を説明するための図である。

【図 4】図 1 に示した半導体装置の製造方法を示す断面図である。

【図 5】図 1 に示した半導体装置の製造方法を示す断面図である。

【図 6】第 2 の実施形態に係る半導体装置の構成を示す断面図である。

【図 7】図 6 に示した半導体装置の製造方法を示す断面図である。

50

【図 8】第 3 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 9】第 4 の実施形態に係る半導体装置の構成を示す断面図である。

【図 10】(a) は第 5 の実施形態に係る半導体装置の構成を示す断面図であり、(b) は (a) に示した半導体装置の上面図である。

【図 11】(a) は第 6 の実施形態に係る半導体装置の構成を示す断面図であり、(b) は (a) に示した半導体装置の上面図である。

【図 12】(a) は第 7 の実施形態に係る半導体装置の構成を示す断面図であり、(b) は (a) の変形例を示す断面図である。

【図 13】凸部の構造の詳細を示す断面拡大図である。

【図 14】図 13 の変形例を示す断面図である。

10

【図 15】第 8 の実施形態に係る半導体装置の構成を示す断面図である。

【図 16】図 15 の変形例を示す断面図である。

【図 17】図 15 の変形例を示す断面図である。

【図 18】第 9 の実施形態に係る半導体装置の構成を示す断面図である。

【図 19】第 10 の実施形態に係る半導体装置の構成を示す断面図である。

【図 20】図 19 の第 1 の変形例を示す断面図である。

【図 21】図 19 の第 2 の変形例を示す断面図である。

【図 22】第 11 の実施形態に係る半導体装置の構成を示す断面図である。

【図 23】図 22 の変形例を示す断面図である。

【図 24】磁気シールド層の変形例を示す斜視図である。

20

【図 25】磁気シールド層の変形例を示す斜視図である。

【図 26】磁気シールド層の開口の変形例を示す平面図である。

【図 27】磁気シールド層の開口の変形例を示す平面図である。

【図 28】磁気シールド層の変形例を示す断面図である。

【図 29】第 12 の実施形態に係る半導体装置の構成を示す断面図である。

【図 30】電極パッドの平面形状の変形例を示す平面図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

30

【0011】

(第 1 の実施形態)

図 1 は、第 1 の実施形態に係る半導体装置の構成を示す断面図である。この半導体装置は、半導体チップ 100、磁気シールド層 400、及び配線基板 200 を備えている。半導体チップ 100 は磁気記憶素子 10 を有しており、かつ第 1 面に電極パッド 110 (本図で省略) を有している。磁気シールド層 400 は、少なくとも電極パッド 110 が露出した状態で半導体チップ 100 を被覆している。半導体チップ 100 は、 bumps 310 を介して配線基板 200 に実装されている。ここでの接続形態は、例えばフリップチップ接続である。半導体チップ 100 と配線基板 200 は、少なくとも一方が凸部を有しており、当該凸部上に bumps 310 が設けられている。以下、詳細に説明する。

40

【0012】

本実施形態において、凸部は配線基板 200 に設けられている。具体的には、配線基板 200 は、第 1 の配線基板 210 及び第 2 の配線基板 220 を有している。平面視において、第 2 の配線基板 220 は第 1 の配線基板 210 よりも小さい。第 2 の配線基板 220 は、 bumps 230 を介して第 1 の配線基板 210 の上に搭載されている。このような構成により、第 2 の配線基板 220 が凸部を構成している。そして第 2 の配線基板 220 のうち第 1 の配線基板 210 に対向していない面は、 bumps 310 を介して半導体チップ 100 に接続している。 bumps 230, 310 は、例えば半田 bumps である。また第 1 の配線基板 210 のうち半導体チップ 100 とは逆側の面には、外部接続端子としてハンダボール 320 が設けられている。

50

【0013】

磁気シールド層400は、少なくとも半導体チップ100の第1面（配線基板200に対向する面）の一部を覆っているが、平面視で第2の配線基板220とは重なっていない。具体的には、磁気シールド層400は、半導体チップ100のほぼ全面（側面を含む）を覆っているが、配線基板200に対向している領域に開口402を有している（後述する図25（a）に相当）。平面視において開口402は、第2の配線基板220よりも大きい。このため、磁気シールド層400は第2の配線基板220とは干渉せず、開口402の内側に第2の配線基板220が入り込む。磁気シールド層400は、軟磁性材料、例えば、鉄、パーマロイ、センダスト、珪素鋼、又はナノ結晶により形成されている。磁気シールド層400の厚さは、例えば0.05mm以上0.15mm以下である。

10

【0014】

半導体チップ100と配線基板200の間の空間は、アンダーフィル樹脂510により封止されている。アンダーフィル樹脂510は、エポキシ系の樹脂であってもよいし、イミド系の樹脂であってもよい。本実施形態において、アンダーフィル樹脂510は、磁気シールド層400と第2の配線基板220の間にも形成されている。すなわち第2の配線基板220も、アンダーフィル樹脂510によって封止されている。

【0015】

図2は、磁気記憶素子10の原理を説明するための図である。磁気記憶素子10は、磁気固定層12と磁気フリー層14とをトンネルバリア層16を介して対向させた構造を有している。図2（a）に示す磁気記憶素子10は、垂直スピンのタイプである。このタイプの磁気記憶素子10は、半導体チップ100に対して垂直方向の磁場によって書込及び消去が行われる。図2（b）に示す磁気記憶素子10は、水平スピンのタイプである。このタイプの磁気記憶素子10は、半導体チップ100に対して水平方向の磁場によって書込及び消去が行われる。いずれのタイプの磁気記憶素子10も、磁気固定層12と磁気フリー層14の磁化の向きが同一方向の場合は低抵抗となり、磁気固定層12と磁気フリー層14の磁化の向きが逆方向の場合は高抵抗となる、そして、トンネルバリア層16を通過するトンネル電流の大小を測定することにより、書き込みされている情報の読み出しが行われる。そして図1に示す磁気シールド層400は、図2（a）及び図2（b）のいずれのタイプの磁気記憶素子10に対しても磁気シールド効果を奏する。

20

【0016】

図3は、磁気記憶素子10の構成を説明するための図である。図3（a）に示す磁気記憶素子10は、磁壁移動型の磁気記憶素子である。具体的には、磁気フリー層14が磁壁移動層になっており、2本のビット線13a、13bに接続している。そして磁気固定層12は読出線11に接続している。

30

【0017】

図3（b）に示す磁気記憶素子10はスピン注入型の磁気記憶素子である。具体的には、磁気フリー層14は一本のビット線13に接続しており、磁気固定層12は読出線11に接続している。

【0018】

なお、図2及び図3を用いて磁気記憶素子10の原理及び構成を説明したが、本発明が適用できる磁気記憶素子10の構成はこれらに限定されず、例えば磁場移動型の磁気記憶素子であってもよい。

40

【0019】

図4及び図5は、図1に示した半導体装置の製造方法を示す断面図である。まず図4（a）に示すように、個片化される前の第1の配線基板210に、バンプ230を用いて第2の配線基板220を搭載する。第1の配線基板210には位置合わせマーク212が設けられており、第1の配線基板210には位置合わせマーク222が設けられている。位置合わせマーク212、222は、例えば配線層の一部であり、保護層から露出している導体パターンである。このため、位置合わせマーク212と位置合わせマーク222の位置を検出することにより、第1の配線基板210上に第2の配線基板220を高い位置精

50

度で搭載することができる。なお、第2の配線基板220は、第1の配線基板210のうち個片化される複数の領域それぞれに搭載される。

【0020】

次いで図4(b)に示すように、第1の配線基板210上に搭載された各第2の配線基板220に、バンプ310を一括して形成する。

【0021】

次いで図5(a)に示すように、磁気シールド層400で被覆された半導体チップ100を準備する。磁気シールド層400は、例えば複数の部品を半導体チップ100に取り付けることにより、形成することができる。

【0022】

次いで、バンプ310を用いて半導体チップ100を第2の配線基板220に搭載する。ここで、磁気シールド層400には位置合わせマーク404が設けられているため、半導体チップ100は高い位置精度で第2の配線基板220に搭載される。なお、位置合わせマーク404は、例えば磁気シールド層400に設けられた特定の形状(くぼみを含む)である。

【0023】

この状態において、磁気シールド層400と第1の配線基板210の間には、隙間が存在する。このようにすると、バンプ310が硬化する際に、半導体チップ100は自己整合的に第2の配線基板220に対して位置決めされる。

【0024】

次いで図5(b)に示すように、毛細管現象を利用し、磁気シールド層400と第1の配線基板210の間の隙間を、アンダーフィル樹脂510で封止する。このとき、磁気シールド層400と第2の配線基板220の間の隙間にも、毛細管現象によりアンダーフィル樹脂510が浸透する。次いで、複数の半導体チップ100を封止樹脂500で個別に封止する。

【0025】

その後、ダイシングライン(点線で示す)に沿って第1の配線基板210を切断することにより、複数の半導体装置を個片化する。

【0026】

次に、本実施形態の作用及び効果について説明する。本実施形態によれば、磁気シールド層400は、半導体チップ100の電極パッドを露出させるための開口402を有している。そして開口402は平面視で第2の配線基板220を内側に含んでいる。このため、半導体チップ100を配線基板200上に搭載したとき、第2の配線基板220の上面は磁気シールド層400の下面より半導体チップ100の近くに位置する。従って、バンプ310の高さを低くすることができる。そして、これに伴ってバンプ310の幅を小さくすることができる。これにより、バンプ310を狭いピッチで高密度に配置することができる。

【0027】

(第2の実施形態)

図6は、第2の実施形態に係る半導体装置の構成を示す断面図であり、第1の実施形態における図1に相当している。本実施形態に係る半導体装置は、封止樹脂500の形状を除いて、第1の実施形態に係る半導体装置と同様の構成である。具体的には、封止樹脂500の側面は、第1の配線基板210の側面と同一面を形成している。

【0028】

図7は、図6に示した半導体装置の製造方法を示す断面図である。まず図7(a)に示すように、第1の配線基板210上に第2の配線基板220を搭載し、さらに第2の配線基板220上に、磁気シールド層400で被覆された半導体チップ100を搭載する。次いで、アンダーフィル樹脂510を形成する。ここまでの工程は、第1の実施形態と同様である。

【0029】

10

20

30

40

50

次いで図7(b)に示すように、複数の半導体チップ100を封止樹脂500で一括封止する。その後、封止樹脂500及び第1の配線基板210をダイシングすることにより、複数の半導体装置を個片化する。

【0030】

本実施形態によっても、第1の実施形態と同様の効果を得ることができる。

【0031】

(第3の実施形態)

図8は、第3の実施形態に係る半導体装置の製造方法を示す断面図である。本実施形態に係る半導体装置の製造方法は、アンダーフィル樹脂510の形成方法を除いて、第1又は第2の実施形態に係る半導体装置の製造方法と同様である。

【0032】

まず図8(a)に示すように、第1の配線基板210上にバンプ230を形成する。次いで、第2の配線基板220の下面に絶縁性の樹脂フィルム(NCF: Non Conductive Film)512を、例えばラミネート法により設ける。次いで、第1の配線基板210上に第2の配線基板220を搭載する。これにより、第2の配線基板220と第1の配線基板210の間の空間は樹脂フィルム512により封止される。

【0033】

次いで図8(b)に示すように、第2の配線基板220上にバンプ310を設ける。次いでバンプ310上及び第2の配線基板220上に、樹脂フィルム(NCF)514をラミネート法により設ける。これにより、アンダーフィル樹脂510が形成される(図8(c))。この段階において、アンダーフィル樹脂510は第2の配線基板220及びバンプ310を封止しているが、未だ硬化していない。

【0034】

次いで、第2の配線基板220上に、磁気シールド層400で被覆された半導体チップ100を搭載する。このとき、半導体チップ100はある程度の圧力で第2の配線基板220に押し付けられる。これにより、バンプ310は半導体チップ100に接触する。

【0035】

次いで、半導体チップ100、配線基板200、及びバンプ310を熱処理し、その後冷却する。詳細には、まず加熱により、アンダーフィル樹脂510を軟化させ、バンプ間を埋める。その後、徐々にアンダーフィル樹脂510は硬化し、これと並行して、バンプ310は熔融する。そして冷却によりバンプは凝固して、半導体チップ100に接合する。その後、封止樹脂500を設ける。

【0036】

本実施形態では、半導体チップ100が第2の配線基板220に接合される前に樹脂フィルム514が設けられているが、樹脂フィルム514は、第2の配線基板220の上面ではなく半導体チップ100の下面に設けられてもよい。

【0037】

本実施形態によっても、第1の実施形態と同様の効果を得ることができる。また、第2の配線基板220に半導体チップ100を搭載する前に、アンダーフィル樹脂510を樹脂フィルム512, 514で形成するため、バンプ230, 310のピッチが小さくなくても、バンプ230, 310をアンダーフィル樹脂510で十分封止することができる。

【0038】

(第4の実施形態)

図9は、第4の実施形態に係る半導体装置の構成を示す断面図である。本実施形態に係る半導体装置は、磁気シールド層400の形状を除いて、第1~第3の実施形態のいずれかと同様である。

【0039】

本実施形態において、磁気シールド層400は、半導体チップ100の側面と対向している領域に湾曲部406を有している。すなわち半導体チップ100の側面と磁気シールド層400の間には、隙間が存在している。

10

20

30

40

50

【0040】

本実施形態によっても、第1～第3の実施形態と同様の効果を得ることができる。また磁気シールド層400が湾曲部406を有しているため、例えば薄い鋼板を折り曲げ加工することにより、磁気シールド層400の少なくとも一部を形成することができる。従って、磁気シールド層400の製造コストを低くすることができる。

【0041】

(第5の実施形態)

図10(a)は、第5の実施形態に係る半導体装置の構成を示す断面図であり、第1の実施形態における図1に相当している。図10(b)は、図10(a)に示した半導体装置の上面図である。本実施形態に係る半導体装置は、以下の点を除いて第1～第3の実施形態のいずれかに係る半導体装置と同様の構成である。

10

【0042】

まず、半導体チップ100は、メモリ領域102とメモリ無領域104を有している。メモリ領域102は、磁気記憶素子10が設けられている領域であり、メモリ無領域104は磁気記憶素子10が設けられていない領域である。メモリ無領域104には、例えばロジック回路が配置されている。そして磁気シールド層400は、平面視でメモリ領域102を覆っており、かつメモリ無領域104を覆っていない。

【0043】

詳細には、本実施形態において磁気記憶素子10は、図2(a)に示した垂直スピントップタイプの素子である。また半導体チップ100は矩形を有している。そしてメモリ領域102は、メモリ無領域104と比較して半導体チップ100の一辺に近い側に設けられている。そして磁気シールド層400は、半導体チップ100のうち配線基板200に対向している第1面から、側面を経由して、第1面とは逆側の面である第2面にかけて形成されている。

20

【0044】

具体的には、メモリ無領域104は半導体チップ100の中心側に設けられており、メモリ領域102は半導体チップ100の両脇に設けられている。そして半導体チップ100のメモリ領域102は、互いに異なる磁気シールド層400によってそれぞれ覆われている。各磁気シールド層400は、半導体チップ100の4つの側面のうち1つの側面を完全に覆っており、かつこの側面につながる2つの側面を覆っていない(後述する図24(a), (b)に相当)。なお、後述する図24(d)に示すように、磁気シールド層400は上記した2つの側面を部分的に覆っていてもよい。

30

【0045】

本実施形態によっても、第1～第3の実施形態と同様の効果を得ることができる。また、半導体チップ100に対して垂直な方向の磁場に対しては、第1の実施形態に係る磁気シールド層400よりも、本実施形態に係る磁気シールド層400のほうがシールド効果が高い。従って、磁気記憶素子10に対して誤書込や誤消去が行われる可能性がさらに低くなる。

【0046】

(第6の実施形態)

図11(a)は、第6の実施形態に係る半導体装置の構成を示す断面図であり、第1の実施形態における図1に相当している。図10(b)は、図10(a)に示した半導体装置の上面図である。本実施形態に係る半導体装置は、磁気シールド層400の形状を除いて第5の実施形態に係る半導体装置と同様の構成である。

40

【0047】

本実施形態において、磁気シールド層400は、湾曲部406を有している。湾曲部406の構成は、第4の実施形態と同様である。

【0048】

本実施形態によっても、第5の実施形態と同様の効果を得ることができる。また第4の実施形態と同様に、磁気シールド層400の製造コストを低くすることができる。

50

【0049】

(第7の実施形態)

図12(a)は、第7の実施形態に係る半導体装置の構成を示す断面図である。本実施形態に係る半導体装置は、配線基板200の構成を除いて、第1～第6の実施形態のいずれかと同様である。

【0050】

本実施形態において、配線基板200は、凸部250を有している。凸部250は、一枚の配線基板200の表面が部分的に凸になることにより、形成されている。凸部250は、磁気シールド層400の開口402内に入り込んでいる。そして凸部250の上面には、パンプ310が接続している。

10

【0051】

図12(b)は、図12(a)の変形例を示す断面図である。本図に示す例において、凸部250は配線基板200のうち磁気シールド層400に対向しない部分の全域に形成されている。そして磁気シールド層400は、配線基板200のうち凸部250が形成されていない領域に当接していても良いし、この領域から離れていてもよい。

【0052】

図13は、凸部250の構造の詳細を示す断面拡大図である。本図に示す例において、配線基板200は4層以上の多層配線基板である。凸部250は、保護層240、金属柱202、及び金属層203により構成されている。保護層240は、例えばソルダーレジストであり、配線基板200の上面を部分的に被覆している。ここでソルダーレジストは、例えば、エポキシ樹脂、アクリル樹脂、及びポリイミド樹脂の少なくとも一つを含んでいる。保護層240の厚さは、例えば20 μ m以上60 μ m以下である。金属柱202は、例えばCuにより形成されている。また配線基板200のうちハンダボール320が取り付けられる面には、保護層242が形成されている。

20

【0053】

配線基板200のうち保護層240が形成されている領域には、電極201が形成されている。電極201は、平面視で磁気シールド層400の開口402の内側に位置している。そして電極201には、金属柱202が接続している。金属柱202は保護層240を貫通しており、上端が保護層240よりも上に位置している。金属柱202は例えばCuポストであり、例えば電解めっき法により形成されている。金属柱202の高さは、例えば60 μ m以上120 μ m以下である。

30

【0054】

金属柱202の上端(上端面および側面の上端部を含む)には、金属層203が形成されている。金属層203は、例えばNi/Au、Ni/Pd/Au層であり、例えば無電解めっき法、又は電解めっき法により形成されている。金属層203は、パンプ310を金属柱202に接合させるために設けられている。

【0055】

そして電極201は、コア層に設けられたビア206を介して電極204に接続している。電極204は配線基板200の裏面側に設けられており、金属層205を介してハンダボール320に接続している。

40

【0056】

本実施形態によっても、第1～第6の実施形態と同様の効果を得ることができる。

【0057】

なお、図14に示すように、配線基板200はコア層の上面及び下面に配線を形成した2層基板であってもよい。この場合、コア層の上面に電極201が形成され、コア層の下面に電極204が形成される。

【0058】

(第8の実施形態)

図15は、第8の実施形態に係る半導体装置の構成を示す断面図であり、第7の実施形態に係る図13に相当している。本実施形態に係る半導体装置は、以下を除いて第7の実

50

施形態に係る半導体装置と同様の構成である。

【0059】

本実施形態において、配線基板200は最上層にビルドアップ領域207を有している。ビルドアップ領域207は、配線層を部分的にビルドアップすることにより形成されている。そして保護層240は、ビルドアップ領域207上のみ形成されている。ビルドアップ領域207は、平面視で磁気シールド層400の開口402と重なる部分に形成されている。そしてビルドアップ領域207及び保護層240により、凸部が形成されている。この凸部は、開口402内に入り込んでいる。

【0060】

また、電極201上には金属柱202が形成されておらず、パンプ310は、電極201に直接接続している。ただし電極201は、上面に、パンプ310との接合を確保するために、Ni/Au、Ni/Pd/Auなどの金属層を有している。

10

【0061】

また、ビルドアップ領域207の一つ下の配線層に位置する配線層では、配線はビルドアップ領域207で覆われている部分のみに形成されている。

【0062】

本実施形態によっても、第7の実施形態と同様の効果を得ることができる。

【0063】

なお、本実施形態において、保護層240は、配線基板200のうち半導体チップ100に対向する面の全面に形成されても良い。この場合、ビルドアップ領域207の一つ下の配線層に位置する配線層のうちビルドアップ領域207で覆われていない部分にも、配線を形成することができる。

20

【0064】

また図16に示すように、ビルドアップ領域207は、平面視で磁気シールド層400と重ならない領域である限りにおいて、開口402と重ならない場所（例えば平面視で磁気シールド層400の外側に位置する部分）にも形成されて良い。

【0065】

また図17に示すように、配線基板200内における電極201と電極204は、一つのビア206によって直接接続されてもよい。

【0066】

（第9の実施形態）

図18は、第9の実施形態に係る半導体装置の構成を示す断面図である。本実施形態に係る半導体装置は、以下の点を除いて、第7の実施形態に係る半導体装置と同様の構成である。

30

【0067】

まず、磁気シールド層400が半導体チップ100の側面の一部には形成されていない。そして保護層240は、平面視で、半導体チップ100の側面のうち磁気シールド層400が形成されていない部分から半導体チップ100の内側から外側にかけて連続的に形成されている。

【0068】

本実施形態によっても、第7の実施形態と同様の効果を得ることができる。

40

【0069】

（第10の実施形態）

図19は、第10の実施形態に係る半導体装置の構成を示す断面図である。本実施形態に係る半導体装置は、以下の点を除いて、第8の実施形態に係る半導体装置と同様の構成である。

【0070】

まず、半導体チップ100は、金属柱112を有している。金属柱112は電極パッド110上に形成されている。電極パッド110を含む多層配線層上には、保護層120が形成されている。保護層120は、電極パッド110上に位置する開口が設けられている

50

が、この開口内に金属柱 1 1 2 が形成されている。金属柱 1 1 2 は、例えば Cu から構成されている。金属柱 1 1 2 は、保護層 1 2 0 よりも高く、上端が保護層 1 2 0 より凸になっている。金属柱 1 1 2 の高さは、例えば 60 μm 以上 120 μm 以下である。

【0071】

そして、金属柱 1 1 2 の端面にバンプ 3 1 0 が形成されている。配線基板 2 0 0 には金属柱 2 0 2 が設けられていないため、バンプ 3 1 0 は保護層 2 4 0 に設けられた開口内に入り込む。この開口は、電極 2 0 1 上に位置している。そしてバンプ 3 1 0 は、アンダーバンプメタル（図示せず）を介して電極 2 0 1 に接続している。

【0072】

図 20 は、図 19 の第 1 の変形例を示す断面図である。この変形例は、以下の点を除いて図 19 と同様の構成である。まず、保護層 2 4 0 は配線基板 2 0 0 のうち半導体チップ 1 0 0 に対向している面の全面に形成されている。そして保護層 2 4 0 により被覆されている配線層は、平面視で磁気シールド層 4 0 0 と重なる領域にも配線を有している。

10

【0073】

すなわち本実施形態では、半導体チップ 1 0 0 が凸部として金属柱 1 1 2 を有していることになる。金属柱 1 1 2 は保護層 1 2 0 よりも高いため、金属柱 1 1 2 を設けることにより、第 7 の実施形態において配線基板 2 0 0 に凸部を設けたときと同様の効果を得ることができる。

【0074】

図 21 は、図 19 の第 2 の変形例を示す断面図である。この変形例は、以下の点を除いて図 19 と同様の構成である。まず、磁気シールド層 4 0 0 が半導体チップ 1 0 0 の側面の一部には形成されていない。そして保護層 2 4 0 は、平面視で、半導体チップ 1 0 0 の側面のうち磁気シールド層 4 0 0 が形成されていない部分から半導体チップ 1 0 0 の内側から外側にかけて連続的に形成されている。

20

【0075】

本実施形態によっても、第 8 の実施形態と同様の効果を得ることができる。

【0076】

（第 11 の実施形態）

図 22 は、第 11 の実施形態に係る半導体装置の構成を示す断面図である。本実施形態に係る半導体装置は、保護層 2 4 0 の端面 2 4 1 が上を向く方向に傾斜している点を除いて、第 7 ~ 第 10 の実施形態のいずれかに係る半導体装置と同様の構成である。

30

【0077】

本実施形態によっても、第 7 の実施形態と同様の効果を得ることができる。また配線基板 2 0 0 上に半導体チップ 1 0 0 を搭載するときに、端面 2 4 1 に磁気シールド層 4 0 0 の下端が当接した場合でも、端面 2 4 1 に沿って磁気シールド層 4 0 0 の下端がスライドすることにより、半導体チップ 1 0 0 は、自己整合的に正しい位置に移動する。従って、さらに確実に半導体チップ 1 0 0 を配線基板 2 0 0 に実装することができる。

【0078】

なお、図 23 に示すように、保護層 2 4 0 の端面 2 4 1 は、下を向く方向に傾斜していてもよい。

40

【0079】

図 24 の各図、及び図 25 の各図は、第 1 ~ 第 11 の実施形態における磁気シールド層 4 0 0 の変形例を示す斜視図である。上記した各実施形態では、磁気シールド層 4 0 0 は、図 24 (a)、図 24 (b)、及び図 25 (a) のいずれかに示す形状を有していた。しかし磁気シールド層 4 0 0 の形状はこれらに限定されず、例えば図 24、図 25 の各図に示す形状としてもよい。

【0080】

図 24 (b) に示す例は、図 24 (a) に示す例に対し、磁気シールド層 4 0 0 の幅が半導体チップ 1 0 0 の幅よりも狭い点異なる。そして半導体チップ 1 0 0 の縁は磁気シールド層 4 0 0 に被覆されていない。

50

【0081】

図24(c)に示す例は、図24(a)に示す例に対し、磁気シールド層400が半導体チップ100の一辺の近傍にのみ設けられている点異なる。

【0082】

図24(d)に示す例では、磁気シールド層400は、直方体のうち半導体チップ100が差し込まれる側面のみが開口している形状を有している。そして2つの磁気シールド層400が、半導体チップ100のうち互いに対向している2つの側面側から、それぞれ差し込まれている。

【0083】

図24(e)に示す例は、図24(c)に示す例に対し、磁気シールド層400の幅が半導体チップ100の幅よりも狭く、かつ長手方向に長い点異なる。磁気シールド層400の端部は、半導体チップ100の能動面(電極パッドが形成されている面)のうち半導体チップ100の一側面の近くから、この一側面の反対側の側面を経由し、さらに半導体チップ100の裏面のうち上記した一側面の近くまで延伸している。

10

【0084】

図25(b)に示す例では、磁気シールド層400は、図25(a)に示す例に対し、開口402が半導体チップ100のうち互いに対向している2つの側面につながっている点異なる。そして磁気シールド層400は、これら2つの側面は覆っておらず、残りの2つの側面を覆っている。

【0085】

図25(c)に示す例では、磁気シールド層400は、図25(b)に示す例に対し、開口402が、半導体チップ100のうち互いに対向している2つの側面にまで連続して形成されているが、これら2つの側面の他の部分は磁気シールド層400によって被覆されている点異なる。

20

【0086】

図25(d)に示す例では、磁気シールド層400は、図25(a)に示す例に対し、互いに対向している2側面を覆っていない点異なる。

【0087】

図26は、図24の各図に示した例における開口402の形状の一例を示す図である。図27は、図25の各図に示した例における開口402の形状の一例を示す図である。いずれの例においても、開口402は、半導体チップ100のうち電極パッドが設けられた領域に形成されている。

30

【0088】

図26(a)及び(b)に示す例では、半導体チップ100の電極パッドは、半導体チップ100のうち互いに対向する2側面に沿って形成されている。そして開口402も、半導体チップ100のうち互いに対向する2側面に沿って延伸している。そして、図26(a)に示すように、開口402が磁気シールド層400の中で閉じている形状となる場合もあれば、図26(b)に示すように、開口402が磁気シールド層400の縁につながって開放されている形状となる場合もある。

【0089】

図26(c)及び図27(a)に示す例では、半導体チップ100の電極パッドは、半導体チップ100の縁を除いた全面に形成されている。この場合、開口402は、半導体チップ100の能動面に対向する部分のうち、縁を除いた領域に形成される。

40

【0090】

図27(b)に示す例では、半導体チップ100の電極パッドは、半導体チップ100の4つの側面それぞれに沿って形成されている。そして開口402も、半導体チップ100の4つの側面それぞれに沿って延伸している。

【0091】

図27(c)に示す例では、開口402は、電極パッドそれぞれ別に設けられている。

【0092】

50

なお、図 2 4 及び図 2 5 に示した各例において、図 2 8 に示すように、磁気シールド層 4 0 0 は、半導体チップ 1 0 0 の側面に沿って形成されている部分が、半導体チップ 1 0 0 の能動面及びその反対面に対向している部分よりも厚くなっている。

【 0 0 9 3 】

磁気シールド層 4 0 0 は、磁束を磁気シールド層 4 0 0 の内部を通過させることにより、半導体チップ 1 0 0 に磁場が加わらないようにするものである。そして、磁気シールド層 4 0 0 のうち最も磁束密度が高くなるのは、磁気シールド層 4 0 0 のうち半導体チップ 1 0 0 の側面に沿っている部分である。図 2 8 に示す例では、磁気シールド層 4 0 0 のうち半導体チップ 1 0 0 の側面に沿っている部分が、他の部分よりも厚くなっている。このため、この部分における磁束の通過容量が増大する。このため、磁気シールド層 4 0 0 の磁気シールド能力が向上する。

10

【 0 0 9 4 】

また磁気シールド層 4 0 0 が、半導体チップ 1 0 0 の側面を経由して半導体チップ 1 0 0 の一面（能動面）側から他面（裏面）側に回り込んでいる場合、磁気シールド層 4 0 0 には、図 2 6 の各図に示したように、この側面に沿った長尺形状の開口 4 0 2 を形成しないのが好ましい。

【 0 0 9 5 】

上記したように、磁気シールド層 4 0 0 は、磁束を磁気シールド層 4 0 0 の内部を通過させることにより、半導体チップ 1 0 0 に磁界が加わらないようにするものである。半導体チップ 1 0 0 の側面を経由して半導体チップ 1 0 0 の一面（能動面）側から他面（裏面）側に回り込んでいる場合、磁束は、磁気シールド層 4 0 0 のうち半導体チップ 1 0 0 の一面（能動面）側に位置する部分から、半導体チップ 1 0 0 の側面に対向している部分を経由して、半導体チップ 1 0 0 の他面（裏面）側に位置する部分に流れる。ここで磁気シールド層 4 0 0 に、上記した側面に沿った長尺形状の開口 4 0 2 を形成してしまうと、この側面近傍において、磁束が流れる部分が減少してしまい、この部分における磁束の通過容量が減少してしまう。この場合、磁気シールド層 4 0 0 の磁気シールド能力が低下してしまう。

20

【 0 0 9 6 】

（第 1 2 の実施形態）

図 2 9 は、第 1 2 の実施形態に係る半導体装置の構成を示す断面図である。本実施形態に係る半導体装置は、以下の点を除いて第 1 ~ 第 1 1 の実施形態に係る半導体装置のいずれかと同様の構成である。なお図 2 9 は、第 2 の実施形態と同様の場合を図示している。

30

【 0 0 9 7 】

まず、磁気記憶素子 1 0 は水平スピントイプの素子である。そして、磁気シールド層 4 0 0 は、半導体チップ 1 0 0 の裏面側（図中上側の面）にのみ設けられている。また、配線基板 2 0 0 の凸部（本図に示す例では第 2 の配線基板 2 2 0 ）以外の領域のうち半導体チップ 1 0 0 と対向している部分には、素子 2 0 が搭載されている。素子 2 0 は、半導体チップであってもよいし、他のディスクリット部品であってもよい。

【 0 0 9 8 】

本実施形態によれば、配線基板 2 0 0 のうち平面視で半導体チップ 1 0 0 と重なる領域に、半導体チップ 1 0 0 以外の電子部品を搭載することができる。

40

【 0 0 9 9 】

なお、上記した各実施形態において、電極パッド 1 1 0 の平面形状は矩形である必要はない。例えば図 3 0 に示すように、電極パッド 1 1 0 は正三角形（図 3 0 (a) ）、正六角形（図 3 0 (b) ）又は円形（図 3 0 (c) ）であってもよい。この場合、電極パッド 1 1 0 を千鳥配置することにより、電極パッド 1 1 0 の配置密度を高めることができる。

【 0 1 0 0 】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

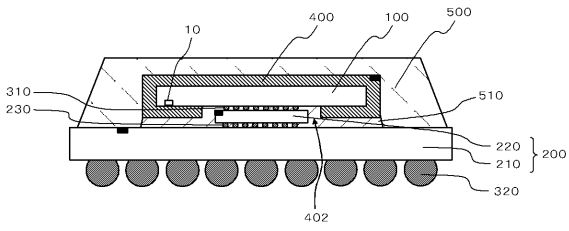
【 符号の説明 】

50

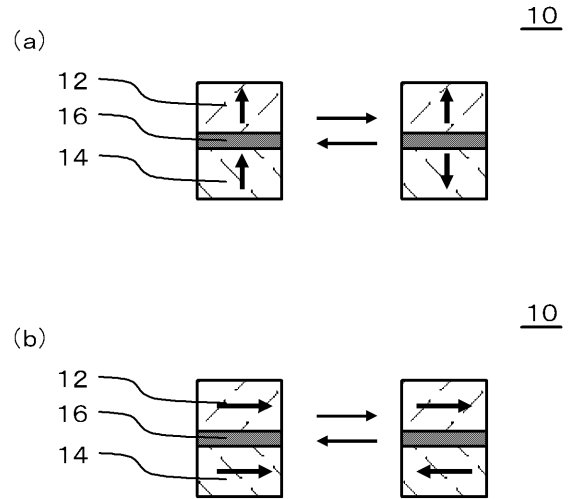
【 0 1 0 1 】

1 0	磁気記憶素子	
1 1	読出线	
1 2	磁気固定層	
1 3	ビット線	
1 3 a	ビット線	
1 3 b	ビット線	
1 4	磁気フリー層	
1 6	トンネルバリア層	
2 0	素子	10
1 0 0	半導体チップ	
1 0 2	メモリ領域	
1 0 4	メモリ無領域	
1 1 0	電極パッド	
1 1 2	金属柱	
1 2 0	保護層	
2 0 0	配線基板	
2 0 1	電極	
2 0 2	金属柱	
2 0 3	金属層	20
2 0 4	電極	
2 0 5	金属層	
2 0 6	ビア	
2 0 7	ビルドアップ領域	
2 1 0	配線基板	
2 1 2	位置合わせマーク	
2 2 0	配線基板	
2 2 2	位置合わせマーク	
2 3 0	バンブ	
2 4 0	保護層	30
2 4 1	端面	
2 4 2	保護層	
2 5 0	凸部	
3 1 0	バンブ	
3 2 0	ハンダボール	
4 0 0	磁気シールド層	
4 0 2	開口	
4 0 4	位置合わせマーク	
4 0 6	湾曲部	
5 0 0	封止樹脂	40
5 1 0	アンダーフィル樹脂	
5 1 2	樹脂フィルム	
5 1 4	樹脂フィルム	

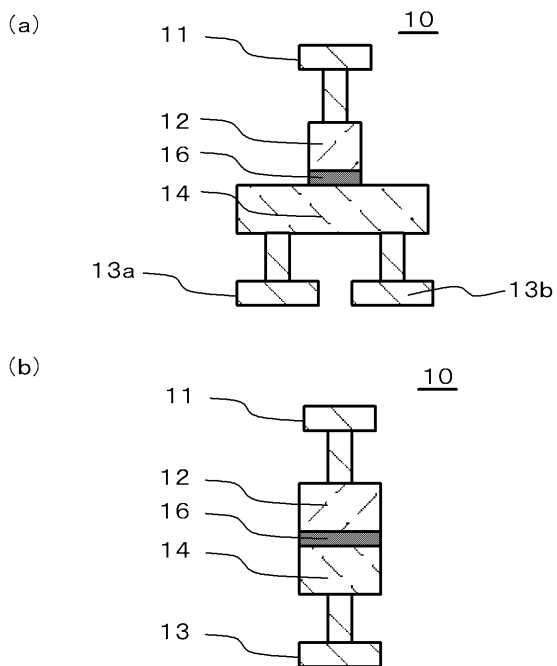
【 図 1 】



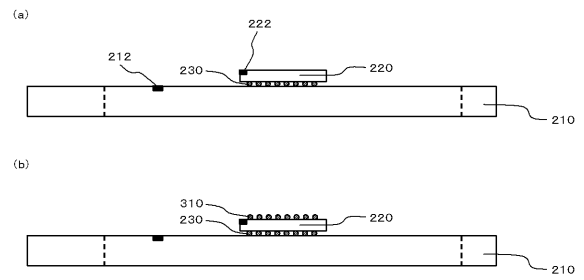
【 図 2 】



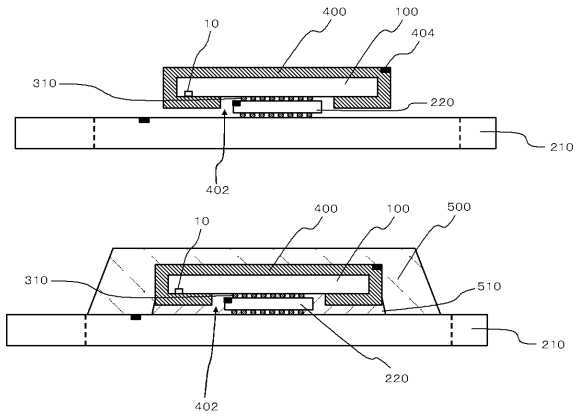
【 図 3 】



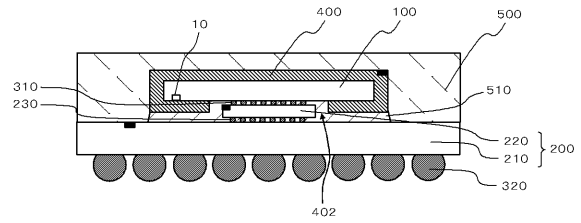
【 図 4 】



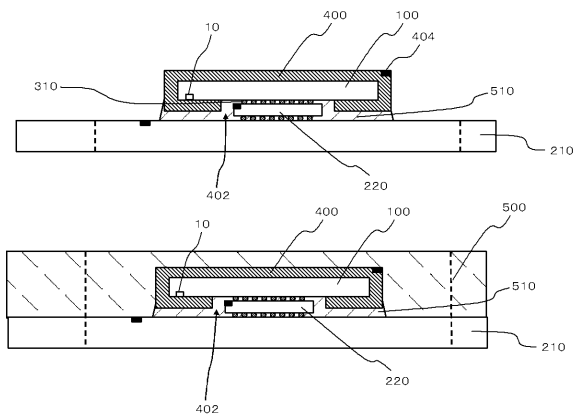
【 図 5 】



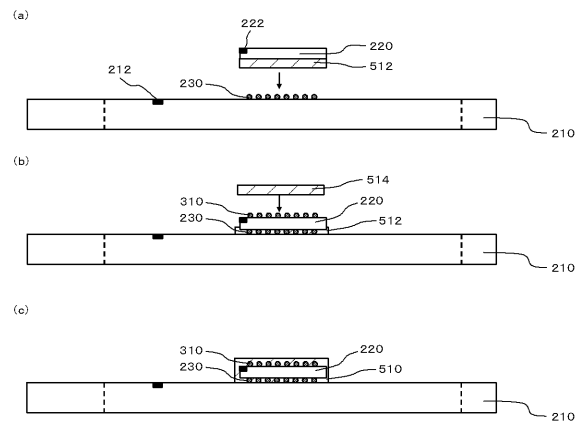
【 図 6 】



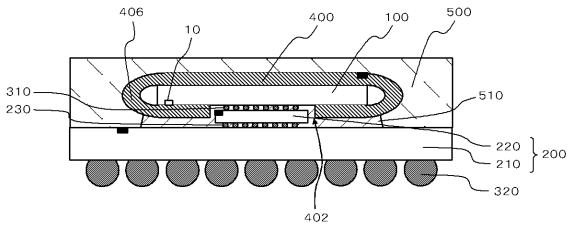
【 図 7 】



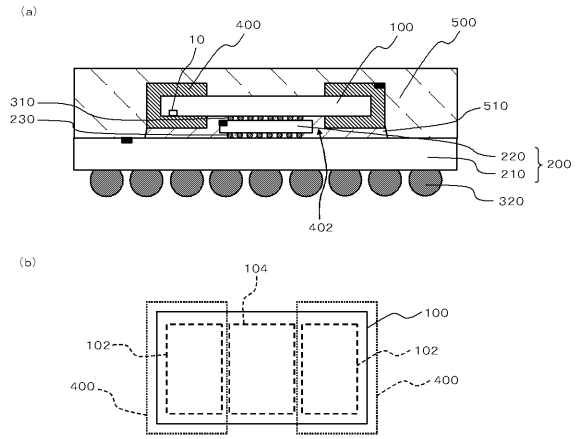
【 図 8 】



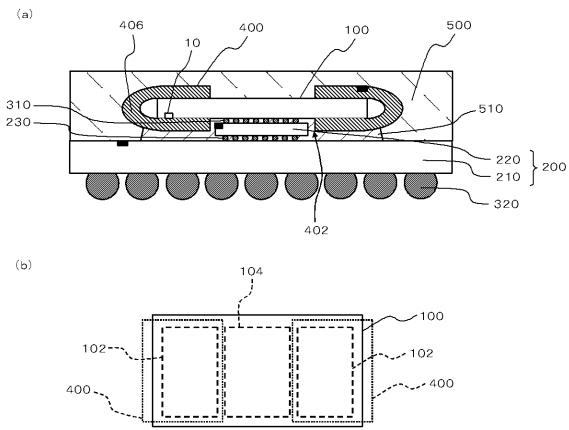
【 図 9 】



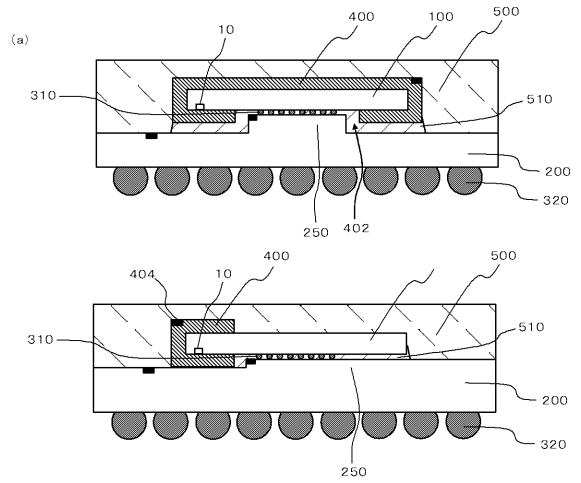
【 図 10 】



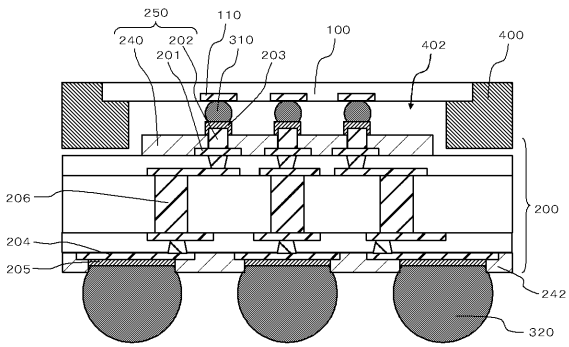
【 図 11 】



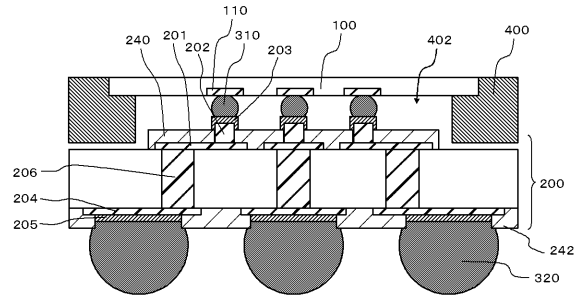
【 図 12 】



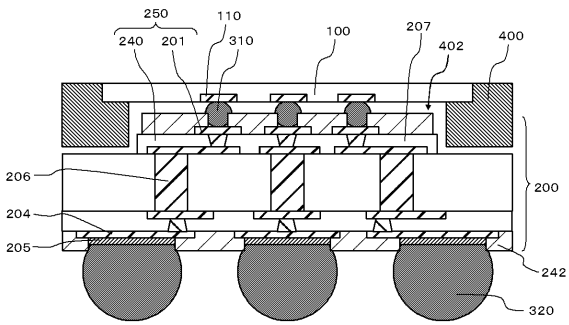
【図 13】



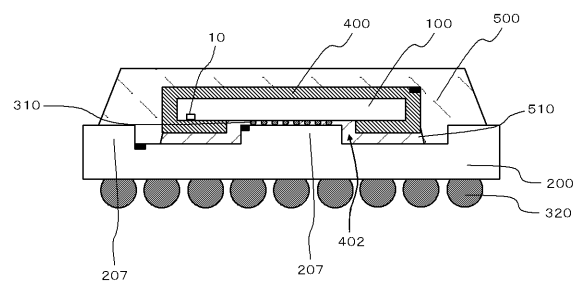
【図 14】



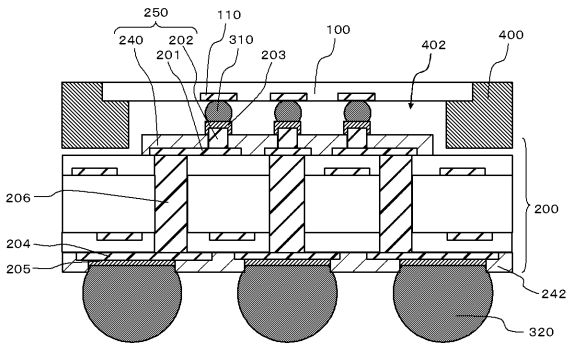
【図 15】



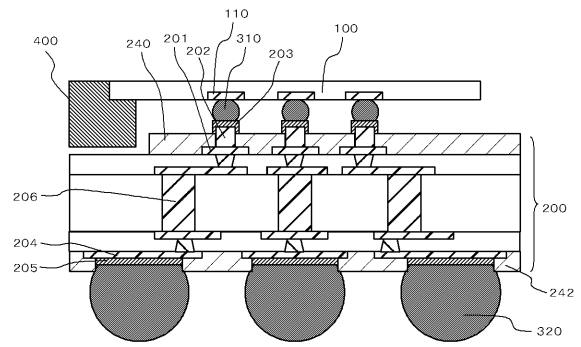
【図 16】



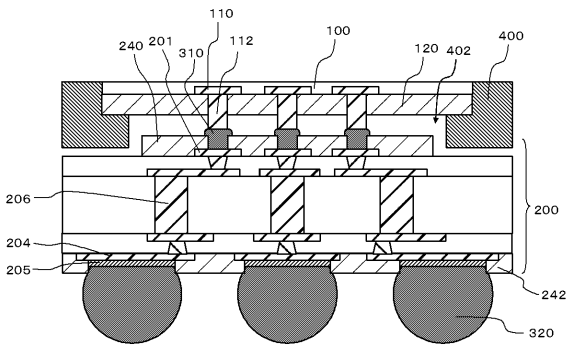
【図 17】



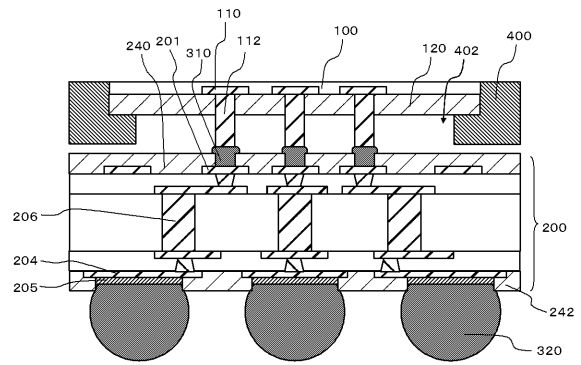
【図 18】



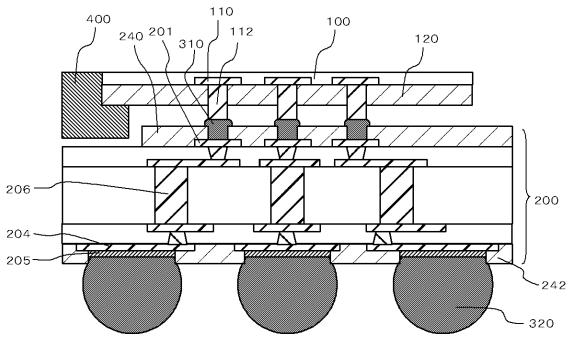
【図 19】



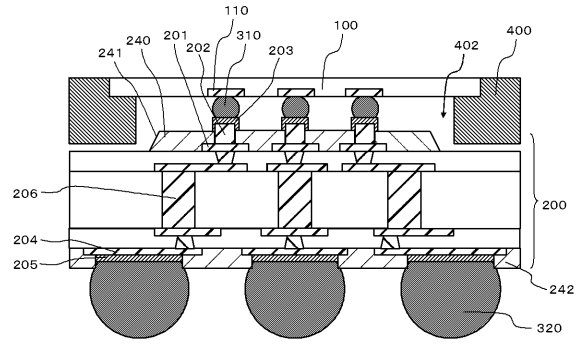
【図 20】



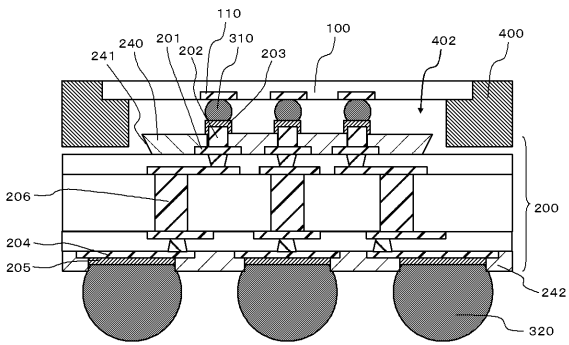
【図 2 1】



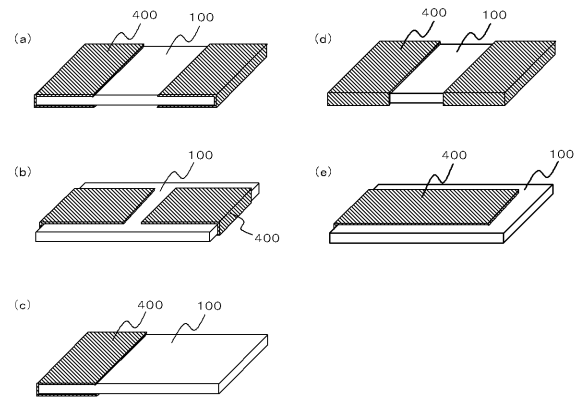
【図 2 2】



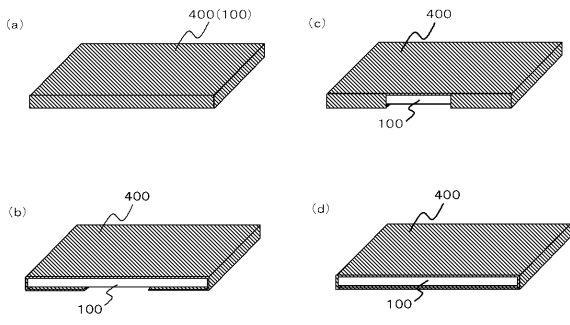
【図 2 3】



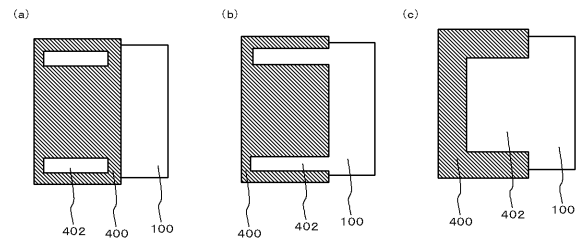
【図 2 4】



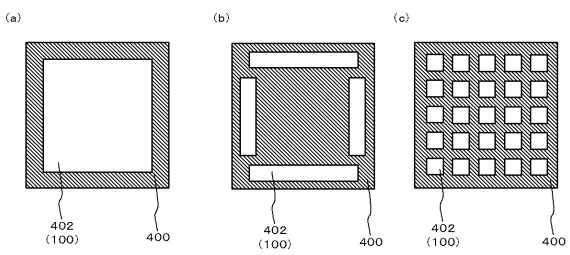
【 図 2 5 】



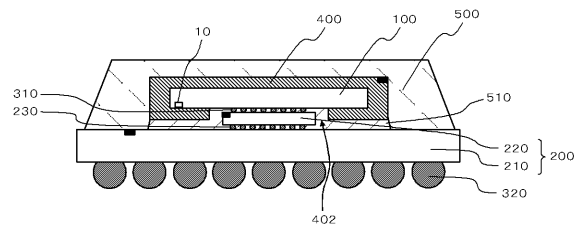
【 図 2 6 】



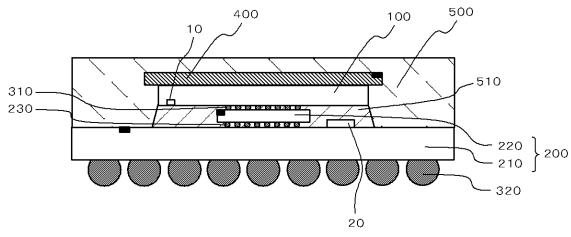
【 図 2 7 】



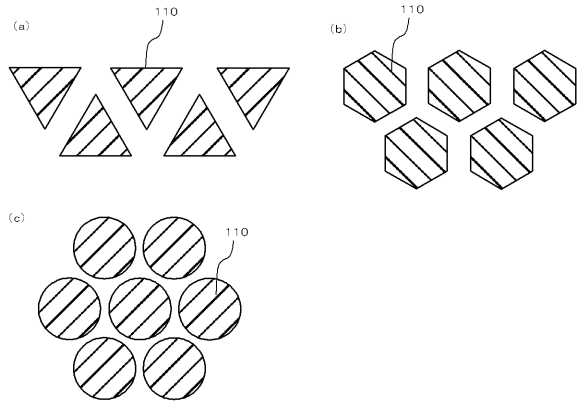
【 図 2 8 】



【 図 2 9 】



【 図 3 0 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 21/8246 (2006.01)</i>	H 0 1 L 43/08	Z
<i>H 0 1 L 43/08 (2006.01)</i>	H 0 1 L 43/02	Z
<i>H 0 1 L 43/02 (2006.01)</i>		

(72)発明者 山道 新太郎

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

Fターム(参考) 4M119 AA19 BB01 CC05 CC10 DD17 KK16 KK18

5F044 KK01 KK16 LL01 LL11 QQ02

5F092 AA15 AB06 AC12 AD04 AD05 AD23 AD25 AD26 BC03 FA01

FA05 FA09