

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 8 月 3 日 (03.08.2023)



(10) 国际公布号
WO 2023/142404 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) H01L 27/32 (2006.01)
- (21) 国际申请号: PCT/CN2022/107403
- (22) 国际申请日: 2022 年 7 月 22 日 (22.07.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202210108272.8 2022 年 1 月 28 日 (28.01.2022) CN
- (71) 申请人: 昆山国显光电有限公司 (**KUNSHAN GO-VISIONOX OPTO-ELECTRONICS CO., LTD.**) [CN/CN]; 中国江苏省昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。
- (72) 发明人: 刘雨生 (**LIU, Yusheng**); 中国江苏省昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。

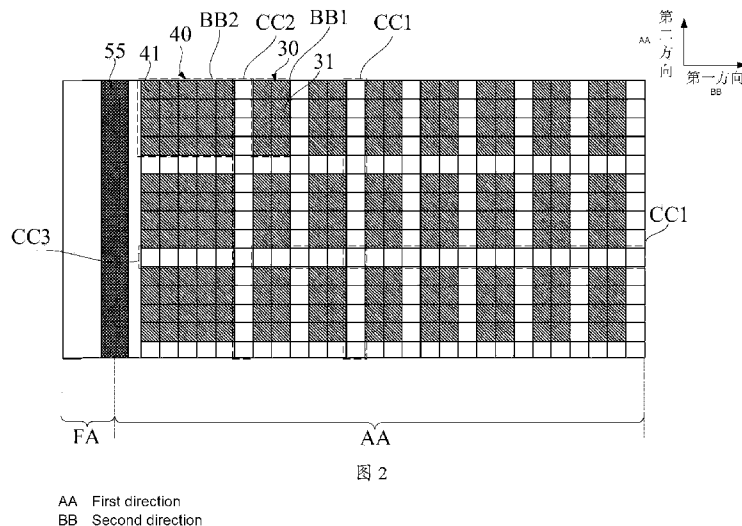
王刚 (**WANG, Gang**); 中国江苏省昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。丁立薇 (**DING, Liwei**); 中国江苏省昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。米磊 (**MI, Lei**); 中国江苏省昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。

(74) 代理人: 北京华进京联知识产权代理有限公司 (**ACIP LAW OFFICES**); 中国北京市海淀区知春路 7 号致真大厦 A1403, Beijing 100191 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK,

(54) **Title:** DISPLAY PANEL AND DISPLAY DEVICE

(54) 发明名称: 显示面板及显示设备



(57) **Abstract:** The present application relates to a display panel and a display device. The display panel comprises a substrate, a plurality of light-emitting units, which are arranged in an array, a plurality of first pixel circuit units and a plurality of second pixel circuit units, wherein the substrate comprises a display area and a frame area, which at least partially surrounds the display area; the plurality of light-emitting units are arranged in the display area; each light-emitting unit comprises a first electrode; the plurality of first pixel circuit units are arranged in an array and are arranged in the display area; each first pixel circuit unit comprises a plurality of first pixel circuits; the plurality of first pixel circuits are arranged in an array, and at least one first pixel circuit is electrically connected to a first electrode of a corresponding light-emitting unit; the plurality of second pixel circuit units are arranged in the display area; each second pixel circuit unit comprises a plurality of second pixel circuits; the plurality of second pixel circuits are arranged in an array, and at least one second pixel circuit is electrically connected to a first electrode of a corresponding light-emitting unit; and a first placement gap is formed between any two adjacent first pixel circuit units.

MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本申请涉及一种显示面板及显示设备, 显示面板包括基底、阵列排布的多个发光单元、多个第一像素电路单元以及多个第二像素电路单元。所述基底包括显示区和至少部分围绕显示区的边框区。所述多个发光单元设于显示区。每一发光单元包括第一电极。所述多个第一像素电路单元呈阵列排布并设于显示区。每一第一像素电路单元包括多个第一像素电路。所述多个第一像素电路呈阵列排布, 且至少一个第一像素电路与一对应的发光单元的第一电极电连接。所述多个第二像素电路单元设于显示区。每一第二像素电路单元包括多个第二像素电路。所述多个第二像素电路呈阵列排布, 且至少一个第二像素电路与一对应的发光单元的第一电极电连接。任意相邻的两个第一像素电路单元之间形成第一放置间隙。

显示面板及显示设备

相关申请

本申请要求 2022 年 1 月 28 日申请的，申请号为 202210108272.8，名称为“显示面板及显示设备”的中国专利申请的优先权，在此将其全文引入作为参考。

技术领域

本申请涉及显示技术领域，特别是涉及一种显示面板及显示设备。

背景技术

随着显示屏技术的发展，为了在有限空间最大化显示区域，提出了窄边框显示技术。

通常，受限于边框区的驱动电路的布置要求，并且柔性屏可能还受到折弯工艺的限制，导致屏体的边框无法进一步地做小，故市面上提出了将部分驱动电路设置于显示区内以减小边框尺寸的技术，但这造成了显示区内像素电路的改变，进而影响了屏体的显示稳定性。

发明内容

基于此，有必要提供一种显示面板及显示设备。

根据本申请的一个方面，提供一种显示面板，包括基底、阵列排布的多个发光单元、多个第一像素电路单元以及多个第二像素电路单元。所述基底包括显示区和至少部分围绕显示区的边框区。所述多个发光单元设于显示区。每一发光单元包括第一电极。所述多个第一像素电路单元呈阵列排布并设于显示区。每一第一像素电路单元包括多个第一像素电路。所述多个第一像素电路呈阵列排布，且至少一个第一像素电路与一对应的发光单元的第一电极电连接。所述多个第二像素电路单元设于显示区。每一第二像素电路单元包括多个第二像素电路。所述多个第二像素电路呈阵列排布，且至少一个第二像素电路与一对应的发光单元的第一电极电连接。任意相邻的两个第一像素电路单元之间形成第一放置间隙。

根据本申请的又一方面，提供一种显示设备，包括上述的显示面板。

上述显示设备，通过对多个第一像素电路进行布置，以规划出具有规律的多个第一像素电路单元的排布，使得每一第一像素电路单元中的相邻两个第一像素电路之间的间距减小，而任意相邻两个第一像素电路单元之间的间距对应增大，故该增大的间距，能够满足添加其他材料的要求，进而提升了显示面板的显示稳定性。

附图说明

图 1 为本申请一实施例中的显示面板的正面结构示意图。

图 2 为本申请一实施例中的显示面板中的部分结构的正面结构示意图。

图 3 为本申请一实施例中的显示面板的部分结构的截面结构示意图。

图 4 为本申请一实施例中的显示面板的发光单元与像素电路单元连接的平面示意图。

图 5 为本申请一实施例中的显示面板中的部分走线的示意图。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容的理解更加透彻全面。

本申请中将垂直于显示面板的显示面的方向定义为第三方向，将平行于显示面且相交的两个方向定义为第一方向与第二方向。第三方向同时也是显示面板及其基底的厚度方向，以及由基底指向发光单元的方向。

为了减小边框尺寸，可以将原本位于显示面板的边框区的驱动电路部分设置于显示区内。

显示面板的显示区中，像素电路与发光单元电连接，用于使发光单元发光。像素电路与发光单元之间通常在垂直于显示面板的显示面的方向即第三方向上一一对应。为了使驱动电路设置在显示区内，而又不影响显示区的尺寸，可以在维持原来发光单元的尺寸的同时缩小原来像素电路的尺寸，进而能够在靠近边框区的区域下方留出放置驱动电路的空间，从而可以减小边框区的尺寸。

在此基础上，经发明人研究发现，虽然缩小像素电路尺寸所获得的显示区的空间能够满足在显示区内的放置驱动电路的需求，但使得对应的相邻两个像素电路之间的间距增大，从而对显示的稳定性造成了一定影响。当显示区内所有像素电路均等间隔设置，相邻的两个像素电路之间的间距虽然增大，但该增大的间距却不足以用于设置其他材料或元件，进而无法提升显示稳定性。

因此，有必要提供一种能够提升显示稳定性的显示面板及显示设备。参阅图 1 至图 4，本申请至少一实施例中的显示面板 100，包括基底 10、多个发光单元 20、多个第一像素电路单元 30 及多个第二像素电路单元 40。基底 10 包括显示区 AA 和至少部分围绕显示区的边框区 FA，显示面板 100 在显示过程中，其可在显示区 AA 内进行图像显示，而在边框区

FA 内不显示图像。

多个发光单元 20 呈阵列排布,并设于显示区 AA。每一发光单元 20 包括第一电极 21。进一步地,每一发光单元 20 还包括发光部 22 及第二电极 23。在本申请的实施例中,第一电极 21 为阳极,第二电极 23 为阴极。发光部 22 可以至少包括有机发光层。在一实施例中,多个发光单元 20 沿第一方向排布呈行,且沿第二方向排布呈列。在一实施例中,第一方向与第二方向垂直。

多个第一像素电路单元 30 呈阵列排布,并设于显示区 AA。每一第一像素电路单元 30 包括多个第一像素电路 31。多个第一像素电路 31 呈阵列排布,沿第一方向排布呈行,且沿第二方向排布呈列,且每一第一像素电路 31 与一发光单元 20 电连接,以使该发光单元 20 发光。具体的,至少一个第一像素电路 31 与其对应的发光单元 20 的第一电极 21 电连接。多个第二像素电路单元 40 设于显示区 AA。每一第二像素电路单元 40 包括多个第二像素电路 41。多个第二像素电路 41 呈阵列排布,沿第一方向排布呈行,且沿第二方向排布呈列。至少一个第二像素电路 41 被配置为与一发光单元 20 电连接,以使该发光单元 20 发光。具体的,至少一个第二像素电路 41 与其对应的发光单元 20 的第一电极 21 电连接。在一些实施例中,显示面板 100 中的多个发光单元 20 中的任一发光单元 20 被配置为与一个第一像素电路 31 或一个第二像素电路 41 电连接。在一些实施例中,第一像素电路单元 30 及第二像素电路 41 并列设置在垂直于第三方向的同一平面,多个发光单元 20 整体位于第一像素电路单元 30 及第二像素电路 41 的上方。

具体地,第一像素电路 31 和第二像素电路 41 均包括薄膜晶体管。薄膜晶体管具有电流输出端,该电流输出端与发光单元 20 的第一电极 21 电连接。更具体地,第一像素电路 31 和第二像素电路 41 中的薄膜晶体管均包括源极 311、漏极 312、栅极 313 及半导体层 314。源极 311 和漏极 312 间隔设置,并分别与半导体层 314 电连接。栅极 312 与半导体层 314 在第三方向相对设置并电绝缘。在一些实施方式中,薄膜晶体管为 P 型晶体管,发光单元 20 的第一电极 21 与漏极 312 相连。在另一些实施方式中,薄膜晶体管为 N 型晶体管,发光单元 20 的第一电极 21 与源极 311 相连。

请一并参阅图 5,在本申请的实施例中,显示面板 100 还包括设于基底 10 上的多根栅线 50 和多根数据线 60。每一栅线 50 沿第一方向延伸,且多根栅线 50 沿第二方向间隔排布。每一数据线 60 沿第二方向延伸,且多根数据线 60 沿第一方向间隔排布。多根栅线 50 与多根数据线 60 交叉以界定形成多个像素区域。第一方向及第二方向均平行于基底 10 设置。在一实施例中,第一方向与第二方向垂直。请一并参阅图 2 至图 5,每一第一像素电路 31 对应设于一像素区域内。每一第二像素电路 41 对应设于另一像素区域内。

本申请实施例中的多个第一像素电路单元 30 呈阵列排布，任意相邻的两行第一像素电路单元 30 之间和/或任意相邻的两列第一像素电路单元 30 之间形成第一放置间隙 CC1。在一实施例中，多个第一像素电路单元 30 沿第一方向排布呈行，且沿第二方向排布呈列。

在本申请的实施例中，在同一第一像素电路单元 30 中，任意相邻的两个第一像素电路 31 在基底 10 的正投影之间的间距，小于第一放置间隙 CC1 的尺寸。如此，可有利于使显示面板 100 具有较大的第一放置间隙 CC1 的尺寸。

可以理解，当两个像素电路在第一方向上相邻，位于该两个像素电路之间的放置间隙的尺寸为该放置间隙在第一方向上的尺寸。当两个像素电路在第二方向上相邻，位于该两个像素电路之间的放置间隙的尺寸为该放置间隙在第二方向上的尺寸。也就是说，显示面板 100 中的像素电路并非全部等间隔设置，分别位于不同的第一像素电路单元 30 的两个相邻的第一像素电路 31 的间距大于位于同一第一像素电路单元 30 中的两个相邻的第一像素电路 31 的间距。

在一些实施例中，位于同一第一像素电路单元 30 中的所有第一像素电路 31 为等间隔分布。

本申请实施例通过对多个第一像素电路 31 进行布置，以规划出具有规律的多个第一像素电路单元 30 的排布，使得每一第一像素电路单元 30 中的相邻两个第一像素电路 31 之间的间距减小，而任意相邻两行和/或两列第一像素电路单元 30 之间的间距（即第一放置间隙 CC1）对应增大，该增大的间距，能够用于设置其他材料或元件，如虚拟的像素电路等，进而提升了显示面板 100 的显示稳定性。

在本申请的实施例中，每一第一像素电路单元 30 在基底 10 的正投影形成第一投影区域 BB1，与该第一像素电路单元 30 对应的多个发光单元 20 的第一电极 21 在基底 10 的正投影形成第二投影区域，第二投影区域位于第一投影区域 BB1 内。第一投影区域 BB1 包括相邻两个第一像素电路 31 之间的间隙在基底 10 的正投影区域。

每一第二像素电路单元 40 在基底 10 的正投影形成第三投影区域 BB2，与该第二像素电路单元 40 对应的多个发光单元 20 的第一电极 21 在基底 10 的正投影形成第四投影区域，第四投影区域与第三投影区域 BB2 不重叠或者仅部分重叠。第三投影区域 BB2 包括相邻两个第二像素电路 41 之间的间隙在基底 10 的正投影区域。

当像素电路的尺寸缩小时，其与对应的发光单元之间的连接线路发生改变，当大量的连接线路均发生改变时，可能使线路工艺变得复杂，并可能对显示的稳定性造成影响。

本申请实施例中，由于第二投影区域位于第一投影区域 BB1 内，故第一像素电路单元 30 内的第一像素电路 31 可与对应的发光单元 20 之间基本保持第一像素电路 31 尺寸未减

小时与发光单元 20 的相对位置，无需改变连接线路。在一些实施例中，第一像素电路 31 的位置可与其电连接的发光单元 20 的位置在第三方向上基本对应，例如，第一像素电路 31 在基底 10 的正投影与对应的发光单元 20 在基底 10 的正投影至少部分重叠。而第四投影区域与第三投影区域 BB2 仅部分重叠或者不重叠，故第二像素电路单元 40 的第二像素电路 41 与对应的发光单元 20 之间没有维持第二像素电路 41 尺寸未减小时与发光单元 20 的相对位置，连接线路也因此发生改变，以满足因窄边框带来的像素电路尺寸缩小的需求。在一些实施例中，至少部分第二像素电路 41 的位置与其电连接的发光单元 20 的位置在第三方向上不对应，例如，多个第二像素电路 41 中的至少部分在基底 10 的正投影与对应的发光单元 20 在基底 10 的正投影完全不重叠。本申请实施例的显示面板 100，通过将像素电路划分成第一像素电路单元 30 和第二像素电路单元 40，并将需要改变连接线路的像素电路限制在第二像素电路单元 40，减小了需作改变的连接线路的数量，简化了线路工艺，进而提高了显示的稳定性。

由于每一第一像素电路 31 的尺寸减小，故为了集中多个第一像素电路 31 形成第一像素电路单元 30，必然会拉近相邻的两个第一像素电路 31 之间的距离。故在使相邻的两个尺寸减小的第一像素电路 31 相互靠近的同时会使至少部分或者全部的第一像素电路 31 的位置与对应的发光单元 20 的位置在第三方向上存在少许偏差，但该少许偏差在可控范围内。

请再次参阅图 3，在一些实施例中，由于在减小像素电路尺寸并改变相邻像素电路间距的同时，发光单元 20 的尺寸及排布方式不发生变化，故发光单元 20 与第二像素电路 41 的电流输出端在第三方向上存在错位。在一些实施例中，显示面板 100 还包括转接金属层 65，转接金属层 65 位于多个第二像素电路 41 与对应的多个发光单元 20 的第一电极 21 之间。至少部分第二像素电路 41 通过转接金属层 65 与对应的发光单元 20 的第一电极 21 电连接。具体地，转接金属层 65 位于平坦化层 78 与源漏极层 73 之间。更具体地，转接金属层 65 与源漏极层 73 通过开设于钝化层 76 中的过孔连接。

在一实施例中，显示区 AA 包括第一显示区 AA1 和位于第一显示区 AA1 和边框区 FA 之间的第二显示区 AA2。多个第一像素电路单元 30 设于第一显示区 AA1，多个第二像素电路单元 40 设于第二显示区 AA2。为减小边框尺寸，驱动电路 55 部分设置于显示区，如第二显示区 AA2，并位于显示区 AA 的边缘。使第二像素电路单元 40 的位置相较第一像素电路单元 30 的位置更靠近边框区 FA 设置，能够将由此引起的像素电路与发光单元 20 相对位置的改变尽可能的局限于第二像素电路单元 40，进而可以在第一像素电路单元 30 之间呈规律地形成第一放置空间 CC1。

进一步地，显示面板 100 包括驱动电路 55。驱动电路 55 设于基板 10 上，且至少部分驱动电路 55 设于显示区 AA，如第二显示区 AA2。驱动电路 55 能够与第一像素电路 31 和第二像素电路 41 电连接，以提供驱动信号。具体地，驱动电路 55 包括开关电路、栅极驱动电路和发光控制电路。

其中，开关电路通过数据线 60 与第一像素电路 31 和第二像素电路 41 电连接。具体地，每一数据线 60 与对应同一列的所有第一像素电路 31 或者所有第二像素电路 41 电连接。

栅极驱动电路通过栅线 50 中的扫描线与第一像素电路 31 和第二像素电路 41 电连接，用于提供栅极驱动信号。具体地，每一栅线 50 与对应同一行的所有第一像素电路 31 或者所有第二像素电路 41 电连接。

发光控制电路也可通过栅线 50 中的发光控制线与第一像素电路 31 和第二像素电路 41 电连接，用于提供发光信号。具体地，发光控制电路与栅极驱动电路沿第二方向分布于栅线 50 相对的两侧。

像素电路用于响应于来自栅线 50 的栅极驱动信号，将来自数据线 60 的数据信号提供至发光单元 20，以控制每个发光单元 20 的发光，或者可以控制每个发光单元 20 的亮度。

在一些实施方式中，设于显示区 AA 的驱动电路 55 在基底 10 的正投影形成第五投影区域，第五投影区域位于第三投影区域 BB2 远离第一投影区域 BB1 的一侧，且与第四投影区域部分重叠。如此，可使得驱动电路 55 收至靠近边框区 FA 边缘的显示区 AA 的发光单元 20 的下方，进而缩小边框尺寸。

在一些实施例中，显示面板 100 还包括电源线，电源线与第一像素电路 31、第二像素电路 41 及发光单元 20 中的至少一者电连接，以提供电压信号。

本申请的电源线可设于显示区 AA 或者边框区 FA。在一些实施例中，电源线可以包括第一电源线、第二电源线和第三电源线中的至少一者。第一电源线用于提供低电压信号 (VDD)，第二电源线用于提供高电压电压信号 (VSS)，第三电源线用于提供参考电压信号 (Vref)。具体地，第一电源线 VDD 与第一像素电路 31 及第二像素电路 41 在显示区 AA 内电连接，以施加电压至发光单元 20 的第一电极 21。第二电源线 VSS 与发光单元 20 的第二电极 23 在边框区 FA 内电连接，以施加电压至第二电极 23。第三电源线 Vref 与第一像素电路 31 及第二像素电路 41 在显示区 AA 内电连接。

请再次参阅图 2 和图 3，在一些实施例中，显示面板 100 还包括第一虚拟像素电路 68，第一虚拟像素电路 68 设于显示区 AA，并具体设于第一放置间隙 CC1，与第一像素电路单元 30 及第二像素电路单元 40 同层设置。第一虚拟像素电路 68 与电源线电连接。具体地，

第一虚拟像素电路 68 可与电源线中的第一电源线 VDD、第二电源线 VSS 和第三电源线 Vref 中的至少一者或任意组合电连接。当与其中任意组合电连接时，可按照一定规律进行连接。

如此，通过设置与电源线连接的第一虚拟像素电路 68，以增加输送线路的方式，弥补较长的电源线上产生的明显的电压降（IR Drop），使得多个第一像素电路 31 和第二像素电路 41 获得的电压一致，而对各自的发光单元 20 提供的驱动电流一致，进而使得显示面板 100 的发光亮度均匀，提升了显示面板 100 的显示均一性。另外，第一虚拟像素电路 68 能够集中放置在第一放置间隙 CC1，可使其与电源线之间的连接线路变得简单。

如图 4 所示，多个发光单元 20 按照同尺寸的小方格排列成 4 行 2 列，而对应的第一像素电路单元 30 中的多个第一像素电路 31 也使用相同尺寸的小方格排列成 5 行 2.5 列，因此，第一像素电路单元 30 中多出的 1 行和 0.5 列即为能够放置第一虚拟像素电路 68 的区域。

请再次参阅图 3，在一些实施例中，第一虚拟像素电路 68 包括多个彼此相连的第一子虚拟像素电路 681，第一子虚拟像素电路 681 的图案和形状与第一像素电路 31 或者第二像素电路 41 的图案和形状相同。如此，第一子虚拟像素电路 681 可与第一像素电路 31 或者第二像素电路 41 同步成形，故降低第一虚拟像素电路 68 的制作难度，简化了显示面板 100 的工艺流程。另外，也可使得显示区 AA 避免出现因电路设计差异导致的显示亮痕或暗痕（Mura）和光学条纹不良等问题。

具体地，第一子虚拟像素电路 681 可包括沿第三方向层叠设置的非金属层 6811、第一金属层 6812 及第二金属层 6813。

更具体地，显示面板 100 可包括沿第三方向依次层叠设置于基底 10 上的阵列层 70、钝化层 76、平坦化层 78 及发光元件层 80。阵列层 70 包括有源层 71、栅极层 72 和源漏极层 73。阵列层 70 还包括设于有源层 71 与栅极层 72 之间的第一绝缘层 74，以及设于栅极层 72 与源漏极层 73 之间的第二绝缘层 75。发光元件层 80 包括第一电极层 81、发光层 82 及第二电极层 83。其中，源漏极层 73 形成有第一像素电路 31 和第二像素电路 41 的薄膜晶体管的源极 311 及漏极 312，有源层 71 形成有第一像素电路 31 和第二像素电路 41 的薄膜晶体管的半导体层 314，栅极层 72 形成有第一像素电路 31 和第二像素电路 41 的薄膜晶体管的栅极 313。第一电极层 81 形成发光单元 20 的第一电极 21，发光层 82 形成发光单元 20 的发光部 22，第二电极层 83 形成发光单元 20 的第二电极 23。

非金属层 6811 与有源层 71 同层设置，且非金属层 6811 的图案和形状与第一像素电路 31 或者第二像素电路 41 在有源层 71 的图案和形状分别相同。在一些实施例中，非金属层

6811 包括虚拟半导体层,与第一像素电路 31 和第二像素电路 41 的薄膜晶体管的半导体层 314 同层设置且图案和形状分别相同。第一金属层 6812 与栅极层 72 同层设置,且第一金属层 6812 的图案和形状与第一像素电路 31 和第二像素电路 41 在栅极层 72 的图案和形状分别相同。在一些实施例中,第一金属层 6812 包括虚拟栅极,与第一像素电路 31 和第二像素电路 41 的薄膜晶体管的栅极 313 同层设置且图案和形状分别相同。第二金属层 6813 与源漏极层 73 同层设置,且第二金属层 6813 的图案和形状与第一像素电路 31 和第二像素电路 41 在源漏极层 73 的图案和形状分别相同。在一些实施例中,第二金属层 6813 可包括虚拟源极和虚拟漏极,分别与第一像素电路 31 和第二像素电路 41 的薄膜晶体管的源极 311 和漏极 312 同层设置且图案和形状分别相同。

在一些实施例中,非金属层 6811、第一金属层 6812 及第二金属层 6813 之间沿第三方向彼此相连。具体地,可在第一绝缘层 74 和第二绝缘层 75 上开设过孔,以使三者相连。在其他实施方式中,也可以是非金属层 6811 与第一金属层 6812 相连,或者第一金属层 6812 与第二金属层 6813 相连,或者非金属层 6811 与第二金属层 6813 相连。

在一些实施例中,第一子虚拟像素电路 681 也可仅包括非金属层 6811、第一金属层 6812 及第二金属层 6813 中的一者或者任意两者的组合,在此不作限制。

由于第一虚拟像素电路 68 不需要具有驱动发光单元 20 的功能,因此,第一虚拟像素电路 681 不与任何发光单元 20 电连接。在一些实施例中,可在非金属层 6811 上作隔断,以使其分隔成两个独立的且相互绝缘的部分,例如将虚拟半导体层分隔成两个独立的且相互绝缘的部分。该两个独立的且相互绝缘的部分可分别与第二金属层 6813 的虚拟源极和虚拟漏极通过第一绝缘层 74 和第二绝缘层 75 中的过孔相连。

在另一些实施例中,也可使第二金属层 6813 的虚拟源极和虚拟漏极中的至少一个不与非金属层 6811 相连,具体地,可通过取消第一绝缘层 74 和第二绝缘层 75 的对应的过孔实现。

如图 5 所示,在一些实施例中,至少部分第一虚拟像素电路 68 的布线形状呈网格状。具体地,至少部分第一虚拟像素电路 68 的布线形状与多条栅线 50 及多条数据线 60 的布线形状相吻合。如此,可达到降低电压降的效果,且能优化屏体显示效果。具体地,第一虚拟像素电路 68 包括与栅线 50 平行的多条第一金属走线 682 和与数据线 60 平行的多条第二金属走线 683,且多条第一金属走线 682 与多条第二金属走线 683 相交以形成网格结构。更具体地,第一金属走线 682 与第二方向平行,第二金属走线 683 与第一方向平行。

在一实施方式中,第一金属走线 682 的延伸方向与栅线 50 的延伸方向相同,第二金属走线 683 的延伸方向与数据线 60 的延伸方向相同。由于第一金属走线 682、第二金属走

线 683 要与电源线电连接，与栅线 50 及数据线 60 的信号源不同，因此，为了区分两者，可设置第一金属走线 682 及第二金属走线 683 与栅线 50 及数据线 60 不同层。

在一些实施例中，第一金属走线 682 包括第一金属层 6812 及第二金属层 6813 其中之一，第二金属走线 683 包括第一金属层 6812 及第二金属层 6813 其中之另一。具体地，每一第一金属走线 682 可由沿第一方向排列呈行的多个第一金属层 6812 及多个第二金属层 6813 其中之一依次相连形成，每一第二金属走线 683 可由沿第二方向排布呈列的多个第一金属层 6812 及多个第二金属层 6813 其中之另一依次相连形成。

一些实施例中，显示面板 100 的第一放置间隙 CC1 包括位于沿第一方向相邻的两个第一像素电路单元 30 之间的第一子放置间隙，以及位于沿第二方向相邻的两个第一像素电路单元 30 之间的第二子放置间隙。第一子放置间隙的尺寸与第二子放置间隙的尺寸相异。相异设置的不同的间隙能够满足不同尺寸、数量或形态等的走线需求。

一些实施例中，相邻的第一像素电路单元 30 与第二像素电路单元 40 之间形成有第二放置间隙 CC2。通过设置第二放置间隙 CC2，能够使第一像素电路单元 30 与第二像素电路单元 40 之间也能够用于设置其他材料，进而提升了显示面板 100 的显示稳定性。在一实施例中，第一放置间隙的尺寸 CC1 等于第二放置间隙 CC2 的尺寸。如此，可使得整个显示面板中的各像素电路单元之间的间隙尺寸保持一致，有利于优化屏体显示效果。

请再次参阅图 2，在一些实施例中，显示面板 100 还包括第二虚拟像素电路，第二虚拟像素电路设于相邻的两个第二像素电路单元 40 之间，且与电源线电连接。

在一实施例中，多个第二像素电路单元 40 位于多个第一像素电路单元 30 在第一方向上的一侧，且多个第二像素电路单元 40 沿第二方向排布呈列。在第二方向上任意相邻两个第二像素电路单元 40 之间形成第三放置间隙 CC3。任意相邻的两列第一像素电路单元 30 之间的所有第一放置间隙 CC1 彼此连通，且与对应的第三放置间隙 CC3 彼此连通。进一步地，第二虚拟像素电路设于第三放置间隙 CC3 内。

在另一些实施例中，多个第二像素电路单元 40 位于多个第一像素电路单元 30 在第二方向上的一侧，且多个第二像素电路单元 40 沿第一方向排布呈行。在第一方向上任意相邻两个第二像素电路单元 40 之间形成第四放置间隙。任意相邻的两行第一像素电路单元 30 之间的所有第一放置间隙 CC1 彼此连通，且与对应的第四放置间隙沿彼此连通。进一步地，第二虚拟像素电路设于第四放置间隙 CC4 内。

在其他实施例中，多个第二像素电路单元 40 的排布方式也可以是上述两种方式的组合形式，显示面板 100 既包括沿第二方向排布呈列的多个第二像素电路单元 40，也包括沿第一方向排布呈行的多个第二像素电路单元 40，在此不作限制。如此，可避免第一放置间

隙 CC1 与第三放置间隙 CC3 和第四放置间隙之间连通关系复杂，而造成第一虚拟像素电路 68 与第二虚拟像素电路之间的连接关系复杂，造成走线复杂。

当然，在其他实施例中，也可设置多个第二像素电路单元 40 连续排布，而取消相邻两个第二像素电路单元 40 之间形成的第三放置间隙 CC3 或者第四放置间隙，在此不作限制。

在同一第二像素电路单元 40 中，任意相邻的两个第二像素电路 41 在基底 10 的正投影之间的间距，小于第三放置间隙 CC3 或者第四放置间隙的尺寸。

更进一步地，第一虚拟像素电路 68 与第二虚拟像素电路可在第一放置间隙 CC1 与第三放置间隙 CC3 或者第四放置间隙的连通处相连。如此，由于电源线的走线末端是边框区 FA 的绑定区，故为了避免第一虚拟像素电路 68 的走线受到集中的第二像素电路单元 40 的干扰，在相邻两个第二像素电路单元 40 之间形成第三放置间隙 CC3 或第四放置间隙，并在该第三放置间隙 CC3 或第四放置间隙与第一放置间隙 CC1 的连通处将第二虚拟像素电路与第一虚拟像素电路 68 电连接，因此，第二虚拟像素电路不用绕过集中的第二像素电路单元 40 至边框区 FA，简化了走线路径。

在一些实施例中，第二虚拟像素电路包括多个彼此连接的第二子虚拟像素电路，第二子虚拟像素电路的结构形式、布置膜层及与其他部件之间的连接关系均可与第一虚拟像素电路相同，在此不再赘述。

基于同样的发明构思，本申请实施例还提供一种显示设备，包括上述的显示面板 100。

具体地，显示设备可以应用于手机终端、仿生电子、电子皮肤、可穿戴设备、车载设备、物联网设备及人工智能设备等领域。显示终端具体可为手机、平板、掌上电脑、ipod、智能手表等数码设备。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

权利要求

1、一种显示面板，其特征在于，包括：

基底，包括显示区和至少部分围绕所述显示区的边框区；

阵列排布的多个发光单元，设于所述显示区，每一所述发光单元包括第一电极；

呈阵列排布的多个第一像素电路单元，设于所述显示区，每一所述第一像素电路单元包括多个第一像素电路，所述多个第一像素电路呈阵列排布，且至少一个所述第一像素电路与一对应的发光单元的所述第一电极电连接；以及

多个第二像素电路单元，设于所述显示区，每一所述第二像素电路单元包括多个第二像素电路，所述多个第二像素电路呈阵列排布，且至少一个所述第二像素电路与一对应的发光单元的所述第一电极电连接；

其中，任意相邻的两个第一像素电路单元之间形成第一放置间隙。

2、根据权利要求1所述的显示面板，其特征在于，在同一所述第一像素电路单元中，任意相邻的两个所述第一像素电路在所述基底的正投影之间的间距，小于所述第一放置间隙的尺寸。

3、根据权利要求1所述的显示面板，其特征在于，相邻的所述第一像素电路单元与所述第二像素电路单元之间形成有第二放置间隙，所述第一放置间隙的尺寸等于所述第二放置间隙的尺寸。

4、根据权利要求1所述的显示面板，其特征在于，所述多个第一像素电路单元沿第一方向排布呈行，且沿第二方向排布呈列；

所述显示面板的所述第一放置间隙包括位于沿第一方向相邻的两列所述第一像素电路单元之间的第一子放置间隙，以及位于沿第二方向相邻的两行所述第一像素电路单元之间的第二子放置间隙；

所述第一子放置间隙的尺寸，与所述第二子放置间隙的尺寸相异；

其中，所述第一方向及所述第二方向均平行于所述基底的显示面，且所述第一方向和所述第二方向相垂直。

5、根据权利要求1所述的显示面板，其特征在于，所述显示区包括第一显示区和位于所述第一显示区和所述边框区之间的第二显示区；

所述多个第一像素电路单元设于所述第一显示区，所述多个第二像素电路单元设于所述第二显示区。

6、根据权利要求1所述的显示面板，其特征在于，每一所述第一像素电路单元在所

述基底的正投影形成第一投影区域，与该所述第一像素电路单元对应的多个所述发光单元的所述第一电极在所述基底的正投影形成第二投影区域；所述第二投影区域位于所述第一投影区域内。

7、根据权利要求 6 所述的显示面板，其特征在于，每一所述第二像素电路单元在所述基底的正投影形成第三投影区域，与该所述第二像素电路单元对应的多个所述发光单元的所述第一电极在所述基底的正投影形成第四投影区域，所述第四投影区域与所述第三投影区域部分重叠或者不重叠。

8、根据权利要求 7 所述的显示面板，其特征在于，所述显示面板还包括驱动电路，所述驱动电路设于所述基底上，且至少部分位于所述显示区，所述驱动电路与所述多个第一像素电路及所述多个第二像素电路电连接，以提供驱动信号；

其中，设于所述显示区的所述驱动电路在所述基底的正投影形成第五投影区域，所述第五投影区域与所述第四投影区域部分重叠。

9、根据权利要求 7 所述的显示面板，其特征在于，所述显示面板还包括转接金属层，所述转接金属层位于所述多个第二像素电路与所述多个第二像素电路对应的多个所述发光单元的所述第一电极之间，至少部分所述第二像素电路通过所述转接金属层与对应的所述发光单元的所述第一电极电连接。

10、根据权利要求 1 所述的显示面板，其特征在于，所述多个第一像素电路单元沿第一方向排布呈行，且沿第二方向排布呈列；

所述多个第二像素电路单元位于所述多个第一像素电路单元在所述第一方向上的一侧，且所述多个第二像素电路单元沿所述第二方向排布呈列，在所述第二方向上任意相邻的两个第二像素电路单元之间形成第三放置间隙，任意相邻的两列第一像素电路单元之间的所有所述第一放置间隙彼此连通，且与对应的所述第三放置间隙彼此连通；

其中，所述第一方向及所述第二方向均平行于所述基底的显示面，且所述第一方向与所述第二方向相垂直。

11、根据权利要求 1 所述的显示面板，其特征在于，所述多个第一像素电路单元沿第一方向排布呈行，且沿第二方向排布呈列；

所述多个第二像素电路单元位于所述多个第一像素电路单元在所述第二方向上的一侧，且所述多个第二像素电路单元沿所述第一方向排布呈行，在所述第一方向上任意相邻两个第二像素电路单元之间形成第四放置间隙，任意相邻的两行第一像素电路单元之间的所有所述第一放置间隙彼此连通，且与对应的所述第四放置间隙彼此连通；

其中，所述第一方向及所述第二方向均平行于所述基底的显示面，且所述第一方向与

所述第二方向相垂直。

12、根据权利要求 1 所述的显示面板，其特征在于，所述多个第一像素电路单元沿第一方向排布呈行，且沿第二方向排布呈列；

所述多个第二像素电路单元位于所述多个第一像素电路单元在第一方向上的一侧，且所述多个第二像素电路单元沿所述第二方向排布呈列，在所述第二方向上任意相邻两个第二像素电路单元之间形成第三放置间隙，任意相邻的两列第一像素电路单元之间的所有所述第一放置间隙彼此连通，且与对应的所述第三放置间隙彼此连通；和

所述多个第二像素电路单元位于所述多个第一像素电路单元在所述第二方向上的一侧，且所述多个第二像素电路单元沿所述第一方向排布呈行，在所述第一方向上任意相邻两个第二像素电路单元之间形成第四放置间隙，任意相邻的两行第一像素电路单元之间的所有所述第一放置间隙彼此连通，且与对应的所述第四放置间隙彼此连通；

其中，所述第一方向及所述第二方向均平行于所述基底的显示面，且所述第一方向与所述第二方向相垂直。

13、根据权利要求 1~12 任一项所述的显示面板，其特征在于，所述显示面板还包括电源线及第一虚拟像素电路，所述电源线与所述第一像素电路、所述第二像素电路及所述发光单元中的至少一者电连接，以提供电压信号，所述第一虚拟像素电路设于所述第一放置间隙，且与所述电源线电连接。

14、根据权利要求 13 所述的显示面板，其特征在于，至少部分所述第一虚拟像素电路的布线形状呈网格状。

15、根据权利要求 13 所述的显示面板，其特征在于，所述电源线能够接入低电压信号、高电压信号或者参考电压信号中的至少一者。

16、根据权利要求 13 所述的显示面板，其特征在于，所述第一虚拟像素电路包括多个彼此相连的第一子虚拟像素电路，所述第一子虚拟像素电路的图案和形状与所述第一像素电路或者所述第二像素电路的图案和形状相同。

17、根据权利要求 16 所述的显示面板，其特征在于，所述第一子虚拟像素电路包括多个沿第三方向层叠设置的非金属层、第一金属层及第二金属层，所述非金属层、所述第一金属层及所述第二金属层中的至少两者之间沿第三方向彼此相连；

其中，所述第三方向为所述基底指向所述多个发光单元的方向。

18、一种显示设备，其特征在于，包括如权利要求 1~17 任一项所述的显示面板。

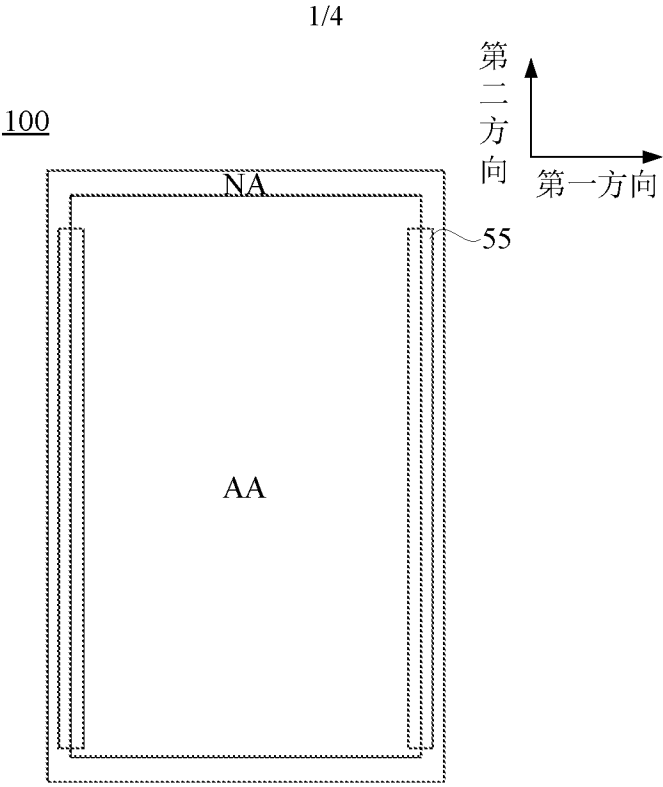


图 1

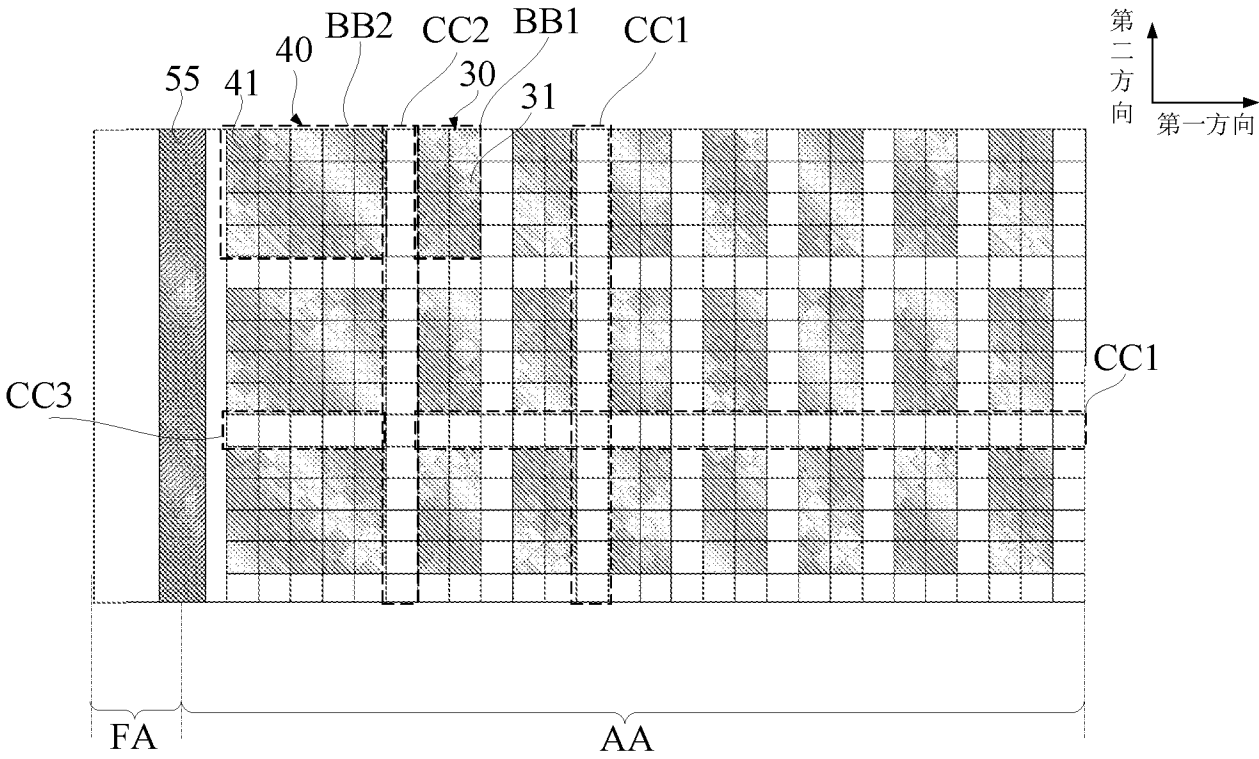


图 2

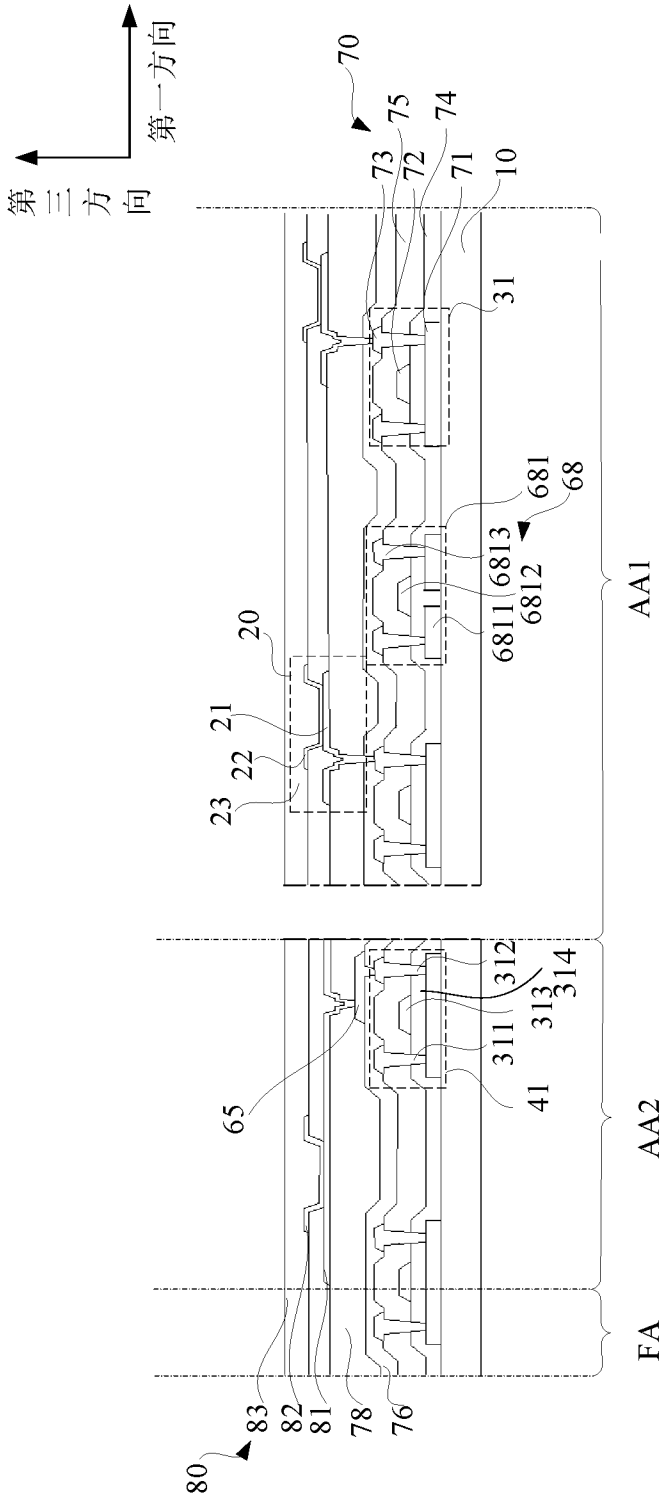


图 3

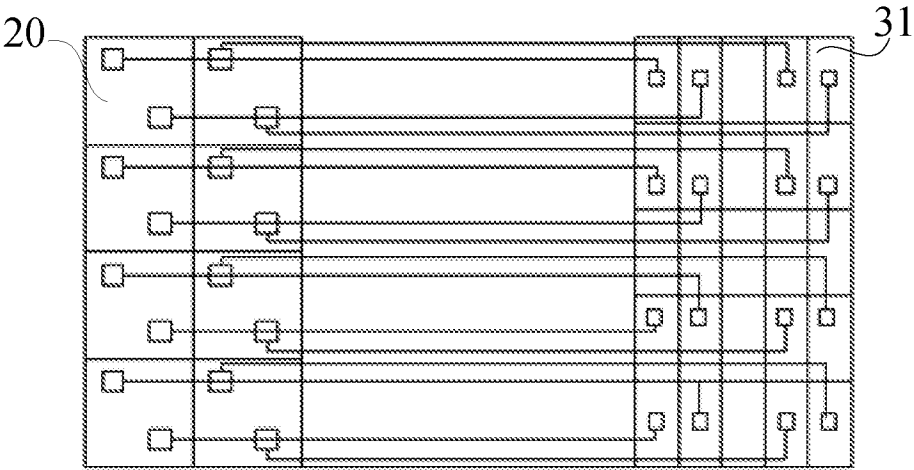


图 4

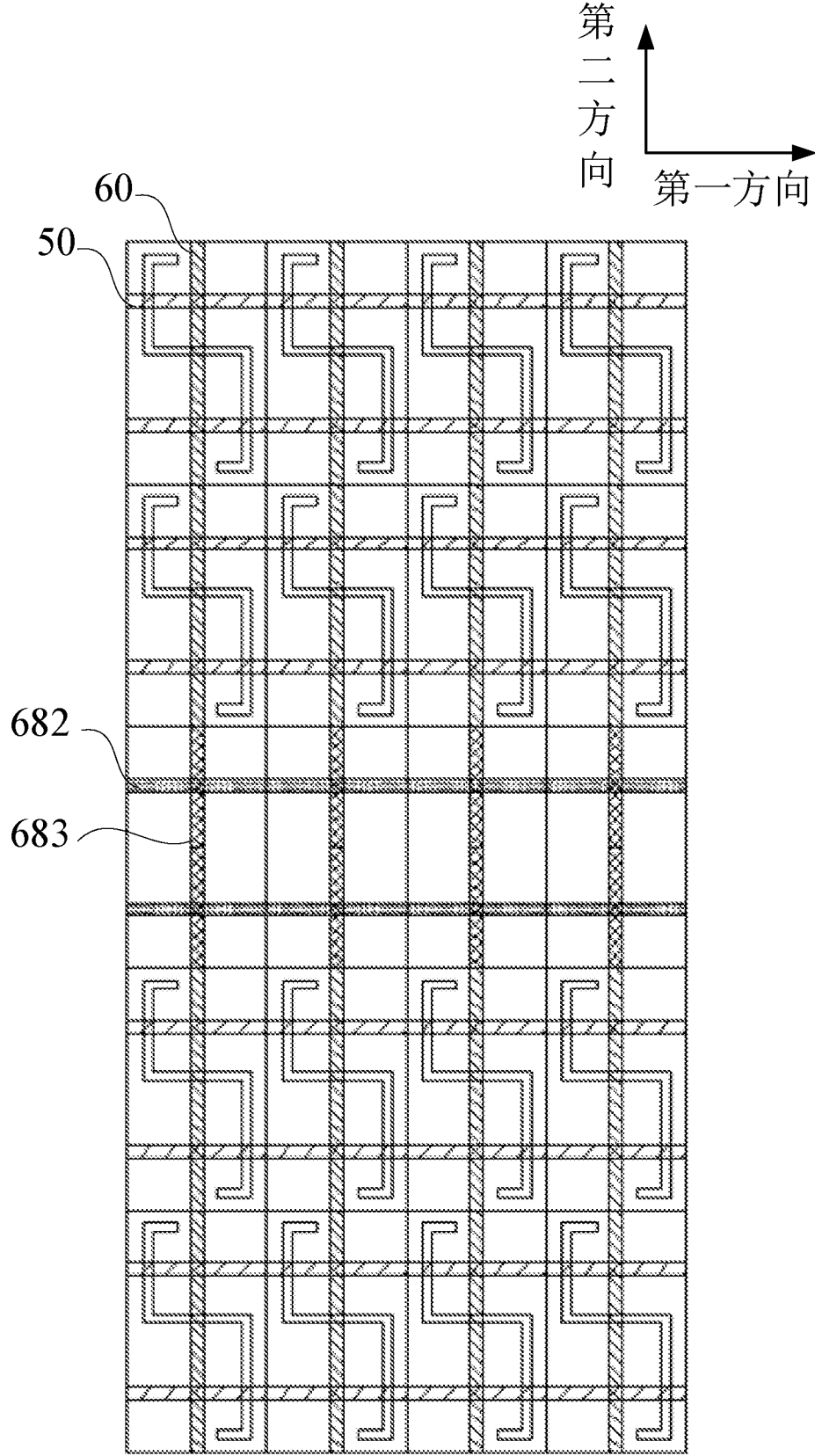


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/107403

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i; H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; CNABS; CNTXT; USTXT; EPTXT; WOTXT; CNKI: 显示, 有机发光, 窄边框, 间隙, display, OLED, narrow rim, gap

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 114512499 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 17 May 2022 (2022-05-17) description, paragraphs [0069]-[0119], and figures 1-5	1-18
X	CN 113539130 A (GUANGDONG OPPO MOBILE COMMUNICATIONS CO., LTD.) 22 October 2021 (2021-10-22) description, paragraphs [0046]-[0107], and figures 1-27	1-18
X	CN 113327963 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 31 August 2021 (2021-08-31) description, paragraphs [0050]-[0088], and figures 1-10	1-18
A	CN 106782416 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD.) 31 May 2017 (2017-05-31) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 September 2022

Date of mailing of the international search report

28 September 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/107403

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114512499	A	17 May 2022	None			
CN	113539130	A	22 October 2021	None			
CN	113327963	A	31 August 2021	None			
CN	106782416	A	31 May 2017	CN	106782416	B	13 December 2019

国际检索报告

国际申请号

PCT/CN2022/107403

A. 主题的分类

H01L 27/12(2006.01)i; H01L 27/32(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN;CNABS;CNTXT;USTXT;EPTXT;WOTXT;CNKI: 显示, 有机发光, 窄边框, 间隙, display, OLED, narrow rim, gap

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 114512499 A (昆山国显光电有限公司) 2022年5月17日 (2022 - 05 - 17) 说明书第[0069]-[0119]段, 附图1-5	1-18
X	CN 113539130 A (OPPO广东移动通信有限公司) 2021年10月22日 (2021 - 10 - 22) 说明书第[0046]-[0107]段, 附图1-27	1-18
X	CN 113327963 A (京东方科技集团股份有限公司 等) 2021年8月31日 (2021 - 08 - 31) 说明书第[0050]-[0088]段, 附图1-10	1-18
A	CN 106782416 A (上海天马微电子有限公司) 2017年5月31日 (2017 - 05 - 31) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年9月16日

国际检索报告邮寄日期

2022年9月28日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

张斌

电话号码 (86-512)88995753

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/107403

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	114512499	A	2022年5月17日	无	
CN	113539130	A	2021年10月22日	无	
CN	113327963	A	2021年8月31日	无	
CN	106782416	A	2017年5月31日	CN 106782416 B	2019年12月13日