



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

241336
(11) (B1)

(22) Prihlášené 31 10 84
(21) [PV 8271-84]

(40) Zverejnené 16 07 85

(45) Vydané 15 09 87

{51} Int. Cl.³
H 03 K 19/20

(75)

Autor vynálezu

ŠTĚPÁNEK JAROSLAV ing., ŽILINA

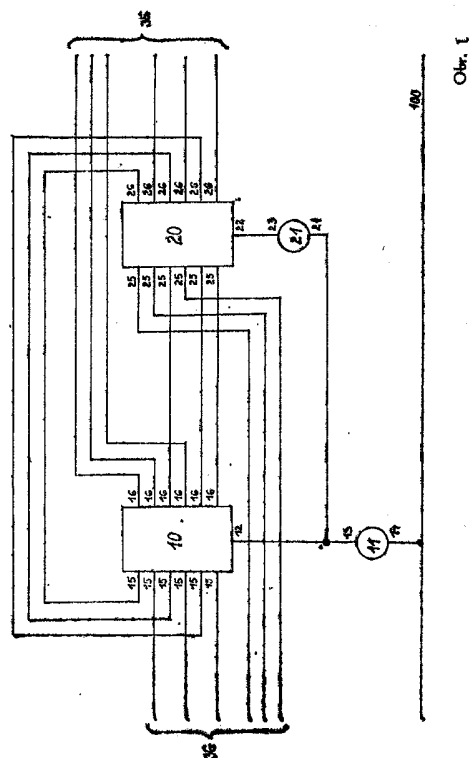
{54} Polovodičový logický integrovaný obvod

1

2

Obvod sa týka oblasti riešenia logických integrovaných obvodov s dvojúrovňovou logikou, rieši problém použitia prevodníkov napäťových úrovní na hraniciach styku hradíel dvoch rôznych tried logických prvkov.

Podstata obvodu spočíva v tom, že vnútri integrovaného obvodu sú pre každú triedu použitých logických prvkov vedené samostatné rozvody vzťažnej napäťovej úrovne. Medzi jednotlivé vodiče rozvádzajúce vzťažnú napäťovú úroveň sú zapojené napäťové prvky, ktoré sa nastavujú na hodnotu, ktorá zaisťuje priamu náväznosť signálov medzi logickými prvkami rôznych tried bez použitia prevodníkov napäťových úrovní.



Vynález sa týka logických integrovaných obvodov s dvojúrovňovou logikou, rieši problém styku medzi hradlami dvoch rôznych tried.

Doterajšie logické integrované obvody sú konštruované tak, že vzťažná napäťová úroveň, od ktorej je odvodzovaná rozhodovacia úroveň hradiel je spoločná pre celý integrovaný obvod, pre všetky triedy logických prvkov, ktoré obvod obsahuje.

Nevýhodou takéhoto riešenia logických integrovaných obvodov je, že na styku hradiel dvoch rôznych tried je nutné používať prevodníky napäťových úrovní, ktoré sú obvodovo náročné, čo má dopad jednak na dynamické parametre, jednak na ekonomiku výroby takto navrhnutých obvodov.

Podstata riešenia logického integrovaného obvodu podľa vynálezu je v tom, že vodič rozvádzajúci vzťažnú napäťovú úroveň nie je spoločný pre celý integrovaný obvod, ale samostatný pre každú triedu použitých logických prvkov. Medzi jednotlivé vodiče rozvádzajúce vzťažnú napäťovú úroveň sú zapojené napäťové prvky.

Napäťové prvky môžu byť tvorené buď napäťovými zdrojmi, alebo nelineárnymi odporami, na ktorých prechodom prúdu vzniká konštantný úbytok napätia.

Výhodou riešenia obvodu podľa vynálezu je, že vstupy a výstupy logických prvkov rôznych tried je možné spájať priamo, bez použitia prevodníkov napäťových úrovní, pretože potrebný posun napätia je vytvorený naraz, pre všetky logické prvky danej triedy pomocou napäťového prvku pripojeného na rozvod vzťažnej napäťovej úrovne tejto triedy.

Na obr. 1 je uvedené riešenie logického integrovaného obvodu podľa vynálezu, na obr. 2 je uvedený príklad riešenia pre integrovaný obvod obsahujúci prvky triedy nízkoúrovňovej TTL a prvky triedy štandardnej TTL.

Na obr. 1 sú logické prvky triedy A označené 10, logické prvky triedy B označené 20. Na obr. 2 sú logické prvky triedy A reprezentované hradlami štandardnej TTL, prvky triedy B reprezentované hradlami nízkoúrovňovej TTL.

Vývod 12 vzťažnej napäťovej úrovne prvkov 10 je pripojený na vývod 13 napäťového prvku 11, vývod 22 vzťažnej napäťovej úrovne prvkov 20 je pripojený na vývod 23 napäťového prvku 11. Vývod 14 napäťového prvku 11 je pripojený na vývod 100 vzťažnej napäťovej úrovne celého integrovaného obvodu, vývod 24 napäťového prvku 21 je pripojený na vývod 13 napäťového prvku 11.

Na obr. 2 je napäťový prvok 21 reprezentovaný diódou zapojenou v priepustnom smere a napäťový prvok 11 má nulové napätie, takže vývod 12 vzťažnej napäťovej úrovne prvkov 10 je pripojený priamo na vývod 100 vzťažnej napäťovej úrovne celého obvodu.

V zapojeniach podľa obr. 1 a obr. 2 sú vstupy 15 logických prvkov 10 pripojené priamo na výstupy 26 logických prvkov 20, vstupy 25 logických prvkov 20 pripojené priamo na výstupy 16 logických prvkov 10.

Potrebný posun napäťových úrovní medzi logickými prvkami 10 a logickými prvkami 20 vytvárajú napäťové prvky 11 a 21. Priamym spojením výstupov 15 logických prvkov 10 na výstupy 26 logických prvkov 20 a priamym spojením vstupov 16 logických prvkov 10 na výstupy 25 logických prvkov 20 sa zlepšia dynamické parametre celého obvodu, pretože nevzniká nadbytočné oneskorenie na prevodníkoch napäťových úrovní, ktoré by v prípade riešenia obvodu bez použitia vynálezu museli byť použité.

Taktiež sa zlepšuje ekonomika výroby, pretože prevodníky napäťových úrovní sú konštrukčne zložité a tým sa stávajú zdrojom častých porúch.

Ďalšou, doposiaľ neuvedenou výhodou riešenia obvodov podľa vynálezu je, že posunom vzťažnej napäťovej úrovne logických hradiel jednotlivých tried logických prvkov voči vzťažnej napäťovej úrovni čipu sa zväčší napäťový odstup základných prvkov týchto hradiel voči podložke integrovaného obvodu. Tým sa znížia parazitné substrátové kapacity týchto prvkov, čo opäť zlepši dynamické parametre hradiel a tým aj celkové dynamické parametre obvodu.

PREDMET VYNÁLEZU

1. Polovodičový logický integrovaný obvod s dvojúrovňovou logikou, obsahujúci logické prvky triedy A a B, vyznačujúci sa tým, že vývod (12) vzťažnej napäťovej úrovne logických prvkov (10) triedy A je pripojený na vývod (13) napäťového prvku (11), vývod (22) vzťažnej napäťovej úrovne logických prvkov (20) triedy B je pripojený na vývod (23) napäťového prvku (21), vývod (14) napäťového prvku (11) je pripojený na vývod (100) vzťažnej napäťovej úrovne celého integrovaného obvodu, vývod (24) napäťového prvku (21) je pripojený na vý-

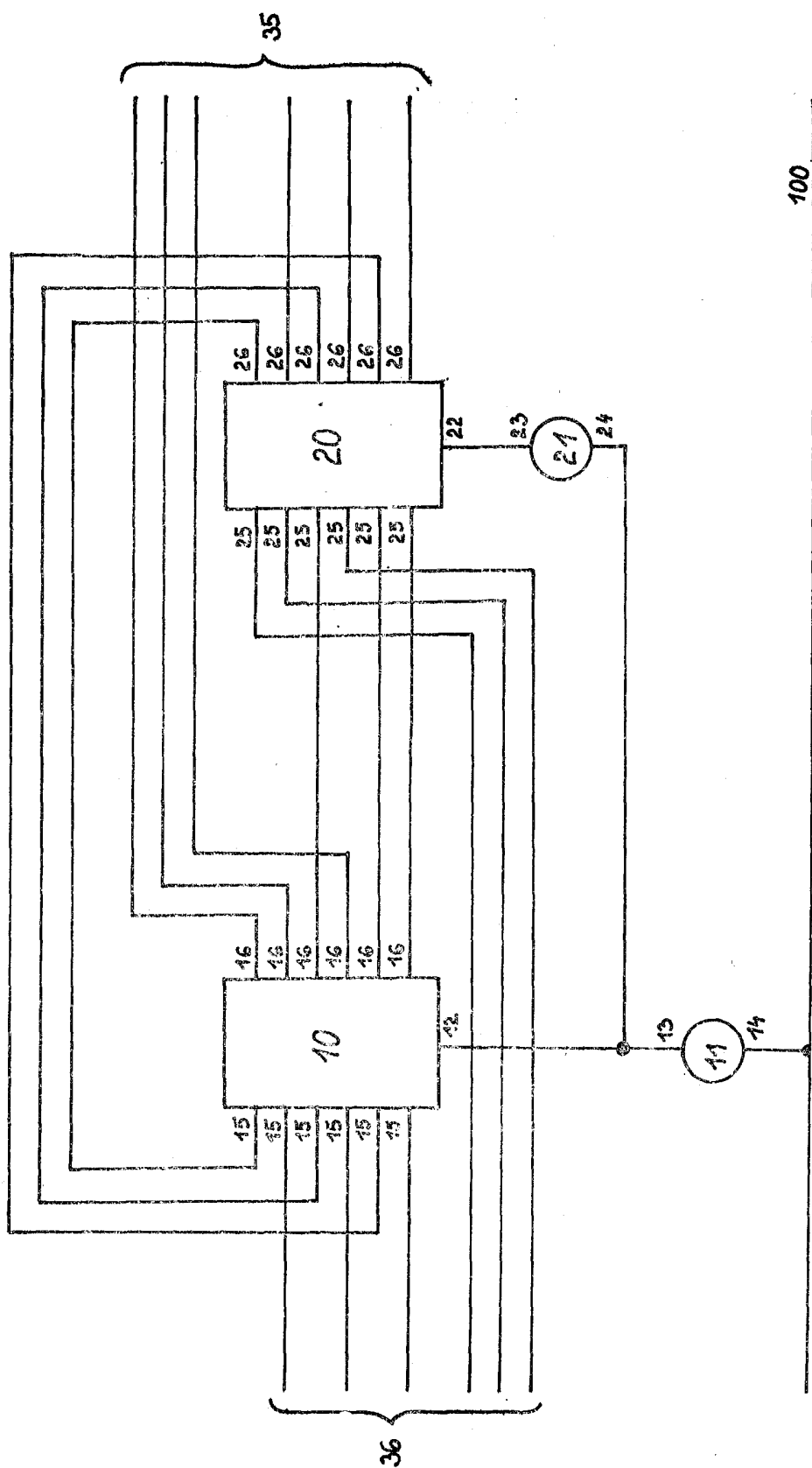
vod (13) napäťového prvku (11), pričom vstupy (15) logických prvkov (10) sú priamo pripojené jednak na výstupy (26) logických prvkov (20), jednak na výstupy (36) ostatnej časti obvodu, vstupy (25) logických prvkov (20) sú priamo pripojené jednak na výstupy (16) logických prvkov (10), jednak na výstupy (36) ostatnej časti obvodu, výstupy (26) logických prvkov (20) sú pripojené jednak na vstupy (15) logických prvkov (10), jednak na vstupy (35) ostatnej časti obvodu, výstupy (16) logických prvkov (10) sú pripojené jednak na vstupy (25)

logických prvkov (20), jednak na vstupy (35) ostatných častí obvodu.

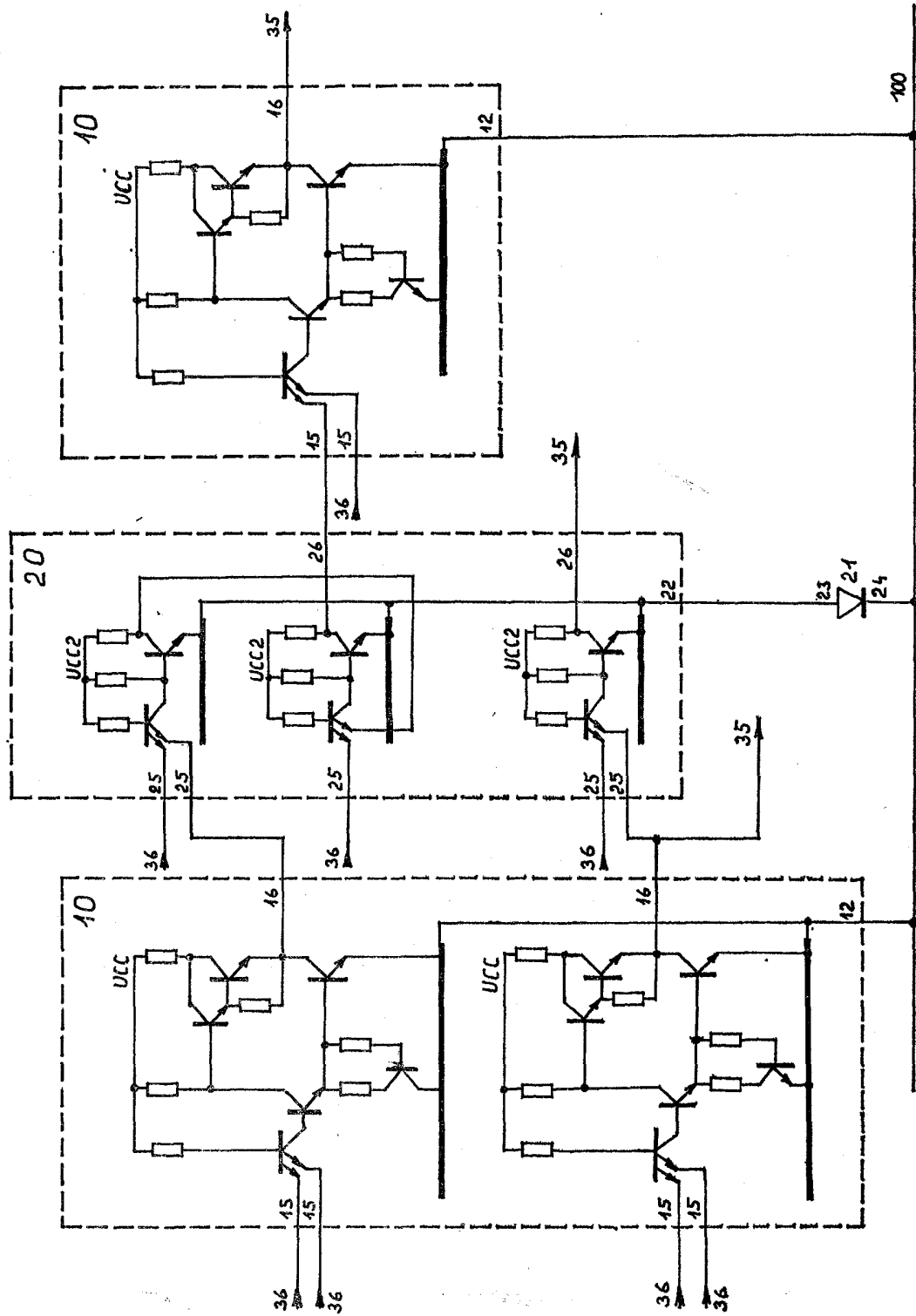
2. Polovodičový integrovaný obvod podľa bodu 1, vyznačujúci sa tým, že napäťové prvky (11, 12) sú tvorené napäťovými zdrojmi.

3. Polovodičový integrovaný obvod podľa bodu 1, vyznačujúci sa tým, že napäťové prvky (11, 12) sú tvorené nelineárnymi odporami.

2 listy výkresov



Обр. 1



Obr. 2