

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年9月21日(21.09.2023)



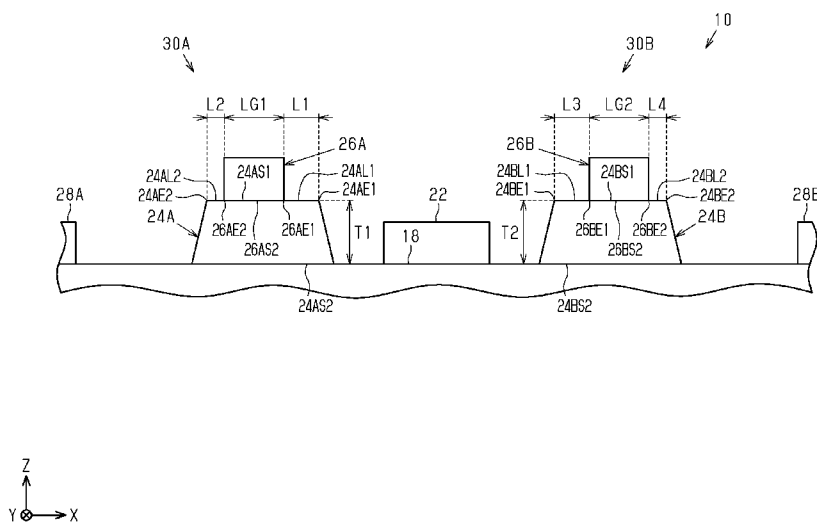
(10) 国際公開番号

WO 2023/176373 A1

- (51) 国際特許分類:
H01L 29/812 (2006.01) H01L 29/41 (2006.01)
H01L 21/28 (2006.01) H01L 29/423 (2006.01)
H01L 21/337 (2006.01) H01L 29/778 (2006.01)
H01L 21/338 (2006.01) H01L 29/808 (2006.01)
- (21) 国際出願番号: PCT/JP2023/006800
- (22) 国際出願日: 2023年2月24日(24.02.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-040038 2022年3月15日(15.03.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 柳原 学 (YANAGIHARA Manabu);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 牧野 竜市(MAKINO Ryoichi); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 大嶽 浩隆(OTAKE Hirotaka); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 恩田 誠, 外 (ONDA Makoto et al.);
〒5008731 岐阜県岐阜市大宮町二丁目 1 2 番地 1 Gifu (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** This semiconductor device (10) includes first and second gate portions (24A, 24B) formed of a semiconductor layer containing acceptor-type impurities. First and second gate electrodes (26A, 26B) are disposed on portions of the first and second gate portions (24A, 24B), respectively. The upper surface (24AS1) of the first gate portion (24A) includes a first side space portion (24AL1) having a length L1 near a source electrode (22) and a second side space portion (24AL2) having a length L2 near a first drain electrode (28A). The upper surface (24BS1) of the second gate portion (24B) includes a third side space portion (24BL1) having a length L3 near the source electrode (22) and a fourth side space portion (24BL2) having a length L4 near a second drain electrode (28B). The lengths L1 and L2 satisfy the relationship $L1 > L2$, and the lengths L3 and L4 satisfy the relationship $L3 > L4$.

HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置 (10) は、アクセプタ型不純物を含む半導体層で形成された第1および第2ゲート部 (24A, 24B) を含む。第1および第2ゲート電極 (26A, 26B) は、それぞれ第1および第2ゲート部 (24A, 24B) の一部の上に配置されている。第1ゲート部 (24A) の上面 (24AS1) は、ソース電極 (22) 寄りに長さL1の第1サイドスペース部 (24AL1) と、第1ドレイン電極 (28A) 寄りに長さL2の第2サイドスペース部 (24AL2) とを含む。第2ゲート部 (24B) の上面 (24BS1) は、ソース電極 (22) 寄りに長さL3の第3サイドスペース部 (24BL1) と、第2ドレイン電極 (28B) 寄りに長さL4の第4サイドスペース部 (24BL2) とを含む。長さL1, L2はL1>L2の関係を満たし、かつ長さL3, L4はL3>L4の関係を満たしている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 現在、窒化ガリウム（GaN）等のIII族窒化物半導体（以下、単に「窒化物半導体」と言う場合がある）を用いた高電子移動度トランジスタ（HEMT）の製品化が進んでいる。HEMTは、半導体ヘテロ接合の界面付近に形成された二次元電子ガス（2DEG）を導電経路（チャネル）として使用する。HEMTを利用したパワーデバイスは、典型的なシリコン（Si）パワーデバイスと比較して低オン抵抗および高速・高周波動作を可能にしたデバイスとして認知されている。

[0003] 例えば、窒化物半導体HEMTは、窒化ガリウム（GaN）層によって構成された電子走行層と、窒化アルミニウムガリウム（AlGa_N）層によって構成された電子供給層とを含む。これら電子走行層と電子供給層とのヘテロ接合の界面付近において電子走行層中に2DEGが形成される。また、ノーマリーオフ型HEMTの場合、例えば、アクセプタ型不純物を含む半導体層（例えばp型Ga_N層）がゲート電極の直下において電子走行層上に設けられる。この構成では、p型Ga_N層から下方に広がる空乏層によりp型Ga_N層の直下のチャネルが消失することでノーマリーオフが実現される。特許文献1は、このようなノーマリーオフ型（エンハンスメントモード型）のHEMTを開示している。

先行技術文献

特許文献

[0004] 特許文献1：特表2016-529711号公報

発明の概要

発明が解決しようとする課題

[0005] 例えばp型Ga_{0.5}N_{0.5}層のようなアクセプタ型不純物を含む半導体層をp型ゲート層としてゲート電極の直下に有するノーマリーオフ型のHEMTでは、絶対最大定格項目の一つである正方向のゲート最大定格電圧が相対的に低い。例えば、いくつかのHEMT製品では、正方向のゲート最大定格電圧は+6V程度であるのに対して、ゲート駆動電圧は+5V程度であり、その差はわずか1V程度である。

[0006] ゲート電極下にp型ゲート層を有するHEMTでは、ゲート電極に正電圧が印加されたとき、ゲート電極の下端から2DEGに向かってp型ゲート層にゲートリーク電流が流れ得る。このようなゲートリーク電流は、正方向のゲート最大定格電圧を低下させる要因となる。例えば、ゲートリーク電流の電流密度がp型ゲート層の一部の箇所で局所的に高くなると、その局所的箇所でp型ゲート層の結晶欠陥が生じ得る。このような結晶欠陥は、ゲートリーク電流のさらなる増加を招いて結晶欠陥を経時的に増加させるものとなり、ひいては結晶破壊をもたらすものとなる。その結果、正方向のゲート最大定格電圧が低下する。したがって、ゲートリーク電流の電流密度の局所的な増大を抑制して正方向のゲート最大定格電圧を向上させる上で未だ改善の余地がある。

課題を解決するための手段

[0007] 本開示の一態様による半導体装置は、基板と、前記基板の上方に配置された第1半導体層と、前記第1半導体層との界面付近において前記第1半導体層に2次元電子ガスを発生させるべく前記第1半導体層の上に配置された第2半導体層と、前記第2半導体層の上に配置されたソース電極とを備える。また、前記半導体装置は、アクセプタ型不純物を含む第3半導体層で形成されるとともに前記第2半導体層の上に配置された第1ゲート部と、前記アクセプタ型不純物を含む前記第3半導体層で形成されるとともに前記ソース電極に対して前記第1ゲート部とは反対側の位置において前記第2半導体層の上に配置された第2ゲート部と、前記第1ゲート部の一部の上に配置された第1ゲート電極と、前記第2ゲート部の一部の上に配置された第2ゲート電

極とを備える。また、前記半導体装置は、前記第 1 ゲート部に対して前記ソース電極とは反対側の位置において前記第 2 半導体層の上に配置された第 1 ドレイン電極と、前記第 2 ゲート部に対して前記ソース電極とは反対側の位置において前記第 2 半導体層の上に配置された第 2 ドレイン電極とを備える。前記第 1 ゲート部の上面は、前記ソース電極寄りの第 1 ソース側端部と、前記第 1 ドレイン電極寄りの第 1 ドレイン側端部とを含む。前記第 1 ゲート電極の下面は、前記ソース電極寄りの第 1 ソース側電極端部と、前記第 1 ドレイン電極寄りの第 1 ドレイン側電極端部とを含む。前記第 2 ゲート部の上面は、前記ソース電極寄りの第 2 ソース側端部と、前記第 2 ドレイン電極寄りの第 2 ドレイン側端部とを含む。前記第 2 ゲート電極の下面は、前記ソース電極寄りの第 2 ソース側電極端部と、前記第 2 ドレイン電極寄りの第 2 ドレイン側電極端部とを含む。前記第 1 ゲート部の上面は、前記第 1 ソース側端部と前記第 1 ソース側電極端部との間の距離に相当する長さ L_1 で延在する第 1 サイドスペース部と、前記第 1 ドレイン側端部と前記第 1 ドレイン側電極端部との間の距離に相当する長さ L_2 で延在する第 2 サイドスペース部とを含む。前記第 2 ゲート部の上面は、前記第 2 ソース側端部と前記第 2 ソース側電極端部との間の距離に相当する長さ L_3 で延在する第 3 サイドスペース部と、前記第 2 ドレイン側端部と前記第 2 ドレイン側電極端部との間の距離に相当する長さ L_4 で延在する第 4 サイドスペース部とを含む。前記長さ L_1 および前記長さ L_2 が $L_1 > L_2$ の関係を満たし、かつ前記長さ L_3 および前記長さ L_4 が $L_3 > L_4$ の関係を満たしている。

発明の効果

[0008] 本開示の一態様による半導体装置は、ゲートリーク電流の電流密度の局所的増大を抑制して正方向のゲート最大定格電圧を向上させることができる。

図面の簡単な説明

[0009] [図1]図 1 は、第 1 実施形態に係る例示的な半導体装置の概略断面図である。

[図2]図 2 は、図 1 の半導体装置の一部拡大図である。

[図3]図 3 は、ゲートリーク電流の経路を示す図 1 の半導体装置の一部拡大図

である。

[図4]図4は、図1の半導体装置の製造方法を示す概略断面図である。

[図5]図5は、図4の工程に続く製造方法を示す概略断面図である。

[図6]図6は、図5の工程に続く製造方法を示す概略断面図である。

[図7]図7は、図6の工程に続く製造方法を示す概略断面図である。

[図8]図8は、図7の工程に続く製造方法を示す概略断面図である。

[図9]図9は、図8の工程に続く製造方法を示す概略断面図である。

[図10]図10は、図9の工程に続く製造方法を示す概略断面図である。

[図11]図11は、図10の工程に続く製造方法を示す概略断面図である。

[図12]図12は、図11の工程に続く製造方法を示す概略断面図である。

[図13]図13は、第2実施形態に係る例示的な半導体装置の概略断面図である。

[図14]図14は、図13の半導体装置の一部拡大図である。

[図15]図15は、ゲートリーク電流の経路を示す図13の半導体装置の一部拡大図である。

[図16]図16は、第2実施形態のゲート構造（ソース側水平延在部とドレイン側水平延在部とを含むゲート部）に流れるバルクリーク電流の電流密度のシミュレーション結果を示す断面図である。

発明を実施するための形態

[0010] 以下、添付図面を参照して本開示による半導体装置のいくつかの実施形態を説明する。なお、図面に示される構成要素は、分かり易さおよび明瞭化のために部分的に拡大されている場合があり、必ずしも一定の縮尺で描かれていない。また、理解を容易にするために、断面図では、ハッチング線が省略されている場合がある。添付の図面は、本開示の実施形態を例示するに過ぎず、本開示を制限するものとみなされるべきではない。

[0011] 以下の詳細な記載は、本開示の例示的な実施形態を具体化する装置、システム、および方法を含む。この詳細な記載は本來說明のためのものに過ぎず、本開示の実施形態またはこのような実施形態の適用および使用を限定する

ことを意図しない。

[0012] [第1実施形態]

図1は、第1実施形態に係る例示的な半導体装置10の概略断面図である。最初に図1を参照して半導体装置10の全体構造について説明する。

[0013] [半導体装置の全体構造]

半導体装置10は、III-V族半導体を用いたHEMTとして構成されている。第1実施形態では、III-V族半導体としてIII族窒化物半導体が用いられている。III族窒化物半導体とは、III-V族半導体においてV族元素として窒素を用いた半導体であり、GaN、窒化アルミニウム(AlN)、窒化インジウム(InN)が代表例である。一般には、 $Al_xIn_yGa_{1-x-y}N$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x + y \leq 1$)と表すことができる。第1実施形態では、半導体装置10は、例えばGaNを用いたHEMTとして構成されている。

[0014] 図1に示されるように、半導体装置10は、基板12と、基板12上に形成されたバッファ層14と、バッファ層14上に形成された電子走行層16と、電子走行層16上に形成された電子供給層18とを含む。

[0015] 基板12は、シリコン(Si)、シリコンカーバイド(SiC)、GaN、サファイア、または他の基板材料で形成され得る。例えば、基板12は、導電性Si基板である。基板12の厚さは、例えば200 μ m以上1500 μ m以下であってよい。なお、図面(例えば図1)に示される互いに直交するXYZ軸のZ方向は、基板12の主面と直交する方向である。本明細書において使用される「平面視」という用語は、明示的に別段の記載がない限り、Z方向に沿って上方から半導体装置10を視ることをいう。

[0016] バッファ層14は、基板12と電子走行層16との間に位置し、基板12と電子走行層16との間の格子不整合を緩和することができる任意の材料によって形成され得る。例えば、バッファ層14は、1つまたは複数の窒化物半導体層を含む。例えば、バッファ層14は、窒化アルミニウム(AlN)層、窒化アルミニウムガリウム(AlGaIn)層、および異なるアルミニウ

ム（A l）組成を有するグレーテッドA l Ga N層のうちの少なくとも1つを含み得る。例えば、バッファ層14は、単一のA l N層、単一のA l Ga N層、A l Ga N / Ga N超格子構造を有する層、A l N / A l Ga N超格子構造を有する層、またはA l N / Ga N超格子構造を有する層によって形成され得る。

[0017] 一例において、バッファ層14は、基板12上に形成された第1バッファ層と、第1バッファ層上に形成された第2バッファ層とを含む。第1バッファ層は、例えばA l N層であり、例えば200nm程度の厚さを有し得る。第2バッファ層は、例えば複数のA l Ga N層を含み、各A l Ga N層は例えば100nm程度の厚さを有し得る。なお、バッファ層14におけるリーク電流を抑制するために、バッファ層14の一部に不純物を導入して半絶縁性にしてもよい。その場合、不純物は、例えば炭素（C）または鉄（Fe）であり、不純物の濃度は、例えば $4 \times 10^{16} \text{ cm}^{-3}$ 以上であってよい。

[0018] 電子走行層16は半導体層（第1半導体層に対応する）であって、例えば窒化物半導体によって構成され得る。第1実施形態では、電子走行層16は、例えばGa N層である。電子走行層16は、例えば0.5 μm 以上2 μm 以下の厚さを有し得る。なお、電子走行層16でのリーク電流を抑制するために、電子走行層16の一部に不純物を導入して電子走行層16の表層領域以外を半絶縁性にしてもよい。その場合、不純物は例えばCであり、不純物の濃度は例えばピーク濃度で $1 \times 10^{19} \text{ cm}^{-3}$ 以上であってよい。

[0019] 電子供給層18は半導体層（第2半導体層に対応する）であって、例えば窒化物半導体によって構成され得る。第1実施形態では、電子供給層18は、例えばA l Ga N層である。電子供給層18は、電子走行層16よりも大きなバンドギャップを有している。例えばA l Ga N層の場合、A l組成が大きいほどバンドギャップが大きくなる。このため、A l Ga N層である電子供給層18は、Ga N層である電子走行層16よりも大きなバンドギャップを有している。例えば、電子供給層18は、 $\text{A l}_x \text{Ga}_{1-x} \text{N}$ によって構成されている。ここで、 x は $0.1 < x < 0.4$ であり、より好ましくは0.

$2 < x < 0.3$ であるが、必ずしもこの範囲に限定されない。電子供給層 18 は、例えば 5 nm 以上 20 nm 以下の厚さを有し得る。

[0020] 電子走行層 16 と電子供給層 18 は、互いに異なる格子定数を有する窒化物半導体によって構成されている。したがって、電子走行層 16 を構成する窒化物半導体（例えば、GaN）と電子供給層 18 を構成する窒化物半導体（例えば、AlGaInN）とは格子不整合系の接合になっている。電子走行層 16 および電子供給層 18 の自発分極と、電子供給層 18 のヘテロ接合部が受ける応力に起因するpiezo分極とによって、電子走行層 16 と電子供給層 18 とのヘテロ接合界面付近における電子走行層 16 の伝導帯のエネルギーレベルはフェルミ準位よりも低くなる。これにより、電子走行層 16 と電子供給層 18 とのヘテロ接合界面に近い位置（例えば、界面から数 nm 程度の距離）において電子走行層 16 内には二次元電子ガス（2DEG）20 が広がっている。2DEG 20 の濃度は特に限定されないが、例えば $1 \times 10^{13} \text{ cm}^{-2}$ 程度であってよい。

[0021] 半導体装置 10 はさらに、ソース電極 22、第 1 ゲート部 24 A、第 2 ゲート部 24 B、第 1 ゲート電極 26 A、第 2 ゲート電極 26 B、第 1 ドレイン電極 28 A、および第 2 ドレイン電極 28 B を含む。ソース電極 22 と、第 1 ゲート部 24 A、第 2 ゲート部 24 B、第 1 ドレイン電極 28 A、および第 2 ドレイン電極 28 B は電子供給層 18 上に配置されている。

[0022] ソース電極 22 は、第 1 ゲート部 24 A と第 2 ゲート部 24 B との間に位置している。言い換えれば、第 2 ゲート部 24 B は、ソース電極 22 に対して第 1 ゲート部 24 A とは反対側に位置している。第 1 ゲート部 24 A は、ソース電極 22 と第 1 ドレイン電極 28 A との間に位置している。言い換えれば、第 1 ドレイン電極 28 A は、第 1 ゲート部 24 A に対してソース電極 22 とは反対側に位置している。同様に、第 2 ゲート部 24 B は、ソース電極 22 と第 2 ドレイン電極 28 B との間に位置している。言い換えれば、第 2 ドレイン電極 28 B は、第 2 ゲート部 24 B に対してソース電極 22 とは反対側に位置している。

- [0023] ソース電極 22 ならびに第 1 および第 2 ドレイン電極 28A, 28B は、電子供給層 18 の直下の 2DEG 20 にオーミック接触、すなわち 2DEG 20 に電氣的に接続されている。これらソース電極 22 ならびに第 1 および第 2 ドレイン電極 28A, 28B は、例えば、チタン (Ti) 層、窒化チタン (TiN) 層、アルミニウム (Al) 層、アルミニウムシリコン銅 (AlSiCu) 層、およびアルミニウム銅 (AlCu) 層のうちの少なくとも 1 つを用いた 1 つまたは複数の金属層によって形成され得る。第 1 実施形態では、ソース電極 22 ならびに第 1 および第 2 ドレイン電極 28A, 28B は各々、例えば Ti 層と Al 層と Ti 層との 3 層構造を有している。これらソース電極 22 ならびに第 1 および第 2 ドレイン電極 28A, 28B をすべて同じ材料とすれば、それらを同一の工程で形成できるため有利である。
- [0024] 第 1 および第 2 ゲート部 24A, 24B は、アクセプタ型不純物を含む半導体層 (第 3 半導体層に対応する) であって、例えば、アクセプタ型不純物を含む窒化物半導体によって構成され得る。第 1 および第 2 ゲート部 24A, 24B は、電子供給層 18 よりも小さなバンドギャップを有する任意の半導体材料で構成され得る。第 1 実施形態では、第 1 および第 2 ゲート部 24A, 24B は、アクセプタ型不純物がドーパされた GaN 層、すなわち p 型 GaN 層である。アクセプタ型不純物は、例えば、亜鉛 (Zn)、マグネシウム (Mg)、および炭素 (C) のうちの少なくとも 1 つを含み得る。なお、第 1 実施形態では、Mg がアクセプタ型不純物として用いられている。アクセプタ型不純物は、例えば $7 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下の最大濃度を有し得る。
- [0025] 第 1 および第 2 ゲート部 24A, 24B の厚さは特に限定されず、例えばゲート耐圧等を考慮して適宜決定され得る。例えば、第 1 および第 2 ゲート部 24A, 24B は、80 nm 以上 150 nm 以下の厚さを有し得る。また、第 1 および第 2 ゲート部 24A, 24B の断面形状 (図 1 において ZX 平面に沿った断面形状) は特に限定されず、例えば、矩形状、台形状、またはその他の任意の形状であってよい。また、第 1 および第 2 ゲート部 24A,

24BのX方向の長さは特に限定されず、例えば $0.4\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下であってよい。

[0026] 第1ゲート電極26Aは、第1ゲート部24Aの一部の上に配置されている。同様に、第2ゲート電極26Bは、第2ゲート部24Bの一部の上に配置されている。第1および第2ゲート電極26A、26Bは、1つまたは複数の金属層によって構成されており、例えば窒化チタン(TiN)層であってよい。あるいは、第1および第2ゲート電極26A、26Bは、第1金属層(例えばTi層)と、第1金属層上に設けられた第2金属層(例えばTiN層)とによって構成されてもよい。第1実施形態では、第1および第2ゲート電極26A、26BはTiN層であり、第1および第2ゲート部24A、24B(p型GaN層)にそれぞれショットキー接合されている。第1および第2ゲート電極26A、26Bの厚さは特に限定されず、例えば 50nm 以上 300nm 以下であってよい。

[0027] 図1に示す半導体装置10では、電子走行層16、電子供給層18、第1ゲート部24A、第1ゲート電極26A、ソース電極22、および第1ドレイン電極28Aによって第1電界効果トランジスタ(FET)30Aが構成されている。また、電子走行層16、電子供給層18、第2ゲート部24B、第2ゲート電極26B、ソース電極22、および第2ドレイン電極28Bによって第2電界効果トランジスタ(FET)30Bが構成されている。第1実施形態では、第1および第2FET30A、30Bは各々、ノーマリーオフ型のGaN-HEMTとして構成されている。なお、図1では半導体装置10は2つのFET30A、30Bを含むものとして示されているが、実際には図1の構造が繰り返されることにより半導体装置10は多数のFETを含む。

[0028] なお、第1FET30Aにおいて、第1ゲート部24A、第1ゲート電極26A、第1ドレイン電極28A、およびソース電極22は、例えばドレイン-ソース間耐圧等を考慮して、ゲート-ドレイン間距離がゲート-ソース間距離よりも長くなるように配置されている。ゲート-ドレイン間距離は、

第1ゲート部24A（第1ドレイン電極28A寄りの端部）から第1ドレイン電極28Aまでの距離に相当する。ゲートソース間距離は、第1ゲート部24A（ソース電極22寄りの端部）からソース電極22までの距離に相当する。例えば、第1FET30Aにおいて、ゲートドレイン間距離は、ゲートソース間距離に第1ゲート電極26Aのゲート長（X方向の長さ）を加えた距離よりも長くなるように設定され得る。

[0029] 同様に、第2FET30Bにおいて、第2ゲート部24B、第2ゲート電極26B、第2ドレイン電極28B、およびソース電極22は、ゲートドレイン間距離がゲートソース間距離よりも長くなるように配置されている。例えば、第2FET30Bにおいて、ゲートドレイン間距離は、ゲートソース間距離にゲート長（第2ゲート電極26BのX方向の長さ）を加えた距離よりも長くなるように設定され得る。

[0030] [第1電界効果トランジスタの非対称ゲート構造]

次に、図2を参照して、第1FET30Aの非対称ゲート構造について説明する。図2は、図1の半導体装置10の一部拡大図である。

[0031] 図2に示されるように、第1ゲート部24Aは例えば断面視台形状であり、上面24AS1と、上面24AS1よりも大きな面積を有する下面24AS2とを有している。第1ゲート電極26Aは、第1ゲート部24Aの上面24AS1の一部の上に形成されている。第1ゲート電極26Aは例えば断面視長方形形状であり、第1ドレイン電極28A、第1ゲート部24A、およびソース電極22が並んで配置される方向（X方向）に長さLG1を有している。この長さLG1は、X方向における第1ゲート部24Aの上面24AS1の長さよりも短い。

[0032] したがって、第1ゲート部24Aの上面24AS1は、第1ゲート電極26Aの下面26AS2と接触していない領域、すなわち、第1ゲート電極26Aの下面26AS2から露出するとともに第1ゲート電極26Aの外側に延在するゲートサイドスペース（以下、サイドスペースと呼ぶ）領域を含む。図2の例では、第1ゲート部24Aの上面24AS1は、X方向における

第1ゲート電極26Aの両側壁の外側に延在する2つのサイドスペース領域として、第1サイドスペース部24AL1と第2サイドスペース部24AL2とを含む。第1サイドスペース部24AL1は、ソース電極22寄りに位置する領域であり、X方向に長さL1で延在している。第2サイドスペース部24AL2は、第1ドレイン電極28A寄りに位置する領域であり、X方向に長さL2で延在している。

[0033] 長さL1および長さL2は、第1ゲート部24Aの上面24AS1の2つの端部と、第1ゲート電極26Aの下面26AS2の2つの端部とによって決定されている。図2の例では、第1ゲート部24Aの上面24AS1は、ソース電極22寄りに位置する第1ソース側端部24AE1と、第1ドレイン電極28A寄りに位置する第1ドレイン側端部24AE2とを含む。第1ゲート電極26Aの下面26AS2は、ソース電極22寄りに位置する第1ソース側電極端部26AE1と、第1ドレイン電極28A寄りに位置する第1ドレイン側電極端部26AE2とを含む。

[0034] 第1ゲート部24Aの第1ソース側端部24AE1は、第1ゲート電極26Aの第1ソース側電極端部26AE1よりも、ソース電極22寄りに位置している。したがって、第1サイドスペース部24AL1の長さL1は、第1ソース側端部24AE1と第1ソース側電極端部26AE1との間の距離に相当する。一方、第1ゲート部24Aの第1ドレイン側端部24AE2は、第1ゲート電極26Aの第1ドレイン側電極端部26AE2よりも、第1ドレイン電極28A寄りに位置している。したがって、第2サイドスペース部24AL2の長さL2は、第1ドレイン側端部24AE2と第1ドレイン側電極端部26AE2との間の距離に相当する。

[0035] 第1サイドスペース部24AL1の長さL1および第2サイドスペース部24AL2の長さL2は、 $L1 > L2$ の関係、より好ましくは、 $L1 \geq 2 \times L2$ の関係を満たすように設定されている。したがって、図2に示されるように、第1ゲート電極26Aは、第1ゲート部24AのX方向の中間位置よりも第1ドレイン電極28A寄りの位置で第1ゲート部24Aの上面24A

S 1 に配置されている。このように、第 1 F E T 3 0 A において第 1 ゲート部 2 4 A と第 1 ゲート電極 2 6 A は、Z X 平面に沿った断面視において非対称ゲート構造を形成している。この非対称ゲート構造は、ゲートリーク電流の電流密度の局所的増大を抑えることに寄与する。第 1 F E T 3 0 A の非対称ゲート構造とゲートリーク電流との関係については図 3 を参照して後述する。

[0036] なお、必ずしも限定されないが、第 1 ゲート部 2 4 A の第 1 サイドスペース部 2 4 A L 1 の長さ L_1 は、第 1 ゲート部 2 4 A の厚さ T_1 (上面 2 4 A S 1 から下面 2 4 A S 2 までの距離) 以下となるように設定され得る。すなわち、第 1 サイドスペース部 2 4 A L 1 の長さ L_1 および第 1 ゲート部 2 4 A の厚さ T_1 は、 $L_1 \leq T_1$ の関係を満たすように設定され得る。

[0037] 第 1 ゲート部 2 4 A に第 1 ゲート電極 2 6 A がショットキー接合された構造では、第 1 ゲート電極 2 6 A に正電圧が印加されると、ショットキー接合部に逆バイアスが印加されて第 1 ゲート部 2 4 A 内に空乏層が広がる。この場合、 $L_1 \leq T_1$ の関係を満たすことにより、第 1 ゲート部 2 4 A の上面 2 4 A S 1 の面積 (X 方向の長さ) に対するショットキー接合部の接合界面の面積 (X 方向の長さ) の割合を、第 1 ゲート部 2 4 A の厚さ T_1 に基づいて良好に維持することが可能となる。その結果、接合界面から垂直方向に広がる空乏層を第 1 ゲート部 2 4 A の上面 2 4 A S 1 の面積に対して水平方向 (X 方向) にも良好に維持することが可能となる (すなわち、水平方向に比べて垂直方向に空乏層が広がりにくくなる)。これにより、正方向のゲート最大定格電圧を高くすることができる。

[0038] また、必ずしも限定されないが、第 1 サイドスペース部 2 4 A L 1 の長さ L_1 、第 2 サイドスペース部 2 4 A L 2 の長さ L_2 、および第 1 ゲート電極 2 6 A の長さ L_{G1} (第 1 ソース側電極端部 2 6 A E 1 から第 1 ドレイン側電極端部 2 6 A E 2 までの距離) は、 $L_{G1} \geq L_1 + L_2$ の関係を満たすように設定され得る。この関係を満たすことにより、第 1 ゲート部 2 4 A の上面 2 4 A S 1 に対して第 1 ゲート電極 2 6 A が接触する面積 (X 方向の長さ

）を大きくして、第1ゲート電極26Aから第1ゲート部24Aにゲート信号を効率的に伝達することが可能となる。これにより、第1ゲート部24Aの下面24AS2の端部までゲート信号を十分に伝達することが可能となるため、サブスレッショルド特性を向上することができる。その結果、ゲート電圧が閾値電圧以下のときのドレインリーク電流（ソースドレイン間電流リーク）を小さくすることができる。また、第1ゲート電極26Aの断面積が大きくなるためゲート抵抗を下げることも可能となる。

[0039] [第2電界効果トランジスタの非対称ゲート構造]

引き続き図2を参照して、第2FET30Bの非対称ゲート構造について説明する。

上述した第1ゲート部24Aと同様に、第2ゲート部24Bは例えば断面視台形状であり、上面24BS1と、上面24BS1よりも大きな面積を有する下面24BS2とを有している。第2ゲート電極26Bは、第2ゲート部24Bの上面24BS1の一部の上に形成されている。第2ゲート電極26Bは例えば断面視長方形形状であり、第2ドレイン電極28B、第2ゲート部24B、およびソース電極22が並んで配置される方向（X方向）に長さLG2を有している。この長さLG2は、X方向における第2ゲート部24Bの上面24BS1の長さよりも短い。

[0040] したがって、第2ゲート部24Bの上面24BS1は、第2ゲート電極26Bの下面26BS2と接触していない領域、すなわち、第2ゲート電極26Bの下面26BS2から露出するとともに第2ゲート電極26Bの外側に延在するサイドスペース領域を含む。図2の例では、第2ゲート部24Bの上面24BS1は、X方向における第2ゲート電極26Bの両側壁の外側に延在する2つのサイドスペース領域として、第3サイドスペース部24BL1と第4サイドスペース部24BL2とを含む。第3サイドスペース部24BL1は、ソース電極22寄りに位置する領域であり、X方向に長さL3で延在している。第4サイドスペース部24BL2は、第2ドレイン電極28B寄りに位置する領域であり、X方向に長さL4で延在している。

- [0041] 長さ L_3 および長さ L_4 は、第2ゲート部24Bの上面24BS1の2つの端部と、第2ゲート電極26Bの下面26BS2の2つの端部とによって決定されている。図2の例では、第2ゲート部24Bの上面24BS1は、ソース電極22寄りに位置する第2ソース側端部24BE1と、第2ドレイン電極28B寄りに位置する第2ドレイン側端部24BE2とを含む。第2ゲート電極26Bの下面26BS2は、ソース電極22寄りに位置する第2ソース側電極端部26BE1と、第2ドレイン電極28B寄りに位置する第2ドレイン側電極端部26BE2とを含む。
- [0042] 第2ゲート部24Bの第2ソース側端部24BE1は、第2ゲート電極26Bの第2ソース側電極端部26BE1よりも、ソース電極22寄りに位置している。したがって、第3サイドスペース部24BL1の長さ L_3 は、第2ソース側端部24BE1と第2ソース側電極端部26BE1との間の距離に相当する。一方、第2ゲート部24Bの第2ドレイン側端部24BE2は、第2ゲート電極26Bの第2ドレイン側電極端部26BE2よりも、第2ドレイン電極28B寄りに位置している。したがって、第4サイドスペース部24BL2の長さ L_4 は、第2ドレイン側端部24BE2と第2ドレイン側電極端部26BE2との間の距離に相当する。
- [0043] 第3サイドスペース部24BL1の長さ L_3 および第4サイドスペース部24BL2の長さ L_4 は、 $L_3 > L_4$ の関係、より好ましくは、 $L_3 \geq 2 \times L_4$ の関係を満たすように設定されている。したがって、図2に示されるように、第2ゲート電極26Bは、第2ゲート部24BのX方向の中間位置よりも第2ドレイン電極28B寄りの位置で第2ゲート部24Bの上面24BS1に配置されている。このように、第2FET30Bにおいて第2ゲート部24Bと第2ゲート電極26Bは、ZX平面に沿った断面視において非対称ゲート構造を形成している。この非対称ゲート構造は、ゲートリーク電流の電流密度の局所的増大を抑えることに寄与する。第2FET30Bの非対称ゲート構造とゲートリーク電流との関係については図3を参照して後述する。

[0044] なお、第1ゲート部24Aと同様、必ずしも限定されないが、第2ゲート部24Bの第3サイドスペース部24BL1の長さ L_3 は、第2ゲート部24Bの厚さ T_2 （上面24BS1から下面24BS2までの距離）以下となるように設定され得る。すなわち、第3サイドスペース部24BL1の長さ L_3 および第2ゲート部24Bの厚さ T_2 は、 $L_3 \leq T_2$ の関係を満たすように設定され得る。この関係を満たすことにより、第2ゲート電極26Bと第2ゲート部24Bとのショットキー接合部の接合界面から垂直方向に広がる空乏層を第2ゲート部24Bの上面24BS1の面積に対して水平方向（X方向）にも良好に維持することが可能となる。これにより、正方向のゲート最大定格電圧を高くすることができる。

[0045] また、第1ゲート部24Aと同様、必ずしも限定されないが、第3サイドスペース部24BL1の長さ L_3 、第4サイドスペース部24BL2の長さ L_4 、および第2ゲート電極26Bの長さ L_{G2} （第2ソース側電極端部26BE1から第2ドレイン側電極端部26BE2までの距離）は、 $L_{G2} \geq L_3 + L_4$ の関係を満たすように設定され得る。この関係を満たすことにより、第2ゲート部24Bの上面24BS1に対して第2ゲート電極26Bが接触する面積（X方向の長さ）を大きくして、第2ゲート電極26Bから第2ゲート部24Bにゲート信号を効率的に伝達することが可能となる。その結果、サブスレッショルド特性を向上してゲート電圧が閾値電圧以下のときのドレインリーク電流を小さくすることができる。また、第2ゲート電極26Bの断面積が大きくなるためゲート抵抗を下げることも可能となる。

[0046] [第1電界効果トランジスタと第2電界効果トランジスタとの関係]

引き続き図2を参照して、第1FET30Aと第2FET30Bとの関係について説明する。

[0047] 上述したように、第1FET30Aは非対称ゲート構造を有するとともに、第2FET30Bは非対称ゲート構造を有している。これに加えて、必ずしも限定されないが、第1FET30Aと第2FET30Bは、ソース電極22のX方向の中心を通るZ方向の基板直交軸に対して左右対称に構成され

得る。

[0048] 例えば、第1実施形態では、第1 FET 30Aは、X方向における第1ドレイン電極28Aからソース電極22までの半導体装置10の部分に対応し、第1ゲート部24Aと第1ゲート電極26Aとによって構成された非対称ゲート構造を含む。また、第2 FET 30Bは、X方向における第2ドレイン電極28Bからソース電極22までの半導体装置10の部分に対応し、第2ゲート部24Bと第2ゲート電極26Bとによって構成された非対称ゲート構造を含む。これら第1および第2 FET 30A, 30Bの構造、寸法、配置（各部材の位置）等に関する特徴の一部または全部について、第1 FET 30Aと第2 FET 30Bとが、ソース電極22の中心を通る基板直交軸に対して左右対称に構成され得る。

[0049] 例えば、第1～第4サイドスペース部24AL1, 24AL2, 24BL1, 24BL2の長さL1～L4は、 $L1 > L2$ （または $L1 \geq 2 \times L2$ ）かつ $L3 > L4$ （または $L3 \geq 2 \times L4$ ）を満たしつつ、 $L1 = L3$ かつ $L2 = L4$ を満たすように設定され得る。なお、これに加えて、第1および第2 FET 30A, 30Bに関して上述したその他の特徴についても対称性を有するように構成され得る。

[0050] [非対称ゲート構造とゲートリーク電流との関係]

次に、図3を参照して、各FET 30A, 30Bの非対称ゲート構造と各ゲート部24A, 24Bに流れるゲートリーク電流との関係について説明する。

[0051] 図3は、第1 FET 30Aにおけるゲートリーク電流の経路を示す図1の半導体装置10の一部拡大図である。ここでは第1 FET 30Aを中心に説明するが、第2 FET 30Bについても同様である。

[0052] なお、以下では、非対称ゲート構造と対称ゲート構造とを対比しつつ説明を行う。上記したように、非対称ゲート構造とは、 $L1 > L2$ （図2参照）の関係を満たすように第1ゲート電極26Aが第1ゲート部24A上に配置された構造である。これに対して、対称ゲート構造とは、 $L1 = L2$ の関係

を満たすようにゲート電極が第1ゲート部24A上に配置された構造である（例えば、特許文献1のような構造である）。すなわち、対称ゲート構造では、第1ゲート部24Aの上面24AS1のX方向の中央位置にゲート電極が配置されている。以下では、対比説明を分かり易くするために、非対称ゲート構造と対称ゲート構造との間で同じまたは対応する構成および要素については、同じ参照符号を使用して説明を行う。

[0053] 第1FET30Aでは、第1ゲート電極26Aの直下に第1ゲート部24Aが配置されている。第1ゲート電極26Aに正電圧が印加されたとき、第1ゲート電極26Aの下面26AS2から2DEG20に向かって第1ゲート部24Aにはゲートリーク電流が流れる。このゲートリーク電流は、以下のような3つの経路に沿った第1～第3リーク電流 I_{g1} 、 I_{g2} 、 I_{g3} に分類される。

[0054] 第1リーク電流 I_{g1} は、第1ゲート電極26Aの第1ソース側電極端部26AE1から、第1ゲート部24Aの第1サイドスペース部AL1および第1ゲート部24Aの側面（ソース電極22寄りの側面）に沿って流れた後、2DEG20に向かって流れる電流である。

[0055] 第2リーク電流 I_{g2} は、第1ゲート電極26Aの第1ドレイン側電極端部26AE2から、第1ゲート部24Aの第2サイドスペース部AL2および第1ゲート部24Aの側面（第1ドレイン電極28A寄りの側面）に沿って流れた後、2DEG20に向かって流れる電流である。

[0056] 第3リーク電流 I_{g3} は、第1ゲート電極26Aの下面26AS2から第1ゲート部24A内部を通じて流れた後、2DEG20に向かって流れる電流である。

なお、第1ゲート電極26Aに閾値電圧以上の電圧が印加されて2DEG20が発生しているとき、第2リーク電流 I_{g2} は、ソース電極22に向かって2DEG20を流れる電流と、第1ドレイン電極28Aに向かって2DEG20を流れる電流とに分かれる。一方、第1および第3リーク電流 I_{g1} 、 I_{g3} は、その殆どがソース電極22に向かって2DEG20を流れる

。

[0057] 第1および第2リーク電流 I_{g1} 、 I_{g2} は表面リーク電流である。一方、第3リーク電流 I_{g3} はバルクリーク電流である。第1ゲート部24Aの材料、第1ゲート部24Aを覆う保護膜の材料、およびその他の条件にも依存するが、例えば第1ゲート電極26Aが第1ゲート部24Aにショットキー接合されている構造では、表面リーク電流はバルクリーク電流と同程度以上に大きくなることが多い。

[0058] 加えて、上記したように、第1FET30Aでは、ゲートドレイン間距離がゲートソース間距離（例えば、ゲートソース間距離に第1ゲート電極26Aのゲート長を加えた距離）よりも長い。このため、第1サイドスペース部24AL1等に沿ってソース電極22へと流れる第1リーク電流 I_{g1} の経路は、第2サイドスペース部24AL2等に沿ってソース電極22（および第1ドレイン電極28A）へと流れる第2リーク電流 I_{g2} の経路よりも短い。対称ゲート構造では、このような経路距離の差によって、第1リーク電流 I_{g1} が第2リーク電流 I_{g2} よりも顕著に大きくなる。

[0059] 特に、第1ゲート電極26Aの第1ソース側電極端部26AE1は、第1リーク電流 I_{g1} の起点となるだけでなく、一部の第3リーク電流 I_{g3} の起点ともなる。したがって、第1ソース側電極端部26AE1の直下に位置する第1ゲート部24Aの箇所は、他の箇所と比べるとゲートリーク電流が集中し易い箇所となり得る。このため、上記のように第1リーク電流 I_{g1} が第2リーク電流 I_{g2} よりも顕著に大きくなる対称ゲート構造の場合、ソース電極22寄りのゲート電極端部の直下に位置する第1ゲート部24Aの箇所ではゲートリーク電流の電流密度が特に高くなる。

[0060] このようにゲートリーク電流の電流密度が局所的に高い箇所では、インパクトイオン化によって電子・正孔対が発生することでその局所的箇所を起点としたゲートリーク電流がさらに増加するという正のフィードバックが働く。この増加したゲートリーク電流は第1ゲート部24Aの結晶欠陥を生じさせる要因となる。その結果、電流密度が初期に局所的に高い箇所では、ゲー

トリーク電流およびそれによる結晶欠陥が経時的に増加することによって第1ゲート部24Aの結晶破壊が生じる。したがって、対称ゲート構造の場合には、第1ゲート部24Aに絶縁破壊電界よりも低い電界が印加される場合であっても、電流密度が初期に局所的に高い箇所が存在することで、第1ゲート部24Aの結晶破壊が生じ得る。このような結晶破壊は、正方向のゲート最大定格電圧の低下をもたらす。

[0061] この点を考慮して、第1ゲート電極26Aは、第1ゲート部24Aの上面24AS1に $L1 > L2$ （図2参照）の関係を満たす非対称ゲート構造で配置されている。この構成では、第1サイドスペース部24AL1の長さ $L1$ が第2サイドスペース部24AL2の長さ $L2$ よりも長いことによって、第1リーク電流 I_{g1} が低減する。すなわち、 $L1 > L2$ の関係を満たす非対称ゲート構造では、第1リーク電流 I_{g1} の経路が対称ゲート構造に比べて長くなるため、上記したように経路距離の差が縮まることで第1リーク電流 I_{g1} が低減する。その結果、第1ソース側電極端部26AE1の直下に位置する第1ゲート部24Aの箇所における電流密度を低減して第1FET30Aにおける正方向のゲート最大定格電圧を向上させることができる。

[0062] なお、 $L1 > L2$ の関係によって第2リーク電流 I_{g2} の経路は対称ゲート構造に比べて短くなるが、第2リーク電流 I_{g2} の経路はそもそも長いいため、第2リーク電流 I_{g2} は相対的に小さい。このため、長さ $L1$ の増加によって長さ $L2$ が減少しても第2リーク電流 I_{g2} はほとんど増加しない。

[0063] ここで、本発明者らは、第1サイドスペース部24AL1の長さ $L1$ が第2サイドスペース部24AL2の長さ $L2$ よりも大きくなるにつれて、第1リーク電流 I_{g1} が指数関数的に減少することを見出している。この観点から、長さ $L1$ 、 $L2$ は $L1 \geq 2 \times L2$ の関係を満たすように設定されることがより好ましい。この関係を満たすことにより、第1サイドスペース部24AL1等に沿って流れる第1リーク電流 I_{g1} の経路がさらに長くなる。これにより、 $L1 > L2$ の条件の場合に比べて、第3リーク電流 I_{g3} を相対的に増加させることができるため、第1リーク電流 I_{g1} をさらに低減する

ことができる。その結果、第1ソース側電極端部26AE1の直下に位置する第1ゲート部24Aの箇所におけるゲートリーク電流の電流密度をさらに低減することができる。

[0064] 以上の説明は、第2FET3OBにも同様に適用される。第2FET3OBにおいても、第2ゲート電極26Bは、第2ゲート部24Bの上面24BS1に $L3 > L4$ （図2参照）の関係を満たす非対称ゲート構造で配置されている。これにより、第2ゲート電極26Bの第2ソース側電極端部26BE1の直下に位置する第2ゲート部24Bの箇所における電流密度を低減して、第2FET3OBにおける正方向のゲート最大定格電圧を向上させることができる。また、この場合も、長さ $L3$ 、 $L4$ が $L3 \geq 2 \times L4$ の関係を満たすことにより、第2ソース側電極端部26BE1の直下に位置する第2ゲート部24Bの箇所における電流密度をさらに低減することができる。

[0065] [半導体装置の製造方法]

次に、図4～図12を参照して半導体装置10の製造方法について説明する。図4～図12は、半導体装置10の例示的な製造工程を示す概略断面図である。なお、理解を容易にするために、半導体装置10の最終的な構成要素となる部材は、図1と同じ参照符号によって示されている。

[0066] 図4に示されるように、例えば導電性Si基板である基板12上に、バッファ層14、電子走行層16に対応する第1半導体層、電子供給層18に対応する第2半導体層、およびゲート層24に対応する第3半導体層が順にエピタキシャル成長によって形成される。エピタキシャル成長プロセスには、例えば有機金属気相成長（Metal Organic Chemical Vapor Deposition: MOCVD）法を用いることができる。

[0067] ゲート層24は、図1における第1および第2ゲート部24A、24Bを形成するための層である。バッファ層14、電子走行層16、電子供給層18、およびゲート層24は、図1を参照して説明したそれぞれの構造に対応する任意の材料および厚さで形成され得る。第1実施形態では、電子走行層16はGa₂N層、電子供給層18はAlGa₂N層、ゲート層24はアクセプ

タ型不純物としてMgがドーパされたp型GaN層である。また、バッファ層14の厚さは例えば1.5 μm 、電子走行層16の厚さは例えば1 μm 、電子供給層18の厚さは例えば20 nm、ゲート層24の厚さは例えば100 nmである。

[0068] 次いで、図5に示されるように、例えばスパッタ法によって、ゲート層24上にゲート電極層26が形成される。ゲート電極層26は、図1における第1および第2ゲート電極26A、26Bを形成するための層である。ゲート電極層26は、図1を参照して説明した第1および第2ゲート電極26A、26Bの構造に対応する任意の材料および厚さで形成され得る。第1実施形態では、ゲート電極層26はTiN層であり、その厚さは例えば200 nmである。

[0069] 次いで、例えばプラズマ化学的蒸着（Plasma-Enhanced Chemical Vapor Deposition: PECVD）法によって、ゲート電極層26上に第1保護層42が形成される。第1実施形態では、第1保護層42は例えばSiN層であり、その厚さは例えば200 nmである。ただし、第1保護層42の材料および厚さは特に限定されない。

[0070] 次いで、第1保護層42上に、開口部44Xを含むマスク44が形成される。次いで、このマスク44を用いたエッチング（例えばドライエッチング）によって、開口部44Xに対応する位置における第1保護層42とゲート電極層26とが除去される。このエッチングにより、開口部44Xに対応する位置に第1保護層42とゲート電極層26とを貫通する貫通孔45（図6参照）が形成されることにより、この貫通孔45を通じてゲート層24の表面が露出される。その後、マスク44が除去される。

[0071] 次いで、図6に示されるように、例えばPECVD法によって、ゲート層24、ゲート電極層26、および第1保護層42の表面全体を覆うように第2保護層46が形成される。第1実施形態では、第2保護層46は例えばSiN層であり、その厚さは例えば80 nmである。ただし、第2保護層46の材料および厚さは特に限定されない。

[0072] 次いで、図7に示されるように、第2保護層46の表面が露出されるまで第2保護層46がエッチバックされる。このエッチバックによって、貫通孔45の第1側面45Aおよび第2側面45Bをそれぞれ覆う第1側壁46Aおよび第2側壁46Bが形成される。第1および第2側壁46A、46Bは各々、エッチバック後に残る第2保護層46の一部である。なお、第2保護層46の厚さが80nmの場合、第1側壁46Aおよび第2側壁46Bの各々の厚さは、例えば40nm程度となる。

[0073] 次いで、図8に示されるように、第1保護層42およびゲート電極層26を選択的にエッチングすることによって第1ゲート電極26Aと第2ゲート電極26Bとが形成される。例えば、第1および第2ゲート電極26A、26Bの形成領域に対応する位置に開口部を有するマスク（図示略）が図7の構造上に形成される。そして、このマスクを用いて第1保護層42およびゲート電極層26をエッチング（例えばドライエッチング）することによって第1ゲート電極26Aと第2ゲート電極26Bとが形成される。第1実施形態では、第1および第2ゲート電極26A、26Bの各々の長さ（ゲート長）は例えば500nmであるが、ゲート長はこれに限定されない。このエッチングにより、第1保護層42は、第1ゲート電極26Aを覆う第1上壁42Aおよび第2ゲート電極26Bを覆う第2上壁42Bとして形成される。

[0074] 次いで、図9に示されるように、例えばPECVD法によって、ゲート層24、第1ゲート電極26A、第1上壁42A、第1側壁46A、第2ゲート電極26B、第2上壁42B、および第2側壁46Bの表面全体を覆うように第3保護層48が形成される。第1実施形態では、第3保護層48は例えばSiN層であり、その厚さは例えば80nmである。ただし、第3保護層48の材料および厚さは特に限定されない。

[0075] 次いで、図10に示されるように、ゲート層24の表面が露出されるまで第3保護層48がエッチバックされる。このエッチバックによって、第1側壁46Aを覆う第3側壁48A1、および第2側壁46Bを覆う第4側壁48B1が形成される。さらには、第1ゲート電極26A（および第1上壁4

2 A) を覆う第5側壁4 8 A 2、および第2ゲート電極2 6 B (および第2上壁4 2 B) を覆う第6側壁4 8 B 2が形成される。第3側壁4 8 A 1、第4側壁4 8 B 1、第5側壁4 8 A 2、および第6側壁4 8 B 2は各々、エッチバック後に残る第3保護層4 8の一部である。なお、第3保護層4 8の厚さが80 nmの場合、第3側壁4 8 A 1、第4側壁4 8 B 1、第5側壁4 8 A 2、および第6側壁4 8 B 2の各々の厚さは、例えば40 nm程度となる。

[0076] 次いで、図11に示されるように、第1上壁4 2 A、第2上壁4 2 B、第1側壁4 6 A、第2側壁4 6 B、第3側壁4 8 A 1、第4側壁4 8 B 1、第5側壁4 8 A 2、および第6側壁4 8 B 2をマスクとして用いてゲート層2 4をエッチング (例えばドライエッチング) することによって、第1ゲート部2 4 Aと第2ゲート部2 4 Bとが形成される。例えば、この工程では、ゲート層2 4ができるだけ低ダメージとなるドライエッチング条件を選択することで、第1および第2ゲート部2 4 A、2 4 Bが各々、図11に示されるような断面視台形状に形成される。

[0077] ここで、第1ゲート部2 4 Aの上面2 4 A S 1の長さは、第1ゲート電極2 6 Aのゲート長、第1側壁4 6 Aの厚さ、第3側壁4 8 A 1の厚さ、および第5側壁4 8 A 2の厚さの総和とほぼ等しくなるため、約620 nmとなる。同様に、第2ゲート部2 4 Bの上面2 4 B S 1の長さは、第2ゲート電極2 6 Bのゲート長、第2側壁4 6 Bの厚さ、第4側壁4 8 B 1の厚さ、および第6側壁4 8 B 2の厚さの総和とほぼ等しくなるため、約620 nmとなる。

[0078] 次いで、図12に示されるように、第1上壁4 2 A、第2上壁4 2 B、第1側壁4 6 A、第2側壁4 6 B、第3側壁4 8 A 1、第4側壁4 8 B 1、第5側壁4 8 A 2、および第6側壁4 8 B 2が除去される。その結果、第1ゲート部2 4 Aの上面2 4 A S 1に、第1サイドスペース部2 4 A L 1および第2サイドスペース部2 4 A L 2が形成されるとともに、第2ゲート部2 4 Bの上面2 4 B S 1に、第3サイドスペース部2 4 B L 1および第4サイド

スペース部 24BL2 が形成される。

[0079] ここで、第1サイドスペース部 24AL1 の長さ L_1 (図2参照) は、第1側壁 46A の厚さと第3側壁 48A1 の厚さとの和とほぼ等しくなるため、約 80 nm である。また、第2サイドスペース部 24AL2 の長さ L_2 (図2参照) は、第5側壁 48A2 の厚さとほぼ等しくなるため、約 40 nm である。したがって、この例では、 $L_1 \geq 2 \times L_2$ の関係が満たされている。

[0080] 同様に、第3サイドスペース部 24BL1 の長さ L_3 (図2参照) は、第2側壁 46B の厚さと第4側壁 48B1 の厚さとの和とほぼ等しくなるため、約 80 nm である。また、第4サイドスペース部 24BL2 の長さ L_4 (図2参照) は、第6側壁 48B2 の厚さとほぼ等しくなるため、約 40 nm である。したがって、この例では、 $L_3 \geq 2 \times L_4$ の関係が満たされている。

[0081] 次いで、図12に示されるように、ソース電極 22、第1ドレイン電極 28A、および第2ドレイン電極 28B が同時に形成される。ソース電極 22、第1ドレイン電極 28A、および第2ドレイン電極 28B は、図1を参照して説明したそれぞれの構造に対応する任意の材料および厚さで形成され得る。第1実施形態では、ソース電極 22、第1ドレイン電極 28A、および第2ドレイン電極 28B は各々、Ti層とAl層とTi層との3層構造である。その後、例えば約 600 度で熱処理（アニール処理）を行うことで、図1の構造を有する半導体装置 10 が完成する。

[0082] [半導体装置の作用]

次に、半導体装置 10 の作用について説明する。

図1に示されるように、半導体装置 10 は、アクセプタ型不純物を含む半導体層で形成された第1および第2ゲート部 24A、24B を含む。第1および第2ゲート電極 26A、26B は、それぞれ第1および第2ゲート部 24A、24B 上の一部に配置されている。第1ゲート部 24A の上面 24AS1 は、ソース電極 22 寄りに長さ L_1 で延在する第1サイドスペース部 2

4 A L 1 と、第 1 ドレイン電極 2 8 A 寄りに長さ L 2 で延在する第 2 サイドスペース部 2 4 A L 2 とを含む。第 2 ゲート部 2 4 B の上面 2 4 B S 1 は、ソース電極 2 2 寄りに長さ L 3 で延在する第 3 サイドスペース部 2 4 B L 1 と、第 2 ドレイン電極 2 8 B 寄りに長さ L 4 で延在する第 4 サイドスペース部 2 4 B L 2 とを含む。

[0083] 図 2 に示されるように、長さ L 1, L 2 は $L 1 > L 2$ の関係を満たしている。したがって、第 1 ゲート部 2 4 A と第 1 ゲート電極 2 6 A は非対称ゲート構造を形成している。また、長さ L 3, L 4 は $L 3 > L 4$ の関係を満たしている。したがって、第 2 ゲート部 2 4 B と第 2 ゲート電極 2 6 B は非対称ゲート構造を形成している。

[0084] なお、以下では、第 1 ゲート部 2 4 A と第 1 ゲート電極 2 6 A との非対称ゲート構造の作用について説明するが、第 2 ゲート部 2 4 B と第 2 ゲート電極 2 6 B との非対称ゲート構造の作用についても同様である。

[0085] 図 3 に示されるように、第 1 ゲート電極 2 6 A に正電圧が印加されたとき、第 1 ゲート電極 2 6 A の下面 2 6 A S 2 から 2 D E G 2 0 に向かって第 1 ゲート部 2 4 A にゲートリーク電流が流れ得る。このゲートリーク電流は、第 1 サイドスペース部 A L 1 等に沿って流れる第 1 リーク電流 I_{g1} 、第 2 サイドスペース部 A L 2 等に沿って流れる第 2 リーク電流 I_{g2} 、および第 1 ゲート部 2 4 A 内部を通じて流れる第 3 リーク電流 I_{g3} に分類される。

[0086] ここで、第 1 ゲート電極 2 6 A の第 1 ソース側電極端部 2 6 A E 1 は、第 1 リーク電流 I_{g1} の起点となるだけでなく、一部の第 3 リーク電流 I_{g3} の起点ともなる。このため、第 1 ソース側電極端部 2 6 A E 1 の直下に位置する第 1 ゲート部 2 4 A の箇所は、他の箇所よりもゲートリーク電流が集中し易い部分である。

[0087] この点を考慮して、第 1 ゲート電極 2 6 A は、第 1 ゲート部 2 4 A の上面 2 4 A S 1 に $L 1 > L 2$ (図 2 参照) の関係を満たすように配置されている。この構成では、第 1 サイドスペース部 2 4 A L 1 の長さ L 1 が第 2 サイドスペース部 2 4 A L 2 の長さ L 2 よりも長いため、第 1 リーク電流 I_{g1} が

低減する。すなわち、 $L_1 > L_2$ を満たす非対称ゲート構造では、第1リーク電流 I_{g1} の経路が対称ゲート構造に比べて長くなるため、第1リーク電流 I_{g1} が低減する。その結果、第1ソース側電極端部26AE1の直下に位置する第1ゲート部24Aの箇所の電流密度を低減して正方向におけるゲート最大定格電圧を向上させることができる。

[0088] 第1実施形態の半導体装置10は、以下の利点を有する。

(1-1) 第1ゲート部24Aにおいて、第1サイドスペース部24AL1の長さ L_1 および第2サイドスペース部24AL2の長さ L_2 が $L_1 > L_2$ の関係を満たしている。また、第2ゲート部24Bにおいて、第3サイドスペース部24BL1の長さ L_1 および第4サイドスペース部24BL2の長さが $L_3 > L_4$ の関係を満たしている。

[0089] この構成によれば、第1ゲート部24Aにおいて、第1サイドスペース部24AL1等に沿って第1リーク電流 I_{g1} が流れる経路を長くすることができる。これにより、ソース側電極端部26AE1の直下に位置する第1ゲート部24Aの箇所におけるゲートリーク電流の電流密度を低減することができる。すなわち、電流密度の局所的な増大を抑えることができる。その結果、第1ゲート部24Aと第1ゲート電極26Aとを組み合わせた非対称ゲート構造によって正方向のゲート最大定格電圧を向上させることができる。

[0090] また、第1ゲート部24Aと同様、第2ゲート部24Bにおいても、第3サイドスペース部24BL1等に沿って第1リーク電流 I_{g1} が流れる経路を長くすることができる。これにより、第2ソース側電極端部26BE1の直下に位置する第2ゲート部24Bの箇所におけるゲートリーク電流の電流密度を低減することができる。すなわち、電流密度の局所的な増大を抑えることができる。その結果、第2ゲート部24Bと第2ゲート電極26Bとを組み合わせた非対称ゲート構造によって正方向のゲート最大定格電圧を向上させることができる。

[0091] (1-2) 長さ L_1 および長さ L_2 が $L_1 \geq 2 \times L_2$ の関係を満たし、かつ長さ L_3 および長さ L_4 が $L_3 \geq 2 \times L_4$ の関係を満たしている。この構

成によれば、第1および第2ゲート部24A、24Bの各々において、第1リーク電流 I_{g1} の経路がさらに長くなるため、第3リーク電流 I_{g3} を相対的に増加させて第1リーク電流 I_{g1} をさらに低減することができる。その結果、電流密度の局所的な増大をさらに抑えて、正方向のゲート最大定格電圧を向上させることができる。

[0092] (1-3) 第1サイドスペース部24AL1の長さ L_1 および第1ゲート部24Aの厚さ T_1 が $L_1 \leq T_1$ の関係を満たし、かつ第3サイドスペース部24BL1の長さ L_3 および第2ゲート部24Bの厚さ T_2 が $L_3 \leq T_2$ の関係を満たしている。

[0093] 第1ゲート部24Aに第1ゲート電極26Aがショットキー接合された構造では、第1ゲート電極26Aに正電圧が印加されると、ショットキー接合部に逆バイアスが印加されて第1ゲート部24A内に空乏層が広がる。この場合、第1ゲート部24Aにおいて、 $L_1 \leq T_1$ の関係を満たすことにより、第1ゲート部24Aの上面24AS1の面積に対するショットキー接合部の接合界面の面積の割合を、第1ゲート部24Aの厚さ T_1 に基づいて良好に維持することが可能となる。その結果、接合界面から垂直方向に広がる空乏層を第1ゲート部24Aの上面24AS1の面積に対して水平方向にも良好に維持することが可能となるため、正方向のゲート最大定格電圧を高くすることができる。

[0094] また、第1ゲート部24Aと同様、第2ゲート部24Bにおいても、第2ゲート部24Bに第2ゲート電極26Bがショットキー接合された構造において、 $L_3 \leq T_2$ の関係が満たされる。これにより、第2ゲート部24Bの上面24BS1の面積に対するショットキー接合部の接合界面の面積の割合を、第2ゲート部24Bの厚さ T_2 に基づいて良好に維持することが可能となる。その結果、接合界面から垂直方向に広がる空乏層を第2ゲート部24Bの上面24BS1の面積に対して水平方向にも良好に維持することが可能となるため、正方向のゲート最大定格電圧を高くすることができる。

[0095] (1-4) 第1サイドスペース部24AL1の長さ L_1 、第2サイドス

ース部24AL2の長さ L_2 、および第1ゲート電極26Aの長さ L_{G1} が $L_{G1} \geq L_1 + L_2$ の関係を満たしている。さらに、第3サイドスペース部24BL1の長さ L_3 、第4サイドスペース部24BL2の長さ L_4 、および第2ゲート電極26Bの長さ L_{G2} が $L_{G2} \geq L_3 + L_4$ の関係を満たしている。

[0096] この構成によれば、第1ゲート部24Aの上面24AS1に対して第1ゲート電極26Aが接触する面積を大きくして、第1ゲート電極26Aから第1ゲート部24Aにゲート信号を効率的に伝達することが可能となる。これにより、第1ゲート部24Aの下面24AS2の端部までゲート信号を十分に伝達することが可能となるため、サブスレッショルド特性を向上することができる。その結果、ゲート電圧が閾値電圧以下のときのドレインリーク電流を小さくすることができる。また、第1ゲート電極26Aの断面積が大きくなるためゲート抵抗を下げることも可能となる。

[0097] また、第1ゲート部24Aと同様、第2ゲート部24Bにおいても、第2ゲート部24Bの上面24BS1に対して第2ゲート電極26Bが接触する面積を大きくすることができる。その結果、サブスレッショルド特性を向上してゲート電圧が閾値電圧以下のときのドレインリーク電流を小さくすることができる。また、第2ゲート電極26Bの断面積が大きくなるためゲート抵抗を下げることも可能となる。

[0098] (1-5) 電子走行層16はGaN層であり、電子供給層18はAlGaN層であり、第1ゲート部24Aおよび第2ゲート部24Bは、アクセプタ型不純物を含むGaN層である。この構成によれば、GaN-HEMT構造におけるゲートリーク電流の電流密度の局所的増大を抑えて正方向のゲート最大定格電圧を向上させることができる。

[0099] (1-6) 第1ゲート電極26Aは、第1ゲート部24Aにショットキー接合されており、第2ゲート電極26Bは、第2ゲート部24Bにショットキー接合されている。この構成では、バルクリーク電流（第3リーク電流 I_{g3} ）に比べて、表面リーク電流（第1および第2リーク電流 I_{g1} , I_{g2} ）に比べて、表面リーク電流（第1および第2リーク電流 I_{g1} , I_{g2} ）

2) が支配的となる。この場合、ゲートドレイン間距離がゲートソース間距離よりも長い構造においては、第1リーク電流 I_{g1} の経路が第2リーク電流 I_{g2} の経路よりも短くなることで、第1リーク電流 I_{g1} が第2リーク電流 I_{g2} よりも顕著に大きくなる。このため、上記したように第1および第2ゲート部24A、24Bにおいてゲートリーク電流が局所的に増大する箇所が発生する。したがって、 $L1 > L2$ かつ $L3 > L4$ を満たす非対称ゲート構造を採用することにより、このような電流密度の局所的な増大を（例えば、 $L1 = L2$ かつ $L3 = L4$ の対称ゲート構造に比べて）効果的に抑えることができる。

[0100] (1-7) 第1ゲート電極26Aと第1ゲート部24Aとよる非対称ゲート構造を含む第1FET30A、および第2ゲート電極26Bと第2ゲート部24Bとよる非対称ゲート構造を含む第2FET30Bは、いずれもノーマリーオフ型である。したがって、第1および第2FET30A、30Bを、フェールセーフの観点からパワートランジスタに適した構成とすることができる。

[0101] [第2実施形態]

次に、図13～図16を参照して、第2実施形態を説明する。図13は、第2実施形態に係る例示的な半導体装置100の概略断面図である。また、図14は、図13の半導体装置100の一部拡大図である。なお、図13～図15において、第1実施形態の半導体装置10と同様の構成要素には同じ符号を付している。以下では、第1実施形態と同様な構成要素については説明を省略し、第1実施形態と異なる構成要素について説明する。

[0102] [第2実施形態のゲート構造]

図13に示されるように、第2実施形態の半導体装置100は、図1を参照して説明した第1ゲート部24Aおよび第2ゲート部24Bがそれぞれ第1ゲート部124Aおよび第2ゲート部124Bに置き換えられている点で第1実施形態の半導体装置10と異なっている。その他の構成は、第1実施形態と同様である。

- [0103] 第1および第2ゲート部124A, 124Bは、アクセプタ型不純物を含む半導体層（第3半導体層に対応する）であって、例えば、アクセプタ型不純物を含む窒化物半導体によって構成され得る。第1および第2ゲート部124A, 124Bは、電子供給層18よりも小さなバンドギャップを有する任意の半導体材料で構成され得る。第2実施形態では、第1および第2ゲート部124A, 124Bは、アクセプタ型不純物がドーピングされたGaN層、すなわちp型GaN層である。アクセプタ型不純物は、例えば、亜鉛（Zn）、マグネシウム（Mg）、および炭素（C）のうちの少なくとも1つを含み得る。なお、第2実施形態では、Mgがアクセプタ型不純物として用いられている。アクセプタ型不純物は、例えば $7 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下の最大濃度を有し得る。
- [0104] 第1および第2ゲート部124A, 124Bの厚さは特に限定されず、例えば、ゲート耐圧等を考慮して適宜決定され得る。例えば、第1および第2ゲート部124A, 124Bは、80nm以上150nm以下の厚さを有し得る。第2実施形態では、第1および第2ゲート部124A, 124Bの厚さは100nm程度である。
- [0105] 第1ゲート部124Aは、第1リッジ部132Aと、第1ソース側水平延在部134Aと、第1ドレイン側水平延在部136Aとを含む。同様に、第2ゲート部124Bは、第2リッジ部132Bと、第2ソース側水平延在部134Bと、第2ドレイン側水平延在部136Bとを含む。
- [0106] 第1および第2リッジ部132A, 132Bの断面形状（図13においてZX平面に沿った断面形状）は特に限定されず、例えば、矩形状、台形状、またはその他の任意の形状であってよい。第2実施形態では、第1および第2リッジ部132A, 132Bは断面視台形状である。この場合、第1および第2リッジ部132A, 132Bはテーパ状の傾斜側壁を含むが、第1および第2リッジ部132A, 132Bはこのような傾斜側壁を有していてもなくてもよい。なお、第1リッジ部132Aと各水平延在部134A, 136Aとを連結する（第2リッジ部132Bと各水平延在部134B, 1

36Bとを連結する)別の傾斜部が延在部としてまたは第1リッジ部132Aの一部(第2リッジ部132Bの一部)として存在していてもよい。

[0107] なお、第1リッジ部132Aは、第1実施形態の第1ゲート部24Aに対応または類似する部分ともみなすことができる。したがって、第2実施形態の第1ゲート部124Aは、第1リッジ部132Aに対応し得る第1実施形態の第1ゲート部24Aに、第1ソース側水平延在部134Aと第1ドレイン側水平延在部136Aとを加えた構成ともみなすことができる。

[0108] 同様に第2リッジ部132Bは、第1実施形態の第2ゲート部24Bに対応または類似する部分ともみなすことができる。したがって、第2実施形態の第2ゲート部124Bは、第2リッジ部132Bに対応し得る第1実施形態の第2ゲート部24Bに、第2ソース側水平延在部134Bおよび第2ドレイン側水平延在部136Bを加えた構成ともみなすことができる。

[0109] 以下では、理解を容易にするために、第1実施形態の第1および第2ゲート部24A、24Bの構成に対応し得る第1および第2リッジ部132A、132Bの構成については、第1および第2ゲート部24A、24Bの構成と同じ参照符号を使用して説明する。

[0110] 第1ゲート部124Aの上面24AS1は、第1リッジ部132Aの上面に対応しており、第1ゲート電極26Aは、第1リッジ部132A(第1ゲート部124A)の上面24AS1に配置されている。第2実施形態における第1リッジ部132Aと第1ゲート電極26Aとの関係は、第1実施形態における第1ゲート部24Aと第1ゲート電極26Aとの関係に対応し得る。

[0111] したがって、図14に示されるように、第1リッジ部132Aの上面24AS1は、第1実施形態と同様に、長さL1を有する第1サイドスペース部24AL1と、長さL2を有する第2サイドスペース部24AL2とを含む。そして、第1実施形態と同様に、長さL1、L2は、 $L1 > L2$ の関係、より好ましくは $L1 \geq 2 \times L2$ の関係を満たしている。

[0112] 同様に第2ゲート部124Bの上面24BS1は、第2リッジ部132B

の上面に対応しており、第2ゲート電極26Bは、第2リッジ部132B（第2ゲート部124B）の上面24BS1に配置されている。第2実施形態における第2リッジ部132Bと第2ゲート電極26Bとの関係は、第1実施形態における第2ゲート部24Bと第2ゲート電極26Bとの関係に対応し得る。

[0113] したがって、図14に示されるように、第2リッジ部132Bの上面24BS1は、第1実施形態と同様に、長さL3を有する第3サイドスペース部24BL1と、長さL4を有する第4サイドスペース部24BL2とを含む。そして、第1実施形態と同様に、長さL3、L4は、 $L3 > L4$ の関係、より好ましくは $L3 \geq 2 \times L4$ の関係を満たしている。

[0114] 第1ゲート部124Aにおいて、第1ソース側水平延在部134Aは、第1リッジ部132Aからソース電極22に向かう方向（X方向）に長さL5で水平に延在している。一方、第1ドレイン側水平延在部136Aは、第1リッジ部132Aから第1ドレイン電極28Aに向かう方向（X方向）に長さL6で水平に延在している。

[0115] 第1ソース側水平延在部134Aの長さL5は、第1ドレイン側水平延在部136Aの長さL6よりも長い。したがって、長さL5および長さL6は、 $L5 > L6$ の関係、より好ましくは、 $L6 < L5 \leq 2 \times L6$ の関係を満たすように設定されている。第1ソース側水平延在部134Aの長さL5は、例えば0.2 μm 以上0.6 μm 以下であってよい。一方、第1ドレイン側水平延在部136Aの長さL6は、例えば0.2 μm 以上0.3 μm 以下であってよい。なお、第1ソース側水平延在部134Aの厚さおよび第1ドレイン側水平延在部136Aの厚さは同じであってよく、例えば5 nm以上25 nm以下であってよい。

[0116] 同様に第2ゲート部124Bにおいて、第2ソース側水平延在部134Bは、第2リッジ部132Bからソース電極22に向かう方向（X方向）に長さL7で水平に延在している。一方、第2ドレイン側水平延在部136Bは、第2リッジ部132Bから第2ドレイン電極28Bに向かう方向（X方向

）に長さ L_8 で水平に延在している。

[0117] 第2ソース側水平延在部134Bの長さ L_7 は、第2ドレイン側水平延在部136Bの長さ L_8 よりも長い。したがって、長さ L_7 および長さ L_8 は、 $L_7 > L_8$ の関係、より好ましくは、 $L_8 < L_7 \leq 2 \times L_8$ の関係を満たすように設定されている。第2ソース側水平延在部134Bの長さ L_7 は、例えば $0.2 \mu\text{m}$ 以上 $0.6 \mu\text{m}$ 以下であってよい。一方、第2ドレイン側水平延在部136Bの長さ L_8 は、例えば $0.2 \mu\text{m}$ 以上 $0.3 \mu\text{m}$ 以下であってよい。なお、第2ソース側水平延在部134Bの厚さおよび第2ドレイン側水平延在部136Bの厚さは同じであってよく、例えば 5 nm 以上 25 nm 以下であってよい。

[0118] なお、第1ソース側水平延在部134Aの長さ L_5 と第2ソース側水平延在部134Bの長さ L_7 とは同じ（すなわち、 $L_5 = L_7$ ）であってよい。また、第1ドレイン側水平延在部136Aの長さ L_6 と第2ドレイン側水平延在部136Bの長さ L_8 とは同じ（すなわち、 $L_6 = L_8$ ）であってよい。

[0119] [第2実施形態のゲート構造とゲートリーク電流との関係]

次に、図15を参照して、第2実施形態のゲート構造とゲートリーク電流との関係について説明する。

[0120] 図15は、第2実施形態の第1FET30Aにおけるゲートリーク電流の経路を示す図13の半導体装置100の一部拡大図である。ここでは第1FET30Aを中心に説明するが、第2FET30Bについても同様である。

[0121] 第2実施形態のゲート構造では、第1ゲート電極26Aに正電圧が印加されたとき、第1ゲート電極26Aの下面26AS2から2DEG20に向かって、以下のような4つの経路に沿った第1～第4リーク電流 I_{g11} 、 I_{g12} 、 I_{g13} 、 I_{g14} が第1ゲート部124Aに流れる。

[0122] 第1リーク電流 I_{g11} は、第1ゲート電極26Aの第1ソース側電極端部26AE1から第1リッジ部132Aの第1サイドスペース部AL1、第1リッジ部132Aの側面（ソース電極22寄りの側面）、および第1ソー

ス側水平延在部 134A の表面に沿って流れた後、2DEG20 に向かって流れる電流である。

[0123] 第2リーク電流 I_{g12} は、第1ゲート電極 26A の第1ドレイン側電極端部 26AE2 から第1リッジ部 132A の第2サイドスペース部 AL2、第1リッジ部 132A の側面（第1ドレイン電極 28A 寄りの側面）、および第1ドレイン側水平延在部 136A の表面に沿って流れた後、2DEG20 に向かって流れる電流である。

[0124] 第3リーク電流 I_{g13} は、第1ゲート電極 26A の下面 26AS2 から第1リッジ部 132A 内部および第1ソース側水平延在部 134A 内部を通じて流れた後、2DEG20 に向かって流れる電流である。

[0125] 第4リーク電流 I_{g14} は、第1ゲート電極 26A の下面 26AS2 から第1リッジ部 132A 内部および第1ドレイン側水平延在部 136A 内部を通じて流れた後、2DEG20 に向かって流れる電流である。

[0126] なお、第1ゲート電極 26A に閾値電圧以上の電圧が印加されて 2DEG20 が発生しているとき、第2および第4リーク電流 I_{g12} 、 I_{g14} は各々、ソース電極 22 に向かって 2DEG20 を流れる電流と、第1ドレイン電極 28A に向かって 2DEG20 を流れる電流とに分かれる。一方、第1および第3リーク電流 I_{g11} 、 I_{g13} は、その殆どがソース電極 22 に向かって 2DEG20 を流れる。

[0127] ここで、第1ゲート電極 26A の第1ソース側電極端部 26AE1 の直下に位置する第1ゲート部 124A の箇所は、他の箇所と比べるとゲートリーク電流が集中し易い箇所となり得る。このような電流密度の局所的な増大を抑えるべく、第2実施形態の第1ゲート部 124A は、第1リッジ部 132A に加えて、第1ソース側水平延在部 134A と第1ドレイン側水平延在部 136A とを有している。

[0128] 例えば、第1ゲート部 124A が第1リッジ部 132A のみを有するゲート構造の場合には、第1ゲート電極 26A への大きな正電圧の印加時において、第1リッジ部 132A と電子供給層 18 との界面における第1リッジ部

1 3 2 Aの端部には電界が集中する。

[0129] これに対し、第1ゲート部1 2 4 Aが第1リッジ部1 3 2 Aとともに第1ソース側水平延在部1 3 4 Aおよび第1ドレイン側水平延在部1 3 6 Aを有する第2実施形態のゲート構造では、第1ゲート部1 2 4 Aと電子供給層1 8との界面の面積が大きくなる。このため、第1ゲート部1 2 4 Aが第1リッジ部1 3 2 Aのみを有するゲート構造に比べて、第1ゲート部1 2 4 Aの端部に集中する電界を緩和することができる。

[0130] その結果、第1ゲート部1 2 4 Aの表面に沿って電流が流れにくくなるため第1および第2リーク電流 I_{g11} , I_{g12} （表面リーク電流）を低減することができる。すなわち、第3および第4リーク電流 I_{g13} , I_{g14} （バルクリーク電流）を相対的に増加させて第1および第2リーク電流 I_{g11} , I_{g12} を低減することができる。これにより、第1ソース側電極端部2 6 A E 1の直下に位置する第1ゲート部1 2 4 Aの箇所におけるゲートリーク電流の電流密度を低減して正方向のゲート最大定格電圧を向上させることができる。

[0131] 加えて、第1ソース側水平延在部1 3 4 Aの厚さおよび第1ドレイン側水平延在部1 3 6 Aの厚さは、第1リッジ部1 3 2 Aの厚さよりも小さい。したがって、第1ゲート部1 2 4 A（ここではp型Ga N層）と電子供給層1 8（ここではAl Ga N層）と2 D E G 2 0とで構成されるpinダイオードのターンオン電圧が、第1リッジ部1 3 2 Aの領域に比べて、第1ソース側水平延在部1 3 4 Aおよび第1ドレイン側水平延在部1 3 6 Aの領域では小さくなる。

[0132] その結果、第1ゲート電極2 6 Aに印加されたゲート電圧は、第1ソース側水平延在部1 3 4 A内部を流れる第3リーク電流 I_{g13} および第1ドレイン側水平延在部1 3 6 A内部を流れる第4リーク電流 I_{g14} によってより消費されるようになる。これにより、第1ゲート電極2 6 Aと第1ゲート部1 2 4 Aとのショットキー接合における耐圧を高めて正方向のゲート最大定格電圧を向上させることができる。

[0133] さらに、上記したように、第1ソース側水平延在部134Aの長さL5および第1ドレイン側水平延在部136Aの長さL6は、 $L5 > L6$ の関係を満たすように設定されている。この構成では、第3リーク電流 I_{g13} を第4リーク電流 I_{g14} よりも低減することができる。この作用について、図16を参照して以下に説明する。

[0134] 図16は、第2実施形態のゲート構造に流れるバルクリーク電流の電流密度のシミュレーション結果を示す断面図である。図16に示されるように、このシミュレーションで用いた半導体装置100は、電子走行層216（GaN層）、電子走行層216上の電子供給層218（AlGaIn層）、電子供給層218上のゲート部224（p型GaIn層）、ゲート部224上のゲート電極226（TiN層）、およびパッシベーション層220を含む。また、ゲート部224は、リッジ部232と、ソース側水平延在部234と、ドレイン側水平延在部236とを含む。

[0135] なお、電子走行層216、電子供給層218、ゲート部224、およびゲート電極226は、例えば、図13～図15における電子走行層16、電子供給層18、第1ゲート部124A、および第1ゲート電極26Aにそれぞれ対応し得る。また、ゲート部224のリッジ部232、ソース側水平延在部234、およびドレイン側水平延在部236は、例えば、第1ゲート部124Aの第1リッジ部132A、第1ソース側水平延在部134A、および第1ドレイン側水平延在部136Aにそれぞれ対応し得る。

[0136] シミュレーションでは、ゲート電極226に正電圧（例えば23V）を印加したときにゲート電極226からゲート部224に流れるバルクリーク電流の電流密度分布を調べた。なお、このシミュレーションでは表面リーク電流については調べていない。ここでは、ソース側水平延在部234の長さ（例えば、第1ソース側水平延在部134Aの長さL5）は $0.4\mu\text{m}$ 、ドレイン側水平延在部236の長さ（例えば、第1ドレイン側水平延在部136Aの長さL6）は $0.2\mu\text{m}$ である。

[0137] 図16に示されるように、ゲート電極226のソース側電極端部226E

1 から流れるバルクリーク電流は、ゲート電極 2 2 6 のドレイン側電極端部 2 2 6 E 2 から流れるバルクリーク電流よりも小さい。これは、ソース側水平延在部 2 3 4 の長さがドレイン側水平延在部 2 3 6 の長さよりも長いため、ソース側水平延在部 2 3 4 の先端における電界が緩和されることによってソース側水平延在部 2 3 4 内に流れる電流が減少したものと考えられる。

[0138] したがって、図 1 3 ~ 図 1 5 に示す第 1 F E T 3 0 A の構成においては、第 1 ソース側水平延在部 1 3 4 A の長さ L_5 を第 1 ドレイン側水平延在部 1 3 6 A の長さ L_6 よりも長くすることで、第 3 リーク電流 I_{g13} を第 4 リーク電流 I_{g14} よりも低減することができる。その結果、第 1 ソース側電極端部 2 6 A E 1 の直下に位置する第 1 ゲート部 1 2 4 A の箇所におけるゲートリーク電流の電流密度を低減して正方向のゲート最大定格電圧を向上させることができる。

[0139] また、このとき、長さ L_5 および長さ L_6 を $L_6 < L_5 \leq 2 \times L_6$ の関係を満たすように設定することで、第 1 ソース側水平延在部 1 3 4 A の長さ L_5 の増加に伴うソース抵抗の増加を抑制することができる。

[0140] また、第 2 実施形態では、第 1 実施形態と同様、第 1 ゲート電極 2 6 A は、第 1 リッジ部 1 3 2 A (第 1 ゲート部 1 2 4 A) の上面 2 4 A S 1 に、 $L_1 > L_2$ の関係を満たす非対称ゲート構造で配置されている。したがって、第 1 実施形態と同様に第 1 リーク電流 I_{g11} も低減することができる。その結果、第 1 リーク電流 I_{g11} と第 3 リーク電流 I_{g13} とが低減されることにより、第 1 ソース側電極端部 2 6 A E 1 の直下に位置する第 1 ゲート部 1 2 4 A の箇所におけるゲートリーク電流の電流密度を一層低減して正方向のゲート最大定格電圧を向上させることができる。

[0141] なお、第 1 ゲート部 1 2 4 A において、第 1 リッジ部 1 3 2 A のアクセプタ型不純物の濃度を、第 1 ソース側水平延在部 1 3 4 A および第 1 ドレイン側水平延在部 1 3 6 A のアクセプタ型不純物の濃度より低くしてもよい。例えば、第 1 リッジ部 1 3 2 A に第 1 濃度で Mg がドーピングされる一方、第 1 ソース側水平延在部 1 3 4 A および第 1 ドレイン側水平延在部 1 3 6 A には第

1 濃度よりも低い第 2 濃度で Mg がドーピングされてもよい。この場合における第 1 濃度および第 2 濃度は、例えば各領域にドーピングされるアクセプタ型不純物の最大濃度であってよい。

[0142] このように異なる不純物濃度で第 1 ゲート部 124A を構成することで、第 1 ソース側水平延在部 134A および第 1 ドレイン側水平延在部 136A に流れるバルクリーク電流（すなわち、第 3 および第 4 リーク電流 I_{g13} , I_{g14} ）を小さくすることができる。したがって、第 1 ソース側電極端部 26AE1 の直下に位置する第 1 ゲート部 124A の箇所におけるゲートリーク電流の電流密度を一層低減して正方向のゲート最大定格電圧を向上させることができる。

[0143] 以上の説明は、第 1 ゲート部 124A と同様な構成を有する第 2 ゲート部 124B にも同様に適用される。なお、上記のように第 1 ゲート部 124A が異なる不純物濃度で構成される場合には、第 2 ゲート部 124B も異なる不純物濃度で構成される。

[0144] なお、第 2 実施形態の半導体装置 100 の製造方法について詳細な説明は省略するが、図 4 ～図 12 を参照して説明した第 1 実施形態の半導体装置 10 の製造方法を適用することができる。例えば、図 10 の工程の後、第 1 リッジ部 132A（第 2 リッジ部 132B）を形成する工程が行われる。その後、第 1 ソース側水平延在部 134A（第 2 ソース側水平延在部 134B）および第 1 ドレイン側水平延在部 136A（第 2 ドレイン側水平延在部 136B）を形成する工程が行われる。これによって図 13 ～図 15 に示される第 1 ゲート部 124A（第 2 ゲート部 124B）を形成することができる。

[0145] 第 2 実施形態の半導体装置 100 は、第 1 実施形態の（1-1）～（1-7）の利点に加えて、以下の利点を有する。

（2-1）第 1 ゲート部 124A は、第 1 リッジ部 132A から長さ L_5 で延在する第 1 ソース側水平延在部 134A と、第 1 リッジ部 132A から長さ L_6 で延在する第 1 ドレイン側水平延在部 136A とを含む。また、第 2 ゲート部 124B は、第 2 リッジ部 132B から長さ L_7 で延在する第 2

ソース側水平延在部 134B と、第 2 リッジ部 132B から長さ L_8 で延在する第 2 ドレイン側水平延在部 136B とを含む。

[0146] この構成によれば、第 1 ゲート部 124A が第 1 リッジ部 132A のみを有する構成に比べて、第 1 ゲート部 124A の端部に集中する電界を緩和することができる。その結果、第 1 ゲート部 124A の表面に沿って電流が流れにくくなるため第 1 および第 2 リーク電流 I_{g11} , I_{g12} (表面リーク電流) を低減することができる。これにより、第 1 ソース側電極端部 26AE1 の直下に位置する第 1 ゲート部 124A の箇所におけるゲートリーク電流の電流密度を低減して正方向のゲート最大定格電圧を向上させることができる。

[0147] また、第 1 ゲート部 124A と同様、第 2 ゲート部 124B においても、第 1 ゲート部 124A の端部に集中する電界を緩和して第 1 および第 2 リーク電流 I_{g11} , I_{g12} (表面リーク電流) を低減することができる。これにより、第 2 ソース側電極端部 26BE1 の直下に位置する第 2 ゲート部 124B の箇所におけるゲートリーク電流の電流密度を低減して正方向のゲート最大定格電圧を向上させることができる。

[0148] (2-2) 長さ L_5 および長さ L_6 は $L_5 > L_6$ の関係を満たし、かつ長さ L_7 および長さ L_8 は $L_7 > L_8$ の関係を満たしている。この構成によれば、第 1 ゲート部 124A の第 1 ソース側水平延在部 134A の先端における電界を緩和して第 1 ソース側水平延在部 134A 内に流れるバルクリーク電流を低減することができる。その結果、第 3 リーク電流 I_{g13} を第 4 リーク電流 I_{g14} よりも低減することができる。これにより、第 1 ソース側電極端部 26AE1 の直下に位置する第 1 ゲート部 124A の箇所におけるゲートリーク電流の電流密度を低減して正方向のゲート最大定格電圧を向上させることができる。

[0149] また、第 1 ゲート部 124A と同様、第 2 ゲート部 124B においても、第 2 ソース側水平延在部 134B の先端における電界を緩和して第 2 ソース側水平延在部 134B 内に流れるバルクリーク電流を低減することができる。

。これにより、第2ソース側電極端部26BE1の直下に位置する第2ゲート部124Bの箇所におけるゲートリーク電流の電流密度を低減して正方向のゲート最大定格電圧を向上させることができる。

[0150] (2-3) 長さL5および長さL6は $L6 < L5 \leq 2 \times L6$ の関係を満たし、かつ長さL7および長さL8は $L8 < L7 \leq 2 \times L8$ の関係を満たしている。この構成によれば、第1ソース側水平延在部134Aの長さL5の増加に伴うソース抵抗の増加を抑制することができる。また、同様に、第2ソース側水平延在部134Bの長さL7の増加に伴うソース抵抗の増加を抑制することができる。

[0151] (2-4) 第1ゲート部124Aは、第1リッジ部132Aにドーピングされるアクセプタ型不純物の濃度が第1ソース側水平延在部134Aおよび第1ドレイン側水平延在部136Aにドーピングされるアクセプタ型不純物の濃度よりも低くなるように構成され得る。同様に、第2ゲート部124Bは、第2リッジ部132Bにドーピングされるアクセプタ型不純物の濃度が第2ソース側水平延在部134Bおよび第2ドレイン側水平延在部136Bにドーピングされるアクセプタ型不純物の濃度よりも低くなるように構成され得る。

[0152] この構成によれば、第1ソース側水平延在部134Aおよび第1ドレイン側水平延在部136Aに流れるバルクリーク電流、ならびに第2ソース側水平延在部134Bおよび第2ドレイン側水平延在部136Bに流れるバルクリーク電流を小さくすることができる。これにより、ゲートリーク電流の電流密度を低減する効果をさらに高めて正方向のゲート最大定格電圧を向上させることができる。

[0153] [変更例]

上記各実施形態は、以下のように変更して実施することができる。また、上記各実施形態および以下の各変更例は、技術的に矛盾しない範囲で互いに組み合わせて実施することができる。

[0154] ・半導体装置10はGaNを用いた装置に限定されない。例えば、GaNに代えてAlNまたはInN等の窒化物半導体を用いてもよい。さらには、

半導体装置 10 は、窒化物半導体を用いた HEMT として構成されることに限定されず、他の III-V 族半導体を用いた HEMT として構成されてもよい。

[0155] ・第 2 実施形態の半導体装置 100 のゲート構造は、第 1 実施形態の半導体装置 10 の非対称ゲート構造を有する（すなわち、 $L_1 > L_2$ かつ $L_3 > L_4$ の関係を満たす）ものとして構成されたが、 $L_1 > L_2$ かつ $L_3 > L_4$ の関係を満たしていなくてもよい。すなわち、第 1 ゲート部 124A において第 1 サイドスペース部 24AL1 および第 2 サイドスペース部 24AL2 は $L_1 = L_2$ の関係を満たすものであってもよく、第 2 ゲート部 124B において第 3 サイドスペース部 24BL1 および第 4 サイドスペース部 24BL2 は $L_3 = L_4$ の関係を満たすものであってもよい。さらに、第 2 実施形態においては第 1 実施形態のその他の特徴を省略してもよい。

[0156] ・各実施形態では、第 1 ゲート電極 26A（第 2 ゲート電極 26B）が第 1 ゲート部 24A（第 2 ゲート部 24B）にショットキー接合されるゲート構造について説明したが、各実施形態はショットキー接合されるゲート構造に適用されることに必ずしも限定されるものではない。例えば、オーミック接合されるゲート構造にも適用可能である。

[0157] ・本開示で使用される「～上に」という用語は、文脈によって明らかにそうでないことが示されない限り、「～上に」と「～の上方に」の意味を含む。したがって、「第 1 層が第 2 層上に形成される」という表現は、或る実施形態では第 1 層が第 2 層に接触して第 2 層上に直接配置され得るが、他の実施形態では第 1 層が第 2 層に接触することなく第 2 層の上方に配置され得ることが意図される。すなわち、「～上に」という用語は、第 1 層と第 2 層との間に他の層が形成される構造を排除しない。例えば、電子供給層 18 が電子走行層 16 上に形成される上記各実施形態は、2DEG 20 を安定して形成するために電子供給層 18 と電子走行層 16 との間に中間層が位置する構造も含む。

[0158] ・本開示で使用される Z 軸方向は必ずしも鉛直方向である必要はなく、鉛

直方向に完全に一致している必要もない。したがって、本開示による種々の構造（例えば、図 1 に示される構造）は、本明細書で説明される Z 軸方向の「上」および「下」が鉛直方向の「上」および「下」であることに限定されない。例えば、X 軸方向が鉛直方向であってもよく、または Y 軸方向が鉛直方向であってもよい。

[0159] ・本開示で使用される「垂直」、「水平」、「上方」、「下方」、「上」、「下」、「前方」、「後方」、「横」、「左」、「右」、「前」、「後」等の方向を示す用語は、説明および図示された装置の特定の向きに依存する。本開示においては、様々な代替的な向きを想定することができ、したがって、これらの方向を示す用語は、狭義に解釈されるべきではない。

[0160] [付記]

上記各実施形態および各変更例から把握できる技術的思想を以下に記載する。なお、各付記に記載された構成要素に対応する実施形態の構成要素の符号を括弧書きで示す。符号は、理解の補助のために例として示すものであり、各付記に記載された構成要素は、符号で示される構成要素に限定されるべきではない。

[0161] (付記 A 1)

基板 (12) と、

前記基板 (12) の上方に配置された第 1 半導体層 (16) と、

前記第 1 半導体層 (16) との界面付近において前記第 1 半導体層 (16) に 2 次元電子ガス (20) を発生させるべく前記第 1 半導体層 (16) の上に配置された第 2 半導体層 (18) と、

前記第 2 半導体層 (18) の上に配置されたソース電極 (22) と、

アクセプタ型不純物を含む第 3 半導体層で形成されるとともに前記第 2 半導体層 (18) の上に配置された第 1 ゲート部 (24A ; 124A) と、

前記アクセプタ型不純物を含む前記第 3 半導体層で形成されるとともに前記ソース電極 (22) に対して前記第 1 ゲート部 (24A ; 124A) とは反対側の位置において前記第 2 半導体層 (18) の上に配置された第 2 ゲー

ト部（24B；124B）と、

前記第1ゲート部（24A；124A）の一部の上に配置された第1ゲート電極（26A）と、

前記第2ゲート部（24B；124B）の一部の上に配置された第2ゲート電極（26B）と、

前記第1ゲート部（24A；124A）に対して前記ソース電極（22）とは反対側の位置において前記第2半導体層（18）の上に配置された第1ドレイン電極（28A）と、

前記第2ゲート部（24B；124B）に対して前記ソース電極（22）とは反対側の位置において前記第2半導体層（18）の上に配置された第2ドレイン電極（28B）と、

を備え、

前記第1ゲート部（24A；124A）の上面（24AS1）は、前記ソース電極（22）寄りの第1ソース側端部（24AE1）と、前記第1ドレイン電極（28A）寄りの第1ドレイン側端部（24AE2）とを含み、

前記第1ゲート電極（26A）の下面（26AS2）は、前記ソース電極（22）寄りの第1ソース側電極端部（26AE1）と、前記第1ドレイン電極（28A）寄りの第1ドレイン側電極端部（26AE2）とを含み、

前記第2ゲート部（24B；124B）の上面（24BS1）は、前記ソース電極（22）寄りの第2ソース側端部（24BE1）と、前記第2ドレイン電極（28B）寄りの第2ドレイン側端部（24BE2）とを含み、

前記第2ゲート電極（26B）の下面（26BS2）は、前記ソース電極（22）寄りの第2ソース側電極端部（26BE1）と、前記第2ドレイン電極（28B）寄りの第2ドレイン側電極端部（26BE2）とを含み、

前記第1ゲート部（24A；124A）の上面（24AS1）は、

前記第1ソース側端部（24AE1）と前記第1ソース側電極端部（26AE1）との間の距離に相当する長さL1で延在する第1サイドスペース部（24AL1）と、

前記第1ドレイン側端部(24AE2)と前記第1ドレイン側電極端部(26AE2)との間の距離に相当する長さ L_2 で延在する第2サイドスペース部(24AL2)と、を含み、

前記第2ゲート部(24B; 124B)の上面(24BS1)は、

前記第2ソース側端部(24BE1)と前記第2ソース側電極端部(26BE1)との間の距離に相当する長さ L_3 で延在する第3サイドスペース部(24BL1)と、

前記第2ドレイン側端部(24BE2)と前記第2ドレイン側電極端部(26BE2)との間の距離に相当する長さ L_4 で延在する第4サイドスペース部(24BL2)と、を含み、

前記長さ L_1 および前記長さ L_2 が $L_1 > L_2$ の関係を満たし、かつ

前記長さ L_3 および前記長さ L_4 が $L_3 > L_4$ の関係を満たしている、半導体装置(10; 100)。

[0162] (付記A2)

前記長さ L_1 および前記長さ L_2 が $L_1 \geq 2 \times L_2$ の関係を満たし、かつ

前記長さ L_3 および前記長さ L_4 が $L_3 \geq 2 \times L_4$ の関係を満たしている、付記A1に記載の半導体装置(10; 100)。

[0163] (付記A3)

前記第1ゲート部(24A; 124A)は、前記第1ゲート部(24A; 124A)の上面(24AS1)から下面(24AS2)まで厚さ T_1 を有しており、

前記第2ゲート部(24B; 124B)は、前記第2ゲート部(24B; 124B)の上面(24BS1)から下面(24BS2)まで厚さ T_2 を有しており、

前記長さ L_1 および前記厚さ T_1 が $L_1 \leq T_1$ の関係を満たし、かつ

前記長さ L_3 および前記厚さ T_2 が $L_3 \leq T_2$ の関係を満たしている、付記A1またはA2に記載の半導体装置(10; 100)。

[0164] (付記A4)

前記第1ゲート電極(26A)は、前記第1ソース側電極端部(26AE1)から前記第1ドレイン側電極端部(26AE2)まで長さLG1を有しており、

前記第2ゲート電極(26B)は、前記第2ソース側電極端部(26BE1)から前記第2ドレイン側電極端部(26BE2)まで長さLG2を有しており、

前記長さL1、前記長さL2、および前記長さLG1が $LG1 \geq L1 + L2$ の関係を満たし、かつ

前記長さL3、前記長さL4、および前記長さLG2が $LG2 \geq L3 + L4$ の関係を満たしている、付記A1～A3のうちのいずれか一つに記載の半導体装置(10; 100)。

[0165] (付記A5)

前記第1ゲート部(124A)は、

前記第1ゲート部(124A)の前記上面(24AS1)を含む第1リッジ部(132A)と、

前記第1リッジ部(132A)から前記ソース電極(22)に向かう方向に水平に延在する第1ソース側水平延在部(134A)と、

前記第1リッジ部(132A)から前記第1ドレイン電極(28A)に向かう方向に水平に延在する第1ドレイン側水平延在部(136A)と、を含み、

前記第2ゲート部(124B)は、

前記第2ゲート部(124B)の前記上面(24BS1)を含む第2リッジ部(132B)と、

前記第2リッジ部(132B)から前記ソース電極(22)に向かう方向に水平に延在する第2ソース側水平延在部(134B)と、

前記第2リッジ部(132B)から前記第2ドレイン電極(28B)に向かう方向に水平に延在する第2ドレイン側水平延在部(136B)と、を含む、付記A1～A4のうちのいずれか一つに記載の半導体装置(100)

。

[0166] (付記 A 6)

前記第 1 ソース側水平延在部 (1 3 4 A) は、前記第 1 リッジ部 (1 3 2 A) から前記ソース電極 (2 2) に向かう方向に長さ L 5 で延在しており、

前記第 1 ドレイン側水平延在部 (1 3 6 A) は、前記第 1 リッジ部 (1 3 2 A) から前記第 1 ドレイン電極 (2 8 A) に向かう方向に長さ L 6 で延在しており、

前記第 2 ソース側水平延在部 (1 3 4 B) は、前記第 2 リッジ部 (1 3 2 B) から前記ソース電極 (2 2) に向かう方向に長さ L 7 で延在しており、

前記第 2 ドレイン側水平延在部 (1 3 6 B) は、前記第 2 リッジ部 (1 3 2 B) から前記第 2 ドレイン電極 (2 8 B) に向かう方向に長さ L 8 で延在しており、

前記長さ L 5 および前記長さ L 6 が $L 5 > L 6$ の関係を満たし、かつ

前記長さ L 7 および前記長さ L 8 が $L 7 > L 8$ の関係を満たしている、付記 A 5 に記載の半導体装置 (1 0 0)。

[0167] (付記 A 7)

前記長さ L 5 および前記長さ L 6 が $L 6 < L 5 \leq 2 \times L 6$ の関係を満たし、かつ

前記長さ L 7 および前記長さ L 8 が $L 8 < L 7 \leq 2 \times L 8$ の関係を満たしている、付記 A 6 に記載の半導体装置 (1 0 0)。

[0168] (付記 A 8)

前記長さ L 5 および前記長さ L 7 が $L 5 = L 7$ の関係を満たし、かつ

前記長さ L 6 および前記長さ L 8 が $L 6 = L 8$ の関係を満たしている、付記 A 6 または A 7 に記載の半導体装置 (1 0 0)。

[0169] (付記 A 9)

前記第 1 リッジ部 (1 3 2 A) および前記第 2 リッジ部 (1 3 2 B) は、第 1 濃度で前記アクセプタ型不純物を含み、

前記第 1 ソース側水平延在部 (1 3 4 A)、前記第 1 ドレイン側水平延在

部（１３６Ａ）、前記第２ソース側水平延在部（１３４Ｂ）、および前記第２ドレイン側水平延在部（１３６Ｂ）は、前記第１濃度よりも低い第２濃度で前記アクセプタ型不純物を含む、付記Ａ５～Ａ８のうちのいずれか一つに記載の半導体装置（１００）。

[0170] （付記Ａ１０）

前記第１半導体層（１６）はＧａＮ層であり、

前記第２半導体層（１８）はＡｌＧａＮ層である、

前記第１ゲート部（２４Ａ；１２４Ａ）および前記第２ゲート部（２４Ｂ；１２４Ｂ）は、前記アクセプタ型不純物を含むＧａＮ層である、付記Ａ１～Ａ９のうちのいずれか一つに記載の半導体装置（１０；１００）。

[0171] （付記Ａ１１）

前記第１ゲート電極（２６Ａ）は前記第１ゲート部（２４Ａ；１２４Ａ）にショットキー接合されており、

前記第２ゲート電極（２６Ｂ）は前記第２ゲート部（２４Ｂ；１２４Ｂ）にショットキー接合されている、付記Ａ１～Ａ１０のうちのいずれか一つに記載の半導体装置（１０；１００）。

[0172] （付記Ａ１２）

前記第１半導体層（１６）、前記第２半導体層（１８）、前記第１ゲート部（２４Ａ；１２４Ａ）、前記第１ゲート電極（２６Ａ）、前記ソース電極（２２）、および前記第１ドレイン電極（２８Ａ）は、第１電界効果トランジスタ（３０Ａ）を構成し、

前記第１半導体層（１６）、前記第２半導体層（１８）、前記第２ゲート部（２４Ｂ；１２４Ｂ）、前記第２ゲート電極（２６Ｂ）、前記ソース電極（２２）、および前記第２ドレイン電極（２８Ｂ）は、第２電界効果トランジスタ（３０Ｂ）を構成し、

前記第１電界効果トランジスタ（３０Ａ）および前記第２電界効果トランジスタ（３０Ｂ）はノーマリーオフ型である、付記Ａ１～Ａ１１のうちのいずれか一つに記載の半導体装置（１０；１００）。

[0173] (付記 A 1 3)

前記長さ L_1 および前記長さ L_3 が $L_1 = L_3$ の関係を満たし、かつ
前記長さ L_2 および前記長さ L_4 が $L_2 = L_4$ の関係を満たしている、付
記 A 1 ~ A 1 1 のうちのいずれか一つに記載の半導体装置 (1 0 ; 1 0 0)
。

[0174] (付記 A 1 4)

基板 (1 2) と、
前記基板 (1 2) の上方に配置された第 1 半導体層 (1 6) と、
前記第 1 半導体層 (1 6) との界面付近において前記第 1 半導体層 (1 6)
) に 2 次元電子ガス (2 0) を発生させるべく前記第 1 半導体層 (1 6) の
上に配置された第 2 半導体層 (1 8) と、
前記第 2 半導体層 (1 8) の上に配置されたソース電極 (2 2) と、
アクセプタ型不純物を含む第 3 半導体層で形成されるとともに前記第 2 半
導体層 (1 8) の上に配置された第 1 ゲート部 (1 2 4 A) と、
前記アクセプタ型不純物を含む前記第 3 半導体層で形成されるとともに前
記ソース電極 (2 2) に対して前記第 1 ゲート部 (1 2 4 A) とは反対側の
位置において前記第 2 半導体層 (1 8) の上に配置された第 2 ゲート部 (1
2 4 B) と、
前記第 1 ゲート部 (1 2 4 A) の一部の上に配置された第 1 ゲート電極 (2
6 A) と、
前記第 2 ゲート部 (1 2 4 B) の一部の上に配置された第 2 ゲート電極 (2
6 B) と、
前記第 1 ゲート部 (1 2 4 A) に対して前記ソース電極 (2 2) とは反対
側の位置において前記第 2 半導体層 (1 8) の上に配置された第 1 ドレイン
電極 (2 8 A) と、
前記第 2 ゲート部 (1 2 4 B) に対して前記ソース電極 (2 2) とは反対
側の位置において前記第 2 半導体層 (1 8) の上に配置された第 2 ドレイン
電極 (2 8 B) と、

を備え、

前記第1ゲート部(124A)は、

第1リッジ部(132A)と、

前記第1リッジ部(132A)から前記ソース電極(22)に向かう方向に長さL5で水平に延在する第1ソース側水平延在部(134A)と、

前記第1リッジ部(132A)から前記第1ドレイン電極(28A)に向かう方向に長さL6で水平に延在する第1ドレイン側水平延在部(136A)と、を含み、

前記第2ゲート部(124B)は、

第2リッジ部(132B)と、

前記第2リッジ部(132B)から前記ソース電極(22)に向かう方向に長さL7で水平に延在する第2ソース側水平延在部(134B)と、

前記第2リッジ部(132B)から前記第2ドレイン電極(28B)に向かう方向に長さL8で水平に延在する第2ドレイン側水平延在部(136B)と、を含み、

前記長さL5および前記長さL6が $L5 > L6$ の関係を満たし、かつ

前記長さL7および前記長さL8が $L7 > L8$ の関係を満たしている、半導体装置(100)。

[0175] (付記A15)

前記長さL5および前記長さL6が $L6 < L5 \leq 2 \times L6$ の関係を満たし、かつ

前記長さL7および前記長さL8が $L8 < L7 \leq 2 \times L8$ の関係を満たしている、付記A14に記載の半導体装置(100)。

[0176] (付記A16)

前記長さL5および前記長さL7が $L5 = L7$ の関係を満たし、かつ

前記長さL6および前記長さL8が $L6 = L8$ の関係を満たしている、付記A14またはA15に記載の半導体装置(100)。

[0177] (付記A17)

前記第1リッジ部(132A)および前記第2リッジ部(132B)は、第1濃度で前記アクセプタ型不純物を含み、

前記第1ソース側水平延在部(134A)、前記第1ドレイン側水平延在部(136A)、前記第2ソース側水平延在部(134B)、および前記第2ドレイン側水平延在部(136B)は、前記第1濃度よりも低い第2濃度で前記アクセプタ型不純物を含む、付記A14～A16のうちのいずれか一つに記載の半導体装置(100)。

[0178] (付記A18)

前記第1半導体層(16)はGa_{0.5}In_{0.5}N層であり、

前記第2半導体層(18)はAlGa_{0.5}In_{0.5}N層である、

前記第1ゲート部(124A)および前記第2ゲート部(124B)は、前記アクセプタ型不純物を含むGa_{0.5}In_{0.5}N層である、付記A14～A17のうちのいずれか一つに記載の半導体装置(100)。

[0179] (付記A19)

前記第1ゲート電極(26A)は前記第1ゲート部(124A)にショットキー接合されており、

前記第2ゲート電極(26B)は前記第2ゲート部(124B)にショットキー接合されている、付記A14～A18のうちのいずれか一つに記載の半導体装置(100)。

[0180] (付記A20)

前記第1半導体層(16)、前記第2半導体層(18)、前記第1ゲート部(124A)、前記第1ゲート電極(26A)、前記ソース電極(22)、および前記第1ドレイン電極(28A)は、第1電界効果トランジスタ(30A)を構成し、

前記第1半導体層(16)、前記第2半導体層(18)、前記第2ゲート部(124B)、前記第2ゲート電極(26B)、前記ソース電極(22)、および前記第2ドレイン電極(28B)は、第2電界効果トランジスタ(30B)を構成し、

前記第 1 電界効果トランジスタ（30A）および前記第 2 電界効果トランジスタ（30B）はノーマリーオフ型である、付記 A 14～A 19 のうちのいずれか一つに記載の半導体装置（100）。

[0181] （付記 B 1）

基板（12）と、

前記基板（12）の上方に配置された第 1 半導体層（16）と、

前記第 1 半導体層（16）との界面付近において前記第 1 半導体層（16）に 2 次元電子ガス（20）を発生させるべく前記第 1 半導体層（16）の上に配置された第 2 半導体層（18）と、

前記第 2 半導体層（18）の上に配置されたソース電極（22）と、

アクセプタ型不純物を含む第 3 半導体層で形成されるとともに前記第 2 半導体層（18）の上に配置されたゲート部（24A；124A；24B；124B）と、

前記ゲート部（24A；124A；24B；124B）の一部の上に配置されたゲート電極（26A；26B）と、

前記ゲート部（24A；124A；24B；124B）に対して前記ソース電極（22）とは反対側の位置において前記第 2 半導体層（18）の上に配置されたドレイン電極（28A；28B）と、

を備え、

前記ゲート部（24A；124A；24B；124B）の上面（24AS1；24BS1）は、前記ソース電極（22）寄りのソース側端部（24AE1；24BE1）と、前記ドレイン電極（28A）寄りのドレイン側端部（24AE2；24BE2）とを含み、

前記ゲート電極（26A；26B）の下面（26AS2；26BS2）は、前記ソース電極（22）寄りのソース側電極端部（26AE1；26BE1）と、前記ドレイン電極（28A）寄りのドレイン側電極端部（26AE2；26BE2）とを含み、

前記ゲート部（24A；124A；24B；124B）の上面（24AS

1 ; 2 4 B S 1) は、

前記ソース側端部 (2 4 A E 1 ; 2 4 B E 1) と前記ソース側電極端部 (2 6 A E 1 ; 2 6 B E 1) との間の距離に相当する長さ L_1 で延在する第 1 サイドスペース部 (2 4 A L 1 ; 2 4 B L 1) と、

前記ドレイン側端部 (2 4 A E 2 ; 2 4 B E 2) と前記ドレイン側電極端部 (2 6 A E 2 ; 2 6 B E 2) との間の距離に相当する長さ L_2 で延在する第 2 サイドスペース部 (2 4 A L 2 ; 2 4 B L 2) と、を含み、

前記長さ L_1 および前記長さ L_2 が $L_1 > L_2$ の関係を満たしている、半導体装置 (1 0 ; 1 0 0) 。

[0182] (付記 C 1)

基板 (1 2) と、

前記基板 (1 2) の上方に配置された第 1 半導体層 (1 6) と、

前記第 1 半導体層 (1 6) との界面付近において前記第 1 半導体層 (1 6) に 2 次元電子ガス (2 0) を発生させるべく前記第 1 半導体層 (1 6) の上に配置された第 2 半導体層 (1 8) と、

前記第 2 半導体層 (1 8) の上に配置されたソース電極 (2 2) と、

アクセプタ型不純物を含む第 3 半導体層で形成されるとともに前記第 2 半導体層 (1 8) の上に配置されたゲート部 (1 2 4 A ; 1 2 4 B) と、

前記ゲート部 (1 2 4 A ; 1 2 4 B) の一部の上に配置されたゲート電極 (2 6 A ; 2 6 B) と、

前記ゲート部 (1 2 4 A ; 1 2 4 B) に対して前記ソース電極 (2 2) とは反対側の位置において前記第 2 半導体層 (1 8) の上に配置されたドレイン電極 (2 8 A ; 2 8 B) と、

を備え、

前記ゲート部 (1 2 4 A ; 1 2 4 B) は、

リッジ部 (1 3 2 A ; 1 3 2 B) と、

前記リッジ部 (1 3 2 A ; 1 3 2 B) から前記ソース電極 (2 2) に向かう方向に長さ L_5 で水平に延在するソース側水平延在部 (1 3 4 A ; 1 3

4 B) と、

前記リッジ部 (1 3 2 A ; 1 3 2 B) から前記ドレイン電極 (2 8 A) に向かう方向に長さ L 6 で水平に延在するドレイン側水平延在部 (1 3 6 A ; 1 3 6 B) と、を含み、

前記長さ L 5 および前記長さ L 6 が $L 5 > L 6$ の関係を満たしている、半導体装置 (1 0 0) 。

[0183] 以上の説明は単に例示である。本開示の技術を説明する目的のために列挙された構成要素および方法 (製造プロセス) 以外に、より多くの考えられる組み合わせおよび置換が可能であることを当業者は認識し得る。本開示は、特許請求の範囲を含む本開示の範囲内に含まれるすべての代替、変形、および変更を包含することが意図される。

符号の説明

[0184] 1 0, 1 0 0…半導体装置
1 2…基板
1 4…バッファ層
1 6…電子走行層 (第 1 半導体層)
1 8…電子供給層 (第 2 半導体層)
2 0…二次元電子ガス (2 D E G)
2 2…ソース電極
2 4 A, 1 2 4 A…第 1 ゲート部
2 4 A E 1…第 1 ソース側端部
2 4 A E 2…第 1 ドレイン側端部
2 4 A L 1…第 1 サイドスペース部
2 4 A L 2…第 2 サイドスペース部
2 4 B, 1 2 4 B…第 2 ゲート部
2 4 B E 1…第 2 ソース側端部
2 4 B E 2…第 2 ドレイン側端部
2 4 B L 1…第 3 サイドスペース部

2 4 B L 2 …第4 サイドスペース部
2 6 A …第1 ゲート電極
2 6 A E 1 …第1 ソース側電極端部
2 6 A E 2 …第1 ドレイン側電極端部
2 6 B …第2 ゲート電極
2 6 B E 1 …第2 ソース側電極端部
2 6 B E 2 …第2 ドレイン側電極端部
2 8 A …第1 ドレイン電極
2 8 B …第2 ドレイン電極
3 0 A …第1 電界効果トランジスタ
3 0 B …第2 電界効果トランジスタ
1 3 2 A …第1 リッジ部
1 3 4 A …第1 ソース側水平延在部
1 3 6 A …第1 ドレイン側水平延在部
1 3 2 B …第2 リッジ部
1 3 4 B …第2 ソース側水平延在部
1 3 6 B …第2 ドレイン側水平延在部

請求の範囲

[請求項1]

基板と、
前記基板の上方に配置された第1半導体層と、
前記第1半導体層との界面付近において前記第1半導体層に2次元電子ガスを発生させるべく前記第1半導体層の上に配置された第2半導体層と、
前記第2半導体層の上に配置されたソース電極と、
アクセプタ型不純物を含む第3半導体層で形成されるとともに前記第2半導体層の上に配置された第1ゲート部と、
前記アクセプタ型不純物を含む前記第3半導体層で形成されるとともに前記ソース電極に対して前記第1ゲート部とは反対側の位置において前記第2半導体層の上に配置された第2ゲート部と、
前記第1ゲート部の一部の上に配置された第1ゲート電極と、
前記第2ゲート部の一部の上に配置された第2ゲート電極と、
前記第1ゲート部に対して前記ソース電極とは反対側の位置において前記第2半導体層の上に配置された第1ドレイン電極と、
前記第2ゲート部に対して前記ソース電極とは反対側の位置において前記第2半導体層の上に配置された第2ドレイン電極と、
を備え、
前記第1ゲート部の上面は、前記ソース電極寄りの第1ソース側端部と、前記第1ドレイン電極寄りの第1ドレイン側端部とを含み、
前記第1ゲート電極の下面は、前記ソース電極寄りの第1ソース側電極端部と、前記第1ドレイン電極寄りの第1ドレイン側電極端部とを含み、
前記第2ゲート部の上面は、前記ソース電極寄りの第2ソース側端部と、前記第2ドレイン電極寄りの第2ドレイン側端部とを含み、
前記第2ゲート電極の下面は、前記ソース電極寄りの第2ソース側電極端部と、前記第2ドレイン電極寄りの第2ドレイン側電極端部と

を含み、

前記第1ゲート部の上面は、

前記第1ソース側端部と前記第1ソース側電極端部との間の距離に相当する長さ L_1 で延在する第1サイドスペース部と、

前記第1ドレイン側端部と前記第1ドレイン側電極端部との間の距離に相当する長さ L_2 で延在する第2サイドスペース部と、を含み、

前記第2ゲート部の上面は、

前記第2ソース側端部と前記第2ソース側電極端部との間の距離に相当する長さ L_3 で延在する第3サイドスペース部と、

前記第2ドレイン側端部と前記第2ドレイン側電極端部との間の距離に相当する長さ L_4 で延在する第4サイドスペース部と、を含み、

前記長さ L_1 および前記長さ L_2 が $L_1 > L_2$ の関係を満たし、かつ

前記長さ L_3 および前記長さ L_4 が $L_3 > L_4$ の関係を満たしている、半導体装置。

[請求項2] 前記長さ L_1 および前記長さ L_2 が $L_1 \geq 2 \times L_2$ の関係を満たし、かつ

前記長さ L_3 および前記長さ L_4 が $L_3 \geq 2 \times L_4$ の関係を満たしている、請求項1に記載の半導体装置。

[請求項3] 前記第1ゲート部は、前記第1ゲート部の上面から下面まで厚さ T_1 を有しており、

前記第2ゲート部は、前記第2ゲート部の上面から下面まで厚さ T_2 を有しており、

前記長さ L_1 および前記厚さ T_1 が $L_1 \leq T_1$ の関係を満たし、かつ

前記長さ L_3 および前記厚さ T_2 が $L_3 \leq T_2$ の関係を満たしてい

る、請求項 1 または 2 に記載の半導体装置。

[請求項4]

前記第 1 ゲート電極は、前記第 1 ソース側電極端部から前記第 1 ドレイン側電極端部まで長さ L_{G1} を有しており、

前記第 2 ゲート電極は、前記第 2 ソース側電極端部から前記第 2 ドレイン側電極端部まで長さ L_{G2} を有しており、

前記長さ L_1 、前記長さ L_2 、および前記長さ L_{G1} が $L_{G1} \geq L_1 + L_2$ の関係を満たし、かつ

前記長さ L_3 、前記長さ L_4 、および前記長さ L_{G2} が $L_{G2} \geq L_3 + L_4$ の関係を満たしている、請求項 1 ～ 3 のうちのいずれか一項に記載の半導体装置。

[請求項5]

前記第 1 ゲート部は、

前記第 1 ゲート部の前記上面を含む第 1 リッジ部と、

前記第 1 リッジ部から前記ソース電極に向かう方向に水平に延在する第 1 ソース側水平延在部と、

前記第 1 リッジ部から前記第 1 ドレイン電極に向かう方向に水平に延在する第 1 ドレイン側水平延在部と、を含み、

前記第 2 ゲート部は、

前記第 2 ゲート部の前記上面を含む第 2 リッジ部と、

前記第 2 リッジ部から前記ソース電極に向かう方向に水平に延在する第 2 ソース側水平延在部と、

前記第 2 リッジ部から前記第 2 ドレイン電極に向かう方向に水平に延在する第 2 ドレイン側水平延在部と、を含む、請求項 1 ～ 4 のうちのいずれか一項に記載の半導体装置。

[請求項6]

前記第 1 ソース側水平延在部は、前記第 1 リッジ部から前記ソース電極に向かう方向に長さ L_5 で延在しており、

前記第 1 ドレイン側水平延在部は、前記第 1 リッジ部から前記第 1 ドレイン電極に向かう方向に長さ L_6 で延在しており、

前記第 2 ソース側水平延在部は、前記第 2 リッジ部から前記ソース

電極に向かう方向に長さ L_7 で延在しており、

前記第2ドレイン側水平延在部は、前記第2リッジ部から前記第2ドレイン電極に向かう方向に長さ L_8 で延在しており、

前記長さ L_5 および前記長さ L_6 が $L_5 > L_6$ の関係を満たし、かつ

前記長さ L_7 および前記長さ L_8 が $L_7 > L_8$ の関係を満たしている、請求項5に記載の半導体装置。

[請求項7] 前記長さ L_5 および前記長さ L_6 が $L_6 < L_5 \leq 2 \times L_6$ の関係を満たし、かつ

前記長さ L_7 および前記長さ L_8 が $L_8 < L_7 \leq 2 \times L_8$ の関係を満たしている、請求項6に記載の半導体装置。

[請求項8] 前記長さ L_5 および前記長さ L_7 が $L_5 = L_7$ の関係を満たし、かつ

前記長さ L_6 および前記長さ L_8 が $L_6 = L_8$ の関係を満たしている、請求項6または7に記載の半導体装置。

[請求項9] 前記第1リッジ部および前記第2リッジ部は、第1濃度で前記アクセプタ型不純物を含み、

前記第1ソース側水平延在部、前記第1ドレイン側水平延在部、前記第2ソース側水平延在部、および前記第2ドレイン側水平延在部は、前記第1濃度よりも低い第2濃度で前記アクセプタ型不純物を含む、請求項5～8のうちのいずれか一項に記載の半導体装置。

[請求項10] 前記第1半導体層はGa_{0.5}N層であり、

前記第2半導体層はAlGa_{0.5}N層である、

前記第1ゲート部および前記第2ゲート部は、前記アクセプタ型不純物を含むGa_{0.5}N層である、請求項1～9のうちのいずれか一項に記載の半導体装置。

[請求項11] 前記第1ゲート電極は前記第1ゲート部にショットキー接合されており、

前記第2ゲート電極は前記第2ゲート部にショットキー接合されている、請求項1～10のうちのいずれか一項に記載の半導体装置。

[請求項12]

前記第1半導体層、前記第2半導体層、前記第1ゲート部、前記第1ゲート電極、前記ソース電極、および前記第1ドレイン電極は、第1電界効果トランジスタを構成し、

前記第1半導体層、前記第2半導体層、前記第2ゲート部、前記第2ゲート電極、前記ソース電極、および前記第2ドレイン電極は、第2電界効果トランジスタを構成し、

前記第1電界効果トランジスタおよび前記第2電界効果トランジスタはノーマリーオフ型である、請求項1～11のうちのいずれか一項に記載の半導体装置。

[請求項13]

前記長さ L_1 および前記長さ L_3 が $L_1 = L_3$ の関係を満たし、かつ

前記長さ L_2 および前記長さ L_4 が $L_2 = L_4$ の関係を満たしている、請求項1～11のうちのいずれか一項に記載の半導体装置。

[請求項14]

基板と、

前記基板の上方に配置された第1半導体層と、

前記第1半導体層との界面付近において前記第1半導体層に2次元電子ガスを発生させるべく前記第1半導体層の上に配置された第2半導体層と、

前記第2半導体層の上に配置されたソース電極と、

アクセプタ型不純物を含む第3半導体層で形成されるとともに前記第2半導体層の上に配置された第1ゲート部と、

前記アクセプタ型不純物を含む前記第3半導体層で形成されるとともに前記ソース電極に対して前記第1ゲート部とは反対側の位置において前記第2半導体層の上に配置された第2ゲート部と、

前記第1ゲート部の一部の上に配置された第1ゲート電極と、

前記第2ゲート部の一部の上に配置された第2ゲート電極と、

前記第 1 ゲート部に対して前記ソース電極とは反対側の位置において前記第 2 半導体層の上に配置された第 1 ドレイン電極と、

前記第 2 ゲート部に対して前記ソース電極とは反対側の位置において前記第 2 半導体層の上に配置された第 2 ドレイン電極と、
を備え、

前記第 1 ゲート部は、

第 1 リッジ部と、

前記第 1 リッジ部から前記ソース電極に向かう方向に長さ L_5 で水平に延在する第 1 ソース側水平延在部と、

前記第 1 リッジ部から前記第 1 ドレイン電極に向かう方向に長さ L_6 で水平に延在する第 1 ドレイン側水平延在部と、を含み、

前記第 2 ゲート部は、

第 2 リッジ部と、

前記第 2 リッジ部から前記ソース電極に向かう方向に長さ L_7 で水平に延在する第 2 ソース側水平延在部と、

前記第 2 リッジ部から前記第 2 ドレイン電極に向かう方向に長さ L_8 で水平に延在する第 2 ドレイン側水平延在部と、を含み、

前記長さ L_5 および前記長さ L_6 が $L_5 > L_6$ の関係を満たし、かつ

前記長さ L_7 および前記長さ L_8 が $L_7 > L_8$ の関係を満たしている、半導体装置。

[請求項15] 前記長さ L_5 および前記長さ L_6 が $L_6 < L_5 \leq 2 \times L_6$ の関係を満たし、かつ

前記長さ L_7 および前記長さ L_8 が $L_8 < L_7 \leq 2 \times L_8$ の関係を満たしている、請求項 14 に記載の半導体装置。

[請求項16] 前記長さ L_5 および前記長さ L_7 が $L_5 = L_7$ の関係を満たし、かつ

前記長さ L_6 および前記長さ L_8 が $L_6 = L_8$ の関係を満たしてい

る、請求項 1 4 または 1 5 に記載の半導体装置。

[請求項17] 前記第 1 リッジ部および前記第 2 リッジ部は、第 1 濃度で前記アクセプタ型不純物を含み、

前記第 1 ソース側水平延在部、前記第 1 ドレイン側水平延在部、前記第 2 ソース側水平延在部、および前記第 2 ドレイン側水平延在部は、前記第 1 濃度よりも低い第 2 濃度で前記アクセプタ型不純物を含む、請求項 1 4 ～ 1 6 のうちのいずれか一項に記載の半導体装置。

[請求項18] 前記第 1 半導体層は GaN 層であり、

前記第 2 半導体層は AlGaIn 層である、

前記第 1 ゲート部および前記第 2 ゲート部は、前記アクセプタ型不純物を含む GaN 層である、請求項 1 4 ～ 1 7 のうちのいずれか一項に記載の半導体装置。

[請求項19] 前記第 1 ゲート電極は前記第 1 ゲート部にショットキー接合されており、

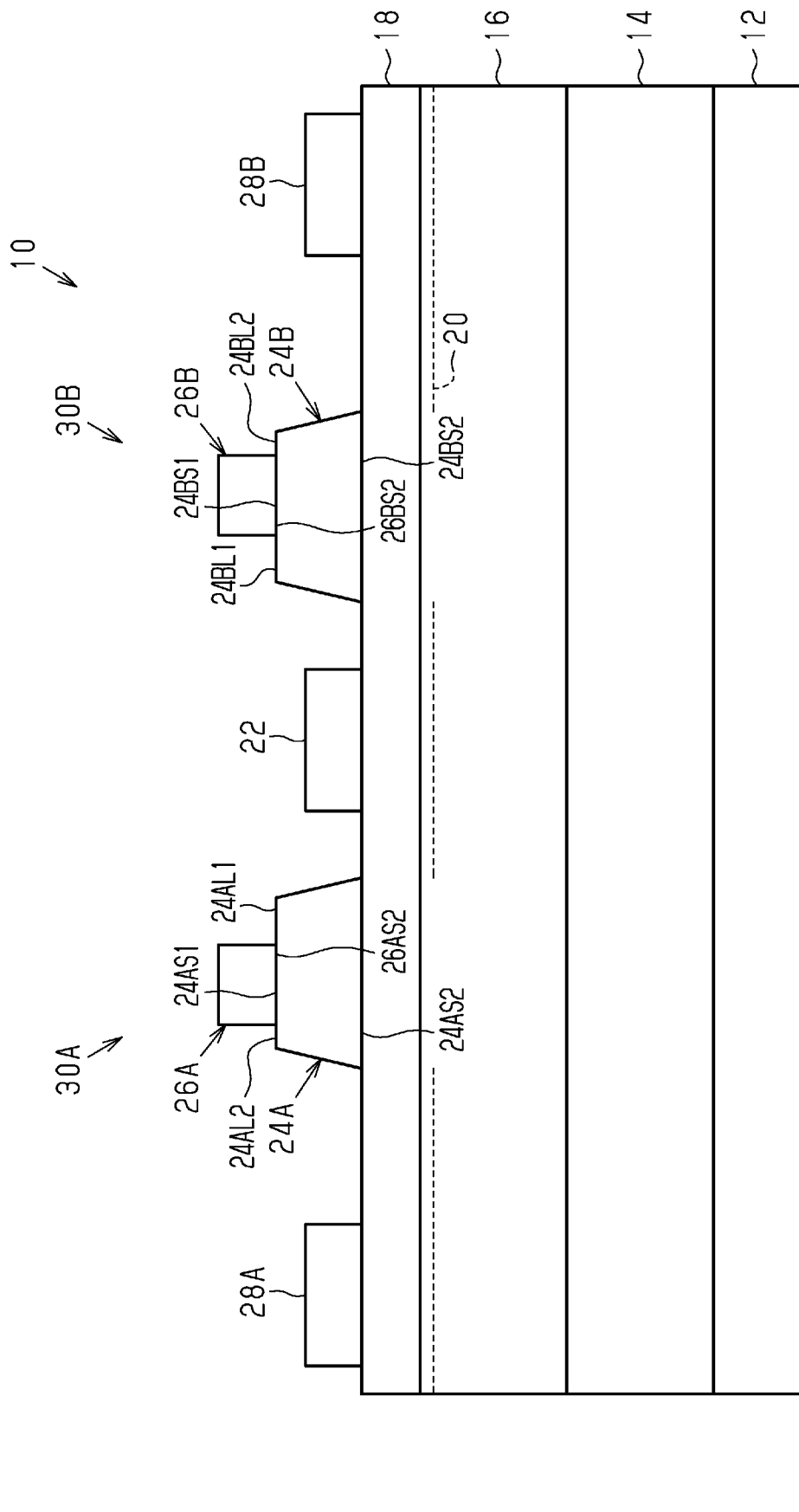
前記第 2 ゲート電極は前記第 2 ゲート部にショットキー接合されている、請求項 1 4 ～ 1 8 のうちのいずれか一項に記載の半導体装置。

[請求項20] 前記第 1 半導体層、前記第 2 半導体層、前記第 1 ゲート部、前記第 1 ゲート電極、前記ソース電極、および前記第 1 ドレイン電極は、第 1 電界効果トランジスタを構成し、

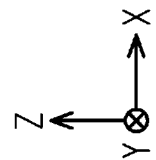
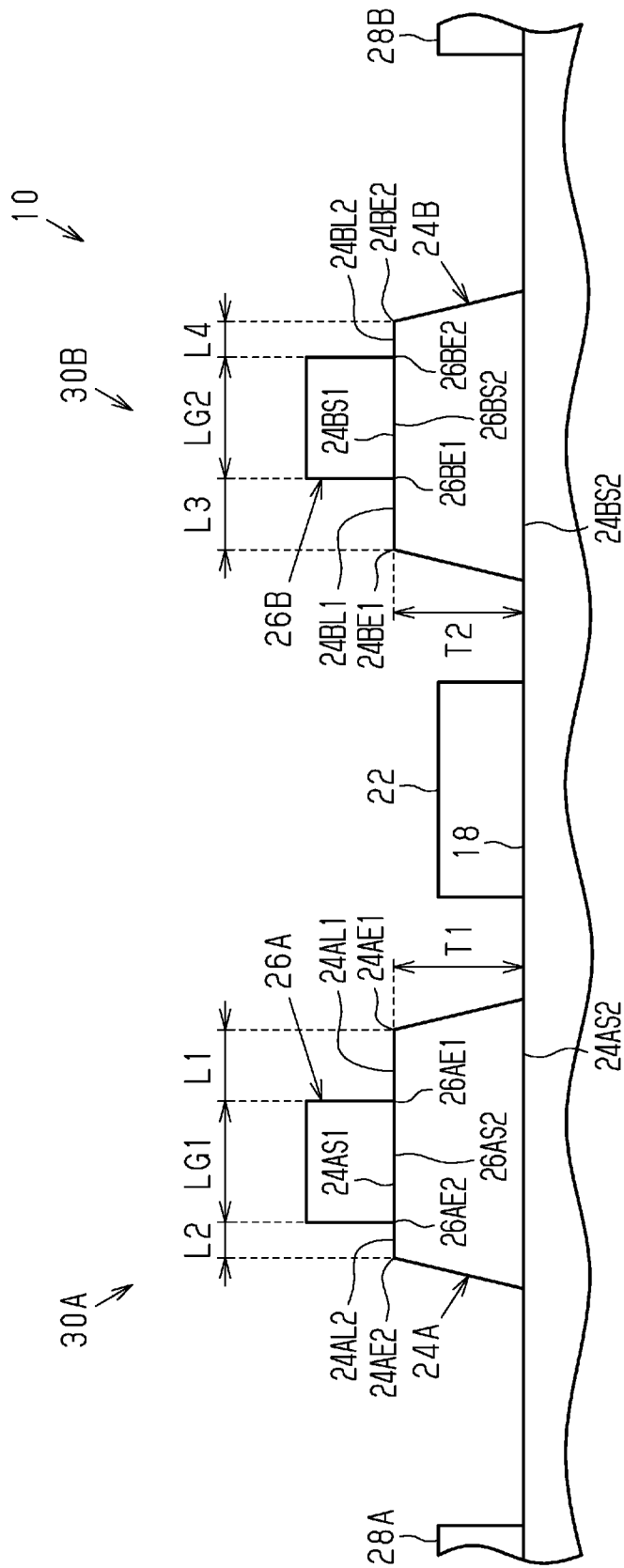
前記第 1 半導体層、前記第 2 半導体層、前記第 2 ゲート部、前記第 2 ゲート電極、前記ソース電極、および前記第 2 ドレイン電極は、第 2 電界効果トランジスタを構成し、

前記第 1 電界効果トランジスタおよび前記第 2 電界効果トランジスタはノーマリーオフ型である、請求項 1 4 ～ 1 9 のうちのいずれか一項に記載の半導体装置。

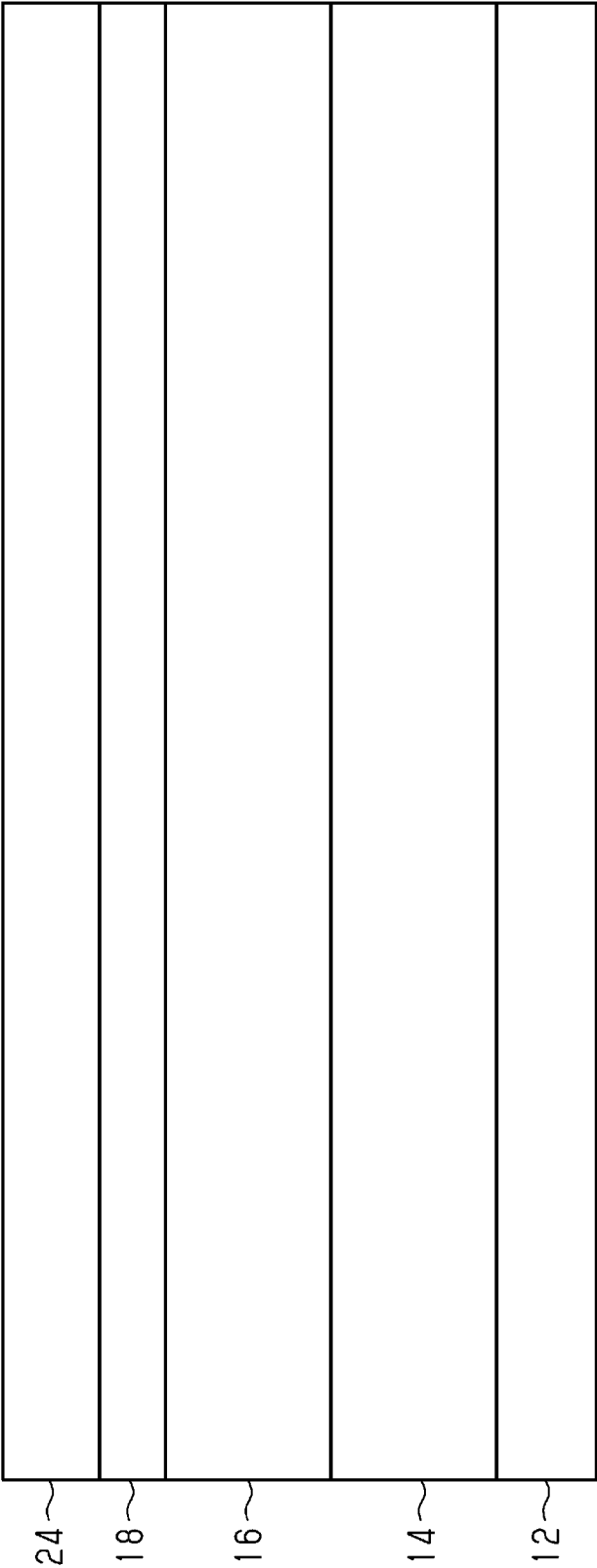
[図1]



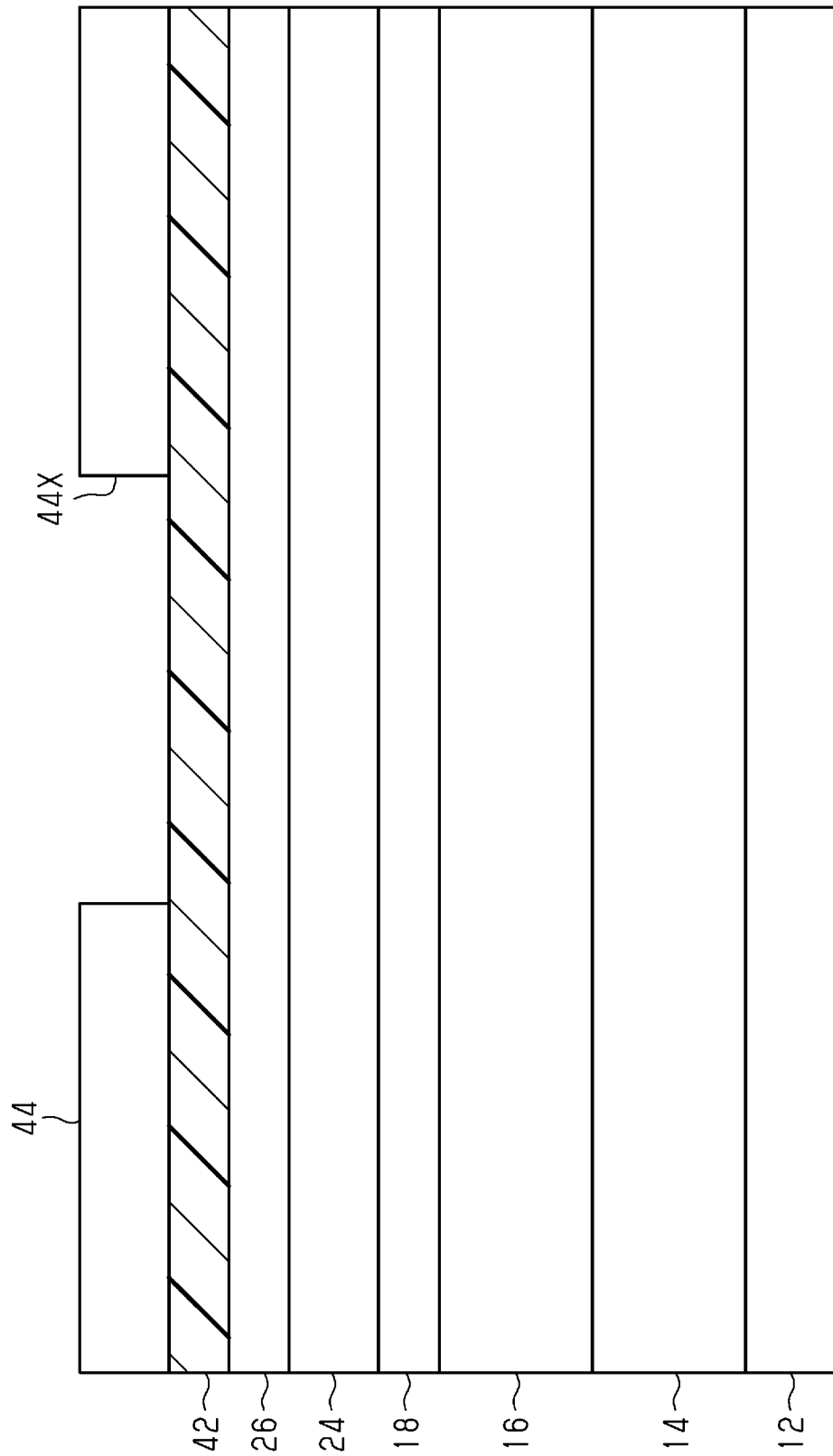
[図2]



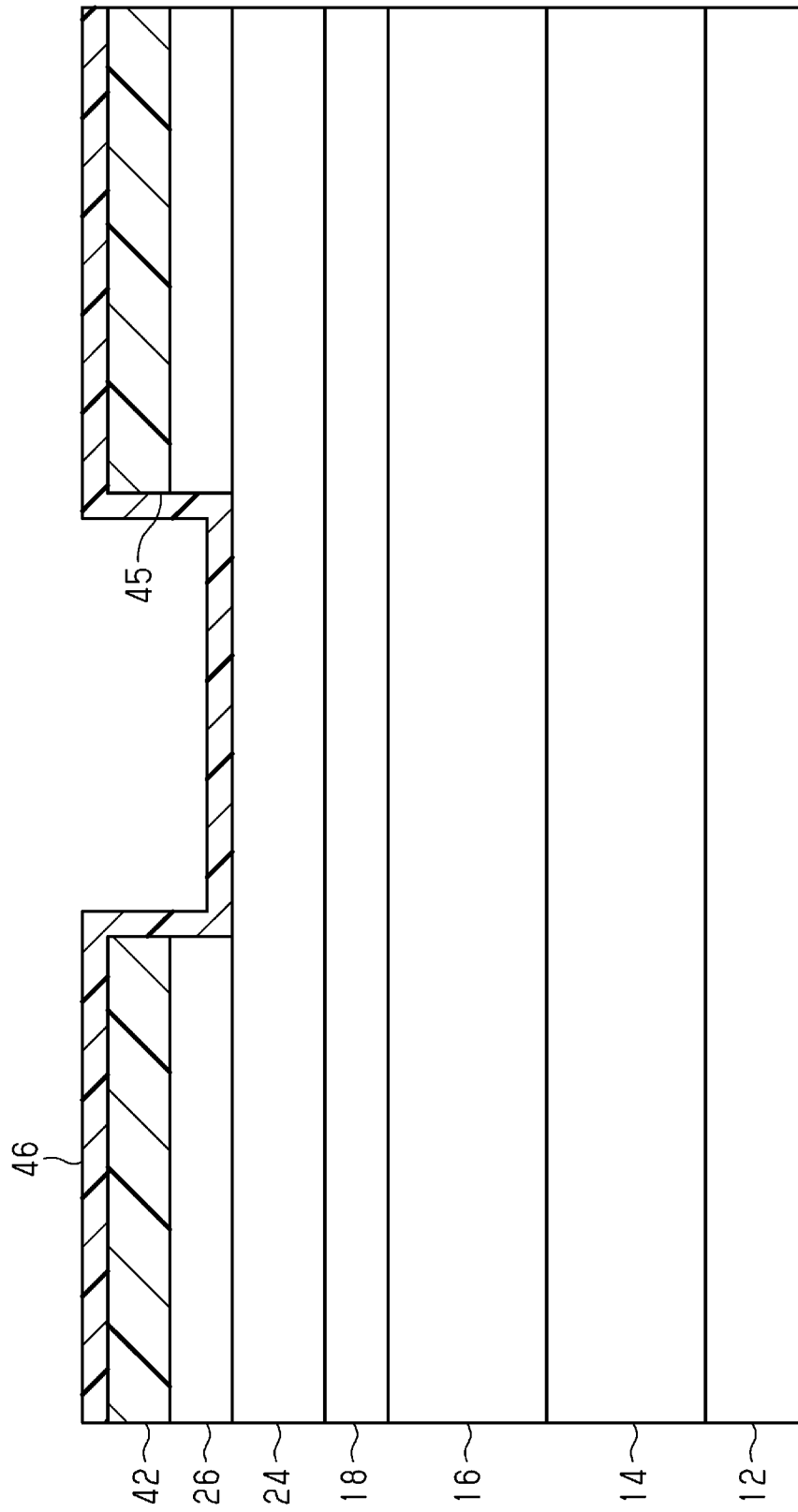
[図4]



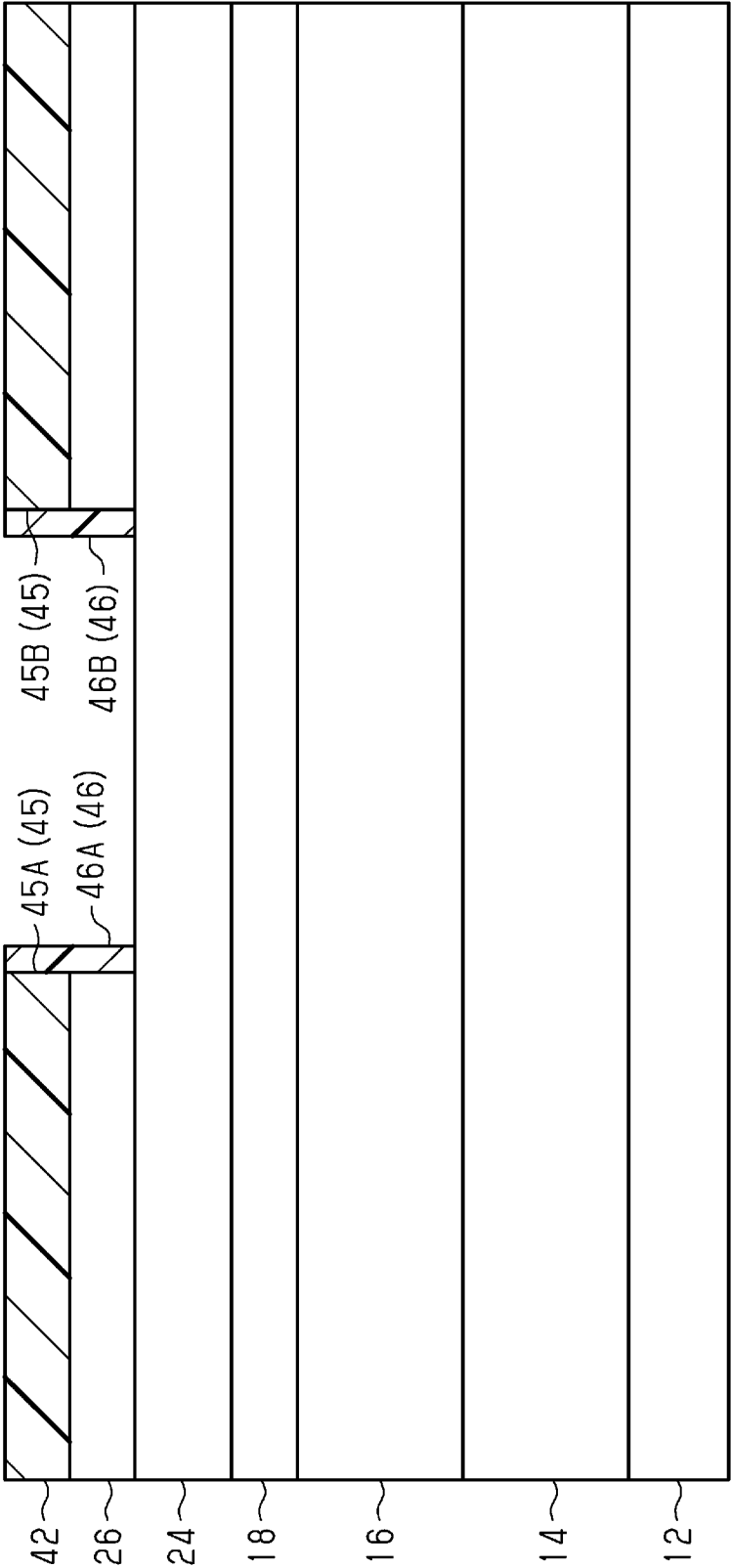
[図5]



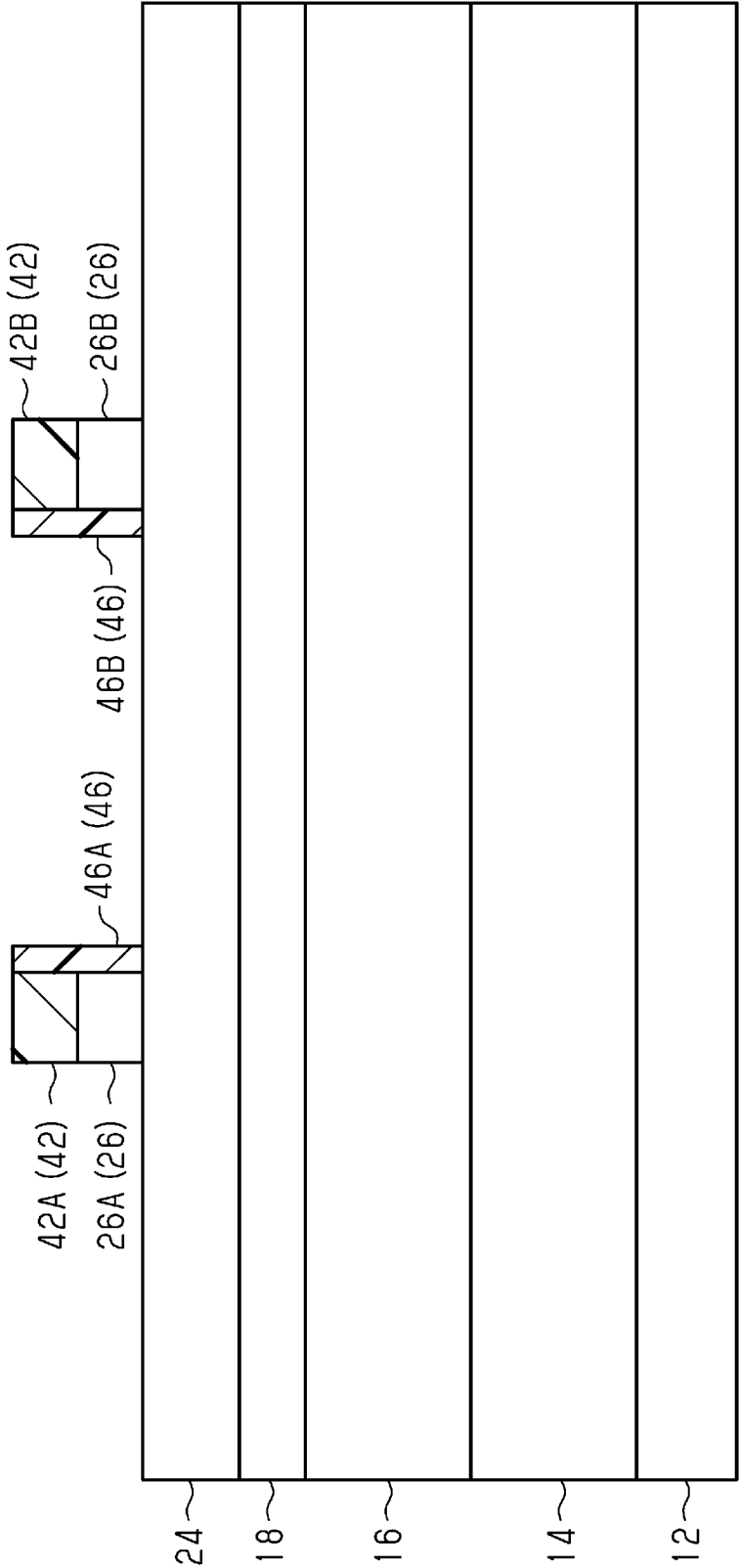
[図6]



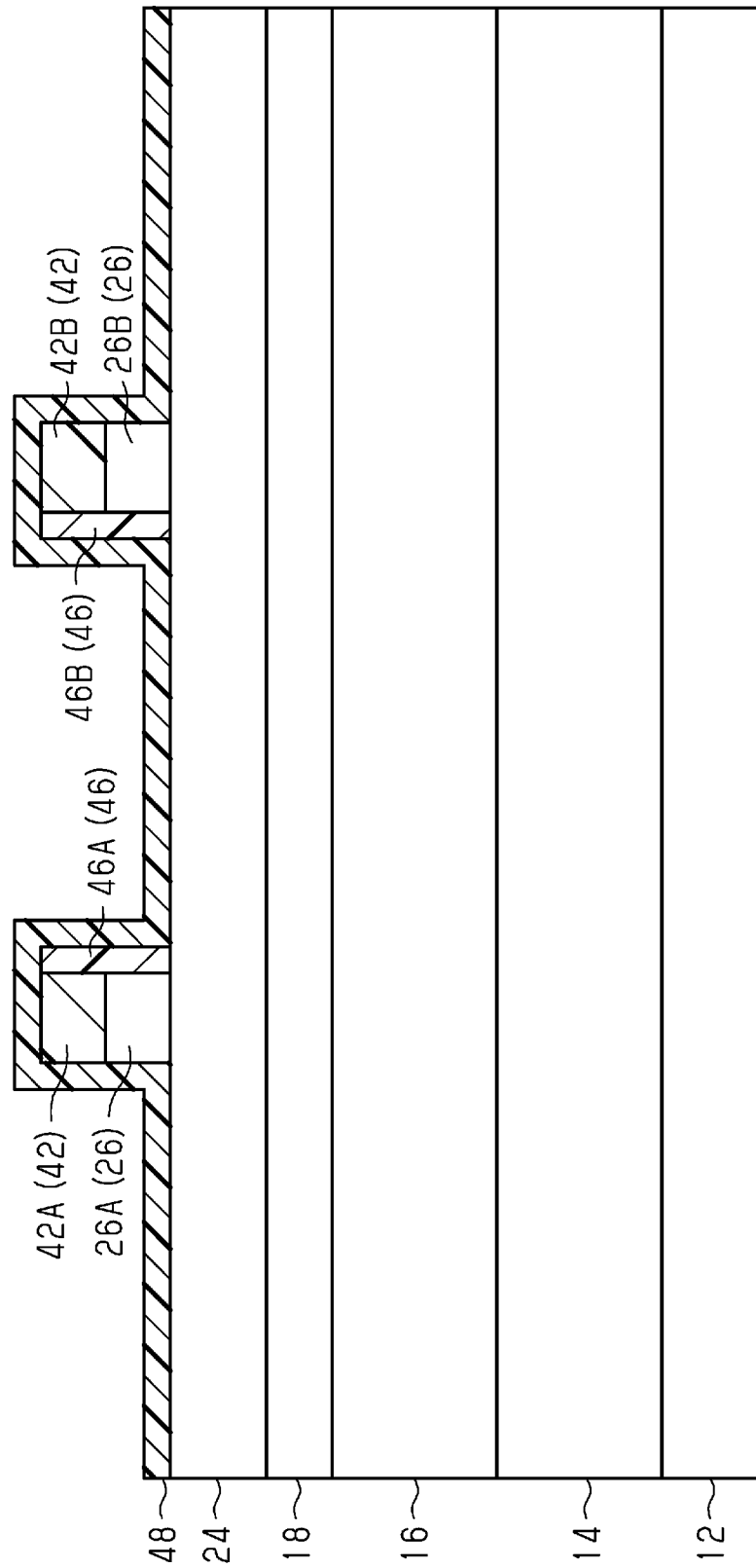
[図7]



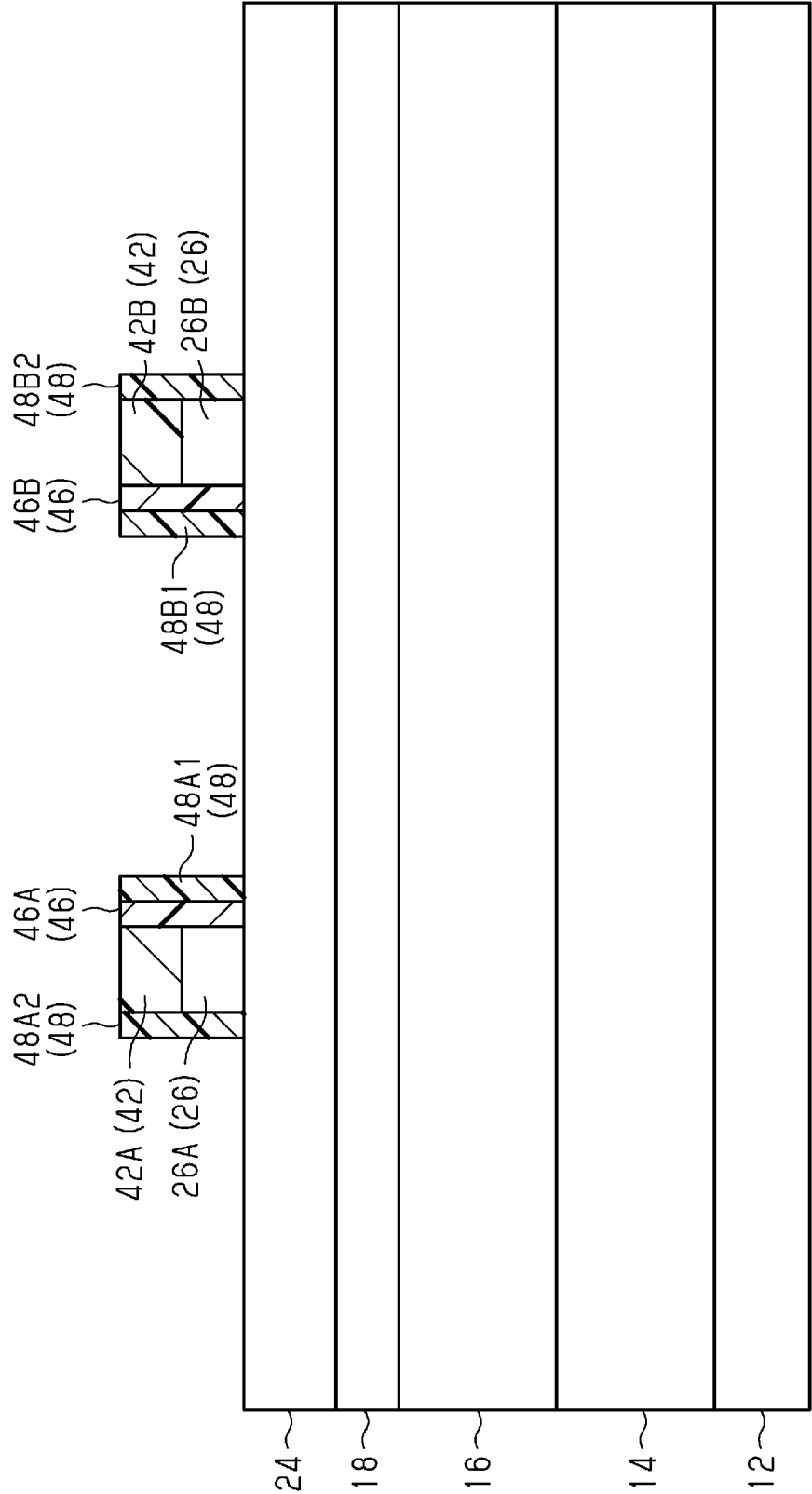
[図8]



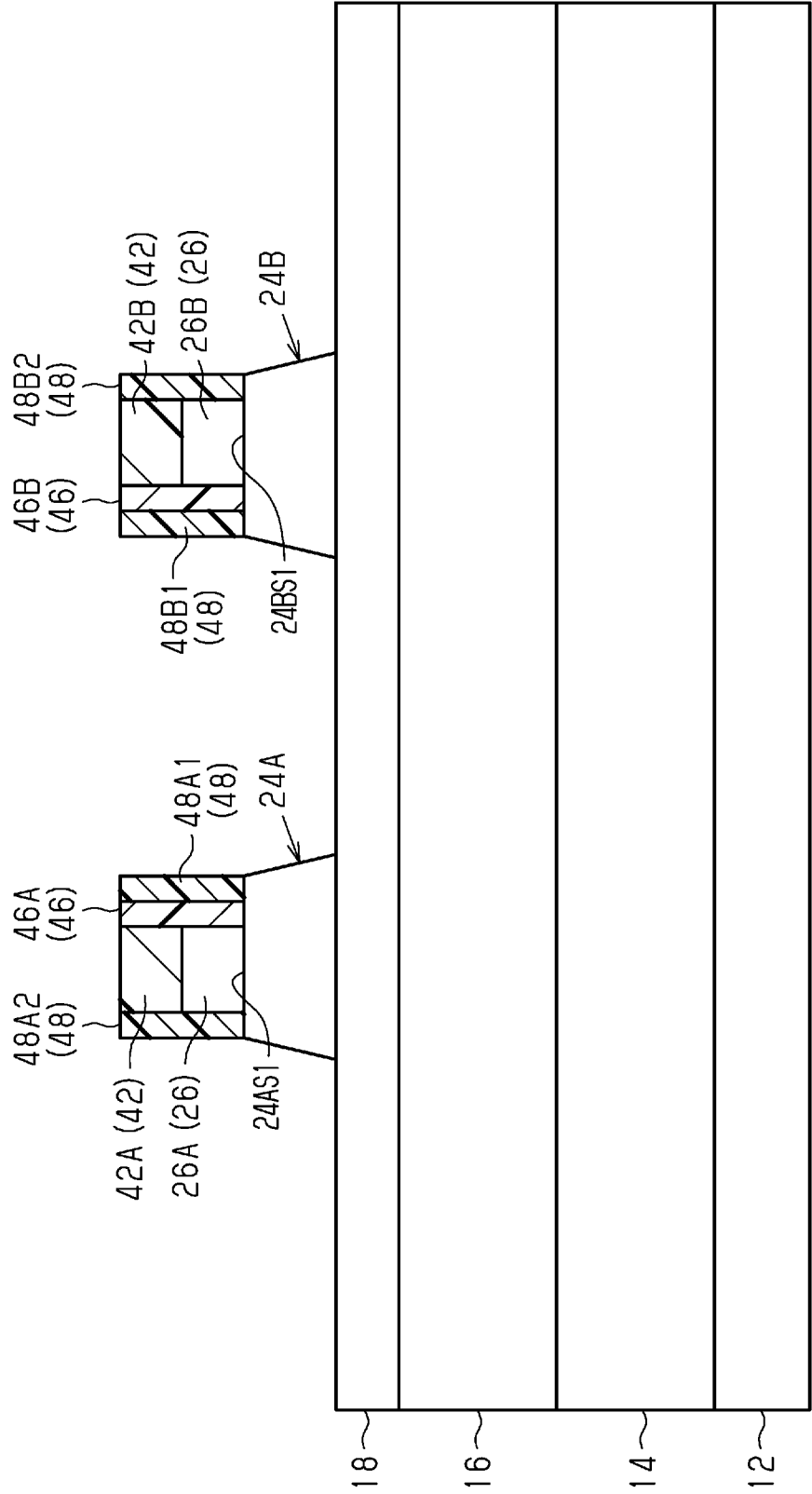
[図9]



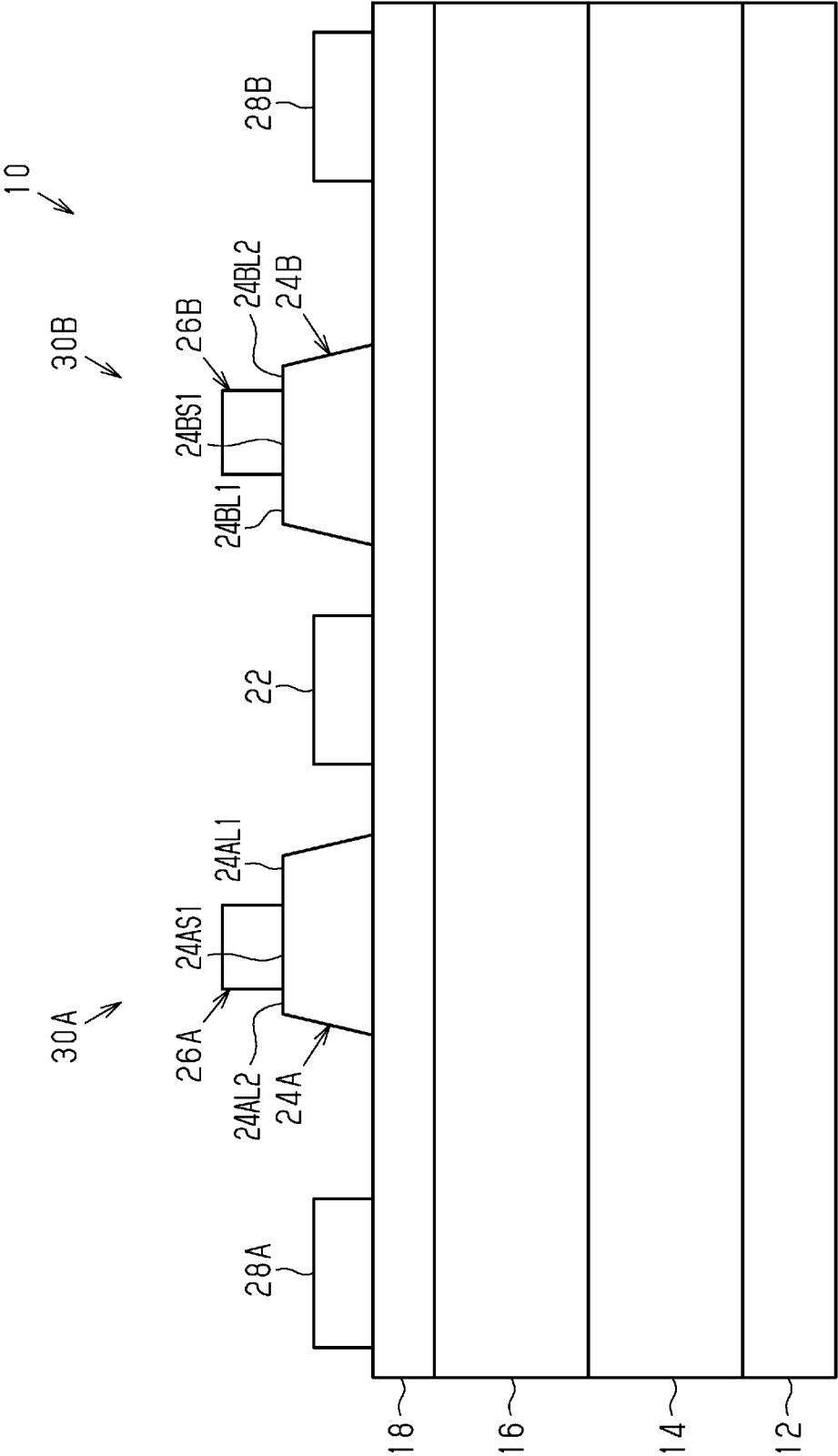
[図10]



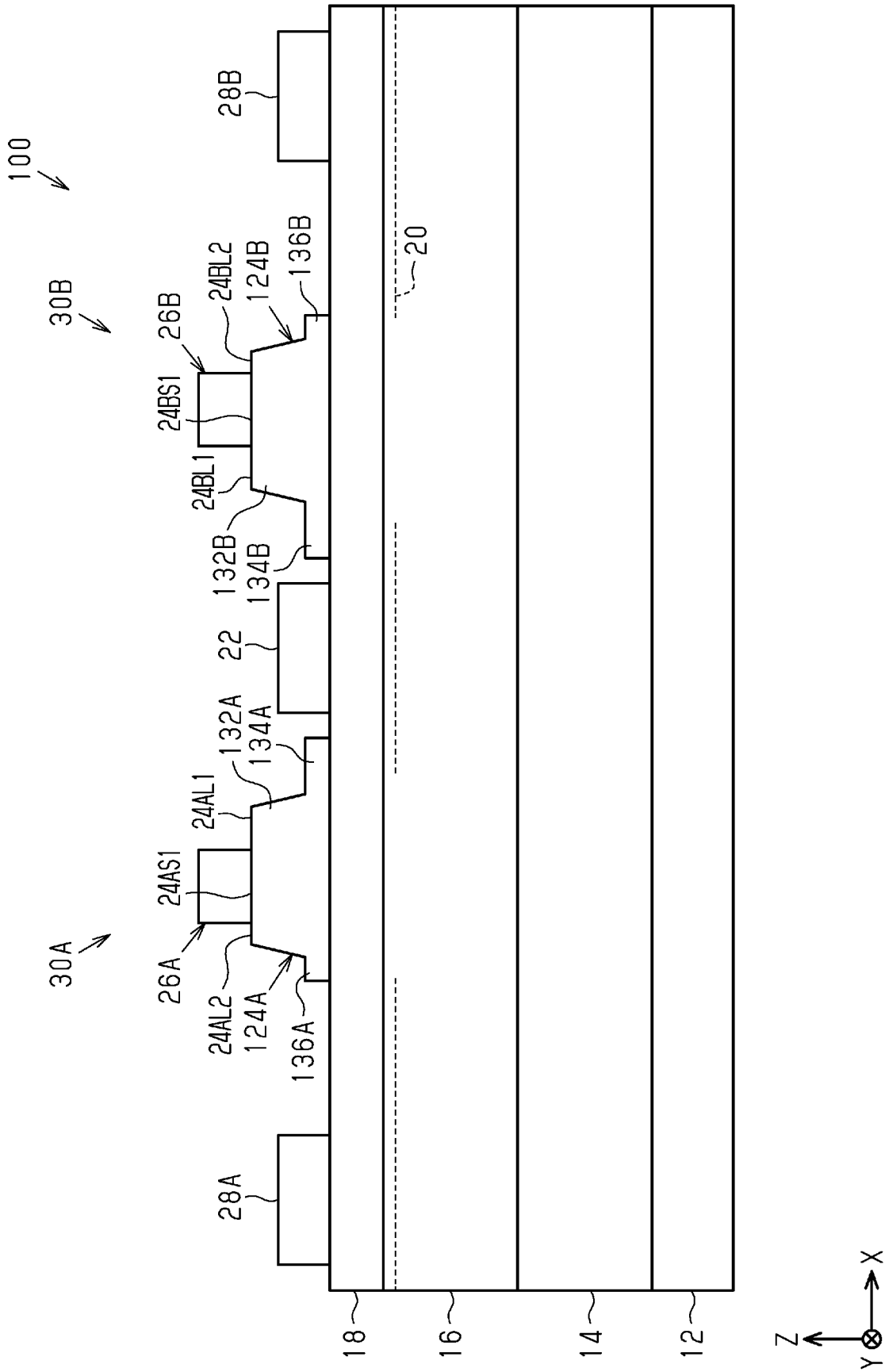
[図11]



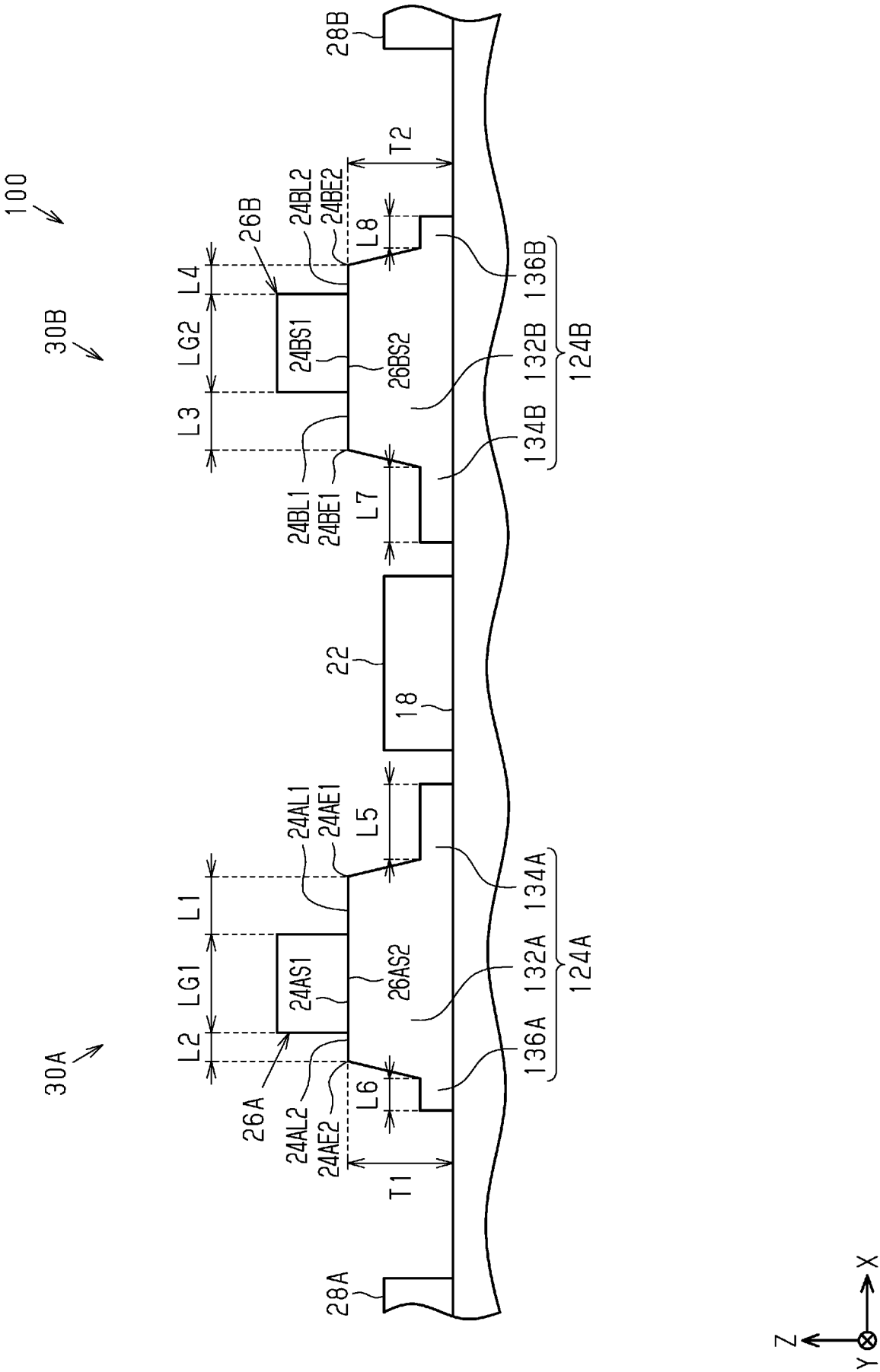
[図12]



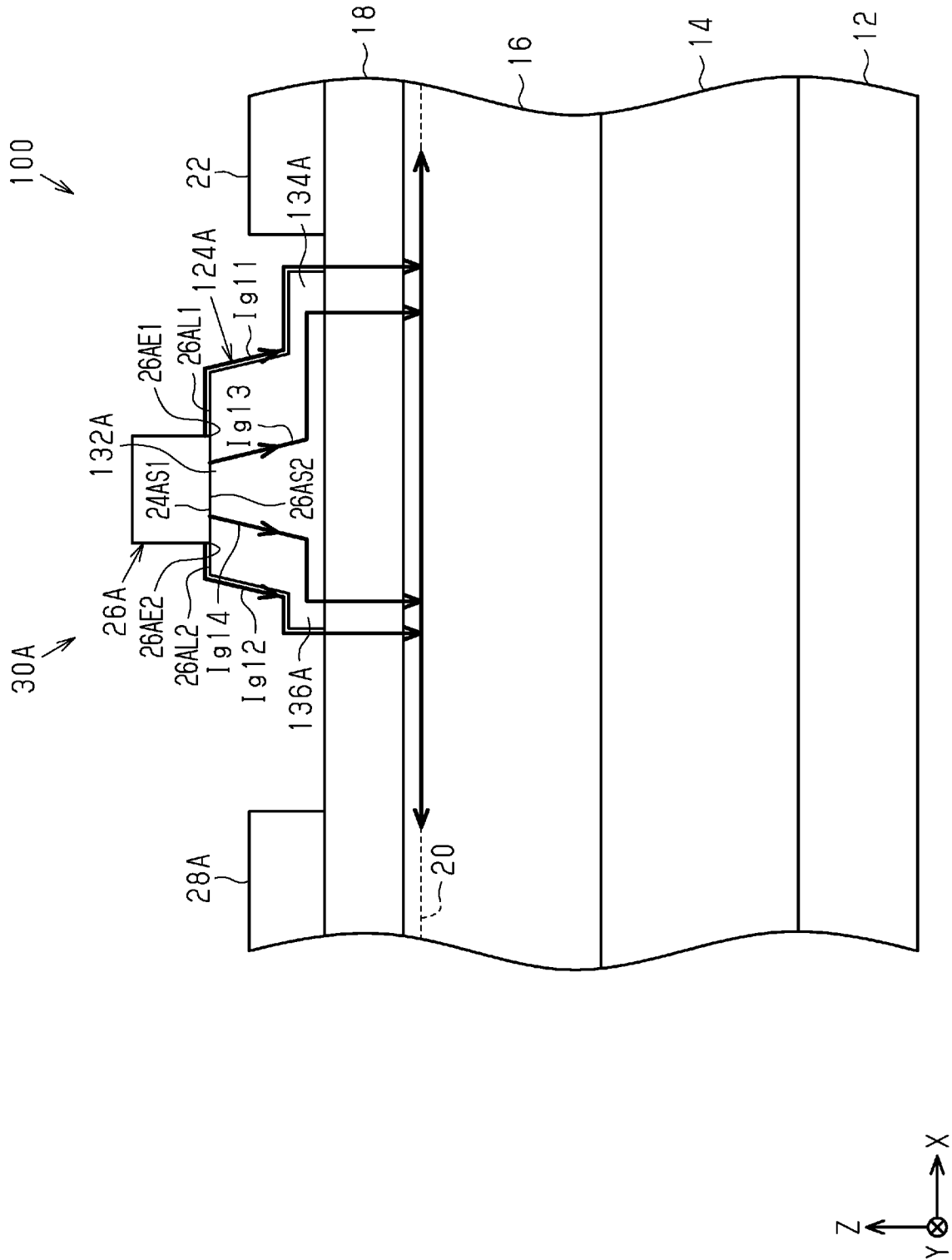
[図13]



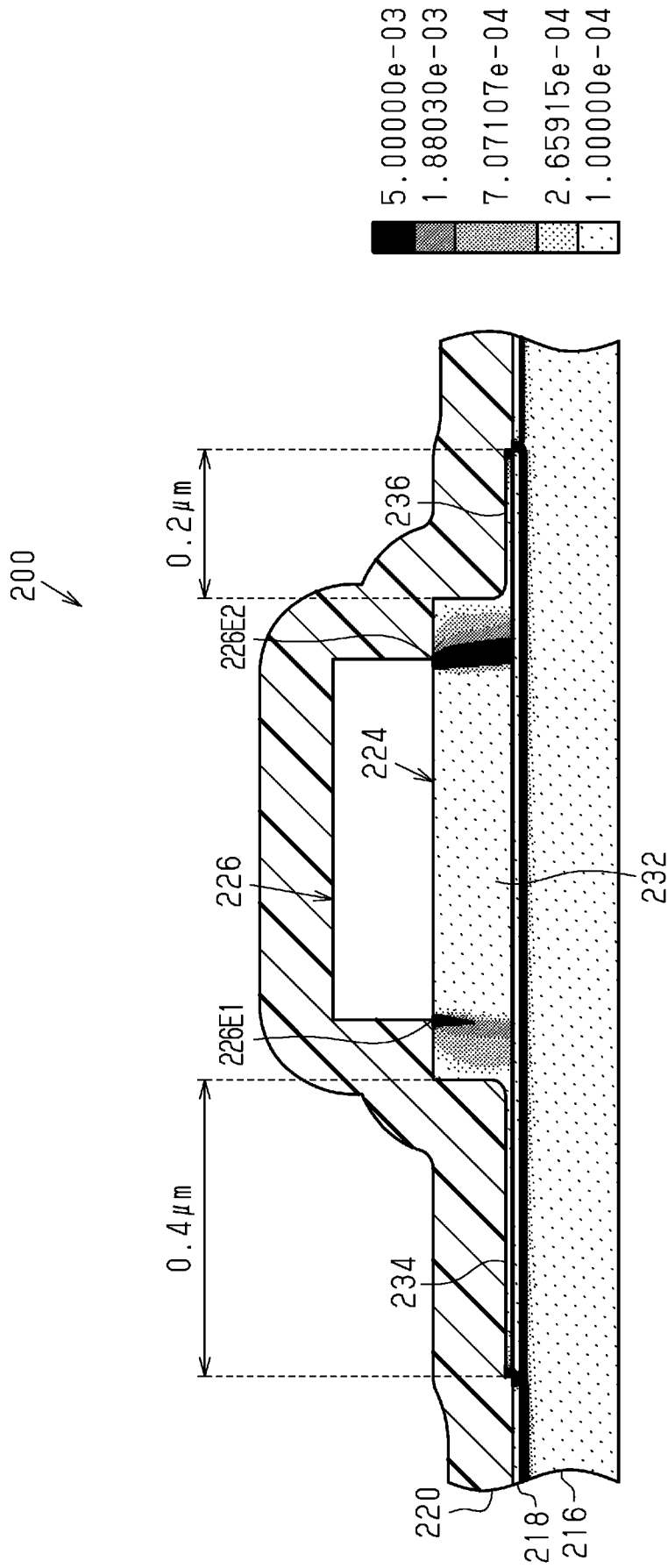
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/006800

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/812(2006.01)i; **H01L 21/28**(2006.01)i; **H01L 21/337**(2006.01)i; **H01L 21/338**(2006.01)i; **H01L 29/41**(2006.01)i;
H01L 29/423(2006.01)i; **H01L 29/778**(2006.01)i; **H01L 29/808**(2006.01)i
 FI: H01L29/80 L; H01L29/80 H; H01L29/80 C; H01L29/58 Z; H01L21/28 301B; H01L29/80 E; H01L29/44 L

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/812; H01L21/28; H01L21/337; H01L21/338; H01L29/41; H01L29/423; H01L29/778; H01L29/808

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2021/200566 A1 (TOYODA GOSEI KK) 07 October 2021 (2021-10-07)	1-20
A	WO 2021/200565 A1 (TOYODA GOSEI KK) 07 October 2021 (2021-10-07)	1-20
A	WO 2021/200564 A1 (TOYODA GOSEI KK) 07 October 2021 (2021-10-07)	1-20
P, A	WO 2022/113536 A1 (ROHM CO LTD) 02 June 2022 (2022-06-02)	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

25 April 2023

Date of mailing of the international search report

16 May 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/006800

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2021/200566	A1	07 October 2021	CN	115298833	A	
				JP	2021-163890	A	
				JP	2021-163891	A	
				JP	2021-163892	A	
WO	2021/200565	A1	07 October 2021	CN	115315813	A	
				JP	2021-163885	A	
				JP	2021-163889	A	
WO	2021/200564	A1	07 October 2021	CN	115298834	A	
				JP	2021-163886	A	
WO	2022/113536	A1	02 June 2022	TW	202228287	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/812(2006.01)i; H01L 21/28(2006.01)i; H01L 21/337(2006.01)i; H01L 21/338(2006.01)i; H01L 29/41(2006.01)i; H01L 29/423(2006.01)i; H01L 29/778(2006.01)i; H01L 29/808(2006.01)i FI: H01L29/80 L; H01L29/80 H; H01L29/80 C; H01L29/58 Z; H01L21/28 301B; H01L29/80 E; H01L29/44 L																	
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/812; H01L21/28; H01L21/337; H01L21/338; H01L29/41; H01L29/423; H01L29/778; H01L29/808 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2023年																
日本国実用新案登録公報	1996 - 2023年																
日本国登録実用新案公報	1994 - 2023年																
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2021/200566 A1（豊田合成株式会社）07.10.2021（2021 - 10 - 07）</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>WO 2021/200565 A1（豊田合成株式会社）07.10.2021（2021 - 10 - 07）</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>WO 2021/200564 A1（豊田合成株式会社）07.10.2021（2021 - 10 - 07）</td> <td>1-20</td> </tr> <tr> <td>P, A</td> <td>WO 2022/113536 A1（ローム株式会社）02.06.2022（2022 - 06 - 02）</td> <td>1-20</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2021/200566 A1（豊田合成株式会社）07.10.2021（2021 - 10 - 07）	1-20	A	WO 2021/200565 A1（豊田合成株式会社）07.10.2021（2021 - 10 - 07）	1-20	A	WO 2021/200564 A1（豊田合成株式会社）07.10.2021（2021 - 10 - 07）	1-20	P, A	WO 2022/113536 A1（ローム株式会社）02.06.2022（2022 - 06 - 02）	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
A	WO 2021/200566 A1（豊田合成株式会社）07.10.2021（2021 - 10 - 07）	1-20															
A	WO 2021/200565 A1（豊田合成株式会社）07.10.2021（2021 - 10 - 07）	1-20															
A	WO 2021/200564 A1（豊田合成株式会社）07.10.2021（2021 - 10 - 07）	1-20															
P, A	WO 2022/113536 A1（ローム株式会社）02.06.2022（2022 - 06 - 02）	1-20															
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																	
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																	
国際調査を完了した日 25.04.2023		国際調査報告の発送日 16.05.2023															
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516															

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/006800

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/200566	A1	07.10.2021	CN	115298833	A	
				JP	2021-163890	A	
				JP	2021-163891	A	
				JP	2021-163892	A	
WO	2021/200565	A1	07.10.2021	CN	115315813	A	
				JP	2021-163885	A	
				JP	2021-163889	A	
WO	2021/200564	A1	07.10.2021	CN	115298834	A	
				JP	2021-163886	A	
WO	2022/113536	A1	02.06.2022	TW	202228287	A	