

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G02F 1/136	(45) 공고일자 1999년 10월 15일	(11) 등록번호 10-0223153
(21) 출원번호 10-1996-0017813	(24) 등록일자 1999년 07월 08일	(65) 공개번호 특 1997-0076040
(22) 출원일자 1996년 05월 23일	(43) 공개일자 1997년 12월 10일	

(73) 특허권자	엘지전자주식회사 구자홍 서울특별시 영등포구 여의도동 20번지
(72) 발명자	임경남 서울특별시 종로구 송인 1동 81번지 한창욱 서울특별시 마포구 성산 1동 237-27 13/3 안병철 경상북도 구미시 형곡동 145-22 신세계 1503호 류기현 경기도 안산시 사동 요진아파트 201동 1902호 김정현 경기도 안양시 동안구 신촌동 무궁화한양아파트 108-1102
(74) 대리인	나천열, 백승남, 조재형

심사관 : 강해성

(54) 액티브 매트릭스 액정표시장치의 제조방법 및 액티브 매트릭스 액정표시장치

요약

본 발명은 투명글래스기판에 제1금속막을 증착하는 공정과 상기 제1금속막을 소정의 패턴이 되도록 에칭하여 게이트버스배선 및 게이트전극으로 형성하는 공정과 게이트절연막과 반도체층과 오믹접촉층과 제2금속막을 연속 증착하는 공정과 상기 제2금속막을 소정의 패턴이 되도록 에칭하여 소스버스배선과 소스전극과 드레인전극 및 보조용량전극으로 형성하는 공정과 상기 소스버스배선과 소스전극과 드레인전극과 보조용량전극을 에칭마스크로 하고 오믹접촉층을 에칭하여 형성하는 공정과 보호막을 증착하는 공정과 소정의 패턴이 되도록 상기 보호막, 반도체층 및 게이트절연막을 동시에 드라이에칭하는 공정을 포함하도록 하여 마스크공정 수를 줄이도록 하였다(선택도: 제7B도).

대표도

도 1

명세서

[발명의 명칭]

액티브 매트릭스 액정표시장치의 제조방법 및 액티브 매트릭스 액정표시장치.

[도면의 간단한 설명]

제1도는 일반적인 액티브 매트릭스 액정표시장치의 일부를 나타내는 기본구조 사시도.

제2도는 종래의 액티브 매트릭스 액정표시장치의 일부 평면도.

제3도는 종래의 액티브 매트릭스 액정표시장치의 제조공정 단면도.

제4도는 본 발명의 액티브 매트릭스 액정표시장치의 일부 평면도.

제5도는 본 발명에 따른 액티브 매트릭스 액정표시장치의 실시예 1의 제조공정 단면도.

제6도는 본 발명에 따른 액티브 매트릭스 액정표시장치의 실시예 2의 제조공정 단면도.

제7도는 본 발명에 따른 액티브 매트릭스 액정표시장치의 실시예 3의 제조공정 단면도.

*도면의 주요부분에 대한 부호의 설명

(1)편광판	(11)반도체층
(2)제2기판	(12)오믹접촉층
(3)제1기판	(13)보호막

- | | |
|-------------|-------------|
| (4)화소전극 | (40)제2금속막 |
| (5)소스전극 | (30)보조용량전극 |
| (15)소스버스배선 | (6)드레인전극 |
| (7)게이트전극 | (17)게이트버스배선 |
| (10)투명글래스기판 | (9)게이트절연막 |
| (13a)제1보호막 | (13b)제2보호막 |

[발명의 상세한 설명]

본 발명은 박막 트랜지스터(이하 TFT라 칭한다)를 포함하는 액티브 매트릭스 액정표시장치의 제조방법 및 그 제조방법에 의하여 제조되는 액티브 매트릭스 액정표시장치의 구조에 관한 것이다.

일반적으로 액티브 매트릭스 방식의 액정표시장치는 매트릭스상으로 복수의 화소가 배치된 기판(이하 제1기판이라 칭한다)을 갖고 있다.

제1기판의 액정표시부의 각 화소전극은 인접하는 2개의 게이트버스배선과 인접하는 2개의 소스버스배선이 교차하여 만드는 부분에 배치된다.

상기 게이트버스배선은 수평 방향으로 형성되고 상기 게이트버스배선에서 분기한 게이트전극이 종 방향으로 복수개 형성된다.

한편 상기 소스버스배선은 종 방향으로 연장되어 형성되고 상기 소스버스배선에서 분기한 소스전극이 수평 방향으로 복수개 형성된다.

상기 소스전극과 게이트전극이 교차하는 부분에 TFT가 형성되고 상기 TFT는 화소전극과 전기적으로 접촉되도록 형성되어 있다.

제1기판의 TFT와 화소전극 위에는 액정의 방향을 설정하여 주는 배향막이 형성되어 있다.

한편 액티브 매트릭스 액정표시장치는 칼라필터층과 공통전극과 배향막이 형성된 기판(이하 제2기판이라 칭한다)이 있다.

상기 제1기판과 제2기판은 대향하게 배치되며 두 기판의 각 배향막 사이에는 액정이 채워진다.

제1기판과 제2기판에는 각각 편광판이 형성되어 있다.

상기와 같은 여러 구성요소가 결합되어 액티브 매트릭스 액정표시장치가 완성된다.

상기와 같은 여러 구성요소 중 본 발명의 목적과 관련이 있는 제1기판의 제조방법을 도면을 참고하여 상세히 설명한다.

제1도는 일반적인 액티브 매트릭스 액정표시장치의 일부를 나타낸 기본구조 사시도이다.

제2도는 종래의 액티브 매트릭스 액정표시장치의 일부 평면도이다.

제3도는 종래의 액티브 매트릭스 액정표시장치의 제조공정을 나타내는 단면도이다.

제3도의 왼쪽에 나타난 도면은 제2도의 III(a)-III(a)단면도이고 오른쪽에 나타난 도면은 III(b)-III(b)단면도를 나타낸다.

제3도에 의하여 알 수 있듯이 투명글래스기판(10)위에 Cr금속막을 도포하고, 상기 Cr금속막 위에 포토레지스트를 도포하고, 미리 제작된 마스크를 사용하여 상기 포토레지스트를 소정의 패턴이 되도록 현상하고, 상기 현상된 패턴에 따라 Cr금속막을 에칭하여 게이트버스배선(17)과 게이트버스배선(17)에서 분기하는 게이트전극(7)을 형성한다(제3A도).

상기 공정에 이어서 게이트절연막(9)이 되는 SiNx층과 반도체층(11)이 되는 비정질 실리콘(이하 a-Si라 칭한다)층과 오믹접촉층(12)이 되는 n형 a-Si층을 연속하여 증착한다(제3B도).

상기 공정에 이어서 n형 a-Si층 위에 포토레지스트를 도포하고, 마스크를 사용하여 상기 포토레지스트를 소정의 패턴이 되도록 현상하고, 상기 현상된 패턴에 따라 n형 a-Si층과 a-Si층을 동시에 에칭하여 오믹접촉층(12)과 반도체층(11)을 형성한다(제3C도).

이어서 Cr금속막을 기판의 전체면에 스퍼터링법으로 증착하고, 상기 Cr금속막 위에 포토레지스트를 도포하고, 마스크를 사용하여 상기 포토레지스트를 소정의 패턴이 되도록 현상하고, 상기 현상된 패턴에 따라 Cr금속막을 에칭하여 신호선으로 기능하는 소스버스배선(15)과 상기 소스버스배선(15)에서 분기한 소스전극(5) 및 출력단자로 기능하는 드레인전극(6)을 형성한 후, 상기 에칭에 의하여 형성된 소스전극 및 드레인전극이 에칭마스크가 되도록 하여 오믹접촉층(12)이 양쪽으로 분리 되도록 오믹접촉층(12)의 중앙부분을 에칭한다(제3D도).

이어서 보호막(13)을 전체면에 도포하고, 상기 보호막(13) 위에 포토레지스트를 도포하고, 마스크를 사용하여 상기 포토레지스트를 소정의 패턴이 되도록 현상하고, 상기 현상된 패턴에 따라 보호막(13)을 에칭하여 드레인전극부의 보호막(13)에 콘택트홀(16)을 형성한다(제3E도).

이어서 상기 콘택트홀이 형성된 보호막(13) 위에 ITO(Indium Tin Oxide)막을 스퍼터링법으로 전체면에 증착하고, 상기 ITO막 위에 포토레지스트를 도포하고, 마스크를 사용하여 상기 포토레지스트를 소정의 패턴이 되도록 현상하고, 상기 현상된 패턴에 따라 ITO막을 에칭하여 화소전극(4)을 형성한다(제3F도).

상기와 같은 종래 액티브 매트릭스 액정표시장치의 제조방법의 한 예에서는 화소전극(4)을 형성하는 공정

까지 여러번의 마스크를 사용하는 공정이 필요하다.

상기 각각의 마스크공정의 프로세스를 좀더 구체적으로 기술하면 마스크패턴할 막을 증착한 후 증착표면을 세정하는 공정과 세정된 증착표면에 포토레지스트를 도포하는 공정과 포토레지스트 위에 패턴 형성부를 따라 마스크를 맞추고 노광하는 공정과 상기 패턴을 현상하는 공정과 상기 현상된 패턴에 따라 증착막을 에칭하는 공정과 증착막의 패턴 위의 포토레지스트를 제거하는 공정 등으로 나눌 수 있다.

상기와 같이 마스크공정의 프로세스는 매우 복잡할 뿐만 아니라 시간도 많이 걸리며 다른 공정에 비교하여 많은 불량이 발생한다.

따라서 마스크공정이 많으면 많을수록 그 만큼 불량이 증가하기 때문에 되도록이면 마스크공정을 줄이는 것이 바람직하다.

본 발명의 액티브매트릭스 액정표시장치의 제1기판의 제조방법에서는 마스크공정 수를 줄이기 위하여 게이트버스배선과 게이트전극이 형성된 투명글래스기판(10) 위에 게이트절연막과 반도체층과 보호막을 연속 증착하고, 보호막 위에 포토레지스트를 도포하고, 마스크를 사용하여 상기 포토레지스트를 소정의 패턴이 되도록 현상하고, 상기 현상된 패턴에 따라 보호막, 반도체층 및 게이트절연막을 동시에 드라이에칭(dry 에칭)하는 공정을 갖도록 하는 것을 특징으로 한다.

이하 실시예 1, 2, 3을 통하여 본 발명의 액티브 매트릭스 액정표시장치의 제조방법을 상세히 설명한다.

제4도는 본 발명의 액티브 매트릭스 액정표시장치의 일부 평면도이다.

제5도는 본 발명의 액티브 매트릭스 액정표시장치의 제조방법을 나타내는 실시예 1의 공정 단면도이다.

제6도는 본 발명의 액티브 매트릭스 액정표시장치의 제조방법을 나타내는 실시예 2의 공정 단면도이다.

제7도는 본 발명의 액티브 매트릭스 액정표시장치의 제조방법을 나타내는 실시예 3의 공정 단면도이다.

제5도의 왼쪽에 나타난 도면은 제4도의 V(a)-V(a) 단면도이고 오른쪽에 나타난 도면은 V(b)-V(b) 단면도이다.

제6도의 왼쪽에 나타난 도면은 제4도의 VI(a)-VI(a) 단면도이고 오른쪽에 나타난 도면은 VI(b)-VI(b) 단면도이다.

제7도의 왼쪽에 나타난 도면은 제4도의 VII(a)-VII(a) 단면도이고 오른쪽에 나타난 도면은 VII(b)-VII(b) 단면도이다.

[실시예 1]

제5도에 의하여 알 수 있듯이 투명글래스기판(10) 위에 제1금속막인 Cr금속막 등을 증착하고, 상기 제1금속막 위에 포토레지스트를 도포하고, 마스크를 사용하여 포토레지스트를 소정의 패턴이 되도록 현상하고, 상기 현상된 패턴에 따라 제1금속막을 웨트에칭(wet 에칭) 등의 방법으로 에칭하여 게이트버스배선(17)과 게이트버스배선(17)에서 분기하는 게이트전극(7)을 형성한다(제5A도).

상기 공정 후에 게이트절연막(9)이 되는 SiNx층과 반도체층(11)이 되는 a-Si층과 오믹접촉층(12)이 되는 n+형 a-Si층과 소스버스배선(15), 상기 소스버스배선에서 분기한 소스전극(5), 출력단자로 기능하는 드레인전극(6) 및 보조용량전극(30)이 되는 제2금속막(40)인 Cr금속막을 연속하여 증착한다(제5B도).

이어서 상기 제2금속막(40) 위에 포토레지스트를 도포하고, 마스크를 사용하여 포토레지스트를 소정의 패턴이 되도록 현상하고, 현상된 패턴에 따라 상기 제2금속막(40)을 웨트에칭 등의 방법으로 에칭하여 신호선으로 기능하는 소스버스배선(15), 상기 소스버스배선(15)에서 분기한 소스전극(5), 출력단자로 기능하는 드레인전극(6) 및 보조용량전극(30)을 형성하는데 상기 보조용량전극(30)은 게이트버스배선과 일부 겹치도록 형성된다(제5C도).

이어서 소스버스배선(15)과 소스전극(5)과 드레인전극(6)과 보조용량전극(30)이 에칭마스크가 되도록 하고, 상기 에칭마스크의 패턴에 따라 n+형 a-Si층을 에칭하여 오믹접촉층(12)을 형성한다(제5D도).

이어서 무기절연막 등으로 된 보호막(13)을 전체면에 증착한다(제5E도).

이어서 상기의 증착된 보호막(13) 위에 포토레지스트를 도포하고, 보조용량전극(30)의 일부와 드레인전극(6)의 일부와 a-Si층의 일부와 소스버스배선(15)과 소스전극(5)이 덮이도록 마스크를 사용하여 포토레지스트를 현상하고, 상기 현상된 패턴에 따라 보호막(13)과 a-Si층과 SiNx층을 드라이에칭 등의 방법으로 동시에 에칭하여 반도체층(11)과 게이트절연막(9) 등을 형성한다(제5F도).

그런데 상기 제5F도와 같이 Cr금속으로 된 드레인전극(6) 및 보조용량전극(30)의 일부가 노출되는 모양으로 보호막 위의 포토레지스트를 현상하고, 상기 포토레지스트의 현상된 패턴에 따라 보호막, 반도체층, 게이트절연막을 동시에 드라이에칭 하더라도 에칭 선택비가 비슷한 보호막, 반도체층(a-Si층), 게이트절연막(SiNx막)은 에칭이 되지만 상기 Cr금속으로 된 드레인전극(6) 및 보조용량전극(30)은 상기의 보호막, 반도체층, 게이트절연막과 에칭 선택비 차이가 커서 드라이에칭으로는 에칭이 되지 않는다.

결국 보호막(13) 위에 현상된 포토레지스트의 패턴에 따라 상기 보호막(13)은 드레인전극(6) 및 보조용량전극(30)의 일부가 노출 되도록 에칭되고, 상기 노출된 드레인전극(6) 및 보조용량전극(30)의 일부가 에칭마스크 역할을 하게되어 제5F도와 같이 반도체층(11)과 게이트절연막(9)이 에칭된다.

이어서 투명전도막인 IT0막을 스퍼터링법으로 전체면에 증착하고, 상기 IT0막 위에 포토레지스트를 도포하고, 마스크를 사용하여 상기 포토레지스트를 소정의 패턴이 되도록 현상하고, 상기 현상된 패턴에 따라 IT0막을 에칭하여 보조용량전극 일부와 드레인전극 일부를 포함하는 면적을 갖는 화소전극(4)을 형성한다(제5G도).

[실시예 2]

실시에 2에 따른 제조공정은 실시예 1의 제50도의 제조공정 진행까지 동일함으로 이에 대한 반복 설명을 생략한다.

상기 제50도의 공정에 이어서 무기절연막 등으로 된 제1보호막(13a)을 기판의 전체면에 증착한다(제6A도).

이어서 상기 제1보호막(13a)이 증착된 투명글래스기판 위에 포토레지스트를 도포하고, 보조용량전극(30)과 드레인전극(6)과 a-Si층의 일부와 소스버스배선과 소스전극이 덮이도록 마스크를 사용하여 포토레지스트를 현상하고, 상기 현상된 패턴에 따라 제1보호막(13a)과 a-Si층과 SiNx막을 동시에 드라이에칭 등의 방법으로 에칭하여 반도체층(11)과 게이트절연막(9) 등을 형성한다(제6B도).

이어서 유기절연막 등으로 된 제2보호막(13b)을 전체면에 증착한다(제6C도).

상기와 같이 유기절연막으로 된 보호막(13b)을 형성하면 유기절연막이 소스버스 배선 등의 단차를 타고넘는 레벨링 특성이 좋기 때문에 상기 유기절연막 위에 형성되는 화소전극을 평탄화하는데 유리하며 소스버스 배선 등의 단차 부분에서 러빙불량의 발생이 줄어든다.

따라서 화소전극을 소스버스배선 등에 중첩하여 구성하더라도 소스버스배선의 단차 부분에서 러빙불량이 발생하지 않기 때문에 액정표시장치의 개구율을 향상시킬 수 있다.

이어서 상기 제2보호막(13b)위에 포토레지스트를 도포하고, 마스크를 사용하여 상기 포토레지스트를 소정의 패턴이 되도록 현상하고, 상기 현상된 패턴에 따라 제2보호막(13b)과 제1보호막(13a)을 에칭하여 드레인전극부에 콘택홀(16)과 게이트버스배선에 보조용량전극 일부가 중첩되도록 보조용량전극(30)을 형성한다(제6D도).

이어서 투명도전막인 IT0막을 스퍼터링법으로 전체면에 증착하고, 상기 IT0막에 포토레지스트를 도포하고, 마스크를 사용하여 상기 포토레지스트를 소정의 패턴이 되도록 현상하고, 상기 현상된 패턴에 따라 IT0막을 에칭하여 보조용량전극 일부와 드레인전극 일부를 포함하는 면적을 갖는 화소전극(4)을 형성한다(제6E도).

[실시예 3]

실시예 3에 따른 제조공정은 실시예 2의 제조공정 진행까지 동일함으로 이에 대한 반복 설명을 생략한다.

상기 제6B도의 공정 상태에서 상기 제1보호막(13a) 위에 포토레지스트를 도포하고, 마스크를 사용하여 상기 포토레지스트를 소정의 패턴이 되도록 현상하고, 상기 현상된 패턴에 따라 제1보호막(13a)을 에칭하여 드레인전극부에 콘택홀(16)과 게이트 버스배선에 보조용량전극 일부가 중첩되도록 보조용량전극(30)을 형성한다(제7A도).

이어서 투명도전막인 IT0막을 스퍼터링법으로 전체면에 증착하고, 상기 IT0막 위에 포토레지스트를 도포하고, 마스크를 사용하여 상기 포토레지스트를 소정의 패턴이 되도록 현상하고, 상기 현상된 패턴에 따라 IT0막을 에칭하여 보조용량전극 일부와 드레인전극 일부를 포함하는 면적을 갖는 화소전극(4)을 형성한다(제7B도).

본 발명의 실시예 1, 2, 3은 제1금속층을 증착하고, 상기 제1금속층을 소정의 패턴이 되도록 에칭하여 게이트버스배선 및 게이트전극으로 형성하는 공정과 게이트절연막과 반도체층과 오믹접촉층과 제2금속층을 연속 증착하는 공정과 상기 제2금속층을 소정의 패턴이 되도록 에칭하여 소스버스배선, 소스전극, 드레인전극 및 보조용량전극으로 형성하는 공정과 상기 소스버스배선, 소스전극, 드레인전극 및 보조용량전극을 에칭마스크로 하여 오믹접촉층을 에칭하는 공정과 보호막을 증착하고, 소정의 패턴이 되도록 상기 보호막, 반도체층 및 게이트절연막을 동시에 에칭하는 공정과 IT0막을 증착하고, 소정의 패턴이 되도록 상기 IT0막을 에칭하여 화소전극을 형성하는 공정을 포함함으로써 마스크공정을 단축할 수 있기 때문에 마스크공정에서 발생하는 불량을 줄일 수 있고 또한 수율을 향상할 수 있다.

(57) 청구의 범위

청구항 1

기판에 제1금속막을 증착하는 단계와; 상기 제1금속막을 에칭하여 게이트버스배선 및 게이트전극으로 형성하는 단계와; 게이트절연막, 반도체층, 오믹접촉층 및 제2금속막을 연속 증착하는 단계와; 상기 제2금속막을 에칭하여 소스버스배선, 소스전극 및 드레인전극으로 형성하는 단계와; 상기 소스버스배선, 소스전극 및 드레인전극을 에칭마스크로 하여 상기 오믹접촉층을 에칭하는 단계와; 보호막을 증착하는 단계와; 상기 보호막, 반도체층 및 게이트절연막을 동시에 에칭하는 단계와; 투명도전막을 증착하는 단계와; 상기 투명도전막을 에칭하여 상기 드레인전극과 접촉되는 화소전극을 형성하는 단계를 포함하는 액티브 매트릭스 액정표시장치의 제조방법에 있어서,

상기 제2금속막의 에칭에 의하여 보조용량전극이 추가로 형성되고,

상기 보조용량전극, 소스버스배선, 소스전극 및 드레인전극을 에칭마스크로 하여 상기 오믹접촉층이 에칭되고,

상기 보호막, 반도체층 및 게이트절연막을 동시에 에칭하는 단계에서, 상기 보호막에 콘택홀을 형성하여 드레인전극의 일부가 노출되도록 함과 아울러 적어도 보조용량전극의 일부가 노출되도록 하고,

상기 화소전극을 형성하는 단계에서, 상기 화소전극은 상기 콘택홀을 통하여 상기 노출된 드레인전극과 접촉되고, 또한 상기 노출된 보조용량전극과 접촉되도록 형성되는 것을 특징으로 하는 액티브 매트릭스 액정표시장치의 제조방법.

청구항 2

액티브 매트릭스 액정표시장치의 제조방법에 있어서:

기판에 제1금속막을 증착하는 단계와;

상기 제1금속막을 에칭하여 게이트버스배선 및 게이트전극으로 형성하는 단계와;

게이트절연막, 반도체층, 오믹접촉층 및 제2금속막을 연속 증착하는 단계와;

상기 제2금속막을 에칭하여 소스버스배선, 소스전극 및 드레인전극으로 형성하는 단계와;

상기 소스버스배선, 소스전극 및 드레인전극을 에칭마스크로 하여 상기 오믹접촉층을 에칭하는 단계와;

제1보호막을 증착하는 단계와;

상기 제1보호막, 반도체층 및 게이트절연막을 동시에 에칭하는 단계와;

제2보호막을 증착하는 단계와;

상기 제1보호막과 제2보호막이 통하는 콘택홀을 형성하는 단계와;

투명도전막을 증착하는 단계와;

상기 투명도전막을 에칭하여 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치의 제조방법.

청구항 3

제2항에 있어서;

상기 제2금속막이 소스버스배선, 소스전극, 드레인전극 및 보조용량전극이 되도록 패턴하는 단계와;

상기 소스버스배선, 소스전극, 드레인전극 및 보조용량전극을 에칭마스크로 하여 상기 오믹접촉층을 에칭하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치의 제조방법.

청구항 4

제2항 또는 제3항에 있어서;

상기 제1보호막은 무기절연막이고 제2보호막은 유기절연막인 것을 특징으로 하는 액티브 매트릭스 액정표시장치의 제조방법.

청구항 5

기판과; 상기 기판 위에 형성된 게이트버스배선 및 게이트전극과; 상기 게이트버스배선 및 게이트전극이 형성된 기판 위에 형성된 게이트절연막과; 상기 게이트절연막 위에 상기 게이트절연막과 같은 패턴으로 동시에 형성된 반도체층과; 상기 반도체층 위에 형성된 오믹접촉층과; 상기 오믹접촉층 위에 형성된 소스버스배선, 소스전극, 드레인전극 및 보조용량전극과; 상기 보조용량전극 일부, 드레인전극 일부, 반도체층 일부, 소스버스배선 및 소스전극을 덮도록 형성된 보호막과; 상기 보조용량전극 일부와 드레인전극 일부에 접촉되어 형성된 화소전극을 포함하는 액티브 매트릭스 액정표시장치에 있어서,

상기 보호막에 형성된 콘택홀을 통하여 상기 화소전극과 상기 드레인전극의 일부가 접촉되도록 구성되는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 6

액티브 매트릭스 액정표시장치에 있어서;

기판과;

상기 기판 위에 형성된 게이트버스배선 및 게이트전극과;

상기 게이트버스배선 및 게이트전극이 형성된 기판 위에 형성된 게이트절연막과;

상기 게이트절연막 위에 상기 게이트절연막과 같은 패턴으로 동시에 형성된 반도체층과;

상기 반도체층 위에 형성된 오믹접촉층과;

상기 오믹접촉층 위에 형성된 소스버스배선, 소스전극, 드레인전극 및 보조용량전극과;

상기 보조용량전극 일부, 드레인전극 일부, 반도체층 일부, 소스버스배선 및 소스전극을 덮도록 형성된 제1보호막과;

상기 제1보호막이 형성된 기판에 보조용량전극 일부와 드레인전극 일부를 제외하고 전체면에 증착된 제2보호막과;

상기 제1보호막과 제2보호막을 통하여 형성된 드레인전극부의 콘택홀 및 보조용량전극부와;

상기 제2보호막 위에 보조용량전극부의 콘택홀 및 드레인전극부와 접촉되어 형성된 화소전극을 포함하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 7

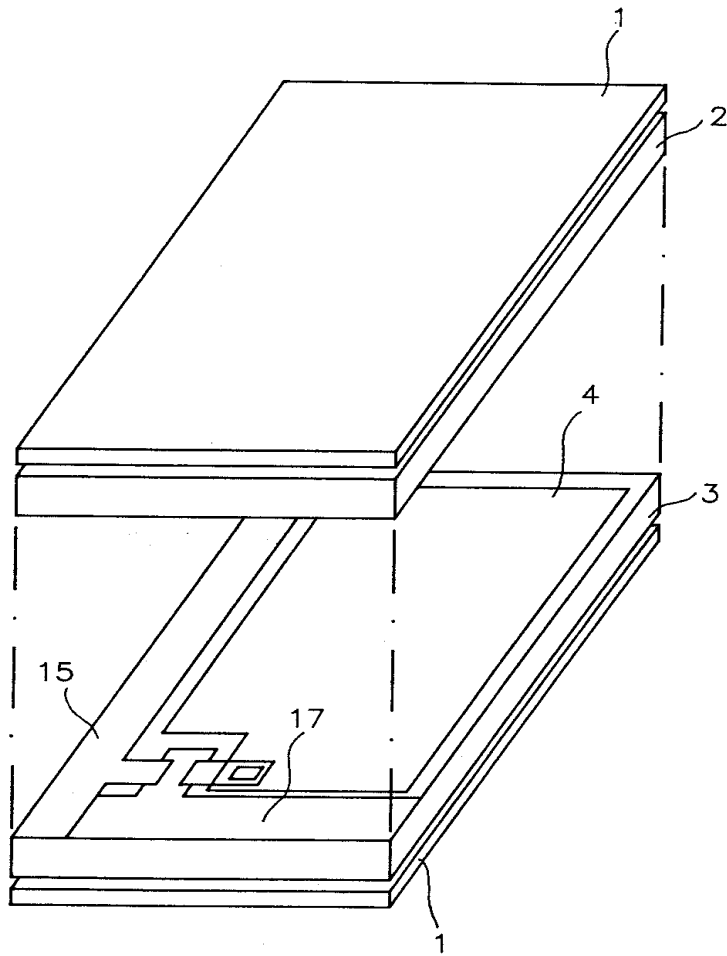
제6항에 있어서;

상기 제1보호막은 무기절연막이고 제2보호막은 유기절연막인 것을 특징으로 하는 액티브 매트릭스 액정표

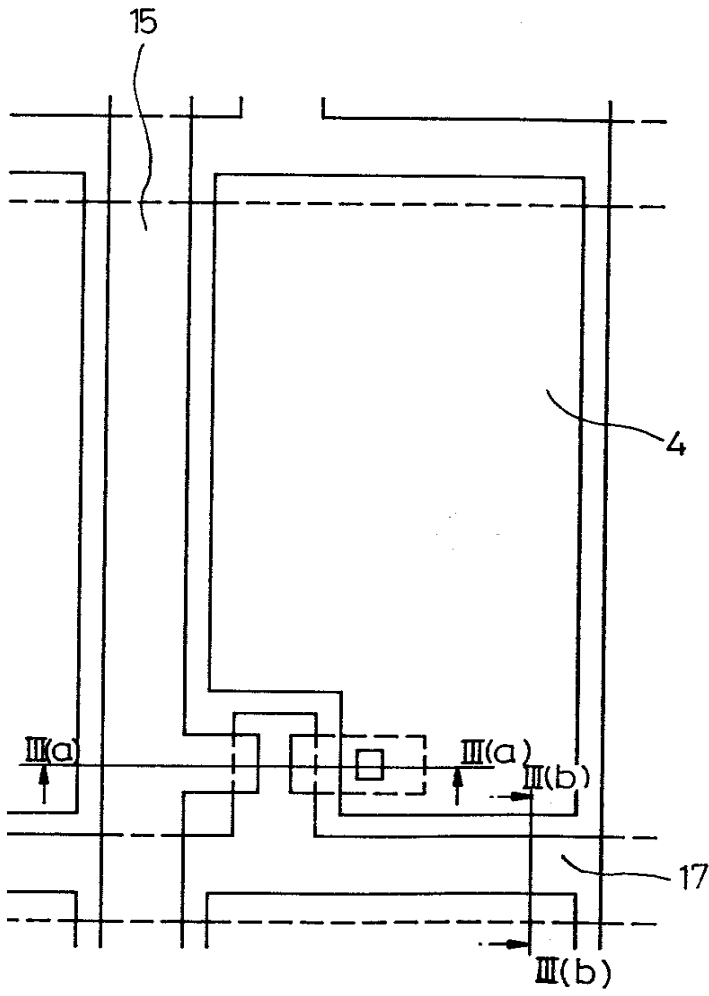
시장치.

도면

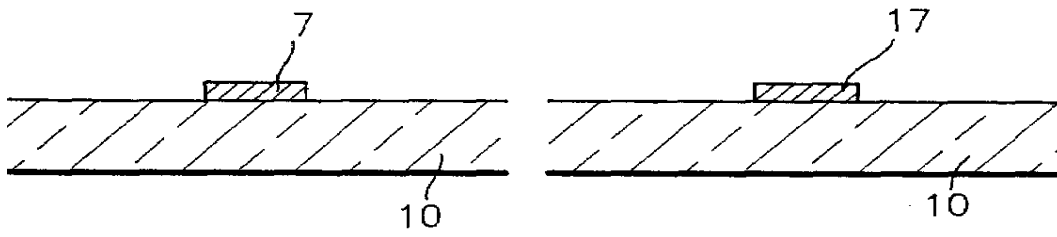
도면1



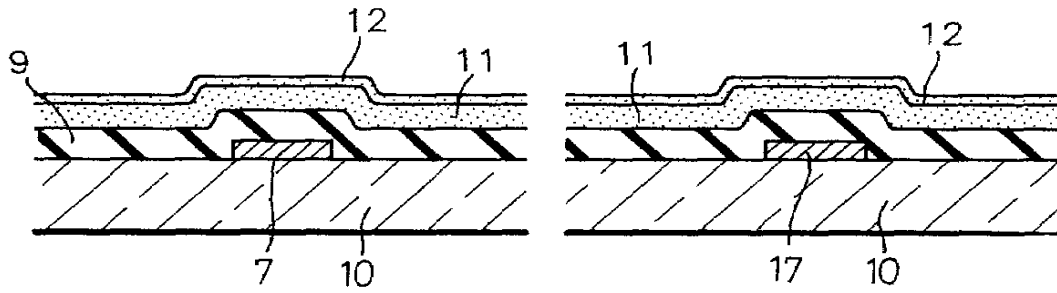
도면2



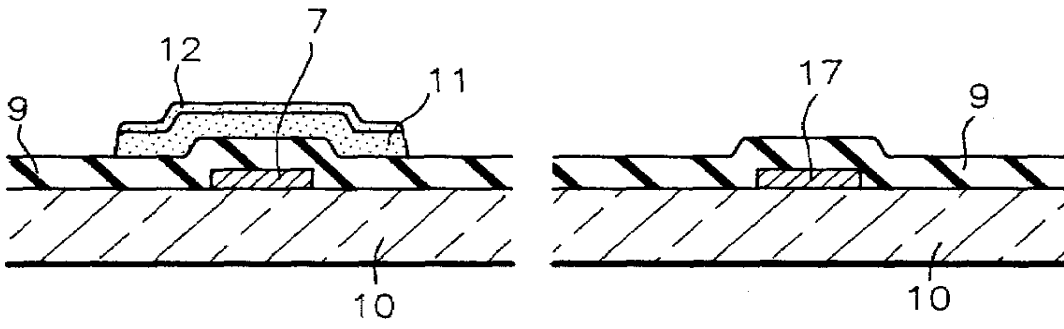
도면3a



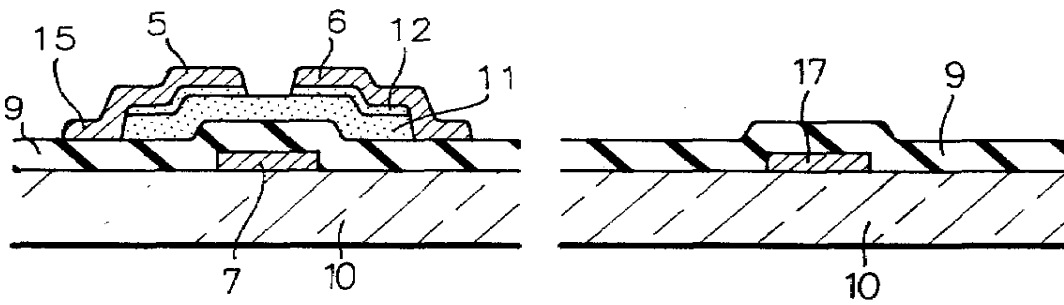
도면3b



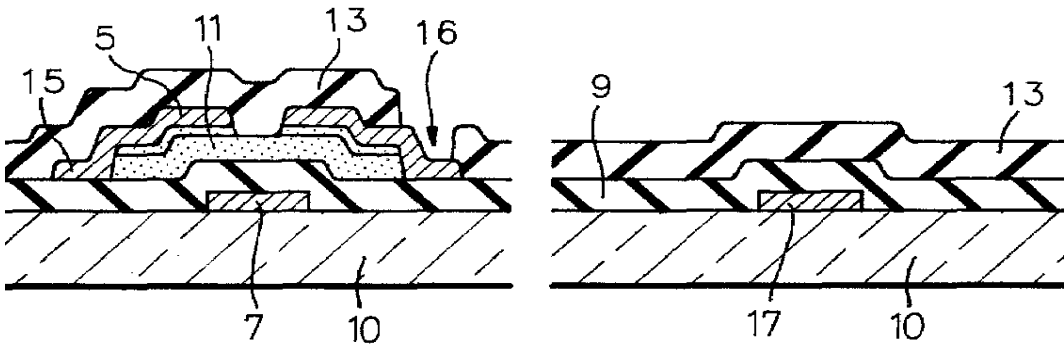
도면3c



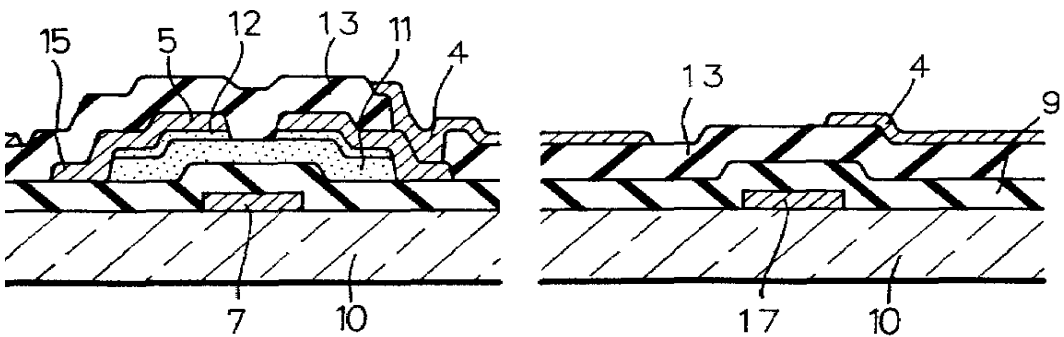
도면3d



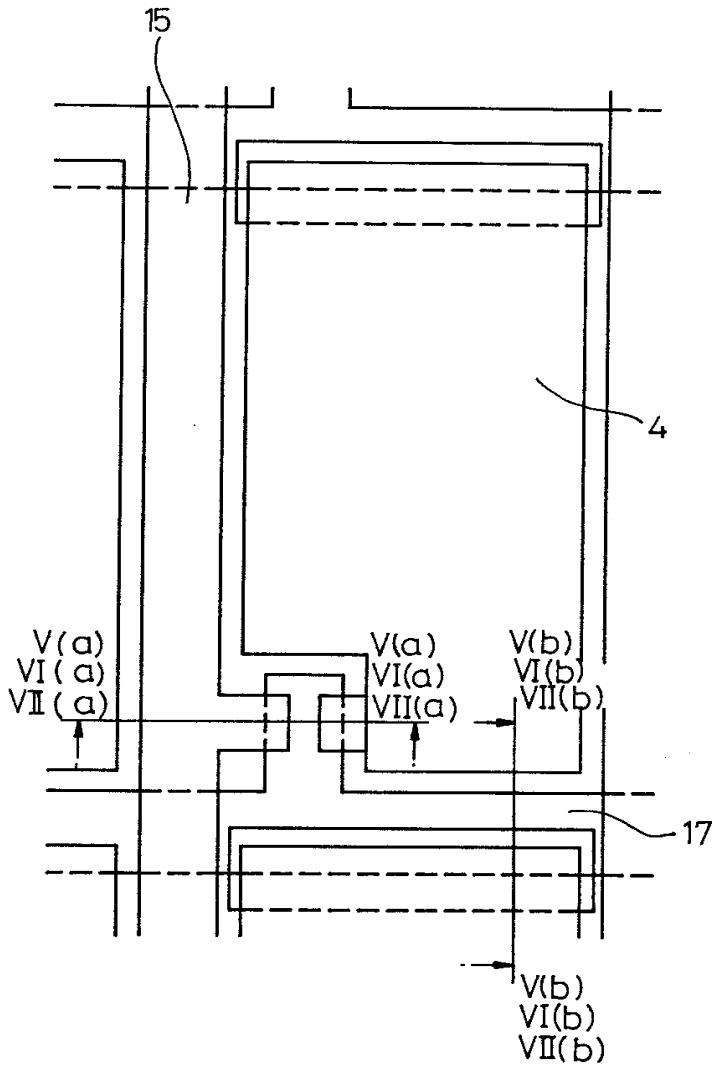
도면3e



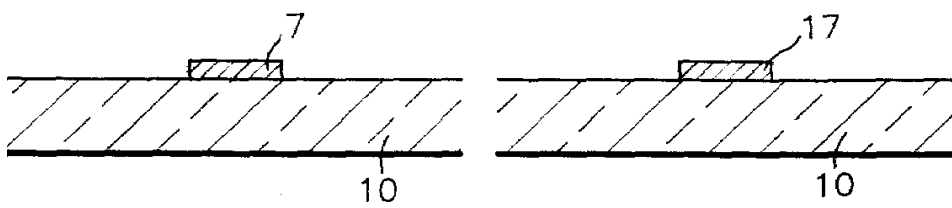
도면3f



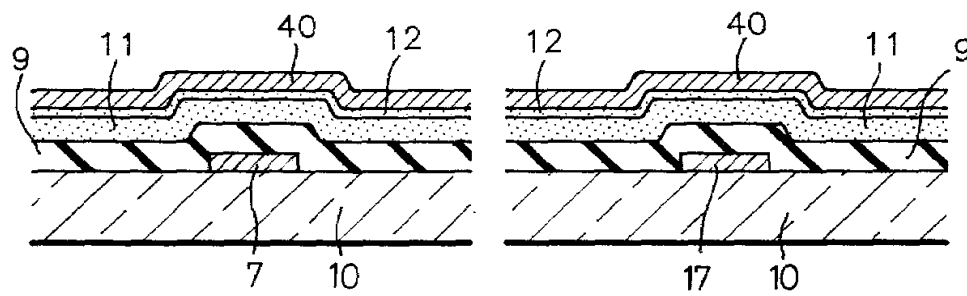
도면4



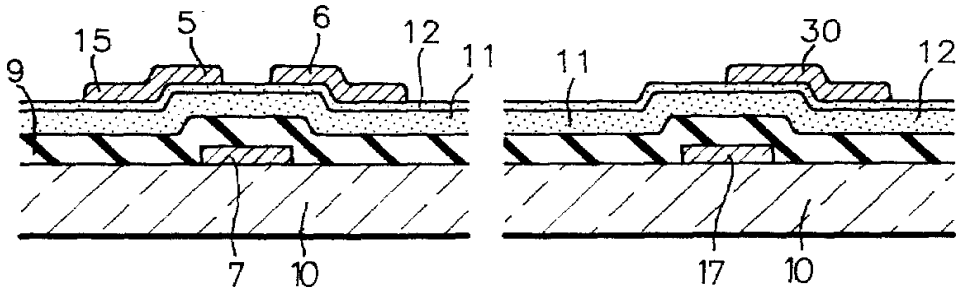
도면5a



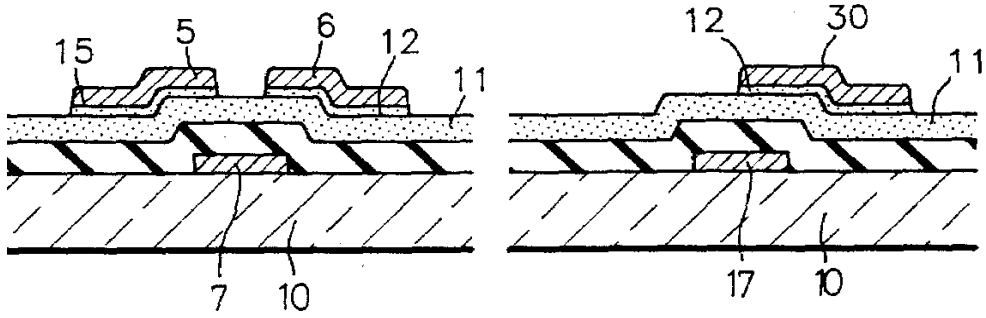
도면5b



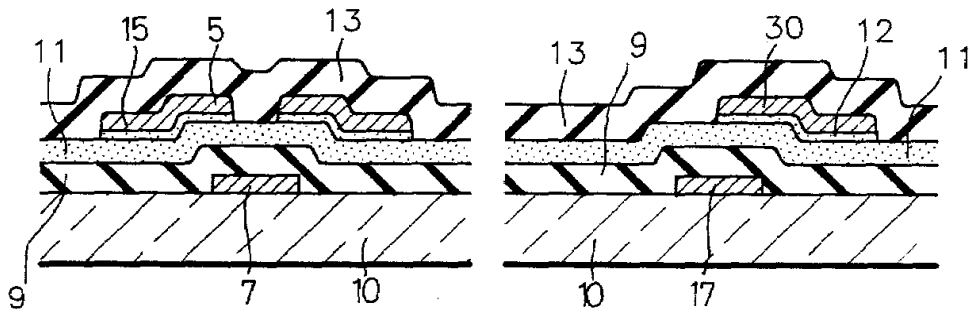
도면5c



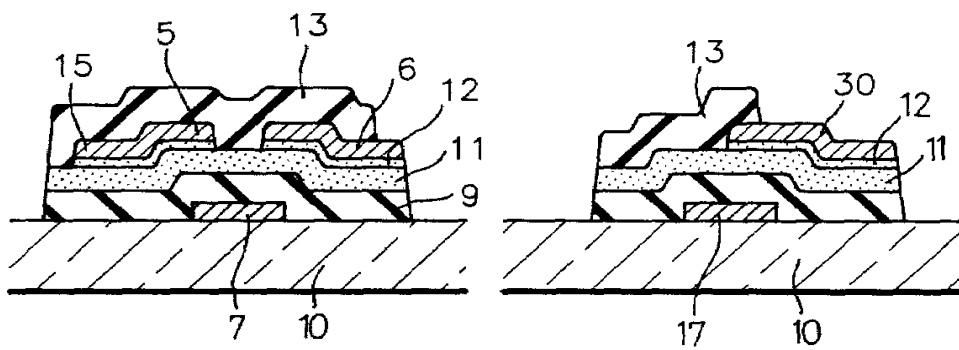
도면5d



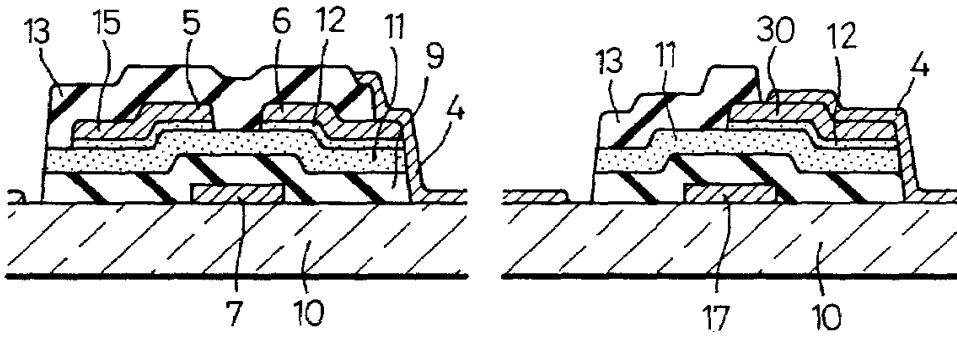
도면5e



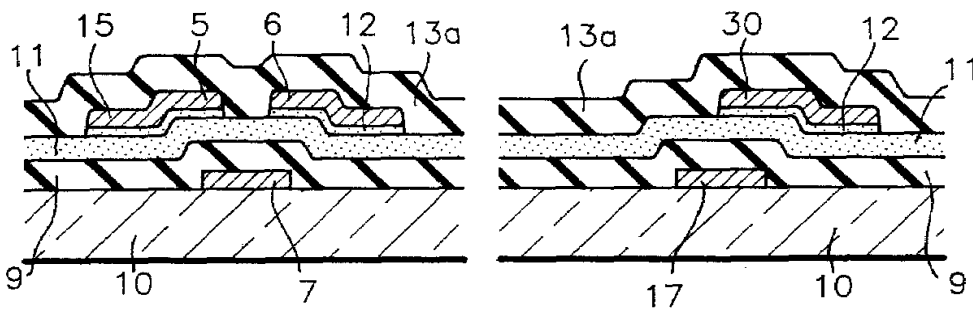
도면5f



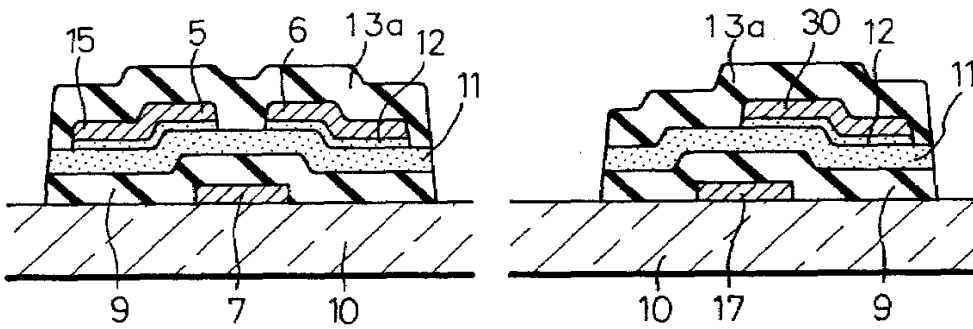
도면5g



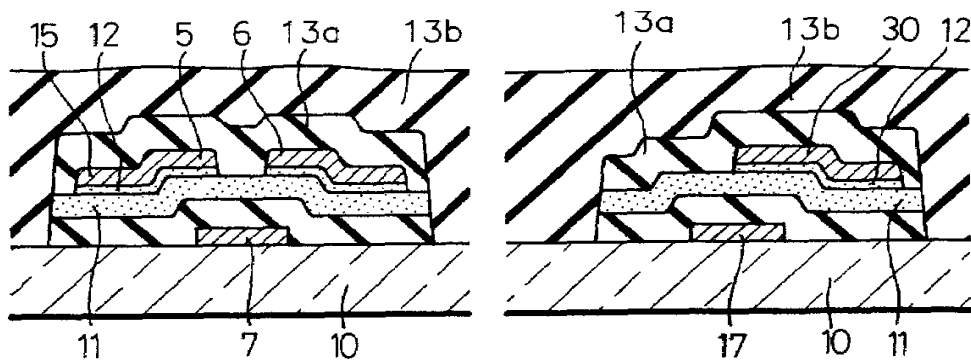
도면6a



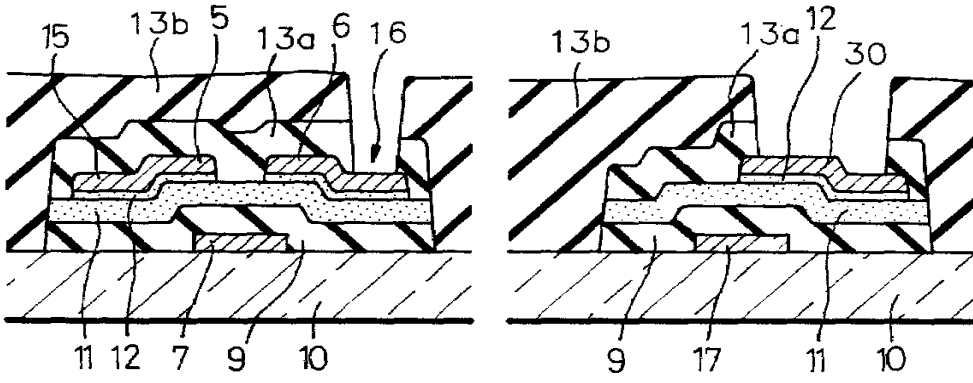
도면6b



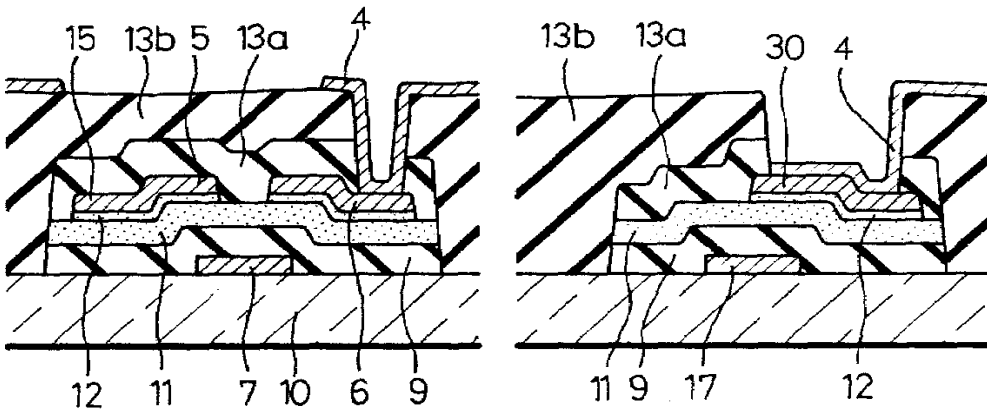
도면6c



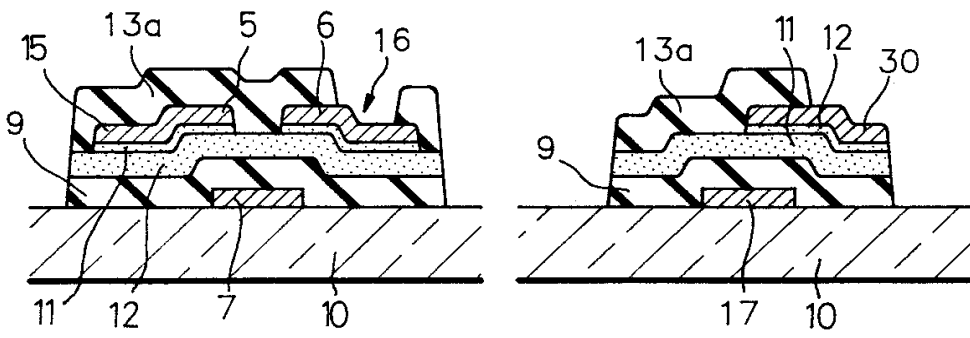
도면6d



도면6e



도면7a



도면7b

