

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-508717
(P2008-508717A)

(43) 公表日 平成20年3月21日(2008.3.21)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 21/8238 (2006.01)	HO1L 27/08	321B 5FO48
HO1L 27/092 (2006.01)	HO1L 27/08	331C 5F1O2
HO1L 27/08 (2006.01)	HO1L 29/78	301B 5F140
HO1L 29/78 (2006.01)	HO1L 29/80	H
HO1L 21/338 (2006.01)		

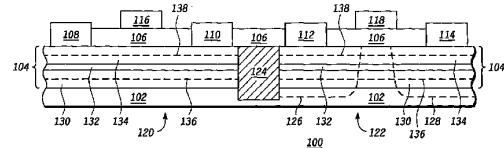
審査請求 未請求 予備審査請求 未請求 (全 12 頁) 最終頁に続く

(21) 出願番号	特願2007-523559 (P2007-523559)	(71) 出願人	504199127 フリースケール セミコンダクター イン コーポレイテッド アメリカ合衆国 78735 テキサス州 オースティン ウィリアム キャノン ドライブ ウエスト 6501
(86) (22) 出願日	平成17年6月16日 (2005.6.16)	(74) 代理人	100116322 弁理士 桑垣 衡
(85) 翻訳文提出日	平成18年12月27日 (2006.12.27)	(72) 発明者	パスラック、マティアス アメリカ合衆国 85226 アリゾナ州 チャンドラー ウエスト リンダ レー ン 5382
(86) 國際出願番号	PCT/US2005/021495	F ターム (参考)	5F048 AA07 AC03 BA05 BA07 BA15 BB09 BB11 BB15 BC06 BD04 BD05 BD09 BE07 BG15
(87) 國際公開番号	W02006/023025		最終頁に続く
(87) 國際公開日	平成18年3月2日 (2006.3.2)		
(31) 優先権主張番号	10/903,784		
(32) 優先日	平成16年7月30日 (2004.7.30)		
(33) 優先権主張国	米国(US)		

(54) 【発明の名称】相補型金属-酸化膜-半導体電界効果トランジスタ構造

(57) 【要約】

相補型金属 - 酸化膜 - 半導体電界効果トランジスタ構造 (100) はイオン注入領域 (126, 128) を 2 つの相補型素子の内の方のみに含む。トランジスタ構造 (100) は通常、化合物半導体基板 (102) と、そしてエピタキシャル層構造 (104) と、を含み、エピタキシャル層構造は、エピタキシャル層構造の導電型を決定する一つ以上のドナー層を含む。イオン注入領域は、これらの相補型素子の内の方に位置するエピタキシャル層構造 (104) の導電型を「反転する」または「逆にする」ように作用する。例示として実施形態では、p 型アクセプターをドープしたイオン注入領域が p チャネル素子 (122) において使用され、n チャネル素子 (120) はイオン注入されない状態のままである。



【特許請求の範囲】**【請求項 1】**

半導体基板と、

前記半導体基板上に形成されるnチャネル素子と、

前記半導体基板上に形成されるpチャネル素子と、

前記nチャネル素子または前記pチャネル素子の内の一方にのみ位置するイオン注入領域とを備える相補型金属・酸化膜・半導体電界効果トランジスタ構造。

【請求項 2】

前記イオン注入領域は前記pチャネル素子に設けられるとともにアクセプターをドープしたイオン注入領域である、請求項1記載の相補型金属・酸化膜・半導体電界効果トランジスタ構造。10

【請求項 3】

前記半導体基板は化合物半導体基板である、請求項1記載の相補型金属・酸化膜・半導体電界効果トランジスタ構造。

【請求項 4】

前記半導体基板上に形成されるエピタキシャル層構造と、

前記エピタキシャル層構造内に形成される少なくとも一つのドナー層とをさらに備え、前記イオン注入領域は前記エピタキシャル層構造の導電型を反転するように作用する、請求項1記載の相補型金属・酸化膜・半導体電界効果トランジスタ構造。

【請求項 5】

前記エピタキシャル層構造は前記半導体基板上に形成されるバッファ層と、前記バッファ層上に形成されるチャネル層と、前記チャネル層上に形成されるスペーサ層とを含む、請求項4記載の相補型金属・酸化膜・半導体電界効果トランジスタ構造。20

【請求項 6】

前記少なくとも一つのドナー層は、前記バッファ層または前記スペーサ層の内の一方の内部に形成される、請求項5記載の相補型金属・酸化膜・半導体電界効果トランジスタ構造。。

【請求項 7】

半導体基板と、

前記半導体基板上に形成されるエピタキシャル層構造と、

前記エピタキシャル層構造内に形成され、かつ前記エピタキシャル層構造の導電型を決定する少なくとも一つのドーパント層と、30

前記半導体基板上に形成されるnチャネル素子と、

前記半導体基板上に形成されるpチャネル素子と、

前記nチャネル素子または前記pチャネル素子の内の一方にのみ設けられるとともに前記エピタキシャル層構造の前記導電型を反転させるように作用するイオン注入領域とを備える相補型金属・酸化膜・半導体電界効果トランジスタ構造。

【請求項 8】

前記ドーパント層はドナー原子を含み、前記イオン注入領域は前記pチャネル素子に設けられるとともにアクセプターをドープしたイオン注入領域である、請求項7記載の相補型金属・酸化膜・半導体電界効果トランジスタ構造。40

【請求項 9】

前記ドーパント層はアクセプター原子を含み、前記イオン注入領域は前記nチャネル素子に設けられるとともにドナーをドープしたイオン注入領域である、請求項7記載の相補型金属・酸化膜・半導体電界効果トランジスタ構造。

【請求項 10】

前記エピタキシャル層構造は前記半導体基板上に形成されるバッファ層と、前記バッファ層上に形成されるチャネル層と、前記チャネル層上に形成されるスペーサ層とを含む、請求項7記載の相補型金属・酸化膜・半導体電界効果トランジスタ構造。

【請求項 11】

10

20

30

40

50

前記少なくとも一つのドーパント層は、前記バッファ層または前記スペーサ層の内の一方の内部に形成される、請求項 10 記載の相補型金属 - 酸化膜 - 半導体電界効果トランジスタ構造。

【請求項 12】

前記少なくとも一つのドーパント層は、前記バッファ層内に形成される第1ドナー層と、前記スペーサ層内に形成される第2ドナー層とを含む、請求項 10 記載の相補型金属 - 酸化膜 - 半導体電界効果トランジスタ構造。

【請求項 13】

前記半導体基板は化合物半導体基板である、請求項 7 記載の相補型金属 - 酸化膜 - 半導体電界効果トランジスタ構造。

10

【請求項 14】

半導体基板と、

前記半導体基板上に形成されるエピタキシャル層構造と、

前記エピタキシャル層構造内に形成され、かつ前記エピタキシャル層構造の導電型を決定する少なくとも一つのドーパント層と、

前記エピタキシャル層構造及び前記半導体基板に設けられるとともに前記エピタキシャル層構造の前記導電型を反転させるように作用する少なくとも一つのイオン注入領域とを備える金属 - 酸化膜 - 半導体電界効果トランジスタ。

【請求項 15】

前記導電型は n 型であり、

前記少なくとも一つのイオン注入領域は、 p 型アクセプターをドープした少なくとも一つのイオン注入領域を含む、請求項 14 記載の金属 - 酸化膜 - 半導体電界効果トランジスタ。

20

【請求項 16】

前記エピタキシャル層構造は前記半導体基板上に形成されるバッファ層と、前記バッファ層上に形成されるチャネル層と、前記チャネル層上に形成されるスペーサ層と、を含む、請求項 14 記載の金属 - 酸化膜 - 半導体電界効果トランジスタ。

【請求項 17】

前記少なくとも一つのドーパント層は、前記バッファ層または前記スペーサ層の内の一方の内部に形成される、請求項 16 記載の金属 - 酸化膜 - 半導体電界効果トランジスタ。

30

【請求項 18】

前記少なくとも一つのドーパント層は、前記バッファ層内に形成される第1ドナー層と、前記スペーサ層内に形成される第2ドナー層と、を含む、請求項 16 記載の金属 - 酸化膜 - 半導体電界効果トランジスタ。

【請求項 19】

前記半導体基板は化合物半導体基板である、請求項 14 記載の金属 - 酸化膜 - 半導体電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は概して半導体素子に関し、特に相補型金属 - 酸化膜 - 半導体電界効果トランジスタに関する。

【背景技術】

【0002】

従来技術には非常に多くの種々の相補型金属 - 酸化膜 - 半導体電界効果トランジスタ (MOSFET) 技術がある。例えば、化合物半導体に設けられるエンハンスマント型金属 - 酸化膜 - 半導体電界効果トランジスタ (EMOSFET) では、約 4.6 eV の金属仕事関数を有する標準の高融点金属ゲート、及びアンドープチャネルを使用してエンハンスマントモード動作 (正の閾値電圧及び負の閾値電圧が n チャネル素子及び p チャネル素子にそれぞれ設定される) を行ない、そして自己整合ゲート方式でイオン注入を行なって、

50

低抵抗のソースエクステンション及びドレインエクステンション、及びオーミックコンタクト領域を形成することができる。しかしながらこれまで、 p チャネルEMOSFETしか化合物半導体GaAsに形成することができなかつた。 n チャネルEMOSFETをGaAsに形成する場合、イオン注入ドナーを活性化するための700を超える活性化温度は、 Ga_2O_3 -GaAs境界の安定化にとって許容されない温度であり、使用することができない。 Ga_2O_3 -GaAs境界は700以下の温度でのみ維持することができ、この境界は、イオン注入ドナーを活性化するためのアニールの間に700を超える温度により完全に破壊される。

【0003】

先行技術は化合物EMOSFET技術も含み、この技術では、約4.3~4.6eVの金属仕事関数を有する標準の金属ゲート、エンハンスマントモード動作（例えば、正の閾値電圧が n チャネル素子に設定される）を可能にするためにイオン注入により逆導電型になるように不純物が注入されるチャネル、及び低抵抗のソースエクステンション及びドレインエクステンション、及びオーミックコンタクト領域を形成するためのイオン注入を使用する。 n 型イオン注入領域はゲート酸化膜成長の前にアニールされるので、酸化膜-GaAs境界は、注入イオンの活性化を行なっている間の高温の影響を受けることがない。

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、次のゲート酸化膜成長を露出半導体表面において行なう必要があり、これによって欠陥が酸化膜-半導体境界に高い密度で生じる。欠陥密度が高いことによって、目標性能の約1%の性能を示す素子しか形成することができず、素子をほとんど使用することができなくなる。

20

【0005】

従って、ゲート酸化技術を適用することができる高性能の相補型半導体FET技術を提供することが望ましい。

【課題を解決するための手段】

【0006】

一の実用的実施形態によれば、相補型金属-酸化膜-半導体FET構造はイオン注入を一タイプの素子（ n チャネル素子または p チャネル素子のいずれか）にのみ使用する。この構造を使用して、100オーム/以下シート抵抗が特定の使用温度範囲内で得られ、これによって、特にゲート長が短い高性能素子が実現する。

30

【0007】

本発明の或る態様は、相補型金属-酸化膜-化合物半導体電界効果トランジスタ構造を用いることによって一の形態として実現し、この構造は、化合物半導体基板と、基板上に形成される n チャネル素子と、基板上に形成される p チャネル素子と、そしてこれらの素子の内の一方にのみ位置するイオン注入領域と、を有する。

【0008】

更に、本発明の他の所望の機能及び特徴は、次の詳細な説明及び添付の請求項から、添付の図及び前出の技術分野及び背景技術を参照することにより明らかになると思われる。

40

【発明を実施するための最良の形態】

【0009】

以下の詳細な説明は本質的に単なる例示として行なわれるのであり、本発明または本発明の適用形態及び使用を制限するために行なわれるのではない。更に、本発明は、前出の技術分野、背景技術、要約、または以下の詳細な説明において提示されるいずれの明示的な、または暗示的な理論によても制限されるものではない。

【0010】

図1は、本発明の例示としての実施形態に従って構成される相補型金属-酸化膜-化合物半導体電界効果トランジスタ構造100の断面図である。トランジスタ構造100は通常、半導体基板102と、半導体基板102上に形成されるエピタキシャル層構造104

50

と、ゲート酸化膜層 106 と、オーミックコンタクト（参照番号 108, 110, 112, 及び 114 によって示される）と、そしてゲート電極（参照番号 116 及び 118 によって示される）と、を含む。本発明の一の実施形態では、半導体基板 102 は化合物半導体基板である。トランジスタ構造 100 は 2 つの相補型素子、すなわち半導体基板 102 上に形成される n チャネル素子 120、及び半導体基板 102 上に形成される p チャネル素子 122 を含む。素子分離は公知の方法を使用して、例えば酸素イオン注入領域 124 によって行なわれる。トランジスタ構造 100 は、イオン注入領域を 2 つの素子の内的一方の素子にのみ用いる、すなわち n チャネル素子 120 または p チャネル素子 122 のいずれかに用い、両方の素子に用いることはない。図示の実施形態では、注入イオン領域（参照番号 126 及び 128 によって示される）は p チャネル素子 122 に位置するが、n チャネル素子 120 はイオン注入が行なわれない状態のままである。

10

【0011】

更に詳細には、半導体基板 102 は GaAs のような III-V 族化合物材料により形成される。III-V 族材料を半導体装置の形成に使用する手法は公知であるので、このような材料の特性及び特徴の詳細についてはここでは説明しない。エピタキシャル層構造 104 は 1 層ずつ化合物半導体基板 102 の上に成長させて化合物半導体ウェハ構造を形成し、このウェハ構造に素子が配置される。図示の実施形態では、エピタキシャル層構造 104 は化合物半導体基板 102 上に形成されるバッファ層 130 と、バッファ層 130 上に形成されるチャネル層 132 と、そしてチャネル層 132 上に形成されるスペーサ層 134 と、を含む。実用的実施形態では、ゲート酸化膜層 106 はスペーサ層 134 上に成長させ、そして Ga₂O₃ のようないずれかの適切な材料により、従来の方法を使用して形成することができる。ゲート酸化膜層 106 の上側表面はウェハ構造の上側表面である。通常のエピタキシャル層構造 104 を図 1 に示すが、実際には別の構造を用いることができる。

20

【0012】

エピタキシャル層構造 104 の個々の層の各々は公知の技術及びプロセスを使用してエピタキシャル成長させる。この点に関して、バッファ層 130 (GaAs のようないずれかの適切な III-V 族材料により形成することができる) は化合物半導体基板 102 上にエピタキシャル成長させ、チャネル層 132 (In_xGa_{1-x}As のようないずれかの適切な III-V 族材料により形成することができる) はバッファ層 130 上にエピタキシャル成長させ、そしてスペーサ 134 (Al_xGa_{1-x}As のようないずれかの適切な III-V 族材料により形成することができる) はチャネル層 132 上にエピタキシャル成長させる。各層の厚さは、所望の素子特性に従って選択されるので、適用形態ごとに変えることができる。

30

【0013】

トランジスタ構造 100 はまた、エピタキシャル層構造 104 内に形成される少なくとも一つのドーパント層を含む。ドーパント層はドナー原子 (n 型導電性を示す) またはアクセプター原子 (p 型導電性を示す) のいずれかを含むことができる。ドナー原子は化合物半導体を用いる実施形態に好適である。図 1 はバッファ層 130 内に形成される第 1 ドナー層 136、及びスペーサ 134 内に形成される第 2 ドナー層 138 を示している。実際には、ドナー層はチャネル層 132 の上方、下方、そして / または内部に設けることができる（通常の素子には 1 つ、または 2 つのドナー層が使用され、かつドナー層がチャネル層 132 の内部に設けられる構造は稀である）。各ドナー層 136 / 138 は、化合物半導体基板 102 上に成長させるシリコン単分子層である。簡単に説明すると、バッファ層 130 の一部を成長させ、ドナー層 136 を第 1 部分上に成長させ、次にバッファ層 130 の別の部分をドナー層 136 上に成長させる。同様の方法を使用してスペーサ層 134 及びドナー層 138 を成長させる。少なくとも一つのドナー層によってエピタキシャル層構造 104 の元來の導電型が決定される。例示としての実施形態では、ドナー層 136 / 138 によってエピタキシャル層構造 104 の導電型が n 型に決定される。

40

【0014】

50

上に述べたように、イオン注入領域 126 / 128 は 2 つの相補型素子の内的一方にのみ形成される。例示としての実施形態では、イオン注入領域 126 / 128 は、p チャネル素子 122 に位置し、かつ p 型アクセプターをドープしたイオン注入領域として形成され、n チャネル素子はイオン注入が行なわれない状態のままである。別の実施形態（図示せず）では、層 136 / 138 にアクセプター原子を使用し、更に n チャネル素子に位置し、かつドナーをドープしたイオン注入領域を使用することができ、p チャネル素子はイオン注入が行なわれない状態のままである。イオン注入領域 126 / 128 は、エピタキシャル層構造 104 の本来の導電型を「反転する」または「逆にする」ように作用する。例えば、アクセプターをドープしたイオン注入領域の場合、この導電型反転は、イオン注入領域 126 / 128 のアクセプター原子がイオン化することによる正孔濃度が、ドナー層 136 / 138 によって形成されるドナー原子がイオン化することによる電子濃度を上回ることにより生じる。この例では、イオン注入領域 126 / 128 は、エピタキシャル層構造 104 の n 型の導電型を反転して p チャネル素子 122 を形成するように作用する。図 1 に示すように、イオン注入領域 126 / 128 は該当するオーミックコンタクト 112 / 114 の下にだけでなく、ソースエクステンション及びドレインエクステンションの内部にも位置することが好ましく、そしてチャネルイオン注入は行なう必要がない。別の実施形態では、チャネルイオン注入は、素子の閾値電圧を調整する手段として行なうことができる。

10

【0015】

ゲート電極 116 / 118 はゲート酸化膜層 106 上に形成されて、素子のゲートとの電気的接続を可能にするゲートコンタクトとなる。好適な実施形態では、ゲート電極 116 は大きな仕事関数を有する金属材料により形成される。大きな仕事関数を有するゲート電極 116 に適する材料として、これらには制限されないが、白金及びイリジウムを挙げることができる。オーミックコンタクト 108 / 110 / 112 / 114 も化合物半導体ウェハ構造の上側表面の上に堆積することにより素子の適切なソースコンタクト及びドレインコンタクトとなる。実用的な例として、トランジスタ構造 100 がインバータ回路を表わす場合、オーミックコンタクト 108 は n 型素子 120 のソースコンタクトとなり、オーミックコンタクト 110 は n 型素子 120 のドレインコンタクトとなり、オーミックコンタクト 112 は p 型素子 122 のソースコンタクトとなり、そしてオーミックコンタクト 114 は p 型素子 122 のドレインコンタクトとなる。オーミックコンタクト 108 / 110 / 112 / 114 に適する材料は先行技術において公知である。

20

【0016】

或る実用的実施形態では、n チャネル素子 120 の閾値電圧は正であり、そしてこの閾値電圧は、エピタキシャル層構造 104 を適切な構造とすることにより、そしてゲート電極 116 に適する材料（特定の仕事関数を有する）を選択することにより調整することができる。p 型素子 122 の閾値電圧は負であり、そしてこの閾値電圧は、ゲート電極 118 に適する材料を選択することにより調整することができる。一の実用的実施形態によれば、n チャネル素子 120 の閾値電圧が 0.3 ボルトに調整される場合、p チャネル素子 122 の閾値電圧は、両方の素子に同じゲート金属を使用する場合に 0.3 ボルトからチャネル層 132 のバンドギャップを減算した値に近似する値になる。トランジスタ構造 100 が 1.2 eV のバンドギャップを有する In_{0.2}Ga_{0.8}As から成るチャネル層 132 を使用する場合、-0.9 ボルトの閾値電圧が p チャネル素子 122 に関して得られる。p チャネル素子 122 に対する更に別の閾値電圧調整方法が、図 2 に関連して以下に説明する本発明の別の実施形態において開示される。

30

【0017】

トランジスタ構造 100 は幾つかの利点を有し、これらの利点は従来の素子構造を参照しながら最も明瞭に説明することができる。或る従来構造は、化合物半導体を用い、かつエンハンスマードで動作する金属 - 酸化膜 - 半導体電界効果トランジスタを含み、このトランジスタは、n チャネル素子及び p チャネル素子の両方に関して約 4.6 eV の金属仕事関数を有する標準の高融点金属ゲートと、n チャネル素子に正の閾値電圧、及び p チャ

40

50

ネル素子に負の閾値電圧を実現するアンドープチャネルと、そして p チャネル素子及び n チャネル素子の両方に関する低抵抗ソース及びドレインエクステンションを形成するための自己整合ゲート方式によるイオン注入と、を使用する。トランジスタ構造 100 がこのような構造よりも優れている利点は次のようにある。n チャネル素子 120 において n 型イオン注入領域の代わりにエピタキシャルドナー層 136 / 138 を用いることにより熱処理回数が減り、かつ高機能 n チャネル MOSFET の形成が可能になり、従って高機能相補型デバイス技術による製造が可能になる。本発明に従って構成される素子の最高処理温度は、p チャネル素子 122 に位置する p 型イオン注入領域 126 / 128 に必要な活性化温度によって決定される。マグネシウム (Mg) のようなアクセプター不純物をドープしたイオン注入領域では、600 という低いアニール温度で、p チャネル素子 122 の接続領域に必要なシート抵抗より小さい抵抗に相当する、最大 10^{14} cm^{-2} 以上のシートキャリア濃度が実現する。従って、最高処理温度は、 Ga_2O_3 - GaAs 境界の安定性の維持が可能な最高温度よりも 100 も下回る。

10

20

30

40

【0018】

イオン注入領域 126 / 128 のアクセプターを活性化させると、発生した正電荷が、p チャネル素子 122 の接続領域におけるドナー層 136 / 138 によって生成される負電荷を相殺してなお余る。更に、イオン注入が n チャネル素子 120 に対して行なわれないことにより、高モル比の Al を $\text{Al}_x\text{Ga}_{1-x}\text{As}$ スペーサ層 134 に使用することができ、このスペーサ層は、DX センター（これらのセンターは通常、 $x > 0.2$ とする場合の n 型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ に生じる）が無いことによりゲート酸化膜層 106 とチャネル層 132 との間に挿入することができる。高モル比の $\text{Al}_x\text{Ga}_{1-x}\text{As}$ をスペーサ層 134 に使用することにより利点が得られる、というのは、このスペーサ層によって、酸化膜 - エピタキシャル層境界に近接するゲート酸化膜層 106 に位置する界面トラップによる影響が低減されるからである。高モル比の $\text{Al}_x\text{Ga}_{1-x}\text{As}$ をスペーサ層 134 に使用することにより更に別の利点が得られる、というのは、このスペーサ層は、電子及び正孔を n チャネル素子 120 及び p チャネル素子 122 のそれぞれに、より確実に閉じ込めることができるからである。別の利点は、浅いエピタキシャルドナー層 136 / 138 を使用することによって高アスペクト比が得られることであり、これによってトランジスタ構造 100 がディープサブミクロン技術に適する構造となる。

50

【0019】

図 2 は、本発明の例示としての実施形態に従って構成される金属 - 酸化膜 - 半導体電界効果トランジスタ構造 200 の簡易断面図である。トランジスタ構造 200 の多数の特徴及び機能はトランジスタ構造 100 と同じ、同様、または等価であるので、トランジスタ構造 100 についての上の記述の一部分がトランジスタ構造 200 にも当てはまる。トランジスタ構造 200 は通常、化合物半導体基板 202 と、化合物半導体基板 202 上に形成されるエピタキシャル層構造 204 と、ゲート酸化膜層 206 と、オーミックコンタクト（参照番号 208 及び 210 によって示される）と、そしてゲート電極 212 と、を含む。一の実施形態では、トランジスタ構造 200 は化合物半導体基板 202 上に形成される p チャネル素子 214 を含み、そして p チャネル素子 214 に位置するイオン注入領域を利用する。

40

【0020】

化合物半導体基板 202 は GaAs のような III - V 族材料により形成され、そしてエピタキシャル層構造 204 は化合物半導体基板 202 上に形成されるバッファ層 216 と、バッファ層 216 上に形成されるチャネル層 218 と、そしてチャネル層 218 上に形成されるスペーサ層 220 と、を含む。トランジスタ構造 200 はまた、エピタキシャル層構造 204 内に形成される少なくとも一つのドナー層を含む。図 2 は、バッファ層 216 内に形成される第 1 ドナー層 222 と、そしてスペーサ層 220 内に形成される第 2 ドナー層 224 と、を示している。上に記載したように、ドナー層（群）はエピタキシャル層構造 204 の元来の導電型を決定する、例えば導電型を n 型とするように作用し、そしてイオン注入領域によってこの導電型を反転させる、または逆にする。この点に関して

50

、トランジスタ構造 200 は図 2 に示すように、イオン注入領域 226 を用いる。

【0021】

例示としての実施形態では、イオン注入領域 226 は、p チャネル素子 214 に位置し、かつ p 型アクセプターをドープしたイオン注入領域として形成される。イオン注入領域 226 はエピタキシャル層構造 204 の元来の導電型を「反転させる」、または「逆にする」ように作用する。この導電型反転は、イオン注入領域のアクセプター原子がイオン化することによる正孔濃度が、ドナー層のドナー原子がイオン化することによる電子濃度を上回ることにより生じる。この例では、イオン注入領域 226 は、エピタキシャル層構造 204 の導電型を反転して p チャネル素子 214 を形成するように作用する。図 2 に示すように、イオン注入領域 226 は該当するオーミックコンタクト 208 / 210 の下に、かつソースエクステンション及びドレインエクステンションの内部に位置することが好ましい。更に、トランジスタ構造 200 は、閾値電圧調整に使用されるチャネルイオン注入領域 228 を含む。

10

【0022】

トランジスタ構造 100 に関連して上に記載したように、p チャネル素子 214 の閾値電圧はゲート電極 212 の材料の仕事関数によって調整することができる。更に、p チャネル素子 214 の閾値電圧はゲート電極 212 を設けるためのリセスの深さ、及びアクセプターをイオン注入したチャネル領域 228 のドーズ量によって調整することができる。例えば、p チャネル閾値電圧は、ゲート電極 212 を設けるためのリセスの深さを変えることにより、そして / またはアクセプターをイオン注入したチャネル領域 228 のドーズ量を変えることにより、例えば -0.3 ボルトに容易に調整することができる。ゲート電極 212 を設けるためにリセスを形成する場合、p チャネル素子 214 の性能も向上する。

20

【0023】

少なくとも一つの例示としての実施形態についてこれまでの詳細な記述の中に提示してきたが、非常に多くの変形例が存在することを理解されたい。また、例示としての実施形態、または例示としての複数の実施形態は単なる例示であり、決して本発明の技術範囲、適用可能性、または構成を制限するものではないことを理解されたい。制限するというではなく、これまでの詳細な記述によって、この技術分野の当業者は、例示としての実施形態、または例示としての複数の実施形態を実施するために非常に役に立つ示唆を得ることができる。種々の変更を構成要素の機能及び構成に、添付の請求項、及びこれらの請求項の制定法上の均等物に示される本発明の技術範囲から逸脱しない範囲において加えることができることを理解されたい。

30

【図面の簡単な説明】

【0024】

【図 1】相補型金属 - 酸化膜 - 化合物半導体電界効果トランジスタ構造の概略を示す断面図。

【図 2】金属 - 酸化膜 - 化合物半導体電界効果トランジスタの概略を示す断面図。

【図 1】

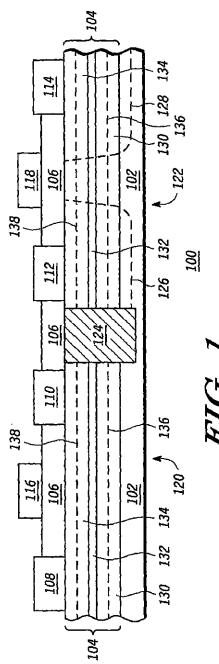
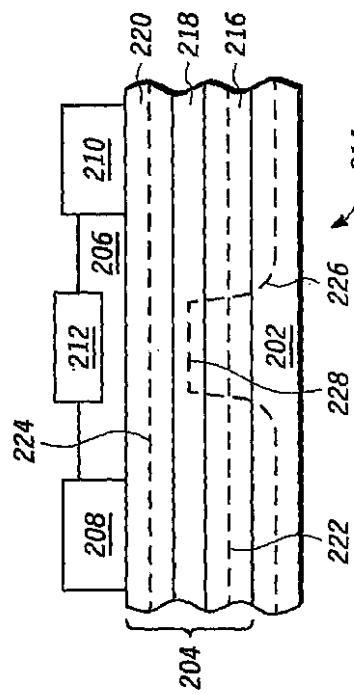


FIG. 1

【図 2】



200

FIG. 2

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US05/21495									
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : H01L 21/336 US CL : 257/192,369; 438/199 <i>According to International Patent Classification (IPC) or to both national classification and IPC</i>											
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 257/192,369; 438/199											
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched											
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)											
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left;">Category *</th> <th style="text-align: left;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 3983620 A (SPADEA, Gregorio) 05 October 1976 (05.10.1976), figures 7-11, column 6 lines 45-65</td> <td>1,4, and 7</td> </tr> <tr> <td>X</td> <td>US 20040137673 A1 (PASSLACK et al) 15 July 2004 (15.07.2004), figure 8, paragraphs 0018-0022, and paragraph 0044</td> <td>14-19</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 3983620 A (SPADEA, Gregorio) 05 October 1976 (05.10.1976), figures 7-11, column 6 lines 45-65	1,4, and 7	X	US 20040137673 A1 (PASSLACK et al) 15 July 2004 (15.07.2004), figure 8, paragraphs 0018-0022, and paragraph 0044	14-19
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
X	US 3983620 A (SPADEA, Gregorio) 05 October 1976 (05.10.1976), figures 7-11, column 6 lines 45-65	1,4, and 7									
X	US 20040137673 A1 (PASSLACK et al) 15 July 2004 (15.07.2004), figure 8, paragraphs 0018-0022, and paragraph 0044	14-19									
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.											
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed											
Date of the actual completion of the international search 19 October 2005 (19.10.2005)	Date of mailing of the international search report 15 NOV 2005										
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230	Authorized officer <i>Ronald L. Dickey</i> Thomas L. Dickey Telephone No. 703-305-3900										

INTERNATIONAL SEARCH REPORT

International application No. PCT/US05/21495

Continuation of Item 4 of the first sheet:
Existing title is too long and "complimentary" is a misspelling, new title will be
"CMOS WITH ONLY A SINGLE IMPLANT"

フロントページの続き

(51) Int.CI.	F I	テーマコード(参考)
H 0 1 L 29/778	(2006.01)	
H 0 1 L 29/812	(2006.01)	

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

F ターム(参考) 5F102 GA01 GB01 GC01 GD01 GD10 GJ05 GK05 GL04 GL20 GM04
GM06 GM08 GQ01 GR07 GT03 GV09 HC01 HC07
5F140 AA06 AA39 AB03 BA07 BA09 BA16 BB06 BC06 BC12 BC17
BD11 BF01 BF05 BF43 BH15 BH21 BK01 BK13 BK21 CB01