(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3547303号
(P3547303)
(45)発行日　平成16年7月28日(2004.7.28)　(24)登録日　平成16年4月23日(2004.4.23)

(51)Int.Cl.[7]　F I
H01L 27/00　H01L 27/00　301W

請求項の数 2　(全 12 頁)

(21)出願番号　特願平10-14608
(22)出願日　平成10年1月27日(1998.1.27)
(65)公開番号　特開平11-214448
(43)公開日　平成11年8月6日(1999.8.6)
審査請求日　平成14年10月1日(2002.10.1)

(73)特許権者　000000295
沖電気工業株式会社
東京都港区虎ノ門１丁目７番１２号
(74)代理人　100089244
弁理士　遠山　勉
(74)代理人　100090516
弁理士　松倉　秀実
(72)発明者　田中　康雄
東京都港区虎ノ門１丁目７番１２号　沖電気工業株式会社内

審査官　市川　篤

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
半導体基板の両面上に集積回路を備える半導体装置の製造方法であって、
第１の半導体基板の一方の面上に集積回路を形成する第１の集積回路形成工程と、
第２の半導体基板の一方の面上に集積回路を形成する第２の集積回路形成工程と、
前記第１の半導体基板の前記集積回路が形成されていない面をバックグラインドするバックグラインド工程と、
前記バックグラインド工程の後、前記第１の半導体基板の前記第１の集積回路が形成された面の裏面と第２の半導体基板の前記第２の集積回路が形成された面の裏面とを互いに貼り合わせる基板貼着工程と、を備えることを特徴とする半導体装置の製造方法。
【請求項２】
前記基板貼着工程は前記第１および第２の半導体基板の他方の面上に金蒸着を行った後に前記他方の面同士を互いに加熱圧着する工程であることを特徴とする請求項１記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体装置の製造方法に関する。
【０００２】
【従来の技術】

シリコン基板上に多数の素子が形成されているチップが樹脂やセラミック等によりパッケージングされてなる半導体装置は、種々の電子製品に広く一般に用いられている。

【０００３】

図９は、従来の半導体装置８０の断面図である。この半導体装置８０は、表面実装型であり、その内部において、半導体チップ８１が接着剤８２によりダイパッド８３上に固定されている。また、この半導体チップ８１に形成された集積回路の電極８１ａは、金属細線８４を介してインナーリード８５に接続されている。そして、この半導体チップ８１は、外部環境からの保護のために、ダイパッド８３，インナーリード８５とともにプラスチック封止材８６により樹脂封止されている。また、アウターリード８７は、インナーリード８５と一体に形成されており、プラスチック封止剤８６の外部に露出されている。

【０００４】

半導体チップ８１は、アウターリード８７を介して、基板８８上に形成された配線パターンのパッド９１に接続されることにより、外部回路に接続され得る状態となっている。

【０００５】

以下、この表面実装型半導体装置８０の基板８８への実装方法を説明する。まず、表面実装型半導体装置８０を、基板８８上の実装されるべき位置に載置する。そして、この表面実装型半導体装置８０および基板８８をリフロー炉に搬入して加熱する。このときの加熱温度は、通常２１５～２６０℃である。そして、基板８８に形成されたパッド９１上に予め塗布されている半田ペーストを溶融し、アウターリード８７とパッド９１とを接続する。

【０００６】

【発明が解決しようとする課題】

近年、各電子機器の小型化、高性能化に伴い、半導体素子の高集積化およびパッケージの小型化、高密度化が要求されている。このため、ＬＳＩプロセス技術においてはますますの微細化が進み、現在は０．２５μｍのパターン幅のＬＳＩが量産されている。この微細化の要求は年々厳しさを増しており、２０００年初頭においては０．１３μｍのパターン幅のものを製造することが、目標とされている。しかしながら、このような配線の微細化の追求は、製造方法の困難さや製造コスト高を招くことが懸念されている。

【０００７】

また、パッケージ形態においても同様に、パッケージの小型化、多ピン化が進んでおり、パッケージの周辺部からピンを取り出すパッケージ形態から、パッケージ全面からピンを取り出すＢＧＡ（ｂａｌｌ　ｇｒｉｄ　ａｒｒａｙ）のような２次元ピン配列へと開発が進んでいる。しかし、パッケージについても、ＬＳＩ高集積化が進むにつれてパッケージサイズの増大や更なる多ピン化が招かれる。

【０００８】

そこで、高い実装密度が容易に得られる半導体装置を容易に製造することができる半導体装置の製造方法を提供することを本発明の課題とする。

【００２２】

【課題を解決するための手段】

また、本発明による半導体装置の製造方法は、半導体基板の両面上に集積回路を備える半導体装置の製造方法であって、（ａ）第１の半導体基板の一方の面上に集積回路を形成する第１の集積回路形成工程と、（ｂ）第２の半導体基板の一方の面上に集積回路を形成する第２の集積回路形成工程と、（ｃ）前記第１の半導体基板の前記集積回路が形成されていない面をバックグラインドするバックグラインド工程と、（ｄ）前記バックグラインド工程の後、前記第１の半導体基板の前記第１の集積回路が形成された面の裏面と第２の半導体基板の前記第２の集積回路が形成された面の裏面とを互いに貼り合わせる基板貼着工程とを備えることを特徴とする。

【００２３】

この製造法によれば、別個のシリコン基板上に集積回路を形成し、これら第１および第２のシリコン基板を互いに貼り合わせることにより半導体装置が製造されるので、シリコン

基板の両面上に集積回路を備える半導体装置を容易に製造することができる。

【００２４】

なお、上記製造方法により半導体装置を製造する際には、前記基板貼着工程は前記第１および第２の半導体基板の他方の面上に金蒸着を行った後に前記他方の面同士を互いに加熱圧着する工程であってもよい。また、他の金属の蒸着や、接着剤等により行われてもよい。

【００２５】

【発明の実施の形態】

以下、図面に基づいて、本発明の実施の形態を説明する。

＜第１の参考形態＞まず、半導体装置の第１の参考形態について説明する。図１に本発明の半導体装置の製造方法の一実施形態を説明するための第１の参考形態の縦断面図を示す。本第１の参考形態による半導体装置は、半導体チップ２０，３０，およびこれらを密封するパッケージ１１を備える。本第１の参考形態による半導体装置は、シリコン基板の両面に集積回路が形成された半導体チップ２０および３０を積層することを特徴とする。

【００２６】

半導体チップ２０は、シリコン基板２１の一方の面上に集積回路２２を、その裏面上に集積回路２３を、それぞれ備えている。図２に半導体チップ２０の縦断面図を、図３に半導体チップ２０を図１のＡ方向から見た図（ａ），およびプリント配線基板１２側から見た図（ｂ）を、それぞれ示す。なお、図１，図２中では、図面の簡略化のため、各半導体チップ２０，３０に形成された集積回路２２，２３，３２および３３の各表面に形成される保護膜（パッシベーション膜）の図示を省略している。

【００２７】

シリコン基板２１の一方の面２１ａ（以下、基板上面２１ａと称する）上には、集積回路２２が形成されている。この集積回路２２の中央部には、この回路を構成する各素子（図示せず）が形成されている。以下、これを「回路領域」と称する。この回路領域の周辺に、集積回路２２を外部へ電気的に接続するための複数のパッド２４が、シリコン基板２１の外縁の内側に並べて形成されている。この各パッド２４は、金属細線２８を介して、半導体チップ３０に形成されたパッド３５にそれぞれ接続されている（図１中ではその一部のみを示している）。

【００２８】

半導体チップ２０の、半導体チップ３０と対向する側の面２１ｂ（以下、基板下面２１ｂと称する）上には、集積回路２３が形成されている。この集積回路２３も集積回路２２と同様に、中央部に回路領域が形成されており、周辺部には外部と電気的に接続するための複数のパッド２５が、シリコン基板２１の周囲に沿って形成されている。これらのパッド２５は、半田バンプ２９を介して、半導体チップ３０に形成されたパッド３４に、それぞれ接続されている。

【００２９】

半導体チップ３０も、半導体チップ２０と同様に、シリコン基板３１の両面に集積回路３２，３３が形成された構造を有している。図４に半導体チップ３０の半導体チップ２０側から見た図（ａ），およびプリント配線基板１２側から見た図（ｂ）を示す。シリコン基板３１の半導体チップ２０側の面３１ａ（以下、基板上面３１ａと称する）上には集積回路３２が形成されている。図４（ａ）に示すように、集積回路３２の中央部は各素子が形成された回路領域であり、回路領域の周辺部には集積回路３２に接続された複数のパッド３４が、この回路領域を取り囲むように形成されている。前述したように、各パッド３４は、半田バンプ２９を介して、半導体チップ２０の基板下面２１ｂ上に形成された集積回路２３のパッド２５に、それぞれ接続されている。

【００３０】

また、集積回路３２には、パッド３４を取り囲む位置にパッド３５が形成されている。各パッド３５は、前述したように、金属細線２８を介して半導体チップ２０の基板上面２１ａに形成された集積回路２２のパッド２４と、それぞれ接続されている。そして、集積回

路３２のパッド３５の外側部分には、さらに、この集積回路３２を外部に接続するための複数のパッド３６が形成されている。各パッド３６は、金属細線３８を介してパッケージ１１のプリント配線基板１２上に形成されたパッド１４に、それぞれ接続されている。

【００３１】

シリコン基板３１のプリント配線基板１２側の面３１ｂ（以下、基板下面３１ｂと称する）上にも、集積回路３３が形成されている。図４（ｂ）に示すように、集積回路３３の中央部は回路領域であり、この回路領域の周辺に、この集積回路３３を外部に接続するための複数のパッド３７が形成されている。これら各パッド３７は半田バンプ３９を介してプリント配線基板１２上の各パッド１３に、それぞれ接続されている。

【００３２】

パッケージ１１は、半導体チップ２０，３０を載置するためのプリント配線基板１２と、このプリント配線基板１２の内面（プラスチック封止材１６で封止された側の面）上に形成された複数のパッド１３，１４と、プリント配線基板１１の外面（内面の反対側の面）上に形成された半田ボール１５と、半導体素子２０，３０を保護するためのプラスチック封止材１６とを備える。プリント配線基板１２の内面上には、複数のパッド１３が、このプリント配線基板１２の外縁の内側に並べて形成されている。また、プリント配線基板１２上には、複数のパッド１４がパッド１３の周囲を取り囲むように形成されている。前述したように、各パッド１３は、半田バンプ３９を介して、半導体チップ３０の基板下面３１ｂに形成された各パッド３７に、それぞれ接続されている。また、パッド１４についても前述のように、半導体チップ３０の基板上面３１ａ上に形成されたパッド３６と、金属細線３８を介して接続されている。

【００３３】

プリント配線基板１２の外面上には、外部回路と接続するための複数の半田ボール１５（外部接続端子）が形成されている。これら各半田ボール１５はプリント配線基板１２内に形成された基板内配線（図示せず）により、プリント配線基板１２の各パッド１３，１４と接続されている。従って、各半導体チップ２０，３０に形成された集積回路２２，２３，３２，および３３は、この半田ボール１５を介して外部回路と電気的に接続され得る状態となっている。

【００３４】

そして、半導体チップ２０，３０およびプリント配線基板１２の半導体チップ２０，３０が載置された面はプラスチック封止材１６によって封止されている。このプラスチック封止材１６により、半導体チップ２０，３０および配線基板１２の各パッド１３，１４は、外的環境から保護されている。すなわち、このパッケージ１１は、従来のＢＧＡパッケージとほぼ同様な構造を有しており、プリント配線基板１２上に半導体チップ２０，３０が積層された構造となっている。

【００３５】

このように、本第１の参考形態の半導体装置では、シリコン基板２１，３１の両面上に集積回路２２，２３，３２，および３３が形成されている。従って、同一のシリコン基板上に従来の２倍の集積回路を形成することができる。よって、従来の構造の集積回路の構造およびパッケージ構造をほとんど変えることなく、実装密度を向上させることができる。また、シリコン基板２１，３１の両面に集積回路２２，２３，３２，および３３を形成することで、基板材料のシリコンを有効利用することができるので、材料コストを削減することができる。さらに、本第１の参考形態の半導体装置によれば、異種材料、異種プロセスにより形成されたＬＳＩを組み合わせた半導体チップを製造することができるので、新機能デバイスを作製できる可能性が高くなる。

【００３６】

また、これらシリコン基板２１，３１の両面に形成された集積回路２２，２３，３２，および３３は、金属細線２８，３８や半田バンプ２９，３９を介して互いに接続されている。そして、集積回路３２および３３がプリント配線基板１２の各パッド１３，１４に直接的に接続されている。これにより、各集積回路２２，２３に形成された素子間の信号配線

長が短縮される。従って、素子間の信号伝搬遅延やノイズ、信号エネルギーの減衰などの問題が減少されるため、従来よりも半導体装置の電気的特性が向上する。

【００３７】

また、シリコン基板の両面に集積回路が形成された半導体チップ２０，３０をプリント配線基板１２上に積層することにより、実装密度をさらに向上させることができる。

【００３８】

次に、上記のような半導体装置の製造方法を説明する。図５に本第１の参考形態の半導体チップの製造方法の工程図を示す。以下、シリコン基板の両面上に集積回路を備える半導体チップの製造方法を説明する。半導体装置の製造工程においては、通常、予めその一方の面が鏡面研磨されたシリコン基板６１（ベアウェハ）を用いる（図５（ａ））。まず、シリコン基板６１（ベアウェハ）の研磨された面６１ａ上に、通常のＬＳＩ製造工程を用いて、集積回路６２を形成する（図５（ｂ））。このとき、通常の工程では、回路形成が行われた後に、シリコン基板６１上に膜の平坦化および回路保護のための保護膜（パッシベーション膜、以下「ＰＶ膜」と表記する）が形成され、このＰＶ膜をエッチングしてボンディングパッド部分の窓開けが行われる。しかし、ここでは、形成された集積回路を汚れから保護するために、ＰＶ膜のエッチングは行われない。

【００３９】

次に、片面に回路が形成されたシリコン基板６１を反転させ、面６１ａの反対側の面６１ｂを鏡面研磨し（図５（ｃ））、この面６１ｂ上にも通常のＬＳＩ製造工程により集積回路６３を形成する（図５（ｄ））。このように、シリコン基板６１の両面上に集積回路６２，６３を形成した後に、集積回路６３上のＰＶ膜のエッチングを行って、ボンディングパッド部分の窓開けを行う（図５（ｅ））。すると、図５（ｆ）の上面図に示すように、集積回路の周辺部分にＡｌ電極による複数のパッド６５が露出される。シリコン基板６１の面６１ａ上に形成された集積回路６２に関しても同様に、ＰＶ膜のエッチングを行い、複数のパッド６４を露出させる。このようにして、半導体チップ２０，３０が製造される。

【００４０】

次に、半導体チップ３０の基板上面３１ａ側と半導体チップ２０の基板下面２１ａ側を対向させるように、半導体チップ３０上に半導体チップ２０を載置する。そして、接続されるべき各パッド２５と各パッド３４とをリフロー方式を用いて半田バンプ２９により半田付けする。そして、半導体チップ２０の集積回路２２に各パッド２４と半導体チップ３０の集積回路３２の各パッド３５とを、金属細線２８を用いてそれぞれワイヤ・ボンディングすることにより接続する。

【００４１】

次に、半導体チップ２０を載置した半導体チップ３０をプリント配線基板１２上に載置し、半導体チップ３０の集積回路３３の各パッド３７と接続されるべき各パッド１３とをリフロー・半田付けにより接続する。そして、集積回路３２の各パッド３６と接続されるべき各パッド１４とを金属細線３８によりワイヤ・ボンディングする。そして、プリント配線基板１２に装着された半導体チップ２０，３０をプラスチック封止材１６により樹脂封止する。

【００４２】

このように、本半導体装置の第１の参考形態の製造方法においては、シリコンウェハの片面上に集積回路を形成した後、ＰＶ膜のエッチングを行わずにこのシリコンウェハの反対面にも集積回路を形成する。これにより、反対面上に回路形成を行うときにも、先に形成された集積回路を汚れ等から保護することができるため、シリコンウェハの両面上に容易に集積回路を形成することができる。

【００４３】

＜実施形態＞

本発明の半導体装置の製造方法の一実施形態は、半導体チップ２０，３０を、その片面上に集積回路が形成された２枚のシリコン基板を貼り合わせることにより、シリコン基板の

両面上に集積回路を備える半導体チップを形成することを特徴とし、他の部分を第１の参考形態の半導体装置の製造方法と同一とする。

【００４４】

図６は、本実施形態により製造される半導体装置に用いられる半導体チップの縦断面図である。シリコン基板７１の一方の面上には、集積回路７２が形成されている。また、シリコン基板７３の一方の面上にも、集積回路７４が形成されている。これらシリコン基板７１とシリコン基板７３の集積回路７２，７４が形成されていない面同士を互いに貼り合わせることにより、シリコン基板の両面上に集積回路を備える半導体チップ７０が構成されている。本実施形態では、第１の参考形態の半導体チップ２０，３０の代わりにこのような半導体チップ７０が用いられている。

【００４５】

図７は、本発明の半導体装置の製造方法の一実施形態により製造される半導体装置を構成する半導体チップ７０の製造方法を示す断面図である。以下、本実施形態の半導体チップ７０の製造方法を説明する。第１の参考形態は、１枚のシリコン基板を用いて、その両面に集積回路を形成するものであるが、本実施形態は、２枚のシリコン基板を用いて半導体装置を製造することを特徴とする。

【００４６】

まず、図７（ａ）に示すシリコン基板７１の鏡面研磨された面７１ａ上に、通常のＬＳＩ製造工程を用いて集積回路７２を形成する（図７（ｂ））。次に、このシリコン基板７１の集積回路７２が形成されていない面７１ｂをバックグラインドすることにより、シリコン基板７１の厚さを小さくする。そして、このバックグラインドされた面７１ｂ上に金蒸着を行う（図７（ｃ））。

【００４７】

シリコン基板７１と、このシリコン基板７１と同様にその片面上に集積回路７４が形成されたシリコン基板７３とを、それらの集積回路７２，７４が形成された面をそれぞれ外側に向け、金蒸着がなされた面同士を加熱圧着する。このようにして、シリコン基板の両面上に集積回路を備える半導体チップ７０を得ることができる。

【００４８】

以下、上記のように製造された半導体チップ７０同士の接続方法やプラスチック封止材による樹脂封止工程，およびプリント配線基板への実装方法は、第１の参考形態の半導体装置の製造方法に記載されたものと同様であるので、これらの説明を省略する。

【００４９】

このように、本実施形態の半導体装置の製造方法によれば、その片面上に集積回路が形成された２枚のシリコンウェハを貼り合わせることにより、シリコン基板の両面上に集積回路を備える半導体装置を製造することができる。このため、本発明の半導体装置を、通常の（シリコン基板の片面のみに集積回路を備える）半導体装置を製造する場合と同様に製造することができる。

【００５０】

＜第２の参考形態＞

第２の参考形態による半導体装置は、図８に示すように、上段に重ねられる半導体チップ４０における他方のチップに対向する面上に集積回路を形成し、その反対側の面上にチップから発生する熱を外部に放出するためのヒートスプレッダ（放熱板）を設置することを特徴とし、他の部分を第１の参考形態と同一とする。

【００５１】

すなわち、第２の参考形態による半導体装置は、パッケージ１１’と半導体チップ４０，５０とを備える。半導体チップ４０（第２の半導体チップ）を構成するシリコン基板４１（第２の半導体基板）における半導体チップ５０側の面上には、第１の参考形態の半導体チップ２０と同様に、集積回路４２（第３の集積回路）が形成されている。この集積回路４２には、外部と電気的に接続するための複数のパッド４５が形成されており、各パッド４５は半田バンプ４９を介して半導体チップ５０のパッド５４にそれぞれ接続されている

。
【００５２】
シリコン基板４１の反対側の面上には、このシリコン基板４１のほぼ全面上にわたってヒートスプレッダ４３（放熱板）が装着されている。このヒートスプレッダ４３は、０．３～０．５ｍｍの厚さを有する銅板である。銅は熱伝導性が高いため、シリコン基板４１上に装着することにより半導体チップ４０，５０から発生する熱を効率よく外部に放出することができる。
【００５３】
半導体チップ５０（第１の半導体チップ）は、シリコン基板５１（第１の半導体基板）の両面上に集積回路５２，５３（第１および第２の集積回路）が形成されている。シリコン基板５１の半導体チップ４０と対向する面上に形成された集積回路５２には、複数のパッド５４および複数のパッド５６が形成されている。前述のように、このパッド５４は、バンプ４９を介してパッド４５と接続されることにより、半導体チップ４０の集積回路４２と接続されている。また、集積回路５２を外部回路に接続するためのパッド５６は、金属細線５８を介してプリント配線基板１２上のパッド１４に接続されている。
【００５４】
半導体基板５１のプリント配線基板１２側の面上に形成された集積回路５３には、複数のパッド５７が形成されており、各パッド５７は、半田バンプ５９を介してプリント配線基板１２の各パッド１３にそれぞれ接続されている。
【００５５】
プリント配線基板１２上には、複数のパッド１３および複数のパッド１４が形成されている。前述のように、各パッド１３には半田バンプ５９を介して半導体チップ５０に形成された集積回路５３のパッド５７が、パッド１４には金属細線５８を介して半導体チップ５０に形成された集積回路５２のパッド５４が、それぞれ接続されている。これらパッド１３，１４は、プリント配線基板１２の内部に形成された配線（図示せず）を介してこのプリント基板１２の外面上に形成された半田ボール１５（外部接続端子）にそれぞれ接続されることにより、外部回路と接続され得る状態となっている。また、各チップ４０，５０はプラスチック封止材により封止されているが、半導体チップ４０におけるシリコン基板４１上のヒートスプレッダが装着された部分は、放熱のためにプラスチック封止材の外部に露出された状態となっている。
【００５６】
本発明の各参考形態及び実施形態においては、シリコン基板の両面に集積回路を形成し、このような半導体チップを積層することによってパッケージ内における素子の密度を向上させている。このため、各素子から発生する熱量も多くなる。この熱により各チップの温度が上昇すると、素子の信頼性が低下する。また、パッケージ内の温度が上昇すると、熱膨張率の違いにより異種材料同士の界面に応力が生じ、クラックの発生などの不良の原因となる。従って、上記各参考形態及び実施形態のような実装密度の高い半導体装置では、素子の放熱が重要となる。そこで、本第２の参考形態のように、シリコン基板４１の片面上に集積回路４２を形成し、もう一方の面上にヒートスプレッダ４３を装着した半導体チップ４０を、シリコン基板５１両面に集積回路５２，５３が形成された半導体チップ５０と組み合わせて用いることにより、各素子から発生する熱を効率よくパッケージ１６’の外部に放出することができる。従って、素子の発熱による各半導体チップの信頼性の低下やパッケージ内の熱応力の発生を低減することができる。従って、本第２の参考形態によれば、実装密度が高く、しかも信頼性の高い半導体装置を提供することができる。
【００５７】
以下、本第２の参考形態の半導体装置の製造方法を説明する。まず、通常のＬＳＩ製造工程により、シリコン基板４１の一方の面上に集積回路４２を形成する。そして、このシリコン基板４１の集積回路４２が形成された面の裏面上に、銅板からなるヒートスプレッダ４３を装着する。このようにして、半導体チップ４０が製造される。
【００５８】

半導体チップ５０の製造方法は、第１の参考形態のシリコン基板の両面上に集積回路を有する半導体チップの製造方法と同様であるので、説明を省略する。また、半導体チップ４０および半導体チップ５０の各パッド同士の接続方法やプラスチック封止材による樹脂封止工程，およびプリント配線基板への実装方法は、第１の参考形態の半導体装置の製造方法に記載されたものと同様であるので、これらの説明を省略する。

【００５９】

＜変形例＞

上記各参考形態及び実施形態においては種々の変更が可能である。例えば、第１の参考形態および実施形態においては、半導体チップ２０，３０（あるいは７０）を同一パッケージ１１内で積層させた構造としているが、プリント配線基板１２に載置される半導体チップの数は単数であっても良いし、３以上の半導体チップが積層されたものであっても良い。第２の参考形態においても、シリコン基板の両面に集積回路が形成された半導体チップ５０が複数積層されたものであってもよい。

【００６０】

また、実施形態では、シリコン基板７１，７３の裏面（集積回路が形成されていない面）に金蒸着を行い、加熱圧着を行うことによりこれらシリコン基板同士の接着を行っているが、これに限らず、他の金属を基板に蒸着することによりシリコン基板同士の接着を行ってもよいし、接着剤等を用いて接着してもよい。

【００６１】

また、第２の参考形態においては、ヒートスプレッダとして０．３～０．５ｍｍ厚の銅板を用いているが、これに限らず、タングステンあるいは銅とタングステンの合金からなる板を用いてもよい。また、ヒートスプレッダは、パッケージ外部に露出された状態とされているが、プラスチック封止材によりパッケージ内部に封止されたものであってもよいし、ヒートスプレッダの一部のみがパッケージ外部に露出されたものであってもよい。また、第２の参考形態の半導体チップ５０は、実施形態のように、その片面上に集積回路が形成された２枚のシリコン基板を貼り合わされてなるものであってもよい。

【００６２】

さらに、上記各参考形態及び実施形態ともに、プラスチック封止材による封止の形態は、トランスファモールド，液状樹脂，アンダーフィルのいずれかによるものであってもよいし、あるいはこれらの組み合わせでもよい。また、上記各参考形態及び実施形態において、パッケージ形態はＢＧＡパッケージとしているが、これに限らず他のプラスチックパッケージであってもよいし、セラミックパッケージ等であってもよい。

【００６３】

さらに、上記各参考形態及び実施形態では、シリコン基板を用いた半導体装置が用いられているが、他の半導体基板を用いた半導体装置であってもよいことは当然である。

【００６４】

【発明の効果】

本発明によれば、実装密度が高く、信頼性の高い半導体装置を提供することができる。また、このような半導体装置を容易に、しかも安価に製造することができる。

【図面の簡単な説明】

【図１】第１の参考形態による半導体装置の縦断面図

【図２】第１の参考形態による半導体装置に用いられる半導体チップの縦断面図

【図３】図１の半導体チップ２０をＡの方向から見た平面図（ａ），および半導体チップ３０側から見た平面図

【図４】図１の半導体チップ３０を半導体チップ２０側から見た平面図（ａ），およびプリント配線基板１２側から見た図

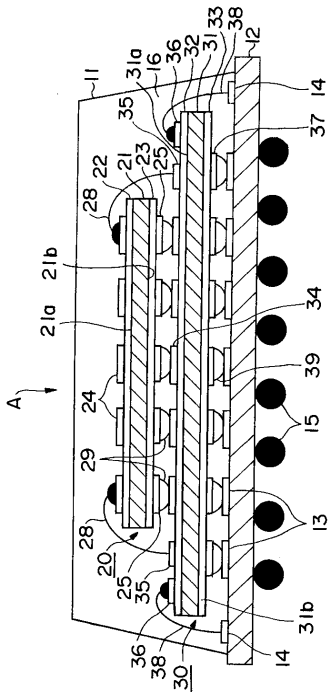
【図５】第１の参考形態による半導体装置の製造方法を示す工程図

【図６】本発明の一実施形態により製造される半導体装置に用いられる半導体チップの縦断面図

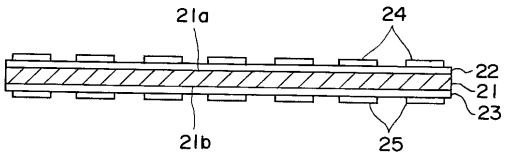
【図７】本発明の一実施形態による半導体装置の製造方法を示す工程図

【図８】本発明の第２の参考形態による半導体装置の縦断面図
【図９】従来技術の半導体装置の縦断面

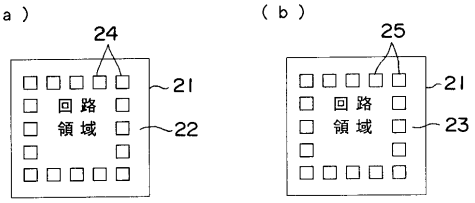
【図１】



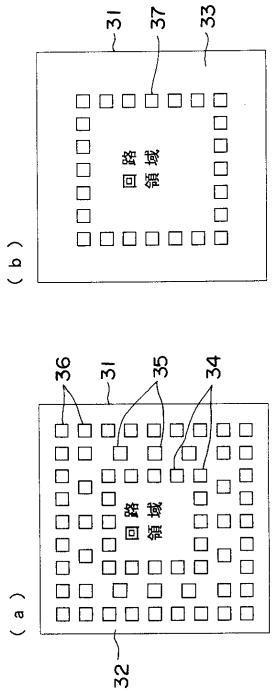
【図２】



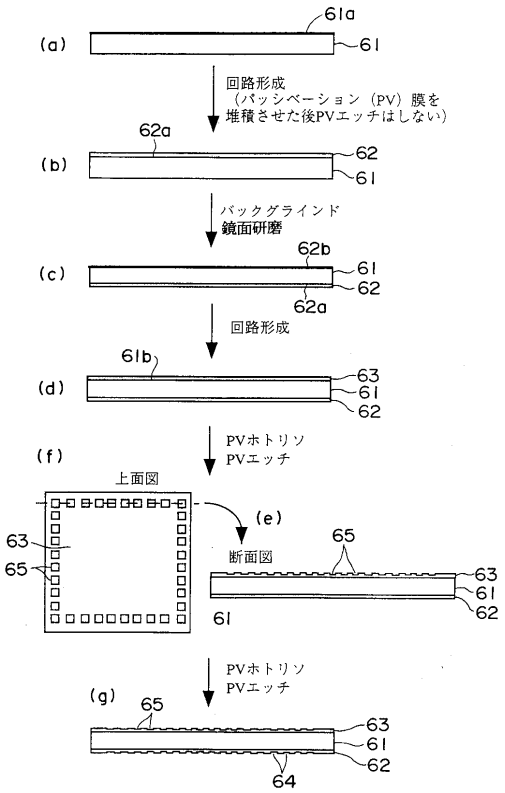
【図３】



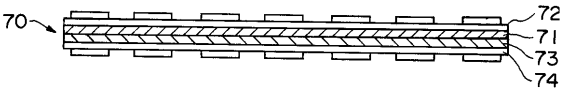
【図４】


31
37
33
回路領域
(b)
36
31
35
34
回路領域
(a)
32

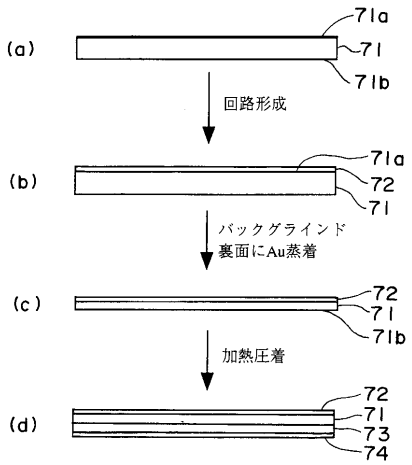
【図５】


(a)
61a
61
回路形成
(バッシベーション（PV）膜を堆積させた後PVエッチはしない)
(b)
62a
62
61
バックグラインド
鏡面研磨
(c)
62b
61
62
62a
回路形成
(d)
61b
63
61
62
PVホトリソ
PVエッチ
(f)
上面図
(e)
断面図
63
65
65
63
61
62
61
PVホトリソ
PVエッチ
(g)
65
63
61
62
64

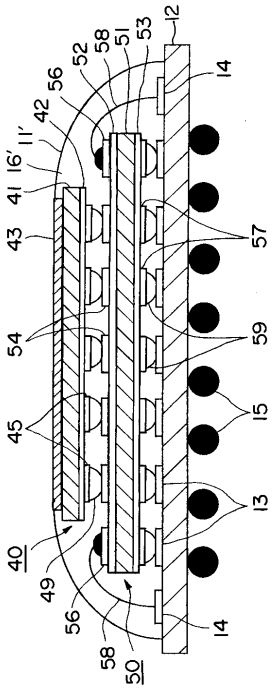
【図６】


70
72
71
73
74

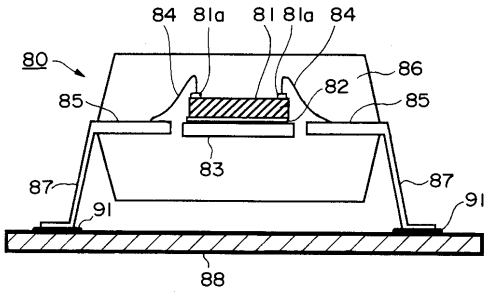
【図７】


(a)
71a
71
71b
回路形成
(b)
71a
72
71
バックグラインド
裏面にAu蒸着
(c)
72
71
71b
加熱圧着
(d)
72
71
73
74

【図８】


12
14
52
58
51
53
56
42
11'
16'
41
43
57
54
59
45
15
13
40
49
56
58
50
14

【図９】



フロントページの続き

(56)参考文献 特開昭６２－２７２５５６（ＪＰ，Ａ）
特開昭６３－１６４２６１（ＪＰ，Ａ）
特開平０９－１８１２５６（ＪＰ，Ａ）
特開平０５－３２６６２５（ＪＰ，Ａ）
特開平０９－１８１１１４（ＪＰ，Ａ）
特開平０２－２１０８５８（ＪＰ，Ａ）
特開昭６３－０９６９３０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 27/00 301
H01L 21/60 311
H01L 23/12