

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2011年9月1日(01.09.2011)

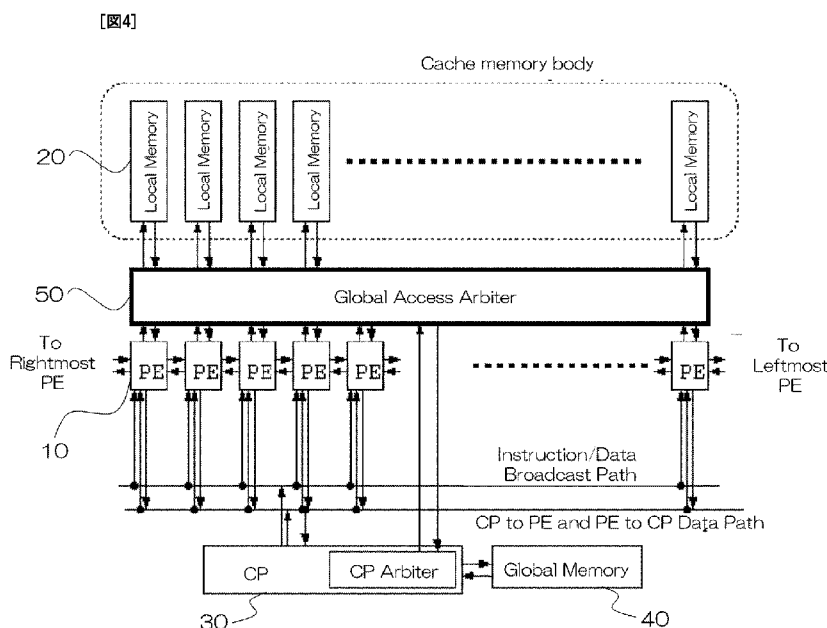
PCT

(10) 国際公開番号  
WO 2011/105408 A1

- (51) 国際特許分類:  
G06F 15/80 (2006.01)
  - (21) 国際出願番号: PCT/JP2011/053935
  - (22) 国際出願日: 2011年2月23日(23.02.2011)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
特願 2010-038976 2010年2月24日(24.02.2010) JP
  - (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社(NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
  - (72) 発明者; および
  - (75) 発明者/出願人 (米国についてのみ): 京 昭倫 (KYO, Shorin) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
  - (74) 代理人: 加藤 朝道(KATO, Asamichi); 〒2220033 神奈川県横浜市港北区新横浜3丁目20番12号加藤内外特許事務所内 Kanagawa (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

(54) Title: SIMD PROCESSOR

(54) 発明の名称: SIMDプロセッサ



(57) Abstract: The disclosed SIMD processor enables a program to be processed at high speed using processing elements of the SIMD processor without modifying data arrangement upon global memory. The SIMD processor is provided with a control processor (CP) and a plurality of processing elements (PEs), wherein the plurality of PEs perform an SIMD operation for executing a single instruction issued from the CP, a specific PE among the plurality of PEs performs an instruction/data distribution operation for receiving the instruction and data issued from the CP, and for the instruction that has been broadcast to each PE from the CP in the instruction/data distribution operation, each of the PEs performs a systolic operation for execution after source operands of the instruction have been collected.

(57) 要約: 本発明は、グローバルメモリ上のデータ配置を変更することなく、SIMDプロセッサの演算要素を活用してプ

ログラムを高速に処理できるようにする。制御プロセッサ (CP: Control Processor) と複数の演算要素 (PE: Processing Element) とを備えたSIMDプロセッサであって、前記複数のPEが前記CPから発行された単一の命令を実行するSIMD動作を行うとともに、前記複数のPEのうちの特定のPEが前記CPから発行された命令を受け取る命令・データ分配動作を行い、前記命令・データ分配動作において前記CPから各PEに送付された命令を、各PEが命令のソースオペランドが揃った後に実行するシストリック動作を行う。

WO 2011/105408 A1

## 明 細 書

**発明の名称**：SIMDプロセッサ

### 技術分野

[0001] (関連出願についての記載)

本発明は、日本国特許出願：特願2010-038976号(2010年2月24日出願)の優先権主張に基づくものであり、同出願の全記載内容は引用をもって本書に組み込み記載されているものとする。

[0002] 本発明は、SIMD(Single Instruction Multiple Data)プロセッサに関する。

### 背景技術

[0003] 図9は、非特許文献1に記載されたSIMDプロセッサの構成を示す図である。図9を参照すると、SIMDプロセッサは、複数の演算要素(PE: Processing Element)110と、複数のPE110に対して同一の命令を発行する制御プロセッサ(CP: Control Processor)130とを有する。SIMDプロセッサによると、安価なハードウェアに基づいて、高い演算性能を実現することができる。

[0004] SIMDプロセッサにおいては、CP130の制御下で、CP130が管理するグローバルメモリ(Global Memory)140上の所定位置に配置されたデータを、アドレス順に次々とPE110側のローカルメモリ(Local Memory)120に読み込んだ後、全PE110はCP130から発行される命令に従って一斉に各自のローカルメモリ120上のデータを対象とする演算を行う。

[0005] なお、特許文献1に、SIMD型とシストリックアレイ型の構成を切り替えることができる画像処理プロセッサが記載されている。

### 先行技術文献

#### 特許文献

[0006] 特許文献1：特開2008-034953号公報

## 非特許文献

- [0007] 非特許文献1：S. Kyo, T. Koga, S. Okazaki, R. Uchida, S. Yoshimoto, I. Kuroda, "A 51.2GOPS Scalable Video Recognition Processor for Intelligent Cruise Control Based on a Linear Array of 128 4-Way VLIW Processing Elements," ISSCC2003 Digest of Technical Papers, 2. 6, pp. 48-49, 2003.

## 発明の概要

### 発明が解決しようとする課題

- [0008] プログラムをSIMDプロセッサに移植して並列処理により高速化するには、一般に、グローバルメモリ140上のデータをPEアレイに読み込む際に都合が良いように、グローバルメモリ140上のデータ配置を変更する必要がある。しかし、グローバルメモリ140上のデータ配置を変更するには、アルゴリズムを設計し直さねばならない場合があり、プログラム開発者にとって大きな負担となっている。このことは、SIMDプロセッサの利用を妨げる要因となっている。
- [0009] プログラム開発者によるグローバルメモリ140上のデータ配置の変更作業を容易にするために、図9に示したSIMDプロセッサのように各PE110にローカルにメモリブロックを持たせる代わりに、動的再構成型プロセッサのように多数のメモリブロックと多数のPEとの間を豊富な配線（例えばクロスバー）で接続する方法が考えられる。しかし、この方法によると、SIMDプロセッサに多数の配線回路を追加する必要があるため、SIMDプロセッサを実現するためのハードウェアが高価となる。
- [0010] 以上のことから、安価なハードウェア構成に基づくSIMDプロセッサにプログラムを移植するためには、グローバルメモリ140上のデータ配置を変更する必要がある、グローバルメモリ140上のデータ配置を変更するに

は、アルゴリズムの変更が必要となるため、プログラム開発者にとって大きな負担となり、SIMDプロセッサの利用が妨げられる。

[0011] そこで、グローバルメモリ上のデータ配置を変更することなく、SIMDプロセッサの演算要素を活用してプログラムを高速に処理できるようにすることが課題となる。本発明の目的は、かかる課題を解決するSIMDプロセッサを提供することにある。

### 課題を解決するための手段

[0012] 本発明の第1の視点に係るSIMDプロセッサは、  
制御プロセッサ（CP：Control Processor）と複数の演算要素（PE：Processing Element）とを備えたSIMD（Single Instruction Multiple Data）プロセッサであって、  
前記複数のPEが前記CPから発行された単一の命令を実行するSIMD動作を行うとともに、  
前記CPが前記複数のPEのそれぞれに対して相異なる命令又は相異なる命令及びデータを分配する命令・データ分配動作を行い、  
前記複数のPEは、それぞれ、命令のソースオペランドが揃った後に前記命令・データ分配動作において前記CPから送付された命令を実行するシス  
トリック動作を行う。

### 発明の効果

[0013] 本発明に係るSIMDプロセッサによると、グローバルメモリ上のデータ配置を変更することなく、SIMDプロセッサの演算要素を活用してプログラムを高速に処理することができる。

### 図面の簡単な説明

[0014] [図1]実施形態に係るSIMDプロセッサに含まれるPEアレイ中の1PEの構成を示す図である。

[図2]実施形態に係るSIMDプロセッサに含まれる制御プロセッサ（CP）の構成を示す図である。

[図3]実施形態に係るS I M Dプロセッサにおける命令フォーマットを示す図である。

[図4]実施形態に係るS I M Dプロセッサの構成を一例として示す図である。

[図5]S I M DプロセッサにおけるP E間データ転送の様子を示す図である。

[図6]実施例について説明するための図である。

[図7]実施例について説明するための図である。

[図8]実施例における擬似コードを示す図である。

[図9]従来のS I M Dプロセッサの構成を一例として示す図である。

[図10]従来のS I M Dプロセッサに含まれるP Eアレイ中の1 P Eの構成を示す図である。

### 発明を実施するための形態

[0015] 第1の展開形態によると、上記第1の視点に係るS I M Dプロセッサが提供される。

[0016] 第2の展開形態によると、前記C Pは、前記命令・データ分配動作において各P Eに命令を分配するために、全P Eに対する命令発行パスを逐次的かつ排他的に利用する、S I M Dプロセッサが提供される。

[0017] 第3の展開形態によると、前記シストリック動作において、前記複数のP Eは、それぞれ実行した演算命令の演算結果を他のP Eに転送するとともに、他のP Eから転送された演算結果を、前記命令・データ分配動作において送付された命令に対するソースオペランドとする、S I M Dプロセッサが提供される。

[0018] 第4の展開形態によると、前記シストリック動作において、前記複数のP Eは、それぞれ、前記C Pから送付されたデータを、前記命令・データ分配動作において送付された命令に対するソースオペランドとする、S I M Dプロセッサが提供される。

[0019] 第5の展開形態によると、前記シストリック動作において、前記複数のP Eのそれぞれによるグローバルメモリアクセスを調停し、グローバルメモリに対するアクセスの排他性を保証する大域アクセス調停部 (G l o b a l

Access Arbitrer) をさらに備えている、SIMDプロセッサが提供される。

[0020] 第6の展開形態によると、前記複数のPEは、それぞれ、前記命令・データ分配動作中に動作を停止状態に保つためのフラグを格納するレジスタを備えている、SIMDプロセッサが提供される。

[0021] 第7の展開形態によると、前記複数のPEは、それぞれ、前記SIMD動作と前記シスリック動作との間で動作を切り替えるためのフラグを格納するレジスタを備えている、SIMDプロセッサが提供される。

[0022] 第8の展開形態によると、前記複数のPEは、それぞれ、前記CPから発行された命令を自身の命令バッファに格納するか否かを選択するセレクタを備えている、SIMDプロセッサが提供される。

[0023] 本発明によるSIMDプロセッサは、PEアレイ全体が制御プロセッサ(CP)から発行される単一の命令を実行するSIMD動作を行うとともに、CPが命令発行パスを利用して、相異なる命令コードやデータを逐次的に各PEに送信する命令・データ分配動作を行い、PEアレイ内の各PEは、CPからサイクル毎に放送されてくる命令ではなく、命令・データ分配動作によりCPから送信された命令を、当該命令のソースオペランドが揃った時点で実行し、当該命令の実行結果を指定された他のPEのレジスタ資源に書き込むように指定するシスリック動作を行う。また、シスリック動作中に、各PEは、命令のオペランドが他のPE又はCPからの送付データによって書き込まれることで揃った後に、命令の実行を開始し、演算命令の場合には演算結果を他のPEに送付し、メモリアクセス命令の場合にはグローバルメモリアクセスする。

[0024] 次に、本発明に係るSIMDプロセッサによってもたらされる効果について説明する。

[0025] 従来のSIMDプロセッサにおいては、全PEが同一の命令を実行するため、メモリアクセス命令が全PEで一斉に発生してしまう。したがって、かかるSIMDプロセッサの性能を引き出すには、各PEがアクセス可能なメ

メモリ空間を、各PEにローカルな空間に限定する必要があった。

[0026] しかし、本発明のSIMDプロセッサによると、命令・データ分配動作により、各PEに互いに異なる命令を発行することができる。したがって、PE間でメモリアクセス命令を実行するタイミングをずらしたり、特定のPEにのみメモリアクセス命令を行わせたりすることができる。このとき、メモリ上でのデータ配置を元のままとし、PEがアクセス可能なメモリ空間をグローバルなメモリ空間に広げたとしても、単一のハードウェア資源であるグローバルなメモリ空間の利用に際して多数のPEが競合する頻度を低下させることができ、プロセッサの演算資源による処理性能を向上させることができる。

[0027] ゆえに、本発明に係るSIMDプロセッサによると、プログラムのメモリ上におけるデータ配置を変更することなく、SIMDプロセッサが有する演算資源を利用した処理の高速化が可能となる（第1の効果）。

[0028] また、CPがPEアレイに対して命令・データ分配動作を行うことで、1イタレーション分の処理をデータフローグラフとして表現したときの各演算ノードに相当する個々の演算命令及び関連する定数データを各PEに分配し、データフローグラフにおける各演算ノードを各PEに割当てることができる。さらに、CPがPEアレイにシストリック動作モードで実行を開始させるために、起動データを1つ以上のPEに対して繰り返し発行することで、異なるイタレーションを次々と重畳した形で起動し、PEアレイに処理させることができる。

[0029] したがって、本発明に係るSIMDプロセッサによると、プログラムのループ部分のうちのイタレーション間でデータ依存関係がない部分（並列ループ部分）に対する処理を、グローバルメモリ上のデータ配置を変更することなく、PEアレイを利用してパイプライン的に処理することで、高速化することができる（第2の効果）。

[0030] 上記の命令・データ分配動作を実現するには、従来のSIMDプロセッサに設けられた全PEへの命令発行パスの回路資源、並びに、各PEからCP

及びCPから各PEへのデータ配線回路資源をそのまま利用することができる。また、PE毎からグローバルメモリ空間へのアクセスを行うための結線として、従来のSIMDプロセッサに設けられたCPとPEアレイ間でスカラーデータをやり取りするための配線回路資源をそのまま利用することができる。さらに、データフローグラフ上の演算ノード同士が互いにデータを送受信する動作を行うPE間において、データを送受信するためのPE間結線として、従来のSIMDプロセッサに設けられた隣接PE間の配線資源をそのまま利用することができる。

[0031] したがって、本発明に係るSIMDプロセッサによると、従来のSIMDプロセッサに少量の回路を追加するだけで、上記第1の効果及び第2の効果が得られる（第3の効果）。

[0032] （実施形態）

次に、実施形態に係るSIMDプロセッサについて、図面を参照して説明する。

[0033] 本実施形態のSIMDプロセッサについて説明する前に、比較のために、従来のSIMDプロセッサの構成を示す。図10は、従来のSIMDプロセッサに含まれるPEアレイ中の1つのPE110の構成を示す図である。

[0034] 図10を参照すると、PE110は、CP130（図9）から発行された命令を格納するための命令バッファ（*instb*）111、汎用レジスタ（*General Purpose Register*）*r0*～*r7*、演算器（*ALU: Arithmetic Logic Unit*）112、PE間結合網への出入り口（*Left/Right Inter PE Connection*）、PE毎のローカルメモリ（*Local Memory*）120を有する。すべてのPE110は、サイクル毎にCP130から発行された単一の命令を一斉に実行する。

[0035] 図1は、本実施形態に係るSIMDプロセッサに含まれるPEアレイ中の1PE10の構成を示す。図1を参照すると、PE10は、命令バッファ（*instb*）11、汎用レジスタ（*General Purpose Re*

gister) r0~r15、演算器 (ALU: Arithmetic Logic Unit) 12、PE間結合網への出入り口 (Left/Right Inter PE Connection)、PE毎のローカルメモリ (Local Memory) 20を有する。PE10は、さらに、レジスタ stop, mode、及び、セクタ sel を有する。図1において、図10に対して追加された構成要素 (太線部分)、すなわち、レジスタ stop, mode、セクタ sel、レジスタ cm, sx, syのそれぞれについて説明する。

- [0036] レジスタ stop は、命令・データ分配動作中にPE10の動作を停止状態に保つための制御レジスタである。
- [0037] レジスタ mode は、シストリック動作と従来のSIMD動作とを切り替えるための1ビットの動作モード選択レジスタである。
- [0038] セクタ sel は、CPから発行された命令を命令バッファ (instb) 11に格納するか否かを選択するセクタである。レジスタ cm, sx, sy は、シストリック動作中に、当該レジスタへのライトが発生する度に、所定カウンターレジスタがデクリメントされるデータ待合せ機能を有する汎用レジスタ (待合せレジスタ) 群である。
- [0039] 図2は、本実施形態に係るSIMDプロセッサに含まれる制御プロセッサ (CP) 30の構成を概略的に示す図である。図2を参照すると、CP30は、従来のSIMDプロセッサにおけるCP130と同様に、自ら演算を行うためのデータパスを有し、命令・データキャッシュ (Instruction/Data Cache) 31、及びメモリアクセス調整部であるアービタ (Arbiter) 33を介してグローバルメモリ (Global Memory) 40に接続されている。CP30は、自らのデータパスで実行すべき命令及びPEアレイ全体に放送すべき命令を、グローバルメモリ40から読み出して発行し、CP30上の演算用データ及びPE10のローカルメモリ20との間で送受信されるデータを、グローバルメモリ40から読み出したり、グローバルメモリ40に書き込んだりする。

- [0040] 図3は、本実施形態に係るSIMDプロセッサにおける命令フォーマットを一例として示す図である。本実施形態のSIMDプロセッサにおけるCP30は、従来のSIMDプロセッサにおけるCP130とは異なり、命令若しくはデータ又はこれらの両方を特定のPEに同時に送付し、特定の1つのPE又は指定された複数のPEに実行の開始を指定することができるように、図3に示すような命令フォーマットから成る命令セットを用いる。
- [0041] 図3を参照すると、CP30の命令フォーマットは、命令のヘッダ(header)部のビットパターンに応じて、異なるフォーマットを有する。
- [0042] 「header」部のビットパターンが“00”である場合には、CP30上で動作する命令であることを示す。
- [0043] 「header」部のビットパターンが“01”である場合には、SIMDモードで動作する場合におけるPEアレイの動作を指定するPE命令であることを示す。
- [0044] 「header」部のビットパターンが“10”である場合には、命令Aは特定PE10に分配すべきものであることを示し、後続の命令として、必ずヘッダ部のビットパターンが“11”の命令Bが続き、命令Bの「Target PEID」部が示すPE番号のPEの命令バッファ(instb)11に命令Aを書き込み、かつ、命令Bの「Target reg ID」部が示すPE番号のPEのレジスタに命令Bの「data」部を書き込む動作を指定する。
- [0045] 「header」部のビットパターンが“11”である場合には、その命令の「Target PEID」部が示すPE番号のPEの「Target reg ID」部が示す番号のレジスタに「data」部の値を書き込む動作、又は、「Target reg ID」部がcmの場合は、命令バッファ(instb)11内に格納中の命令がソースオペランドとしてcmを持つPE10のレジスタcmにdata部の値を書き込む動作を指定する。
- [0046] 図4は、本実施形態に係るSIMDプロセッサにおけるPEアレイの全体構成を示す。図4を参照すると、太線の部分は、従来のSIMDプロセッサ

に対して、個々のPE10以外に、本発明で新たに付け加えた回路要素である大域アクセス調停部（Global Access Arbiter）50を示す。

[0047] 大域アクセス調停部50は、全PE20のローカルメモリブロックを、まとめて多バンクのキャッシュメモリ本体として利用できるように管理するモジュールであり、シストリック動作モード中に、多数のPE10から同時にメモリアクセスが発生した場合のメモリアクセスを調停する。

[0048] なお、大域アクセス調停部50の実装方式として、次の方式が考えられる。すなわち、2以上のPEから同時にメモリアクセス要求があると、PEアレイ全体の動作を一時停止させ、各PEのメモリアクセス要求に一つずつ順に応じてから、PEアレイの動作を再開させるという、最も性能が低いもののハードウェア実現コストが安い実装方式が考えられる。一方、全てのPEのローカルメモリブロックをクロスバー機構で接続し、できるだけ短い遅延で多数のメモリアクセス要求に応えるという、最も性能が高いもののハードウェア実現コストが高い実装方式が考えられる。任意のプログラムコードを重畳実行させた場合における最大メモリアクセス遅延を静的に定めることができれば、いずれの実装方式を採用してもよい。

[0049] 次に、実施形態のSIMDプロセッサ全体の動作について説明する。まず、CP30は、サイクル毎、プログラムカウンタ（PC: Program Counter）35の値が指すアドレスの命令とその次のアドレスの命令の2つの命令を同時に読み出す。ただし、PC35のカウント値がサイクル毎に+1されるのか又は+2されるのか、及び、読み出された命令をどのような形で処理するのかについては、読み出された先頭命令Aの「header」部の値に応じて以下のように決定する。

[0050] 読み出された先頭命令Aの「header」部の値が“00”である場合には、CP命令であることを表し、次サイクルまでにPC35のカウント値は+1され、命令AはCP30の処理部で実行される。

[0051] 読み出された先頭命令Aの「header」部の値が“01”である場合

には、PE命令であることを表し、PC35のカウント値は+1され、次サイクルまでに命令AがPEアレイに送られ、次々サイクルに全PE10は命令Aを実行する。

[0052] 読み出された先頭命令Aの「header」部の値が“10”である場合には、命令・データ分配動作の指定であることを表し、PC35のカウント値は+2され、次サイクルまでに、全PE10のレジスタstopをONにセットし、後続命令Bの「target PEID」部が指定するPE番号のPEの命令バッファ(instb)11に、命令Aの「header」部に命令Aの「counter」部の2ビットをコピーした上で命令Aを書き込む。同様に、次サイクルまでに、同PEに含まれる、命令Bの「Target reg ID」部が指定するレジスタに、命令Bの「data」部の値を書き込む。

[0053] 最後に、読み出された先頭命令Aの「header」部の値が“01”である場合には、シストリック動作の指定であることを表し、PC35のカウント値は+1され、次サイクルまでに、全PEのレジスタstop及びレジスタmodeをそれぞれOFF及びONにセットし、命令Aの「target PEID」部が指定するPE番号のPEに含まれる、命令Aの「Target reg ID」部が指定するレジスタに、命令Aの「data」部の値を書き込む。

[0054] 図3を参照すると、「header」部の値が“10”の命令は、「counter」部を含む。「counter」部には、当該命令が持つソースオペランドのうち、「待合せレジスタ」の数に等しいか又はそれよりも大きい値が設定されているものとする。

[0055] PE側では、レジスタmodeがONの期間中において、命令バッファ(instb)11に格納されている命令Cのソースオペランドに指定されたいずれかの「待合せレジスタ」に対し、書き込み動作が起きるたびに、命令Cの「counter」部が1だけデクリメントされる。そして、「counter」部がゼロにデクリメントされたサイクルに命令Cの実行を開始す

る。命令Cの実行は1サイクルで終了し、その実行結果を、命令Cの「PEID」部が指定するPE番号のPEに含まれる、命令Cの「Destination reg ID」部が指定するレジスタに書き込むために、実行結果値は次サイクルまでにPE結合線上に送り出される。また、命令Cの実行終了と同時に、命令Cの「counter」部には、命令Cの「header」部の値がコピーされる。

[0056] したがって、例えば、CP30がシストリック動作において、「Target reg ID」部に待合せレジスタsxが指定されている命令Aを実行した場合、命令Aの「target PEID」部が指定するPE番号のPE上のレジスタsxに対して書き込み動作Pが行われる。ここで、当該PEの命令バッファ(instb)11内の命令Cの「counter」部に値1が設定されており、かつ、レジスタsxが命令Cのソースオペランドのうちの唯一の「待合せレジスタ」である場合、上記のレジスタsxに対する書き込み動作Pの結果、当該PEは命令Cの実行を開始し、命令Cの実行終了と同時に、命令Cの「counter」部に、命令Cの「header」部の値である1を再度設定する。ただし、命令Cの実行終了と同じサイクルに、当該PEの待合せレジスタsxに対して書き込み動作が再度起きた場合には、「counter」部には、1ではなく、そのデクリメントした結果である0がセットされるため、命令Cは当該PE上で連続して実行される。

[0057] 他の例として、CP30がシストリック動作において「Target reg ID」部に待合せレジスタcmが指定されている命令Aを実行した場合には、命令バッファ(instb)11内にcmをソースオペランドに持つすべてのPEに対し、cmへの書き込み動作Pが生じる。ここで、PEの命令バッファ(instb)11内の命令Cの「counter」部に値2が設定されており、cm及びsyがいずれも命令Cのソースオペランドである場合には、上記のCPによる命令Aの実行に起因するcmへの書き込み動作Pだけでは、当該PEが命令Cの実行を開始しないが、書き込み動作Pが発生したのと同じサイクル、あるいはそれ以降のサイクルにおいて別途s

y への書き込み動作 Q が発生すれば、当該 PE が命令 C の実行を開始する。そして、命令 C の実行終了と同時に、命令 C の「counter」部には、値 2 が命令 C の「header」部からコピーされて再度設定されるが、命令 C の実行終了と同一のサイクルに、当該 PE の待合せレジスタ sx と cm に対し、同時に書き込み動作が起きた場合には、「counter」部には、2 ではなく、これを 2 回だけデクリメントした結果である 0 が再度セットされる。したがって、命令 C が当該 PE 上で連続して実行される。

- [0058] 上記の 2 つの動作例からわかるように、CP30 は「シストリック動作」指示命令の発行を通じて、命令バッファ (instb) 11 に格納されている命令の実行を PE に指示することができる。また、命令バッファ (instb) 11 に格納されている命令が、その実行結果の書き込み先として、他の PE の「待合せレジスタ」を指定している場合には、命令の実行が PE 間を伝播する。また、CP30 は、多数の PE のレジスタ cm に対し書き込み動作を行うことが可能なので、同時に多数の PE を「待ち」状態から「実行」状態に移すこともできる。このように、CP30 は「シストリック動作」指示命令の発行により、PE アレイ上にシストリック的な命令実行の連鎖を引き起こすことができる。

## 実施例

- [0059] 次に、具体的な実施例を用いて、実施形態に係る SIMD プロセッサの動作について説明する。図 5 (a) は、本実施例において、PE アレイにマップする処理のループ部分に相当する擬似コードである。図 5 (a) を参照すると、擬似コードは、配列 A からデータを読み出して変数 a を加算して配列 B に書き込む動作を、配列 A の要素 0 から 7 までを対象に、計 8 回のイタレーションで行うプログラムコードである。
- [0060] 図 5 (b) は、本実施形態の SIMD プロセッサの PE アレイ群のうちの PE0, PE1, PE2, PE4, PE10 に対して、図 5 (a) の処理をマッピングした場合において、各 PE に分配すべき命令を示す。
- [0061] ここで、図 5 (b) に示す add は加算命令を意味し、2 つのソースレジ

スタ番号指定 (Aとcm) と1つのデスティネーションレジスタ番号指定 (1sx) を持つ。単一アルファベット (A、B、a) は定数 (Aはこの場合は、配列Aの絶対アドレス) を表す。命令バッファ (instb) 11に格納されている命令の実行に際し、定数がオペランドに指定されている場合には、レジスタ番号0のレジスタ (すなわちr0) に定数が格納されていると見なし、レジスタr0から値を読み出すように動作する。デスティネーションレジスタ番号指定は、PE番号とレジスタ名の組合せで指定する。例えば、1sxとなっていれば、PE番号が1のPEのsxレジスタに、演算結果を格納するように動作する。

[0062] なお、図1及び図3を参照すると、CP30に「add A, cm, 1sx」という命令をPE0の命令バッファ (instb) 11に格納させるには、「header」部を10、「opcode」部をadd命令を現すビット列、「1st operand reg ID」を0、「2nd operand reg ID」を0xd、「Destination reg ID」を0xe、(演算結果の格納先PE番号が1であることから)「PEID部」を1、「counter」部を1である命令と、当該命令に後続する、「header」部を11、「data」部を配列Aの絶対アドレス、「Target reg ID」部を0、(add命令の格納instbの持ち主のPE番号が0であることから)「Target PEID」を0とした命令とを用意し、CP30に実行させればよい。

[0063] また、図5(b)に示したglid及びgstは、それぞれ、グローバルメモリに対するロード命令及びストア命令である。ロード命令は、第2ソースオペランドを持たずにロード対象アドレスを第1ソースオペランドとして持ち、ロードしたデータの格納先のデスティネーションレジスタ番号指定を持つ。ストア命令は、第1ソースオペランドとしてストア対象アドレス、第2ソースオペランドとしてライトデータを格納したレジスタ番号を有し、デスティネーションレジスタ番号指定を持たない(図5(b)ではNULLとした)。以上より、図5(b)において、各命令のデスティネーションフィー

ルド指定における  $1s_x$ ,  $2s_x$ ,  $4s_x$ ,  $4s_y$  及び  $NULL$  は、それぞれ、命令の実行結果の宛先が  $PE1$  の  $s_x$ 、 $PE2$  の  $s_x$ 、 $PE4$  の  $s_x$ 、 $s_y$  及び宛先なしを示す。

[0064] 図5(c)は、図5(b)の命令コードを  $CP30$  が  $PE$  アレイに分配し、動作を開始させてから終了するまでの動作のタイムチャートを一例として示す。図5(c)を参照すると、縦軸は時間(単位はサイクル)を表し、横軸は  $CP30$  の動作、及び  $PE$  側の動作を表す。なお、 $PE$  側の動作は、イタレーション毎に分けて表示している。また、図5(c)の欄内には、各サイクルにおける  $CP30$  や  $PE$  の動作状況を表している。

[0065] 例えば、 $CP30$  の動作を示す欄の先頭に表記されている  $INSTB\_BC(PE0)$  とは、「header」部が“10”の命令(及び後続する「header」部が“11”の命令)を読み出して  $PE0$  に分配する動作が当該サイクルで生じたことを表す。また、 $GO(1, cm)$  とは、「header」部が“11”であり、「data」部の値が“1”である命令を読み出し、 $PE0$ ,  $PE1$ ,  $PE2$ ,  $PE4$ ,  $PE10$  のうちの命令バッファ( $instb$ ) 11内の命令がソースオペランドにレジスタ  $cm$  を含む  $PE$  のレジスタ  $cm$  に、この命令の「data」部の値である1をライトする動作が当該サイクルで生じたことを表す。また、 $CLD$  及び  $CST$  は、それぞれ  $PE$  側で  $gl_d$  及び  $gs_t$  命令を発行したことに伴い、大域アクセス調停部50による調停の結果として発生したグローバルメモリへのキャッシュメモリ等を介したロード動作及びストア動作が開始されたサイクルを表す。さらに、 $PE_x$  は  $PE$  番号が  $x$  の  $PE$  が命令を実行したサイクルを表す。特に、 $PE_x/y$  は、 $PE_x$  と  $PE_y$  が同一のサイクルで命令を実行したことを表す。

[0066] なお、 $CP30$  上での  $CLD$  と  $CST$  とのタイミング的な対応関係を分かり易くするために、 $gl_d$  又は  $gs_t$  命令を実行した  $PE_x$  の末尾に\*又は+を付した。なお、一例として、点線の矢印は、 $PE1$  上で  $gl_d$  命令が実行されてから  $PE2$  にロードデータが送付されてくるまでの流れを示す。ま

た、図5(c)における黒塗りの矩形はロードデータ待ちサイクルを表し、”-“はPE間転送サイクルを表す。

[0067] 図6(a)は、本発明のSIMDプロセッサが双方向の一次元隣接PE間結合網のみを有する場合における、 $i=0$ のイタレーションにおけるサイクル毎でのPE間結合網の利用状況を示す。ここで、塗り潰した黒丸は、対応するPE(横軸)上で命令の実行が行われたことを表す。また、 $PE_x \rightarrow PE_y$ の矢印は、 $PE_x$ と $PE_y$ との間でデータ転送が発生したことを表す。なお、ここでは、グローバルメモリ40に対するロードアクセスの遅延を3サイクルと仮定している。したがって、 $PE_1$ から $PE_2$ への矢印は3サイクルに跨っている。

[0068] 図6(b)は、 $i=0$ から $i=7$ までの全部計8イタレーションにおける、サイクル毎のPE間結合網の利用状況を示す。図6(b)を参照すると、複数の同一方向の矢印間で交差が起きてない。このことは、PEアレイがシストリック動作を行った計21サイクルに亘って、PE間結合線を利用したデータ転送に関して、衝突が起きてないことを示す。なお、図6(b)において、サイクルPにおける $PE_x$ から $PE_y$ への左→右(又は左←右)方向の矢印は、当該サイクルでの $PE_x \rightarrow PE_y$ (又は $PE_x \leftarrow PE_y$ )方向の隣接PE間結合線を利用してデータ転送が行われることを示す。また、図6(b)において、個々のイタレーション間を識別し易くするために、矢印及び塗り潰した丸印の明度を変更している。

[0069] 図5(c)及び図6では、グローバルメモリに対するPEによるロードアクセスの遅延を3サイクルと仮定した図を示している。一方、遅延が3よりも小さく、例えば、2である場合は、図7(a)のように、 $PE_{10}$ に割当てていた命令を $PE_9$ に割当てればよい。また、ロードアクセス遅延が3よりも大きく、例えば、4である場合には、図7(b)のように、 $PE_{10}$ に割当てていた命令を $PE_{11}$ に割当てればよい。

[0070] 次に、実施形態に係るSIMDプロセッサの本実施例における効果について説明する。図8は、図5(a)のプログラムコードをCP30上で逐次的

に実行した場合の擬似コードである。図8を参照すると、CADDは加算命令を表す。また、CLD及びCSTは、それぞれメモリロード命令及びメモリストア命令を表す。これらは、すべて「header」部が00の命令である。

[0071] CP30のみを用いて、図5(a)のプログラムコードを実行した場合には、1回の繰り返し毎に約6サイクルを要することから、8回の繰り返しで合計48サイクルを要する。一方、図6(b)を参照すると、実施形態に係るSIMDプロセッサを利用することで、約21サイクルで処理が終了する。したがって、本発明によると、約2倍強の高速化を実現することができる。

[0072] なお、本実施例の場合、命令をPEアレイに分配するのに合計5サイクルを要することから、イタレーション回数が少ない場合における性能の向上は小さい。しかし、イタレーション回数を1000回とすると、命令をPEアレイに分配するのに要した5サイクルは無視することができる。また、本実施例では1イタレーション毎に1サイクルのスループットで実行できる。一方、図7を参照すると、CP30上で同一の処理を実行した場合には、1イタレーション毎に6サイクルかかる。したがって、本発明のSIMDプロセッサによると、約6倍の性能向上がもたらされる。

[0073] なお、上記の特許文献及び非特許文献の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

## 符号の説明

[0074] 10、110、PE0～PE14 演算要素（PE：Processing Element）

11、111 命令バッファ ( i n s t b )  
12、32、112 演算器 ( A L U )  
20、120 ローカルメモリ ( L o c a l M e m o r y )  
30、130 制御プロセッサ ( C P : C o n t r o l P r o c e s s o r )  
31 命令・データキャッシュ  
33 アービタ ( A r b i t e r )  
35 プログラムカウンタ ( P C : P r o g r a m C o u n t e r )  
40、140 グローバルメモリ ( G l o b a l M e m o r y )  
50 大域アクセス調停部 ( G l o b a l A c c e s s A r b i t e r )  
c m 、 m o d e 、 r 0 ~ r 1 5 、 s t o p 、 s x 、 x y レジスタ  
s e l セレクタ

## 請求の範囲

- [請求項1] 制御プロセッサ（CP：Control Processor）と複数の演算要素（PE：Processing Element）とを備えたSIMD（Single Instruction Multiple Data）プロセッサであって、  
前記複数のPEが前記CPから発行された単一の命令を実行するSIMD動作を行うとともに、  
前記CPが前記複数のPEのそれぞれに対して相異なる命令又は相異なる命令及びデータを分配する命令・データ分配動作を行い、  
前記複数のPEは、それぞれ、命令のソースオペランドが揃った後に前記命令・データ分配動作において前記CPから送付された命令を実行するシストリック動作を行うことを特徴とするSIMDプロセッサ。
- [請求項2] 前記CPは、前記命令・データ分配動作において各PEに命令を分配するために、全PEに対する命令発行パスを逐次的かつ排他的に利用することを特徴とする、請求項1に記載のSIMDプロセッサ。
- [請求項3] 前記シストリック動作において、前記複数のPEは、それぞれ、実行した演算命令の演算結果を他のPEに転送するとともに、他のPEから転送された演算結果を、前記命令・データ分配動作において送付された命令に対するソースオペランドとすることを特徴とする、請求項1又は2に記載のSIMDプロセッサ。
- [請求項4] 前記シストリック動作において、前記複数のPEは、それぞれ、前記CPから送付されたデータを、前記命令・データ分配動作において送付された命令に対するソースオペランドとすることを特徴とする、請求項1又は2に記載のSIMDプロセッサ。
- [請求項5] 前記シストリック動作において、前記複数のPEのそれぞれによるグローバルメモリアクセスを調停し、グローバルメモリアクセスの排他性を保証する大域アクセス調停部をさらに備えていること

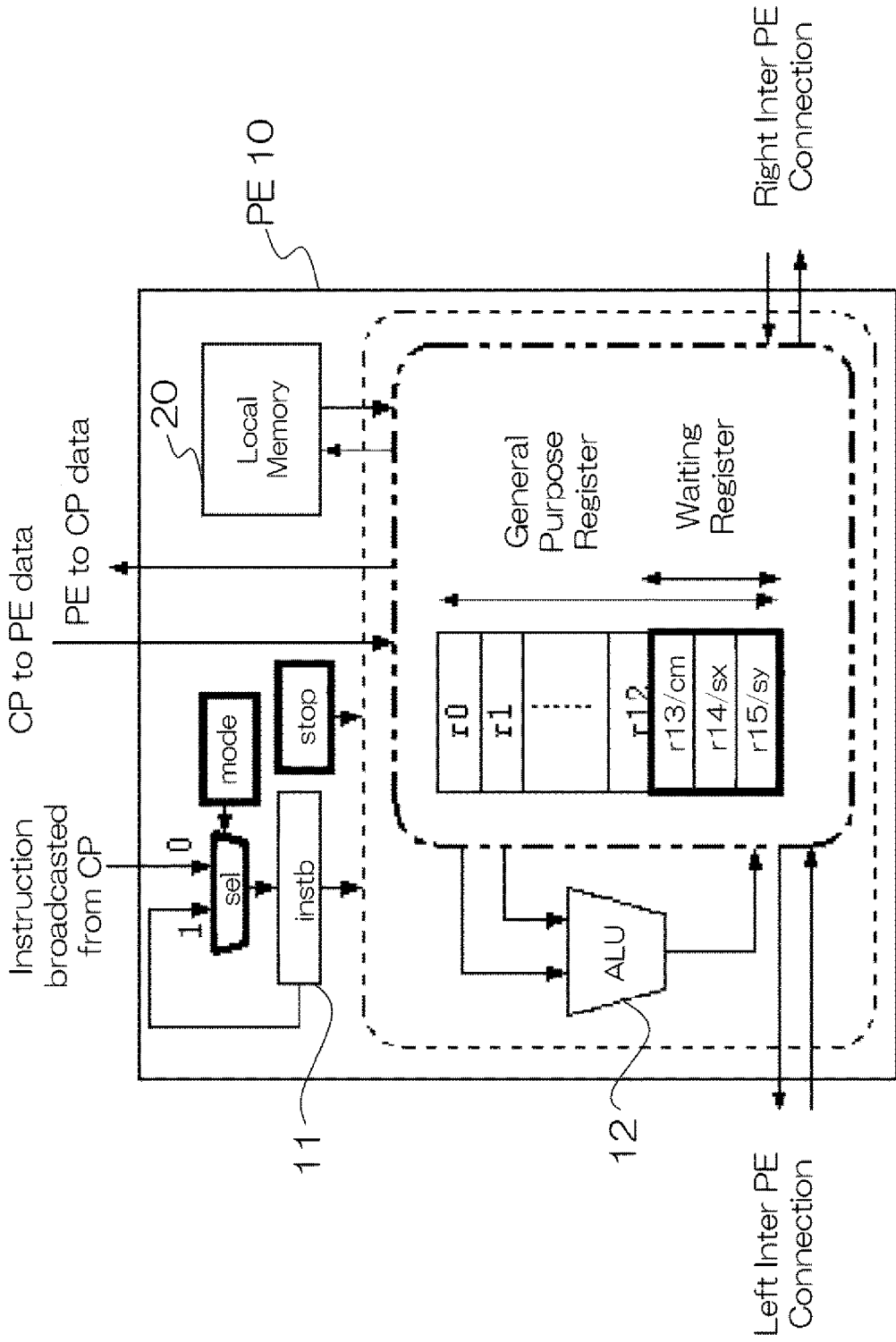
を特徴とする、請求項 1 乃至 4 のいずれか 1 項に記載の SIMD プロセッサ。

[請求項6] 前記複数の PE は、それぞれ、前記命令・データ分配動作中に動作を停止状態に保つためのフラグを格納するレジスタを備えていることを特徴とする、請求項 1 乃至 5 のいずれか 1 項に記載の SIMD プロセッサ。

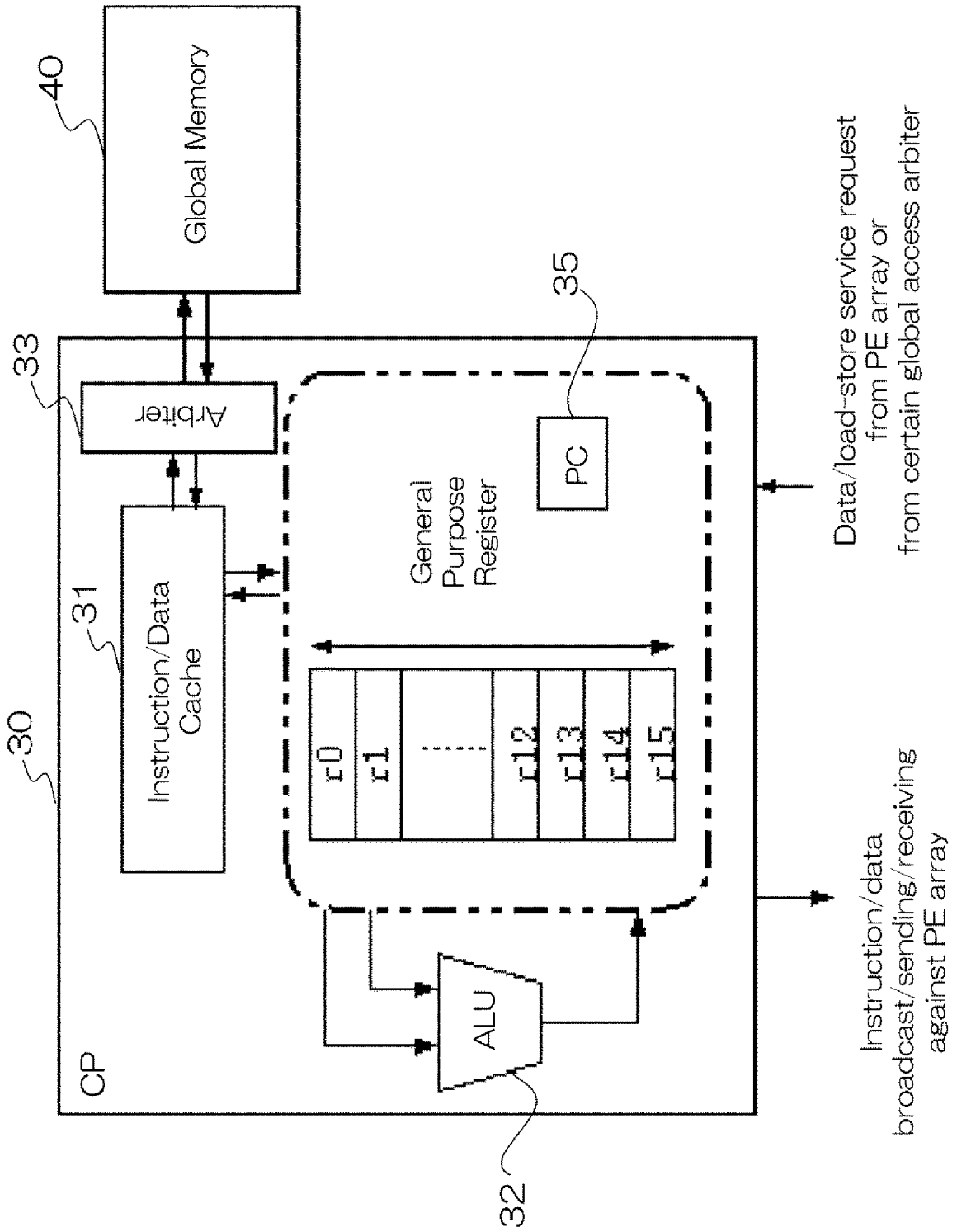
[請求項7] 前記複数の PE は、それぞれ、前記 SIMD 動作と前記シストリック動作との間で動作を切り替えるためのフラグを格納するレジスタを備えていることを特徴とする、請求項 1 乃至 6 のいずれか 1 項に記載の SIMD プロセッサ。

[請求項8] 前記複数の PE は、それぞれ、前記 CP から発行された命令を自身の命令バッファに格納するか否かを選択するセレクタを備えていることを特徴とする、請求項 1 乃至 7 のいずれか 1 項に記載の SIMD プロセッサ。

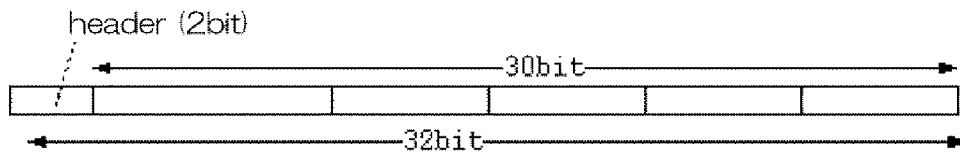
[図1]



[図2]

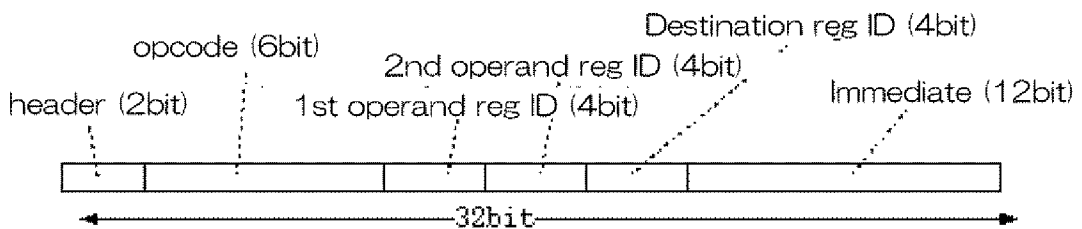


[図3]

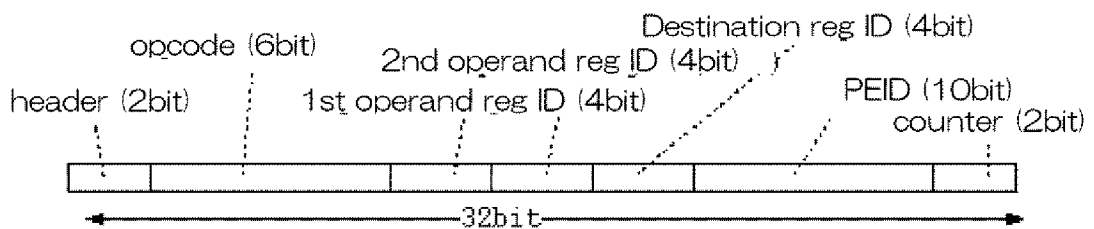


Header value	Meaning
00	Instruction for CP
01	Instruction for PE array (in normal SIMD mode)
10	Instruction broadcasted to one PE
11	Data broadcasted to one PE

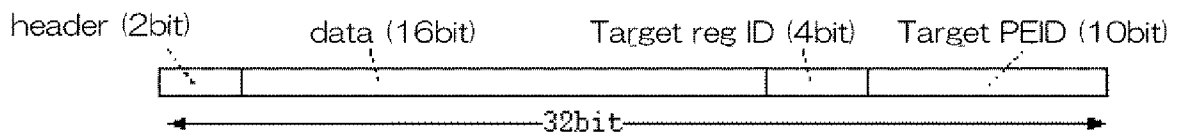
When header == 00 or 01



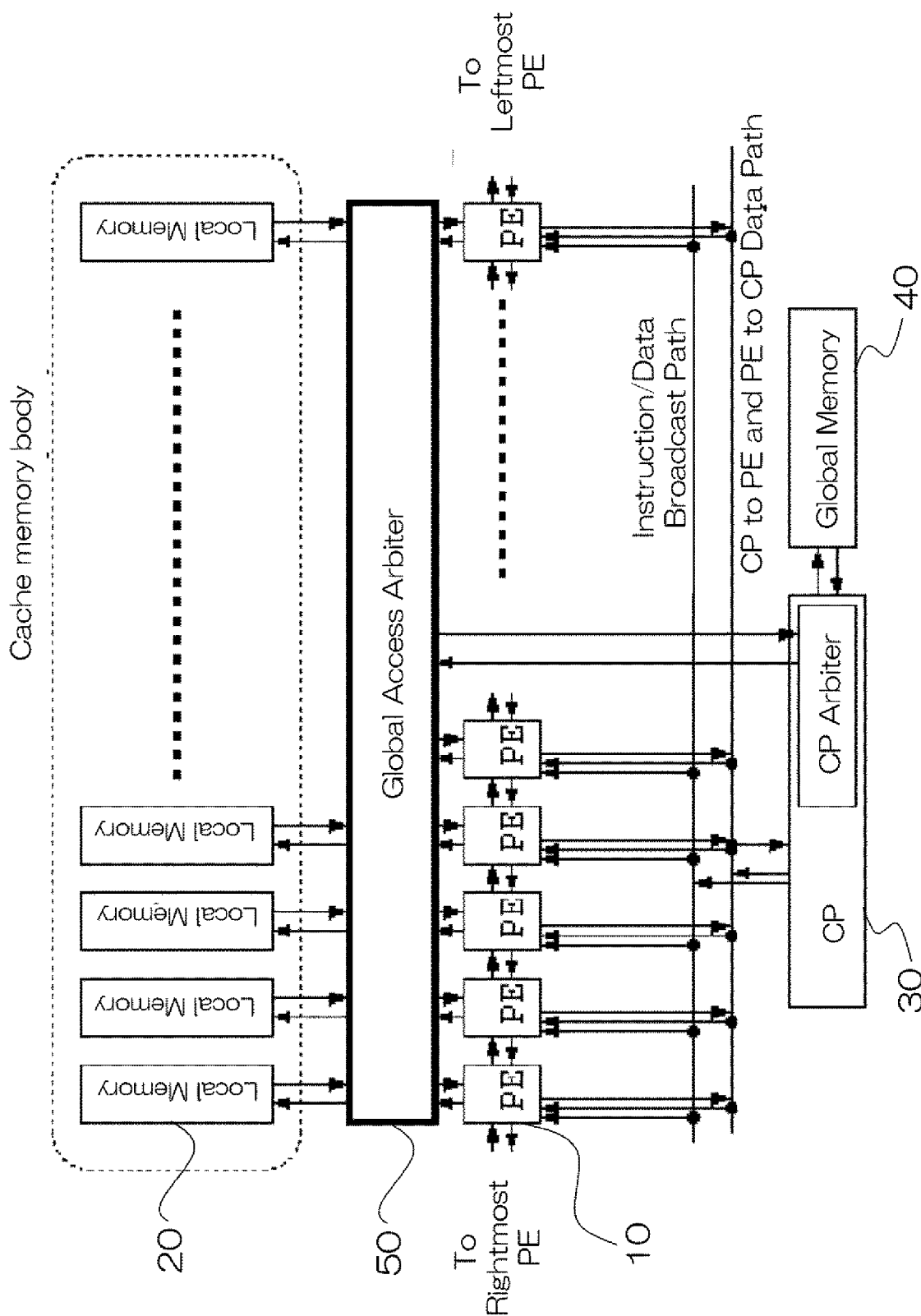
When header == 10



When header == 11

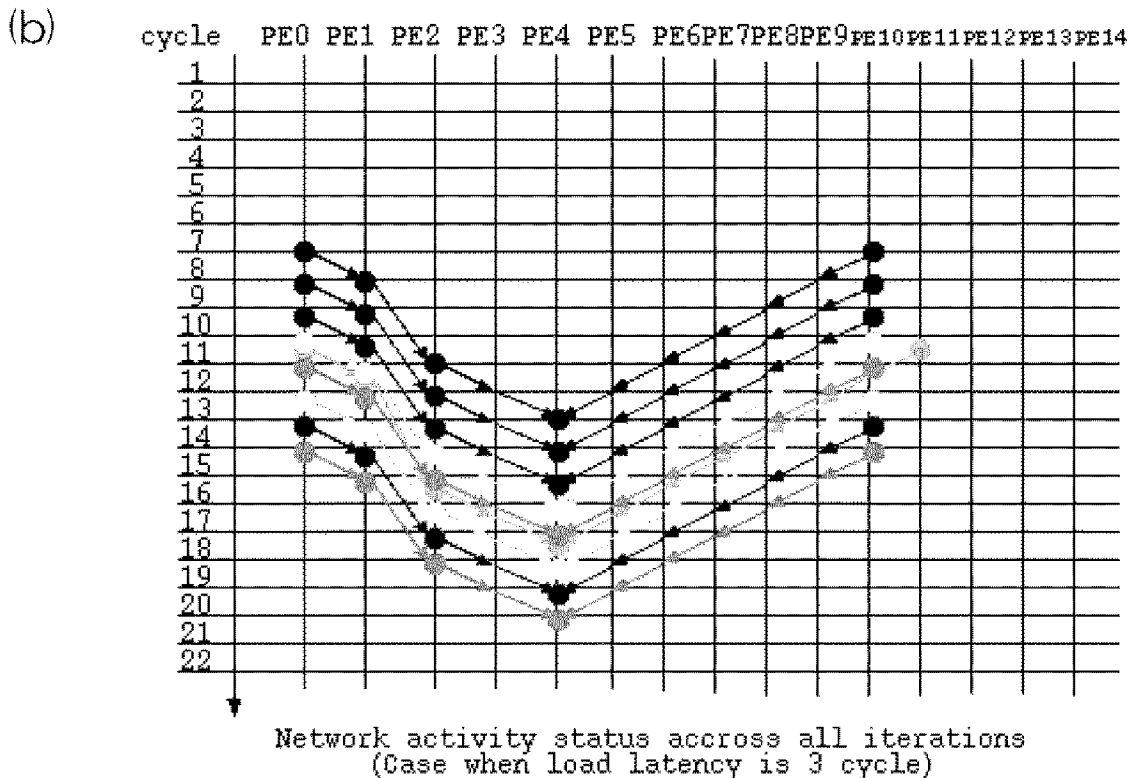
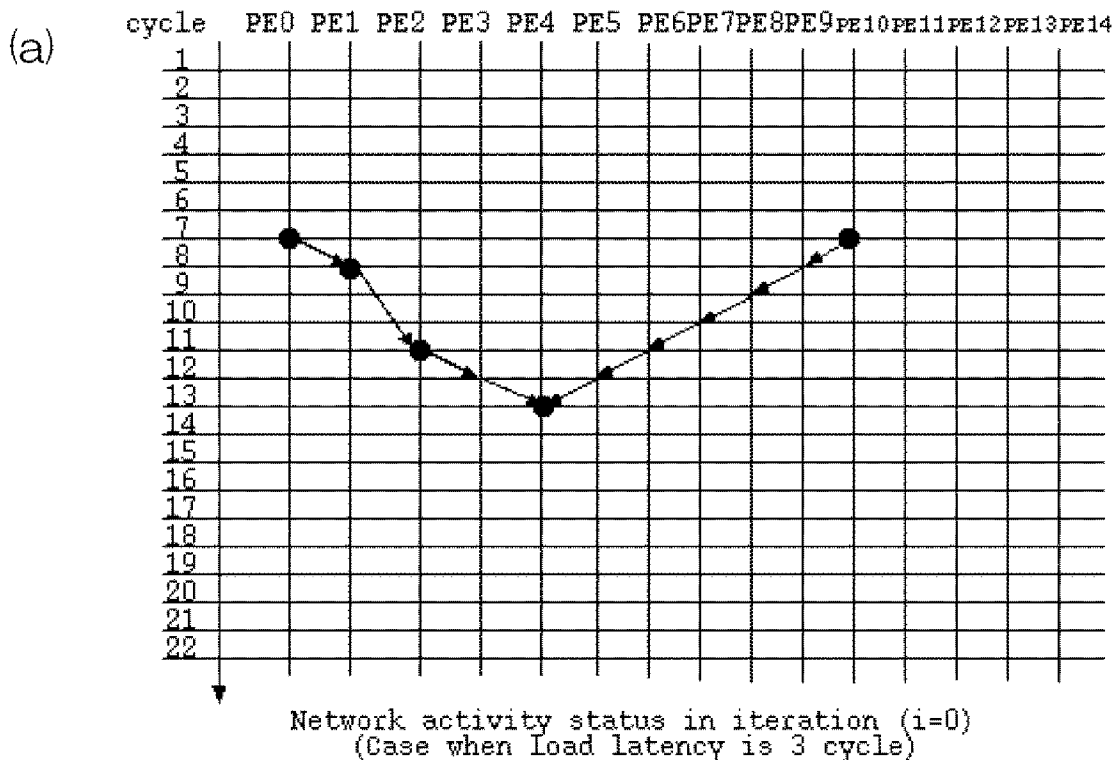


[図4]

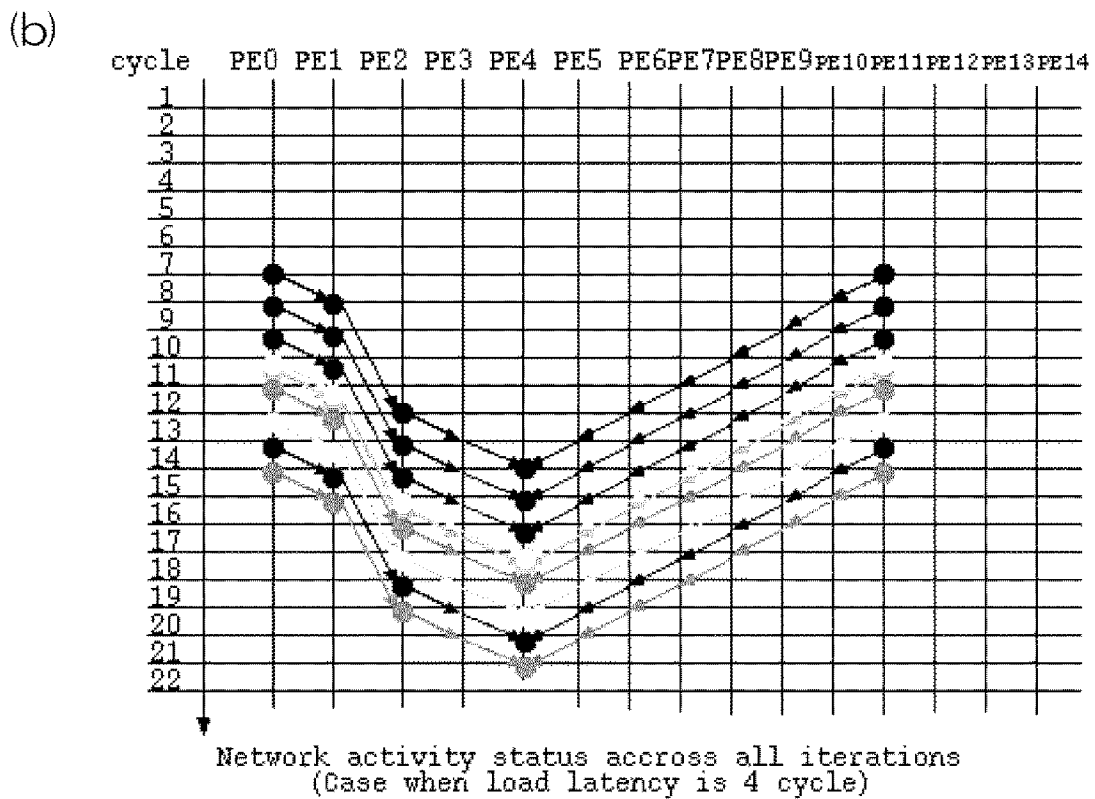
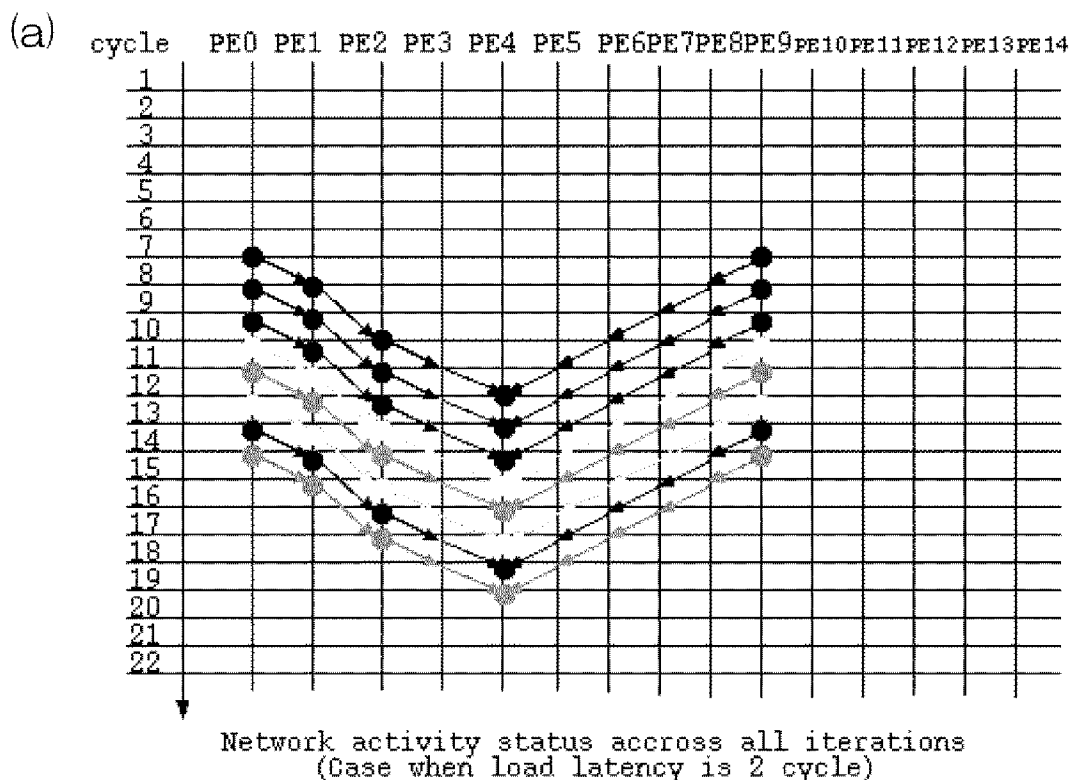




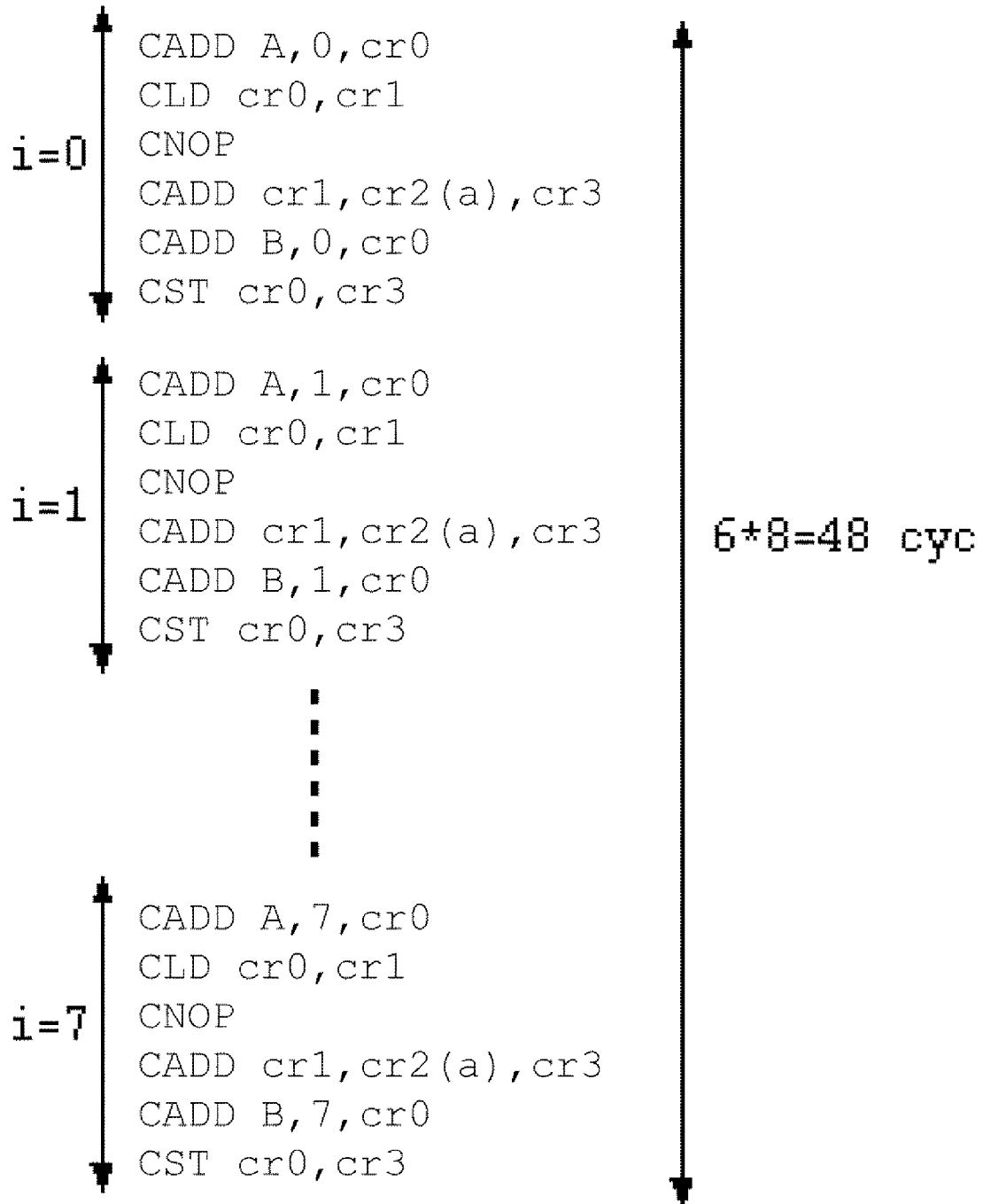
[圖6]



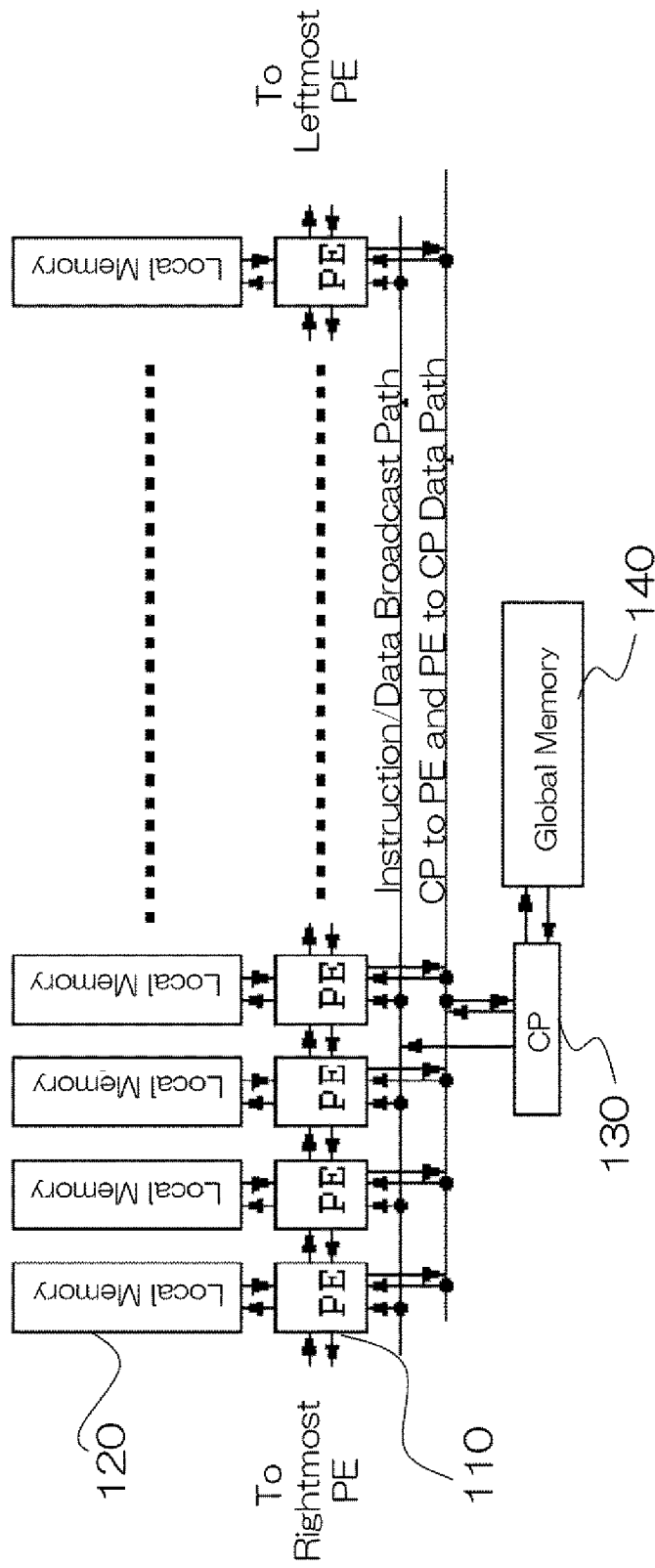
[図7]



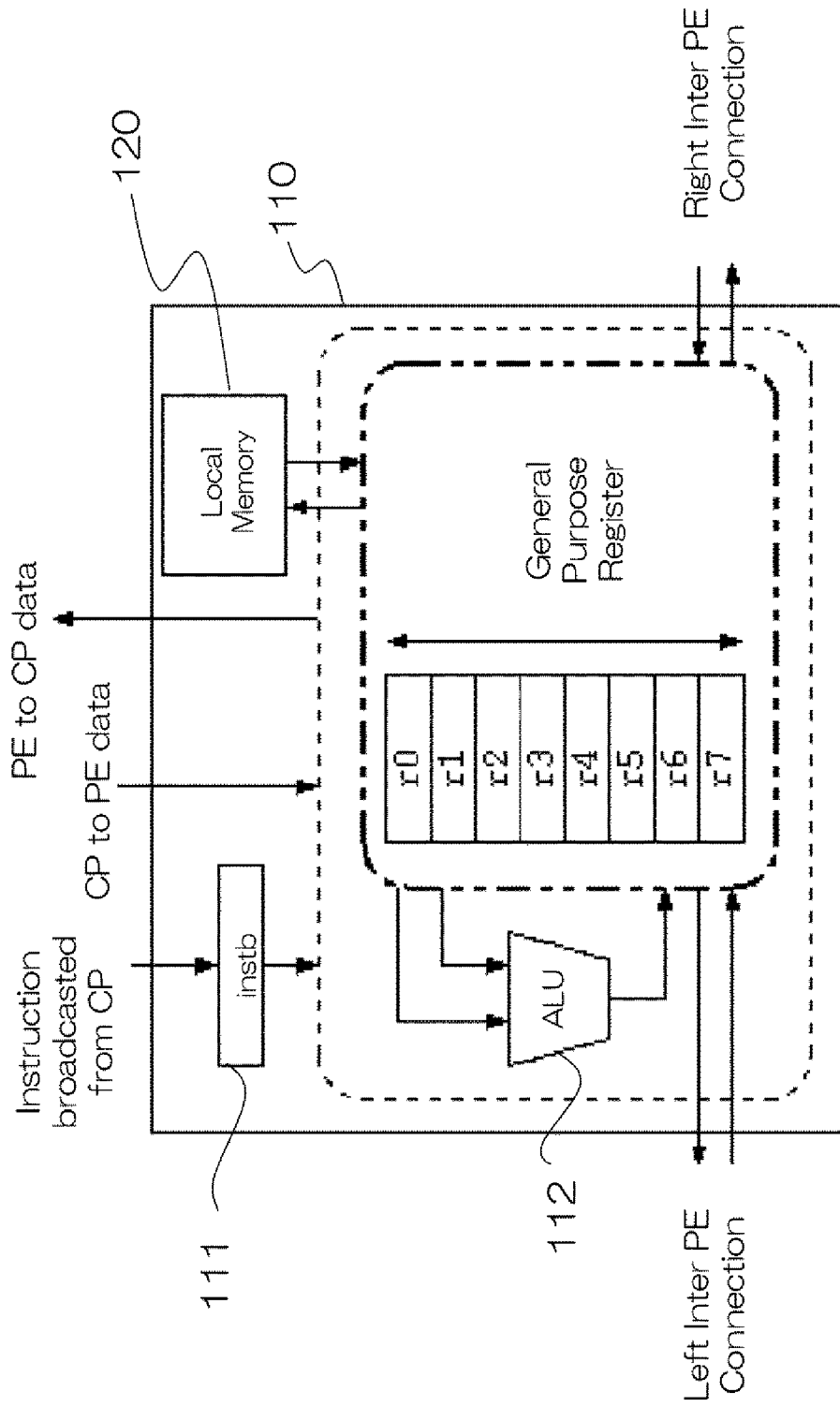
[図8]



[図9]



[図10]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2011/053935

**A. CLASSIFICATION OF SUBJECT MATTER**

G06F15/80 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G06F15/80

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-034953 A (Kobe University), 14 February 2008 (14.02.2008), entire text; all drawings (Family: none)	1-8
A	JP 2002-175283 A (Matsushita Electric Industrial Co., Ltd.), 21 June 2002 (21.06.2002), entire text; all drawings (Family: none)	1-8
A	US 5659780 A (Chen-Mie Wu), 19 August 1997 (19.08.1997), entire text; all drawings & GB 2286909 A                      & DE 19504089 A1 & CN 1107597 A	1-8

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
11 April, 2011 (11.04.11)

Date of mailing of the international search report  
19 April, 2011 (19.04.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/053935

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 06-035878 A (International Business Machines Corp.), 10 February 1994 (10.02.1994), entire text; all drawings & US 5765012 A & EP 570741 A2	1-8
A	JP 63-501530 A (The Johns Hopkins University), 09 June 1988 (09.06.1988), entire text; all drawings & US 4720780 A & US 4922418 A & EP 237571 A1 & WO 1987/001841 A1 & KR 10-1997-0001899 B1	1-8
A	US 4967340 A (E-Systems, Inc.), 30 October 1990 (30.10.1990), entire text; all drawings (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F15/80(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F15/80

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 8 - 0 3 4 9 5 3 A (国立大学法人神戸大学) 2008.02.14, 全文, 全図 (ファミリーなし)	1-8
A	J P 2 0 0 2 - 1 7 5 2 8 3 A (松下電器産業株式会社) 2002.06.21, 全文, 全図 (ファミリーなし)	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

11.04.2011

国際調査報告の発送日

19.04.2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

▲高▼橋 正▲徳▼

電話番号 03-3581-1101 内線 3544

5B

3781

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 5659780 A (Chen-Mie Wu) 1997. 08. 19, 全文, 全図 & GB 2286909 A & DE 19504089 A1 & CN 1107597 A	1-8
A	JP 06-035878 A (インターナショナル・ビジネス・マシー ンズ・コーポレイション) 1994. 02. 10, 全文, 全図 & US 5765012 A & EP 570741 A2	1-8
A	JP 63-501530 A (ザ・ジョンズ・ホプキンス・ユニバーシテイ) 1988. 06. 09, 全文, 全図 & US 4720780 A & US 4922418 A & EP 237571 A1 & WO 1987/001841 A1 & KR 10-1997-0001899 B1	1-8
A	US 4967340 A (E-Systems, Inc.) 1990. 10. 30, 全文, 全図 (ファミリーなし)	1-8