

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成18年11月24日(2006.11.24)

【公開番号】特開2002-24315(P2002-24315A)

【公開日】平成14年1月25日(2002.1.25)

【出願番号】特願2001-124299(P2001-124299)

【国際特許分類】

G 06 F 17/50 (2006.01)

G 01 R 31/28 (2006.01)

【F I】

G 06 F 17/50 6 6 8 Z

G 06 F 17/50 6 6 4 P

G 01 R 31/28 F

【手続補正書】

【提出日】平成18年10月4日(2006.10.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

リンクからデータを受信する、模擬チップの機能設計を検証するための方法であって、プログラマブル遅延要素において、送信元からデータスライスを受信し、前記データスライスの送信を遅延させるために前記プログラマブル遅延要素を用いて、送信元同期リンクにおけるリンク遅延をエミュレートし、

遅延したデータスライスを、テストを受ける前記模擬チップに送信することを含み、前記チップがハードウェア記述レベルでシミュレートされる、方法。

【請求項2】

テストを受ける模擬チップの機能設計を検証するためにリンクの伝搬遅延をエミュレートする方法であって、

データスライスを受信し、

前記データスライスに遅延値を施し、前記遅延値は、所定の許容範囲内でランダムに選択され、コンピュータハードウェア記述言語を用いて前記データスライスに割り当てられ、

遅延したデータスライスを、前記テストを受ける模擬チップに送信することを含む、方法。

【請求項3】

リンクからデータを受信する、模擬チップの機能設計を検証するためのシステムであって、

テストデータスライスを送信するデータ送信元と、

前記データ送信元からデータスライスを受信し、送信元同期リンクをエミュレートするために前記データスライスに時間遅延を施し、テストを受ける前記模擬チップに遅延したデータスライスを送信するプログラマブル遅延要素とを含み、前記チップがハードウェア記述レベルでシミュレートされ、前記時間遅延が、ある範囲内から選択可能である、システム。