

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月13日(13.09.2018)



(10) 国際公開番号

WO 2018/163012 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 27/108 (2006.01)
H01L 21/28 (2006.01) H01L 27/1156 (2017.01)
H01L 21/336 (2006.01) H01L 29/417 (2006.01)
H01L 21/82 (2006.01) H01L 29/423 (2006.01)
H01L 21/8234 (2006.01) H01L 29/49 (2006.01)
H01L 21/8242 (2006.01) H01L 29/788 (2006.01)
H01L 27/06 (2006.01) H01L 29/792 (2006.01)
H01L 27/088 (2006.01)

(21) 国際出願番号: PCT/IB2018/051210

(22) 国際出願日: 2018年2月27日(27.02.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-045736 2017年3月10日(10.03.2017) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

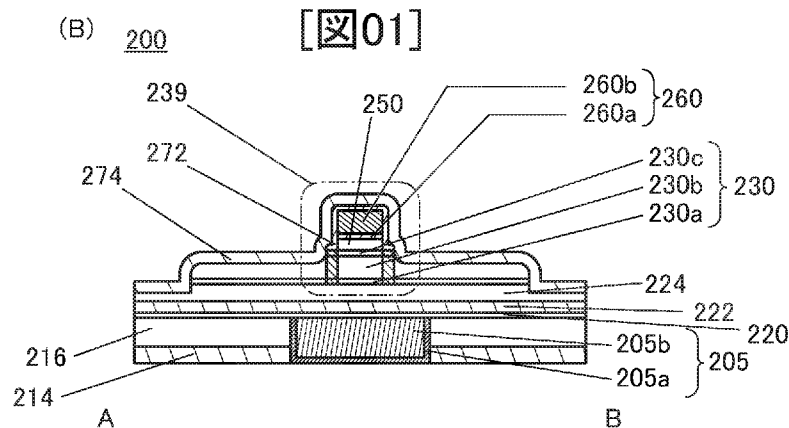
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 及川欣聡(OIKAWA, Yoshiaki); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 奥野直樹(OKUNO, Naoki); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 安藤元晴(ANDO, Motoharu); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 岡本悟(OKAMOTO, Satoru); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および半導体装置の作製方法



(57) Abstract: Provided is a semiconductor device having good electrical properties. This semiconductor device has an oxide, an insulator, and a conductor overlapping a first region of the oxide with the insulator interposed therebetween, wherein the oxide includes In, an element M (M is Al, Ga, Y, or Sn), and Zn, and has a second region adjacent to the first region and a higher concentration of the element M in the second region than in the first region.

(57) 要約: 要約書 良好な電気特性を有する半導体装置を提供する。酸化物と、絶縁体と、絶縁体を間に挟み、酸化物の第1の領域と重なる導電体と、を有し、酸化物は、Inと、元素M (MはAl、Ga、Y、またはSn) と、Znと、を含み、酸化物は、第1の領域と隣接する第2の領域を有し、第2の領域における元素Mの濃度は、前記第1の領域における元素Mの濃度より大きい。

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュールおよび電子機器に関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置および電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

半導体素子を用いた集積回路（Integrated Circuit：IC）の開発がすすめられている。CPUやメモリの開発および製造には、より高い集積度のICからなるLSIや超LSIの技術が用いられている。このようなICは、回路基板、例えばプリント配線板に実装され、コンピュータ、情報端末、表示装置、自動車などを構成する、様々な電子機器の部品の一つとして用いられる。また、これらを人工知能（Artificial Intelligence：AI）システムに用いる研究も進められている。

[0005]

コンピュータや情報端末として、デスクトップ型コンピュータ、ラップトップ型コンピュータ、タブレット型コンピュータ、スマートフォン、携帯電話などが知られている。

[0006]

半導体素子に用いられる半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。

[0008]

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

[先行技術文献]

[特許文献]

[0009]

[特許文献1] 特開2012-257187号公報

発明の概要

発明が解決しようとする課題

[0010]

本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。また、本発明の一態様は、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することを課題の一つとする。また、本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。また、本発明の一態様には、データの書き込み速度が速い半導体装置を提供することを課題の一つとする。また、本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

[0011]

本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。また、本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。また、本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。

[0012]

本発明の一態様は、作製工程が簡略化された半導体装置およびその作製方法を提供することを課題の一つとする。また、本発明の一態様は、面積が縮小された半導体装置およびその作製方法を提供することを課題の一つとする。

[0013]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0014]

本発明の一態様は、酸化物と、絶縁体と、絶縁体を間に挟み、酸化物の第1の領域と重なる導電体と、を有し、酸化物は、Inと、元素M（MはAl、Ga、Y、またはSn）と、Znと、を含み、酸化物は、第1の領域と隣接する第2の領域を有し、第2の領域における元素Mの濃度は、第1の領域における元素Mの濃度より大きい半導体装置である。

[0015]

酸化物と、酸化物上の第1の絶縁体と、第1の絶縁体の側面に隣接する第2の絶縁体と、第1の絶縁体を間に挟み、酸化物の第1の領域と重なる導電体と、を有し、酸化物は、Inと、元素M（MはAl、Ga、Y、またはSn）と、Znと、を含み、酸化物は、第1の領域と隣接する第2の領域を有し、第2の領域は、第2の絶縁体と重なる領域を有し、第2の領域における元素Mの濃度は、第1の領域における元素Mの濃度より大きい半導体装置である。

[0016]

上記において、酸化物は、さらに第3の領域を有していてもよく、第3の領域は、第2の領域と隣接することが好ましい。

[0017]

上記において、第2の領域における元素Mの濃度は、第1の領域における元素Mの濃度、および第3の領域における元素Mの濃度より大きいことが好ましい。

[0018]

上記において、第1の領域のキャリア密度は、第2の領域のキャリア密度よりも低く、第2の領域のキャリア密度は、第3のキャリア密度よりも低いことが好ましい。

[0019]

上記において、元素MはGaであることが好ましい。

[0020]

本発明の一態様は、Inと、元素M（MはAl、Ga、Y、またはSn）と、Znと、を含む酸化物上に第1のマスクおよび第2のマスクを形成し、酸化物の第1のマスクおよび第2のマスクのいずれにも覆われていない領域に元素Mを添加する半導体装置の作製方法である。

[0021]

上記において、元素Mの添加はイオン注入法、イオンドーピング法、プラズマ処理、およびプラズマイメージョンイオンインプランテーション法から選ばれた一、または複数の方法を用いて行われることが好ましい。

[0022]

上記において、元素MはGaであることが好ましい。

発明の効果

[0023]

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

[0024]

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。本発明の一態様により、生産性の高い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。

[0025]

本発明の一態様により、作製工程が簡略化された半導体装置およびその作製方法を提供することができる。また、本発明の一態様により、面積が縮小された半導体装置およびその作製方法を提供することができる。

[0026]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果

図面の簡単な説明

[illegible]

- [図 3 8] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図 3 9] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図 4 0] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図 4 1] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図 4 2] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図 4 3] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図 4 4] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図 4 5] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図 4 6] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図 4 7] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 4 8] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図 4 9] 本発明の一態様に係る記憶装置の構成例を示すブロック図。
- [図 5 0] 本発明の一態様に係る記憶装置の構成例を示す回路図。
- [図 5 1] 本発明の一態様に係る記憶装置の構成例を示すブロック図。
- [図 5 2] 本発明の一態様に係る記憶装置の構成例を示すブロック図、および回路図。
- [図 5 3] 本発明の一態様に係る半導体装置の構成例を示すブロック図。
- [図 5 4] 本発明の一態様に係る半導体装置の構成例を示すブロック図、回路図、および半導体装置の動作例を示すタイミングチャート。
- [図 5 5] 本発明の一態様に係る半導体装置の構成例を示すブロック図。
- [図 5 6] 本発明の一態様に係る半導体装置の構成例を示す回路図、および半導体装置の動作例を示すタイミングチャート。
- [図 5 7] 本発明の一態様に係る A I システムの構成例を示すブロック図。
- [図 5 8] 本発明の一態様に係る A I システムの応用例を説明するブロック図。
- [図 5 9] 本発明の一態様に係る A I システムを組み込んだ I C の構成例を示す斜視模式図。
- [図 6 0] 本発明の一態様に係る電子機器を示す図。

発明を実施するための形態

[0028]

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0029]

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために省略して示すことがある。また、図面において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0030]

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0031]

また、本明細書などにおいて、第1、第2等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。そのため、例えば、「第1の」を「第2の」又は「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0032]

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0033]

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等の開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

[0034]

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0035]

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

[0036]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

[0037]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信

号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など)、信号生成回路、記憶回路、制御回路など)が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

[0038]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン(ドレイン端子、ドレイン領域またはドレイン電極)とソース(ソース端子、ソース領域またはソース電極)の間にチャンネル領域を有しており、チャンネル領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル領域とは、電流が主として流れる領域をいう。

[0039]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

[0040]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0041]

チャンネル幅とは、例えば、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0042]

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅(以下、「実効的なチャンネル幅」ともいう。)と、トランジスタの上面図において示されるチャンネル幅(以下、「見かけ上のチャンネル幅」ともいう。)と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

[0043]

このような場合、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

[0044]

そこで、本明細書では、見かけ上のチャネル幅を、「囲い込みチャネル幅 (SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0045]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS (Density of States)が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0046]

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものである。例えば、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものである。例えば、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。

[0047]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0048]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0049]

また、本明細書等に示すトランジスタは、明示されている場合を除き、電界効果トランジスタとする。
また、本明細書等に示すトランジスタは、明示されている場合を除き、 n チャネル型のトランジスタとする。よって、そのしきい値電圧（「 V_{th} 」ともいう。）は、明示されている場合を除き、 0 V よりも大きいものとする。

[0050]

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0051]

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

[0052]

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

[0053]

本明細書等において、金属酸化物（metal oxide）とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductorまたは単にOSともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS FETと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0054]

（実施の形態1）

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

[0055]

<半導体装置の構成例1>

図1（A）、図1（B）、図1（C）、および図1（D）は、本発明の一態様に係るトランジスタ200の上面図、および断面図である。

[0056]

図1（A）は、トランジスタ200の上面図である。また、図1（B）、図1（C）、および図1（D）はトランジスタ200の断面図である。ここで、図1（B）は、図1（A）にA-Bの一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図1（C）は、図1（A）にC-Dの一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。また、図1（D）は、図1（A）にE-Fの一点鎖線で示す部位の断面図である。図1（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0057]

[トランジスタ200]

図1に示すように、トランジスタ200は、基板（図示せず）の上に配置された絶縁体214および

絶縁体 2 1 6 と、絶縁体 2 1 4 および絶縁体 2 1 6 に埋め込まれるように配置された導電体 2 0 5 と、絶縁体 2 1 6 と導電体 2 0 5 の上に配置された絶縁体 2 2 0 と、絶縁体 2 2 0 の上に配置された絶縁体 2 2 2 と、絶縁体 2 2 2 の上に配置された絶縁体 2 2 4 と、絶縁体 2 2 4 の上に配置された酸化物 2 3 0（酸化物 2 3 0 a、酸化物 2 3 0 b、および酸化物 2 3 0 c）と、酸化物 2 3 0 の上に配置された絶縁体 2 5 0 と、絶縁体 2 5 0 の上に配置された導電体 2 6 0（導電体 2 6 0 a、および導電体 2 6 0 b）と、少なくとも絶縁体 2 5 0 の側面に接し、且つ導電体 2 6 0 を覆うように配置された絶縁体 2 7 2 と、酸化物 2 3 0、および絶縁体 2 7 2 と接して配置された絶縁体 2 7 4 と、を有する。

[0058]

なお、トランジスタ 2 0 0 では、図 1 に示すように、酸化物 2 3 0 a、酸化物 2 3 0 b、および酸化物 2 3 0 c を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 2 3 0 a、酸化物 2 3 0 b の 2 層構造、または 4 層以上の積層構造としてもよい。また、酸化物 2 3 0 b のみの単層、または酸化物 2 3 0 b と酸化物 2 3 0 c のみを設ける構成にしてもよい。また、トランジスタ 2 0 0 では、導電体 2 6 0 a、および導電体 2 6 0 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、単層、または 3 層以上の積層構造としてもよい。

[0059]

ここで、図 1（B）における破線で囲む、チャネル近傍の領域 2 3 9 の拡大図を図 5（A）に示す。

[0060]

図 1（B）および図 5（A）に示すように、酸化物 2 3 0 は、トランジスタ 2 0 0 のチャネル形成領域として機能する領域 2 3 4 と、ソース領域またはドレイン領域として機能する領域 2 3 1（領域 2 3 1 a、および領域 2 3 1 b）との間に、領域 2 3 2（領域 2 3 2 a、および領域 2 3 2 b）を有する。ソース領域またはドレイン領域として機能する領域 2 3 1 は、キャリア密度が高い、低抵抗化した領域である。また、チャネル形成領域として機能する領域 2 3 4 は、ソース領域またはドレイン領域として機能する領域 2 3 1 よりも、キャリア密度が低い領域である。また、領域 2 3 2 は、酸化物 2 3 0 中の水素や酸素の透過を抑制する領域である。このような領域を設けることで、領域 2 3 1 から領域 2 3 4 への水素の混入を抑制することができ、また領域 2 3 4 から領域 2 3 1 への酸素の拡散を抑制することができる。

[0061]

領域 2 3 2 のように水素や酸素の透過を抑制する領域は、酸化物 2 3 0 が、インジウム、元素 M および亜鉛を有する $In-M-Zn$ 酸化物である場合において、元素 M を添加して、その濃度を高くすることで設けることができる。元素 M に適用可能な元素としては、アルミニウム、ガリウム、イットリウムまたはスズなどがある。そのほかの元素 M に適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素 M として、前述の元素を複数組み合わせても構わない場合がある。

[0062]

図 5（B）は、元素 M としてガリウムを用いた場合の各領域におけるガリウム濃度（Ga concentration）を示す図である。領域 2 3 2 におけるガリウム濃度は、領域 2 3 1 および領域 2 3 4 におけるガリウム濃度に比べ高くなっている。領域 2 3 2 におけるガリウム濃度を高くすることにより、領域 2 3 2 を水素や酸素の透過を抑制する領域とすることができる。

[0063]

また、領域234のチャネル長方向の長さを5nm以上300nm以下程度にすると、領域232aおよび領域232bのチャネル長方向の長さは、0.1nm以上100nm以下にすることが好ましく、1nm以上10nm以下にすることがより好ましい。

[0064]

このように酸化物230に領域232を設けることで、領域234は領域231に比べて酸素濃度を高くし、水素濃度を低くできる。また、この状態を長期間にわたって維持することができる。このような酸化物230を用いることで、良好な電気特性を有し、信頼性の高い半導体装置とすることができる。

[0065]

また、図1および図5(A)において、領域232は、ゲート電極として機能する導電体260と重ならない様子を示しているが、本実施の形態はこれに限らない。領域232の形成方法によっては、領域232はゲート電極として機能する導電体260と重なり、いわゆるオーバーラップ領域(Lov領域ともいう)として機能する場合がある。

[0066]

領域231は、絶縁体274と接することが好ましい。また、領域231は、インジウムなどの金属元素、並びに水素、および窒素などの不純物元素、の少なくとも一の濃度が領域232、および領域234よりも大きいことが好ましい。

[0067]

領域232は、絶縁体272と重畳する領域を有する。領域232は、インジウムなどの金属元素、並びに水素、および窒素などの不純物元素、の少なくとも一の濃度が領域234よりも大きいことが好ましい。一方、インジウムなどの金属元素、並びに水素、および窒素などの不純物元素、の少なくとも一の濃度が領域231よりも、小さいことが好ましい。

[0068]

このような濃度とすることで、領域232は、ソース領域またはドレイン領域として機能する領域231よりもキャリア密度が低く、チャネル形成領域として機能する領域234よりもキャリア密度が高い領域とすることができる。この場合、領域232は、チャネル形成領域と、ソース領域またはドレイン領域との間の接合領域(junction region)として機能する。

[0069]

接合領域を設けることで、ソース領域またはドレイン領域として機能する領域231と、チャネル形成領域として機能する領域234との間に高抵抗領域が形成されず、トランジスタのオン電流を大きくすることができるため、好ましい。

[0070]

領域234は、導電体260と重畳する。領域234は、領域232a、および領域232bとの間に配置しており、インジウムなどの金属元素、並びに水素、および窒素などの不純物元素、の少なくとも一の濃度が領域231、および領域232より、小さいことが好ましい。

[0071]

また、酸化物230において、領域231、領域232、および領域234の境界は明確に検出できない場合がある。各領域内で検出されるインジウムなどの金属元素、並びに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化(グラデーショ

ンともいう) していてもよい。つまり、領域 231 から領域 232 へ、領域 234 に近い領域であるほど、インジウムなどの金属元素、並びに水素、および窒素などの不純物元素の濃度が減少していればよい。

[0072]

また、図 1 (B) および図 5 (A) では、領域 234、領域 231、および領域 232 が、酸化物 230a、酸化物 230b、および酸化物 230c に形成されているが、これに限られることなく、少なくとも酸化物 230b に形成されていればよい。また、例えばこれらの領域は酸化物 230b、および酸化物 230c のみに形成されていてもよい。また、図では、各領域の境界を、絶縁体 224 と酸化物 230 の界面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域 232 が酸化物 230b の表面近傍では導電体 260 側に張り出し、酸化物 230b の下面近傍では、導電体 252a 側または導電体 252b 側に後退する形状になる場合がある。

[0073]

なお、トランジスタ 200 において、酸化物 230 は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置が提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

[0074]

一方で、酸化物半導体を用いたトランジスタは、酸化物半導体中の不純物及び酸素欠損によって、その電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。従って、チャネル形成領域に酸素欠損が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、チャネル形成領域中の酸素欠損はできる限り低減されていることが好ましい。

[0075]

特に、酸化物 230 におけるチャネルが形成される領域 234 と、ゲート絶縁膜として機能する絶縁体 250 との界面に、酸素欠損が存在すると、電気特性の変動が生じやすく、また信頼性が悪くなる場合がある。

[0076]

そこで、酸化物 230 の領域 234 と重畳する絶縁体 250 が化学量論的組成を満たす酸素（過剰酸素ともいう）よりも多くの酸素を含むことが好ましい。つまり、絶縁体 250 が有する過剰酸素が、領域 234 へと拡散することで、領域 234 中の酸素欠損を低減することができる。

[0077]

また、絶縁体 250 と接して、絶縁体 272 を設けることが好ましい。例えば、絶縁体 272 は、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。絶縁体 272 が、酸素の拡散を抑制する機能を有することで、過剰酸素領域の酸素は絶縁体 274 側へ拡散することなく、効率よく領域 234 へ供給される。また、領域 234 に隣接して領域 232 が設けられているため、領域 231 から領域 234 への水素の混入や、領域 234 に供給された酸素の領域 231 方向への拡散を抑制することができる。従って、酸化物 230 と、絶縁体 250 との界面における酸素欠損の形成が抑制され、トランジスタ 200 の信頼性を

向上させることができる。

[0078]

さらに、トランジスタ200は、水または水素などの不純物の混入を防ぐバリア性を有する絶縁体274で覆われていることが好ましい。バリア性を有する絶縁体とは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いた絶縁体である。また、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

[0079]

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の詳細な構成について説明する。

[0080]

トランジスタ200において、導電体260は、第1のゲート電極として機能する場合がある。また、導電体205は、第2のゲート電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200のしきい値電圧を制御することができる。特に、導電体205に負の電位を印加することにより、実質的にトランジスタ200のしきい値電圧をプラス側にシフトすることができる。また、トランジスタ200のしきい値を0Vより大きくすることで、オフ電流を低減することが可能となる。従って、導電体260に印加する電圧が0Vのときのドレイン電流を小さくすることができる。

[0081]

第2のゲート電極として機能する導電体205は、酸化物230および導電体260と重なるように配置する。

[0082]

ここで、導電体205は、酸化物230における領域234よりも、チャネル幅方向の長さが大きくなるように設けるとよい。特に、導電体205は、酸化物230の領域234がチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。

[0083]

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながることで、閉回路を形成し、酸化物230に形成されるチャネル形成領域を覆うことができる。

[0084]

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート電極、および第2のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、`surrounded channel` (`S-channel`) 構造とよぶ。

[0085]

導電体205は、絶縁体214および絶縁体216の開口の内壁に接して導電体205aが形成され、

さらに内側に導電体 205b が形成されている。ここで、導電体 205a および導電体 205b の上面の高さと、絶縁体 216 の上面の高さは同程度にできる。なお、トランジスタ 200 では、導電体 205a および導電体 205b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 205b のみを設ける構成にしてもよい。

[0086]

ここで、導電体 205a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する (上記不純物が透過しにくい) 導電性材料を用いることが好ましい。または、酸素 (例えば、酸素原子、酸素分子など) の少なくとも一の拡散を抑制する機能を有する (上記酸素が透過しにくい) 導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれかまたは、すべての拡散を抑制する機能とする。

[0087]

導電体 205a が酸素の拡散を抑制する機能を持つことにより、導電体 205b が酸化して導電率が低下することを防ぐことができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。従って、導電体 205a としては、上記導電性材料を単層または積層とすればよい。これにより、絶縁体 214 より基板側から、水素、水などの不純物が、導電体 205 を通じて、トランジスタ 200 側に拡散するのを抑制することができる。

[0088]

また、導電体 205b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 205b を単層で図示したが、積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0089]

絶縁体 214 は、水または水素などの不純物が、基板側からトランジスタに混入するのを防ぐバリア絶縁膜として機能することが好ましい。従って、絶縁体 214 は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する (上記不純物が透過しにくい) 絶縁性材料を用いることが好ましい。または、酸素 (例えば、酸素原子、酸素分子など) の少なくとも一の拡散を抑制する機能を有する (上記酸素が透過しにくい) 絶縁性材料を用いることが好ましい。

[0090]

例えば、絶縁体 214 として、酸化アルミニウムや窒化シリコンなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体 214 よりトランジスタ側に拡散するのを抑制することができる。または、絶縁体 224 などに含まれる酸素が、絶縁体 214 より基板側に、拡散するのを抑制することができる。

[0091]

また、層間膜として機能する絶縁体 216 は、絶縁体 214 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0092]

例えば、層間膜として機能する絶縁体 216 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン

酸鉛 (P Z T)、チタン酸ストロンチウム (SrTiO_3) または (Ba, Sr) TiO_3 (BST) などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0093]

絶縁体 220、絶縁体 222、および絶縁体 224 は、ゲート絶縁体としての機能を有する。

[0094]

ここで、酸化物 230 と接する絶縁体 224 は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁体を用いることが好ましい。つまり、絶縁体 224 には、過剰酸素領域が形成されることが好ましい。このような過剰酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減し、信頼性を向上させることができる。

[0095]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0096]

また、絶縁体 224 が、過剰酸素領域を有する場合、絶縁体 222 は、酸素 (例えば、酸素原子、酸素分子など) の少なくとも一の拡散を抑制する機能を有する (上記酸素が透過しにくい) ことが好ましい。

[0097]

絶縁体 222 が、酸素の拡散を抑制する機能を有することで、過剰酸素領域の酸素は、絶縁体 220 側へ拡散することなく、効率よく酸化物 230 へ供給することができる。また、導電体 205 が、絶縁体 224 が有する過剰酸素領域の酸素と反応することを抑制することができる。

[0098]

絶縁体 222 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (P Z T)、チタン酸ストロンチウム (SrTiO_3) または (Ba, Sr) TiO_3 (BST) などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いることが好ましい。ゲート絶縁体として機能する絶縁体に、h i g h - k 材料を用いることで、トランジスタの微細化、および高集積化が可能となる。特に、酸化アルミニウム、および酸化ハフニウム、などの、不純物、および酸素などの拡散を抑制する機能を有する (上記酸素が透過しにくい) 絶縁性材料を用いることが好ましい。このような材料を用いて形成した場合、酸化物 230 からの酸素の放出や、トランジスタ 200 の周辺部からの水素等の不純物の混入を防ぐ層として機能する。

[0099]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加

してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0100]

また、絶縁体220は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、high-k材料の絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0101]

なお、絶縁体220、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、トランジスタ200で絶縁体220、絶縁体222、および絶縁体224がゲート絶縁体として機能する構成を示したが、本実施の形態はこれに限られるものではない。例えば、ゲート絶縁体として、絶縁体220、絶縁体222、および絶縁体224のいずれか2層または1層を設ける構成にしてもよい。

[0102]

酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、を有する。また、酸化物230は、領域231、領域232、および領域234を有する。なお、領域231の少なくとも一部は、絶縁体274と接することが好ましい。また、領域231の少なくとも一部は、インジウムなどの金属元素、水素、および窒素の少なくとも一の濃度が領域234よりも大きいことが好ましい。

[0103]

トランジスタ200をオンさせると、領域231a、または領域231bは、ソース領域、またはドレイン領域として機能する。一方、領域234の少なくとも一部は、チャネルが形成される領域として機能する。

[0104]

ここで、図5(A)に示すように、酸化物230は、領域232を有することが好ましい。当該構成とすることで、トランジスタ200において、領域231から領域234への水素の混入や、領域234に供給された酸素の領域231方向への拡散を抑制することができる。また、領域232を接合領域とすることで、オン電流を大きくし、かつ、非導通時のリーク電流（オフ電流）を小さくすることができる。

[0105]

また、酸化物230a上に、酸化物230bを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230c下に、酸化物230bを有することで、酸化物230cよりも上方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。

[0106]

すなわち、酸化物230bに設けられた領域234は、酸化物230a、酸化物230c、領域232a、および232bに囲われ、当該領域の水素や窒素などの不純物濃度を低く維持することができ、酸素濃度を高く維持することができる。このような構造を有する酸化物230を用いた半導体装置は、良好な電気特性を有し、高い信頼性を有する。

[0107]

また、酸化物 230 は、側面と上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう）。湾曲面は、例えば、酸化物 230 b の端部において、曲率半径が、3 nm 以上 10 nm 以下、好ましくは、5 nm 以上 6 nm 以下とすることが好ましい。

[0108]

酸化物 230 は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。例えば、領域 234 となる金属酸化物としては、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、エネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0109]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

[0110]

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置が提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

[0111]

例えば、酸化物 230 として、In-M-Zn 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物 230 として、In-Ga 酸化物、In-Zn 酸化物を用いてもよい。

[0112]

ここで、酸化物 230 の領域 234 について説明する。

[0113]

領域 234 は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物 230 a、および酸化物 230 b の積層構造を有する場合、酸化物 230 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 230 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 230 a に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 230 b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 230 b に用いる金属酸化物において、元素 M に対する In の原子数比が、酸化物 230 a に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。また、酸化物 230 c は、酸化物 230 a または酸化物 230 b に用いることができる金属酸化物を、用いることができる。

[0114]

酸化物 230 a には、例えば In : Ga : Zn = 1 : 3 : 4、In : Ga : Zn = 1 : 3 : 2、または In : Ga : Zn = 1 : 1 : 1 の組成を有する金属酸化物を用いることができる。また、酸化物 230 b には、例えば In : Ga : Zn = 4 : 2 : 3、In : Ga : Zn = 1 : 1 : 1、または In : Ga : Zn = 5 : 1 : 6 の組成を有する金属酸化物を用いることができる。酸化物 230 c には、例

例えば $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ 、または $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ の組成を有する金属酸化物を用いることができる。なお、上記組成は、基板上に形成された酸化物中の原子数比、またはスパッタターゲットにおける原子数比を示す。

[0115]

特に、酸化物230aとして $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、酸化物230bとして $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ 、酸化物230cとして $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ の組成を有する金属酸化物の組み合わせ、または酸化物230aとして $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、酸化物230bとして $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ 、酸化物230cとして $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ の組成を有する金属酸化物の組み合わせは、酸化物230bを、よりエネルギーギャップの広い酸化物230aと酸化物230cで挟むことができ、好ましい。この時、エネルギーギャップの広い酸化物230aと酸化物230cをワイドギャップ、相対的にエネルギーギャップが狭い酸化物230bをナローギャップと呼ぶことがある。ワイドギャップ、およびナローギャップについては、[金属酸化物の構成]にて説明する。また、上記組み合わせは、酸化物230bを、よりガリウム含有率が高い酸化物230aと酸化物230cで挟むことができ、好ましい。

[0116]

続いて、酸化物230の領域231について説明する。

[0117]

領域231は、酸化物230として設けられた金属酸化物に、インジウムなどの金属原子、または不純物を添加し、低抵抗化した領域である。なお、各領域は、少なくとも、領域234における酸化物230bよりも、導電性が高い。なお、領域231に、不純物を添加するために、例えば、プラズマ処理、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて、インジウムなどの金属元素、および不純物の少なくとも一であるドーパントを添加すればよい。

[0118]

つまり、領域231において、酸化物230のインジウムなどの金属原子の含有率を高くすることで、電子移動度を高くし、低抵抗化を図ることができる。

[0119]

または、酸化物230に接して、不純物となる元素を含む絶縁体274を成膜することで、領域231に、不純物を添加することができる。

[0120]

つまり、領域231は、酸素欠損を形成する元素、または酸素欠損に捕獲される元素を添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。よって、領域231は、上記元素の一つまたは複数を含む構成にすればよい。

[0121]

または、絶縁体274として、領域231に含まれる酸素を引き抜き、吸収する膜を用いてもよい。酸素が引き抜かれると、領域231には酸素欠損が生じる。酸素欠損に水素、ホウ素、炭素、窒素、

フッ素、リン、硫黄、塩素、チタン、希ガス等が捕獲されることにより、領域231は低抵抗化する。

[0122]

また、トランジスタ200において、領域232を設けることで、領域231から領域234への水素の混入や、領域234に供給された酸素の領域231方向への拡散を抑制することができる。

[0123]

領域232は、酸化物230として設けられた金属酸化物に、ガリウムなど上記元素Mから選ばれた金属原子を添加した領域である。なお、領域232に、金属原子を添加するために、例えば、プラズマ処理、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて、ガリウムなどの金属元素を添加すればよい。

[0124]

つまり、領域232において、酸化物230のガリウムなどの元素Mの含有率を領域234または領域231より高くすることで、領域232を水素や酸素の透過を抑制する領域とすることができる。

[0125]

または、酸化物230に接して、スパッタリング法、CVD法またはALD法を用いてガリウムなど元素Mを含む膜を形成することで、領域232に、ガリウムなど元素Mを添加することができる。

[0126]

ソース領域およびドレイン領域として機能する領域231の低抵抗化において、領域232も低抵抗化することが考えられる。この場合、チャネルが形成される領域234と、領域232との間に高抵抗領域が形成されないため、トランジスタのオン電流、および移動度を大きくすることができる。また、領域232を有することで、チャネル長方向において、ソース領域およびドレイン領域と、ゲートとが重ならないため、不要な容量が形成されるのを抑制することができる。また、領域232を有することで、非導通時のリーク電流を小さくすることができる。

[0127]

従って、領域232の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0128]

絶縁体250は、ゲート絶縁膜として機能する。絶縁体250は、酸化物230cの上面に接して配置することが好ましい。絶縁体250は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、昇温脱離ガス分光法分析(TDS分析)にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 500°C 以下の範囲が好ましい。

[0129]

加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、酸化物230bの領域234に効果的に酸素を供給することができる。また、領域234に隣接して領域232が設けられているため、領域231から領域234への水素の混入や、領域234に供給された酸素の領域231方向への拡散を抑制することができる。また、絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

[0130]

第1のゲート電極として機能する導電体260は、導電体260a、および導電体260a上の導電体260bを有する。導電体260aは、窒化チタンなどを用いることが好ましい。また、導電体260bとして、例えばタングステンなどの、導電性が高い金属を用いることができる。

[0131]

また、図1(C)に示すように、導電体205が、酸化物230のチャネル幅方向と交わる端部よりも外側の領域において、延伸している場合、導電体260は、該領域において、絶縁体250などの絶縁体や、酸化物230cを介して、重畳していることが好ましい。つまり、酸化物230の側面の外側において、導電体205、絶縁体220、絶縁体222、絶縁体224、酸化物230c、絶縁体250、および導電体260は、積層構造を形成することが好ましい。

[0132]

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながることで、閉回路を形成し、酸化物230に形成されるチャネル形成領域を覆うことができる。

[0133]

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャネル形成領域を電氣的に取り囲むことができる。

[0134]

また、バリア膜として機能する絶縁体272を、絶縁体250の側面に接し、且つ導電体260を覆うように設ける。

[0135]

ここで、絶縁体272は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。これにより、絶縁体250中の酸素が外部に拡散することを防ぐことができる。また、絶縁体250の端部などから酸化物230に水素、水などの不純物が混入するのを抑制することができる。

[0136]

絶縁体272を設けることで、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で導電体260の上面と側面および絶縁体250の側面を覆うことができる。これにより、導電体260の酸化、導電体260および絶縁体250を介して、水または水素などの不純物が酸化物230に混入することを抑制することができる。従って、絶縁体272は、ゲート電極およびゲート絶縁膜を保護するバリアとしての機能を有する。

[0137]

また、トランジスタが微細化され、チャネル長が10nm以上30nm以下程度に形成されている場合、トランジスタ200の周辺に設けられる構造体に含まれる不純物元素が拡散し、領域231aと領域231b、あるいは、領域232aと領域232bと、が電氣的に導通する恐れがある。

[0138]

そこで、本実施の形態に示すように、絶縁体 272 を形成することにより、絶縁体 250 および導電体 260 に水素、水などの不純物が混入するのを抑制し、かつ、絶縁体 250 中の酸素が外部に拡散することを防ぐことができる。従って、第 1 のゲート電圧が 0 V のときに、ソース領域とドレイン領域が直接、あるいは領域 232 を介して電氣的に導通することを防ぐことができる。

[0139]

絶縁体 274 は、絶縁体 272、酸化物 230 および絶縁体 224 を覆って設ける。

[0140]

また、絶縁体 274 は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体 274 として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。このような絶縁体 274 を形成することで、絶縁体 274 を透過して酸素が混入し、領域 231a および領域 231b の酸素欠損に酸素を供給して、キャリア密度が低下するのを防ぐことができる。また、絶縁体 274 を透過して水または水素などの不純物が混入し、領域 234 に拡散するのを抑制することができる。

[0141]

なお、絶縁体 274 を成膜することにより、領域 231 を設ける場合、絶縁体 274 は、水素および窒素の少なくとも一方を有することが好ましい。水素、または窒素などの不純物を有する絶縁体を絶縁体 274 に用いることで、水素または窒素などの不純物を酸化物 230 の領域 231 に添加して、領域 231 を低抵抗化することができる。

[0142]

絶縁体 274 の上に、層間膜として機能する絶縁体 280 を設けることが好ましい。絶縁体 280 は、絶縁体 224 などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。なお、絶縁体 280 は、同様の絶縁体からなる積層構造としてもよい。

[0143]

<半導体装置の構成例 2>

図 2 (A)、図 2 (B)、図 2 (C)、および図 2 (D) は、本発明の一態様に係るトランジスタ 200、容量素子 100、およびトランジスタ 200 周辺の上図、および断面図である。なお、本明細書では、1 つの容量素子、および少なくとも 1 つのトランジスタを有する半導体装置をセルと称する。

[0144]

図 2 に示すセル 600 は、先に説明したトランジスタ 200 と、容量素子 100 とを、同層に設けることで、トランジスタ 200 を構成する構造の一部が、容量素子 100 を構成する構造の一部と、併用することができる。つまり、トランジスタ 200 の構造の一部は、容量素子 100 の構造の一部として機能する場合がある。

[0145]

また、トランジスタ 200 に、容量素子 100 の一部、または全体が、重畳することで、トランジスタ 200 の投影面積、および容量素子 100 の投影面積の合計した面積を小さくすることができる。

[0146]

上記構造を有することで、微細化または高集積化が可能である。また、設計自由度を高くすることができる。また、トランジスタ 200 は、容量素子 100 と、同一の工程で形成する。従って、工程を短縮することができるため、生産性を向上させることができる。

[0147]

<セルアレイの構造>

ここで、本実施の形態のセルアレイの一例を、図3および図4に示す。例えば、図2に示すトランジスタ200、および容量素子100を有するセル600を、行列、またはマトリクス状に配置することで、セルアレイを構成することができる。

[0148]

図3(A)は、図2に示すセル600を、マトリクス状に配置した一形態を示す回路図である。図3(A)においては、行方向に配置されたセル600が有するトランジスタの第1のゲートが共通のWL(WL01、WL02、WL03)と電氣的に接続する。また、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方が、共通のBL(BL01乃至BL06)と電氣的に接続する。また、各セル600が有するトランジスタには第2のゲートBGが設けられていてもよい。BGに印加される電位により、トランジスタのしきい値を制御することができる。また、セル600が有する容量の第1の電極は、トランジスタのソースおよびドレインの他方と電氣的に接続する。この時、容量の第1の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル600が有する容量の第2の電極は、PLと電氣的に接続する。

[0149]

図3(B)は、図3(A)における、行の一部としてWL02とBL03に電氣的に接続されたセル600a、およびWL02とBL04に電氣的に接続されたセル600bを含む回路610を抜き出した断面図である。すなわち、図3(B)は、セル600a、およびセル600bの断面図を示す。

[0150]

セル600aは、トランジスタ200aおよび容量素子100aを有している。セル600bは、トランジスタ200bおよび容量素子100bを有している。

[0151]

図4(A)は、図2に示すセル600を、マトリクス状に配置した回路において、図3(A)と異なる形態を示す回路図である。図4(A)においては、行方向に隣り合うセル600が有するトランジスタのソースおよびドレインの一方が共通のBL(BL01、BL02、BL03)と電氣的に接続する。また、当該BLは、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方とも電氣的に接続する。一方、行方向に隣り合うセル600が有するトランジスタの第1のゲートは、異なるWL(WL01乃至WL06)と電氣的に接続する。また、各セル600が有するトランジスタには第2のゲートBGが設けられていてもよい。BGに印加される電位により、トランジスタのしきい値を制御することができる。また、セル600が有する容量の第1の電極は、トランジスタのソースおよびドレインの他方と電氣的に接続する。この時、容量の第1の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル600が有する容量の第2の電極は、PLと電氣的に接続する。

[0152]

図4(B)は、図4(A)における、行の一部としてWL04とBL02に電氣的に接続されたセル600a、およびWL03とBL02に電氣的に接続されたセル600bを含む回路620を抜き出した断面図である。すなわち、図4(B)は、セル600a、およびセル600bの断面図を示す。

[0153]

セル600aは、トランジスタ200aおよび容量素子100aを有している。セル600bは、ト

ランジスタ 200b および容量素子 100b を有している。

[0154]

トランジスタ 200a のソースおよびドレインの一方と、トランジスタ 200b のソースおよびドレインの一方は、いずれも BL02 と電氣的に接続している。

[0155]

[セル 600]

本発明の一態様の半導体装置は、トランジスタ 200 と、容量素子 100、層間膜として機能する絶縁体 280 を有する。また、トランジスタ 200 と電氣的に接続し、プラグとして機能する導電体 252 (導電体 252a、導電体 252b、導電体 252c、および導電体 252d) とを有する。

[0156]

なお、導電体 252 は、絶縁体 280 の開口の内壁に接して形成されている。ここで、導電体 252 の上面の高さと、絶縁体 280 の上面の高さは同程度にできる。なお、トランジスタ 200 では、導電体 252 が 2 層である構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 252 は、単層、または 3 層以上の積層構造でもよい。

[0157]

[容量素子 100]

図 2 に示すように、容量素子 100 は、トランジスタ 200 と共通の構造を有する構成である。本実施の形態では、トランジスタ 200 の酸化物 230 に設けられた領域 231 の一部が、容量素子 100 の電極の一方として機能する容量素子 100 の例について示す。

[0158]

容量素子 100 は、酸化物 230 の領域 231 の一部、絶縁体 274、絶縁体 274 上の導電体 130 を有する。さらに、導電体 130 の少なくとも一部が領域 231 の一部と重なるように配置されることが好ましい。

[0159]

酸化物 230 の領域 231 の一部は、容量素子 100 の電極の一方として機能し、導電体 130 は容量素子 100 の電極の他方として機能する。すなわち、領域 231 は、トランジスタ 200 のソースまたはドレインの一方としての機能と、容量素子 100 の電極の一方としての機能を兼ねている。絶縁体 274 の一部は、容量素子 100 の誘電体として機能する。

[0160]

導電体 130 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体 130 は積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0161]

絶縁体 280 は、絶縁体 274 および導電体 130 を覆うように設けることが好ましい。絶縁体 280 は、絶縁体 224 などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。なお、絶縁体 280 は、同様の絶縁体からなる積層構造としてもよい。

[0162]

絶縁体 280 は、絶縁体 214 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0163]

例えば、層間膜として機能する絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)または(Ba, Sr) TiO_3 (BST)などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0164]

また、絶縁体280などに形成された開口に、導電体252a、導電体252b、導電体252c、および導電体252dを配置する。なお、導電体252a、導電体252b、導電体252c、および導電体252dの上面は、絶縁体280の上面と、概略同じ高さとしてもよい。

[0165]

導電体252aは、絶縁体280、および絶縁体274に形成された開口を介して、トランジスタ200のソース領域およびドレイン領域の一方として機能する領域231aと接している。領域231aは低抵抗化されているので、導電体252aと領域231aの接触抵抗を低減することができる。また、導電体252bは、絶縁体280に形成された開口を介して、容量素子100の電極の一方である導電体130と接している。また、導電体252cは、絶縁体280、絶縁体274、および絶縁体272に形成された開口を介して、トランジスタ200の第1のゲート電極として機能する導電体260と接している。また、導電体252dは、絶縁体280、絶縁体274、絶縁体224、絶縁体222、および絶縁体220に形成された開口を介して、トランジスタ200の第2のゲート電極として機能する導電体205と接している。

[0166]

ここで、導電体252aは、少なくとも酸化物230の上面と接し、さらに酸化物230の側面と接することが好ましい。特に、導電体252aは、酸化物230のチャネル幅方向と交わる側面において、C側の側面、およびD側の側面の双方または一方と接することが好ましい。また、導電体252aが、酸化物230のチャネル長方向と交わる側面において、A側の側面と接する構成にしてもよい。このように、導電体252aが酸化物230の上面に加えて、酸化物230の側面と接する構成にすることにより、導電体252aと酸化物230のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体252aと酸化物230の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

[0167]

導電体252は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体252は積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0168]

導電体252を積層構造とする場合、絶縁体274、および絶縁体280と接する導電体には、導電体205aなどと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸

化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。該導電性材料を用いることで、絶縁体280より上層から水素、水などの不純物が、導電体252を通じて酸化物230に混入するのを抑制することができる。

[0169]

また、導電体252が埋め込まれた絶縁体274および絶縁体280の開口の内壁に接して、水または水素などの不純物の透過を抑制する機能を有する絶縁体が設けられる構成にしてもよい。このような絶縁体としては、絶縁体214に用いることができる絶縁体、例えば、酸化アルミニウムなどを用いることが好ましい。これにより、絶縁体280などから水素、水などの不純物が、導電体252を通じて酸化物230に混入するのを抑制することができる。また、当該絶縁体は、例えばALD法またはCVD法などを用いて成膜することで被覆性良く成膜することができる。

[0170]

また、図示しないが、導電体252の上面に接して配線として機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。

[0171]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0172]

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0173]

また、基板として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有す

る半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

[0174]

可とう性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。また、基板として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。可とう性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板としては、例えば、線膨張率が $1 \times 10^{-3}/K$ 以下、 $5 \times 10^{-5}/K$ 以下、または $1 \times 10^{-5}/K$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板として好適である。

[0175]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0176]

ここで、ゲート絶縁体として機能する絶縁体には、ゲート絶縁体として機能する絶縁体に、比誘電率の高いhigh-k材料を用いることで、トランジスタの微細化、および高集積化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。従って、絶縁体の機能に応じて、材料を選択するとよい。

[0177]

また、比誘電率の高い絶縁体としては、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0178]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

[0179]

また、特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定である。そのため、例えば、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。また、例えば、酸化シリコン、および酸化窒化シリコンは、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0180]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を

有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。

[0181]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0182]

例えば、絶縁体222、および絶縁体214として、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。なお、絶縁体222、および絶縁体214は、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

[0183]

絶縁体220、絶縁体224、および絶縁体250、としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、酸化シリコン、酸化窒化シリコンまたは、窒化シリコンを有することが好ましい。

[0184]

例えば、ゲート絶縁体として機能する絶縁体224および絶縁体250において、酸化アルミニウム、酸化ガリウム、ハフニウムアルミネート、または酸化ハフニウムを酸化物230と接する構造とすることで、酸化シリコンまたは酸化窒化シリコンに含まれるシリコンが、酸化物230に混入することを抑制することができる。一方、絶縁体224および絶縁体250において、酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化アルミニウム、酸化ガリウム、ハフニウムアルミネート、または酸化ハフニウムと、酸化シリコンまたは酸化窒化シリコンと、の界面にトラップセンターが形成される場合がある。該トラップセンターは、電子を捕獲することでトランジスタのしきい値電圧をプラス方向に変動させることができる場合がある。

[0185]

例えば、誘電体として機能する絶縁体274は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、ハフニウムアルミネートなどを用いればよく、積層または単層で設ける。例えば、酸化アルミニウムなどのhigh-k材料と、酸化窒化シリコンなどの絶縁耐力が大きい材料の積層構造とすることが好ましい。当該構成により、容量素子100は、high-k材料により十分な容量を確保でき、絶縁耐力が大きい材料により絶縁耐力が向上するため、容量素子100の静電破壊を抑制し、容量素子100の信頼性を向上させることができる。

[0186]

絶縁体216、および絶縁体280は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体216、および絶縁体280は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、絶縁体216、および絶縁体280は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

[0187]

絶縁体272としては、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体272としては、例えば、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

[0188]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0189]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0190]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0191]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む

導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0192]

導電体260、導電体205、導電体130、導電体252としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0193]

<<金属酸化物>>

酸化物230として、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0194]

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0195]

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0196]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

[0197]

[金属酸化物の構成]

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC（Cloud-Aligned Composite）-OSの構成について説明する。

[0198]

なお、本明細書等において、CAAC (c-axis aligned crystal)、及びCAC (Cloud-Aligned Composite) と記載する場合がある。なお、CAACは結晶構造の一例を表し、CACは機能、または材料の構成の一例を表す。

[0199]

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Off させる機能) をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0200]

また、CAC-OSまたはCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0201]

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5 nm以上10 nm以下、好ましくは0.5 nm以上3 nm以下のサイズで材料中に分散している場合がある。

[0202]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0203]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材 (matrix composite)、または金属マトリックス複合材 (metal matrix composite) と呼称することもできる。

[0204]

[金属酸化物の構造]

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単

結晶酸化物半導体としては、例えば、CAAC-OS (c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

[0205]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0206]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0207]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0208]

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。

[0209]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0210]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0211]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、*a-l i k e* OS、*n c*-OS、CAAC-O Sのうち、二種以上を有していてもよい。

[0212]

[酸化物半導体を有するトランジスタ]

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0213]

なお、上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0214]

また、トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア密度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0215]

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0216]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0217]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0218]

[不純物]

ここで、酸化物半導体中における各不純物の影響について説明する。

[0219]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度(二次イオン質量分析法(*SIMS: Secondary Ion Mass Spectrometry*)により得られる濃度)を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0220]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半

導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0221]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい。例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0222]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0223]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル領域に用いることで、安定した電気特性を付与することができる。

[0224]

<半導体装置の構成例3>

以下では、図6を用いて、本発明の一態様に係るトランジスタのその他の例について説明する。

[0225]

図6(A)は、トランジスタ201のチャネル長方向の断面図である。また、図6(B)は、トランジスタ202のチャネル長方向の断面図である。図6(C)は、トランジスタ203のチャネル長方向の断面図である。

[0226]

なお、図6に示す半導体装置において、<半導体装置の構成例1>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、トランジスタ201、トランジスタ202、およびトランジスタ203の構成材料については<半導体装置の構成例1>で詳細に説明した材料を用いることができる。

[0227]

[トランジスタ201]

図6(A)に示すトランジスタ201は、トランジスタ200とは、少なくとも導電体260上の絶縁体の構成と、絶縁体272の形状が異なる。

[0228]

具体的には、導電体 260 上に絶縁体 270 が設けられ、絶縁体 270 上には、絶縁体 271 が設けられる。また、少なくとも絶縁体 250 の側面、導電体 260 の側面、および絶縁体 270 の側面に接するように絶縁体 272 が設けられている。また、酸化物 230c の側面と、絶縁体 272 の側面は、同一の面を共有する。また、絶縁体 274 は、絶縁体 224、酸化物 230、絶縁体 272、絶縁体 270、および絶縁体 271 を覆うように設けられる。

[0229]

絶縁体 270 は、バリア膜として機能することができる。絶縁体 270 は、絶縁体 272 と同様の材料を用いることができ、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。これにより、導電体 260 の上部の酸化を防ぐことができる。また、導電体 260 および絶縁体 250 を介して、水または水素などの不純物が酸化物 230 に混入することを防ぐことができる。

[0230]

絶縁体 271 は、導電体 260 の加工の際、ハードマスクとして機能することができる。絶縁体 271 を設けることで、導電体 260 の側面が概略垂直、具体的には、導電体 260 の側面と基板表面のなす角を、75 度以上 100 度以下、好ましくは 80 度以上 95 度以下とすることができる。導電体をこのような形状に加工することで、次に形成する絶縁体 272 を所望の形状に形成することができる。

[0231]

トランジスタ 201 では、絶縁体 272 は、少なくとも絶縁体 250 の側面、導電体 260 の側面、および絶縁体 270 の側面に接するように設けられる。絶縁体 270 および絶縁体 272 を設けることで、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で導電体 260 の上面と側面および絶縁体 250 の側面を覆うことができる。これにより、導電体 260 の酸化、導電体 260 および絶縁体 250 を介して、水または水素などの不純物が酸化物 230 に混入することを抑制することができる。従って、絶縁体 270、および絶縁体 272 は、それぞれゲート電極およびゲート絶縁膜を保護するトップバリア、およびサイドバリアとして機能する。

[0232]

トランジスタ 201 においても、酸化物 230 は領域 232 を有しており、トランジスタ 200 と同様に領域 231 から領域 234 への水素の混入や、領域 234 に供給された酸素の領域 231 方向への拡散を抑制することができる。従って、トランジスタ 201 は、良好な電気特性を有し、信頼性が向上する。

[0233]

[トランジスタ 202]

図 6 (B) に示すトランジスタ 202 は、少なくとも酸化物 230c および絶縁体 272 の形状、酸化物 230 上に導電体 263 が設けられている点、および絶縁体 274 が設けられていない点で、トランジスタ 200 とは異なる。

[0234]

具体的には、酸化物 230c の側面と、絶縁体 250 および導電体 260 の少なくとも一方の側面は、

同一の面を共有する。また、酸化物 230 において、領域 231 上には、導電体 263 が設けられている。酸化物 230 上に導電体 263 が設けられることで、導電体 263 と接する酸化物 230 中の酸素は導電体 263 に吸収され、酸化物 230 内に酸素欠損が生じる、および導電体 263 から金属元素や、水素、および窒素などの不純物元素が導電体 263 に接する酸化物 230 に混入し、当該領域は低抵抗化し、領域 231 が形成される。

[0235]

絶縁体 272 は、絶縁体 224、導電体 263、酸化物 230、絶縁体 250、および導電体 260 を覆うように設けられる。

[0236]

トランジスタ 202 では、絶縁体 272 は、少なくとも絶縁体 250 の側面に接し、且つ導電体 260 を覆うように設けられる。絶縁体 272 を設けることで、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で導電体 260 の上面と側面および絶縁体 250 の側面を覆うことができる。これにより、導電体 260 の酸化、および導電体 260 および絶縁体 250 を介した、水または水素などの不純物の酸化物 230 への混入を抑制することができる。従って、絶縁体 272 は、ゲート電極およびゲート絶縁膜を保護するバリアとして機能する。

[0237]

トランジスタ 202 においても、酸化物 230 は領域 232 を有しており、トランジスタ 200 と同様に領域 231 から領域 234 への水素の混入や、領域 234 に供給された酸素の領域 231 方向への拡散を抑制することができる。従って、トランジスタ 202 は、良好な電気特性を有し、信頼性が向上する。

[0238]

[トランジスタ 203]

図 6 (C) に示すトランジスタ 203 は、図 6 (A) に示すトランジスタ 201 とは、少なくとも酸化物 230 内の領域 232 の幅、および領域 231 におけるガリウム濃度が異なる。

[0239]

具体的には、領域 232 の幅が絶縁体 272 の幅と概略一致する。また、領域 231 には、領域 232 と同様にガリウムなどの元素 M が添加されている。一方、絶縁体 274 と接する領域 231 は、トランジスタ 200 と同様に低抵抗化している。

[0240]

トランジスタ 203 においても、酸化物 230 は領域 232 を有しており、トランジスタ 200 と同様に領域 231 から領域 234 への水素の混入や、領域 234 に供給された酸素の領域 231 方向への拡散を抑制することができる。従って、トランジスタ 203 は、良好な電気特性を有し、信頼性が向上する。

[0241]

<半導体装置の作製方法 1>

次に、本発明に係るトランジスタ 200 を有する半導体装置について、作製方法を図 7 乃至図 18 を用いて説明する。また、図 7 乃至図 21 において、各図の (A) は上面図を示す。また、各図の (B) は (A) に示す A-B の一点鎖線で示す部位に対応する断面図である。また、各図の (C) は、(A) に C-D の一点鎖線で示す部位に対応する断面図である。また、各図の (D) は、(A) に E-F の一点鎖線で示す部位に対応する断面図である。

[0242]

まず、基板（図示しない）を準備し、当該基板上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、化学気相成長（CVD:Chemical Vapor Deposition）法、分子線エピタキシー（MBE:Molecular Beam Epitaxy）法、パルスレーザー堆積（PLD:Pulsed Laser Deposition）法またはALD（Atomic Layer Deposition）法などを用いて行うことができる。

[0243]

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD:Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD:Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD:Metal CVD）法、有機金属CVD（MOCVD:Metal Organic CVD）法に分けることができる。

[0244]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0245]

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0246]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0247]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0248]

本実施の形態では、絶縁体214として、スパッタリング法によって酸化アルミニウムを成膜する。

また、絶縁体 214 は、多層構造としてもよい。例えばスパッタリング法によって酸化アルミニウムを成膜し、該酸化アルミニウム上に ALD 法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD 法によって酸化アルミニウムを成膜し、該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

[0249]

次に絶縁体 214 上に絶縁体 216 を成膜する。絶縁体 216 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。本実施の形態では、絶縁体 216 として、CVD 法によって酸化シリコンを成膜する。

[0250]

次に、絶縁体 216 および絶縁体 214 に開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体 216 に開口を形成する場合、絶縁体 214 は、絶縁体 216 をエッチングして溝を形成する際のエッチングストップ膜として用いてもよい。例えば、溝を形成する絶縁体 216 に酸化シリコン膜を用いた場合は、エッチングストップ膜として機能する絶縁膜として、絶縁体 214 は窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

[0251]

開口の形成後に、導電体 205a となる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体 205a となる導電体の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。

[0252]

本実施の形態では、導電体 205a となる導電膜として、スパッタリング法によって窒化タンタルまたは、窒化タンタルの上に窒化チタンを積層した膜を成膜する。導電体 205a としてこのような金属窒化物を用いることにより、後述する導電体 205b で銅など拡散しやすい金属を用いても、当該金属が導電体 205a から外に拡散するのを防ぐことができる。

[0253]

次に、導電体 205a となる導電膜上に、導電体 205b となる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。本実施の形態では、導電体 205b となる導電膜として、タングステンや、銅などの低抵抗導電性材料を成膜する。

[0254]

次に、CMP 処理を行うことで、導電体 205a となる導電膜、ならびに導電体 205b となる導電膜の一部を除去し、絶縁体 216 を露出する。その結果、開口部のみに、導電体 205a となる導電膜、ならびに導電体 205b となる導電膜が残存する。これにより、上面が平坦な、導電体 205a および導電体 205b を含む導電体 205 を形成することができる（図 7 参照。）。なお、当該 CMP 処理により、絶縁体 216 の一部が除去される場合がある。

[0255]

次に、絶縁体 216、および導電体 205 上に絶縁体 220 を成膜する。絶縁体 220 の成膜は、ス

パッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0256]

次に、絶縁体220上に絶縁体222を成膜する。絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0257]

特に、絶縁体222として、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を用いることが好ましい。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。絶縁体222は、ALD法により形成されることが好ましい。ALD法により成膜された絶縁体222は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水は、トランジスタ200の内側へ拡散することなく、酸化物230中の酸素欠損の生成を抑制することができる。

[0258]

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる（図7参照）。

[0259]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。第1の加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、窒素または不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。

[0260]

上記加熱処理によって、絶縁体224に含まれる水素や水などの不純物を除去することなどができる。

[0261]

または、加熱処理として、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。尚、第1の加熱処理は行わなくても良い場合がある。

[0262]

また、加熱処理は、絶縁体220成膜後、および絶縁体222の成膜後のそれぞれに行うこともできる。該加熱処理は、上述した加熱処理条件を用いることができるが、絶縁体220成膜後の加熱処理は、窒素を含む雰囲気中で行うことが好ましい。

[0263]

本実施の形態では、加熱処理として、絶縁体224成膜後に窒素雰囲気にて400℃の温度で1時間

の処理を行なう。

[0264]

次に、絶縁体224上に、酸化物230aとなる酸化膜230Aと、酸化物230bとなる酸化膜230Bを順に成膜する(図7参照。)。なお、上記酸化膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230A、および酸化膜230B上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜230Aと酸化膜230Bとの界面近傍を清浄に保つことができる。

[0265]

酸化膜230A、および酸化膜230Bの成膜はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0266]

例えば、酸化膜230A、および酸化膜230Bの成膜をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜の成膜をスパッタリング法によって成膜する場合は、上記のIn-M-Zn酸化物ターゲットを用いることができる。

[0267]

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。なお、酸化膜230Aのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

[0268]

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体を用いたトランジスタは、比較的高い電界効果移動度を得られる。

[0269]

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4[原子数比]のターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、In:Ga:Zn=4:2:4.1[原子数比]のターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230に求める特性に合わせて形成するとよい。

[0270]

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜230A、および酸化膜230B中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行なった後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。

[0271]

次に、酸化膜230A、および酸化膜230Bを島状に加工して、酸化物230a、および酸化物230bを形成する(図8参照。)

[0272]

なお、上記工程において、絶縁体 224 を島状に加工してもよい。また、絶縁体 224 に対しては、ハーフエッチングを行ってもよい。絶縁体 224 に対してハーフエッチングを行うことで、後の工程で形成する酸化物 230c の下にも絶縁体 224 が残った状態で形成される。なお、絶縁体 224 は、後の工程である絶縁膜 272A を加工する際に、島状に加工することができる。その場合、絶縁体 222 をエッチングストップ膜として用いてもよい。

[0273]

ここで、酸化物 230a、および酸化物 230b は、少なくとも一部が導電体 205 と重なるように形成する。また、酸化物 230a、および酸化物 230b の側面は、絶縁体 222 に対し、概略垂直であることが好ましい。酸化物 230a、および酸化物 230b の側面が、絶縁体 222 に対し、概略垂直であることで、複数のトランジスタ 200 を設ける際に、小面積化、高密度化が可能となる。なお、酸化物 230a、および酸化物 230b の側面と絶縁体 222 の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物 230a、および酸化物 230b の側面と絶縁体 222 の上面のなす角は大きいほど好ましい。

[0274]

また、酸化物 230a、および酸化物 230b の側面と、酸化物 230b の上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう）。湾曲面は、例えば、酸化物 230a、および酸化物 230b の端部において、曲率半径が、3nm 以上 10nm 以下、好ましくは、5nm 以上 6nm 以下とすることが好ましい。

[0275]

なお、端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0276]

なお、当該酸化膜の加工はリソグラフィー法を用いて行えばよい。また、該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0277]

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrF エキシマレーザ光、ArF エキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

[0278]

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、酸化膜 230B 上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。酸化膜 230A、および酸化膜 230B のエッチングは、レジストマスクを除去

してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。上記酸化膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0279]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

[0280]

また、上記ドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が酸化物230a、および酸化物230bなどの表面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

[0281]

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理または、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせで行ってもよい。

[0282]

ウェット洗浄としては、シュウ酸、リン酸またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、純水または炭酸水を用いた超音波洗浄を行う。

[0283]

続いて、加熱処理を行っても良い。加熱処理の条件は、前述の加熱処理の条件を用いることができる。

[0284]

次に、絶縁膜224、酸化物230a、および酸化物230bの上に、酸化膜230C、絶縁膜250A、導電膜260A、導電膜260Bを順に成膜する (図9参照。)

[0285]

酸化膜230Cの成膜はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。酸化物230cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Cを成膜すればよい。スパッタリング法を用いる場合、酸化膜230Cは、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、あるいは $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ [いずれも原子数比] のターゲットを用いて形成することができる。本実施の形態では、酸化膜230Cとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] のターゲットを用いて成膜する。

[0286]

絶縁膜 250A は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて成膜することができる。

[0287]

なお、マイクロ波で酸素を励起し、高密度な酸素プラズマを発生させ、該酸素プラズマに絶縁膜 250A を曝すことで、絶縁膜 250A、酸化物 230a、酸化物 230b、および酸化膜 230C へ酸素を導入することができる。

[0288]

また、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。該加熱処理によって、絶縁膜 250A の水分濃度および水素濃度を低減させることができる。

[0289]

導電膜 260A は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて成膜することができる。

[0290]

また、導電膜 260B として、低抵抗の金属膜を積層することで、駆動電圧が小さなトランジスタを提供することができる。

[0291]

続いて、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理は、例えば、電気炉を用いた加熱方法、加熱した気体を用いる GRTA (Gas Rapid Thermal Anneal) 法またはランプ光を用いる LRTA (Lamp Rapid Thermal Anneal) 法などの瞬間加熱方法などを用いることができる。加熱処理を行うことで、添加されたドーパントが、酸化物 230 の領域 232 全体に拡散し、ドーパントとして添加した元素 M と酸化物 230 を構成する元素との親和性を向上させることができる。

[0292]

絶縁膜 250A、導電膜 260A、および導電膜 260B を、エッチングし、絶縁体 250、および導電体 260 (導電体 260a、導電体 260b) を形成する (図 10 参照)。

[0293]

また、絶縁体 250 の側面、導電体 260a の側面、および導電体 260b の側面の側面は、同一面内であることが好ましい。また、絶縁体 250 の側面、導電体 260a の側面、および導電体 260b の側面が共有する同一面は、基板に対し、概略垂直であることが好ましい。つまり、断面形状において、絶縁体 250、導電体 260a、および導電体 260b は、酸化物 230 の上面に対する角度が、鋭角、かつ大きいほど好ましい。なお、断面形状において、絶縁体 250、導電体 260a、および導電体 260b の側面と、酸化物 230 の上面のなす角が鋭角になる構成にしてもよい。その場合、絶縁体 250、導電体 260a、および導電体 260b の側面と、酸化物 230 の上面のなす角は大きいほど好ましい。

[0294]

また、絶縁体 250、および導電体 260 は、少なくとも一部が、導電体 205 および酸化物 230 と重なるように形成する。

[0295]

また、上記エッチングにより、酸化膜 230C の絶縁体 250 と重ならない領域の上部がエッチングされる場合がある。この場合、酸化膜 230C の絶縁体 250 と重なる領域の膜厚が、絶縁体 250

と重ならない領域の膜厚より厚くなる場合がある。

[0296]

次に、酸化膜230C上にマスク262を形成する(図11参照。)。マスク262は、後工程で除去可能なものであればよく、レジストマスク、または絶縁体や導電体からなるハードマスクを用いることができる。このとき、導電体260は、マスク262に覆われていないことが好ましい。

[0297]

次に、マスク262および導電体260をマスクとして、金属元素の添加を行う。本実施の形態では、イオン注入法を用いて、酸化膜230C、酸化物230b、および酸化物230aにガリウムを添加し、領域232を形成する(図12参照。)

[0298]

なお、詳細は後述するが、金属元素の添加は、ドーパントの進行方向と、基板の法線方向を相対的に異ならせて行っても良い。このようにすることで、領域232の一部と、導電体260の一部を重畳させることができる。例えば、基板を傾斜させて金属元素の添加を行う。

[0299]

次に、酸化膜230C、絶縁体250、導電体260、およびマスク262を覆って、絶縁膜272Aを成膜する(図13参照。)。絶縁膜272Aとして、被覆性に優れたALD法により成膜することが好ましい。ALD法を用いることで、導電体260などにより形成された段差部においても、絶縁体250、および導電体260の側面に対して、均一な厚さを有する絶縁膜272Aを形成することができる。

[0300]

ここで、酸化膜230C、絶縁体250、および導電体260は、マスク262に覆われていない領域において、絶縁膜272Aに覆われる。よって、酸化物230aおよび酸化物230bと重畳する絶縁体250および導電体260およびその周辺部はマスク262に覆われることなく、絶縁膜272Aに覆われる。また、絶縁体250、および導電体260は、マスク262に覆われることなく、全体が絶縁膜272Aに覆われることが好ましい。一方、後工程にて、導電体252cを形成する領域およびその周辺をマスク262で覆うことで、導電体260に達するコンタクトホール形成時に絶縁膜272Aのエッチングが不要となるため好ましい。

[0301]

次に、マスク262を除去することで、マスク262上の絶縁膜272Aをリフトオフ法により除去し、絶縁体250の側面に接し、かつ導電体260を覆う絶縁体272を形成する(図14参照。)

[0302]

次に、絶縁体272をマスクとして、酸化膜230Cの一部をエッチングにより除去し、酸化物230cを形成する(図15参照。)。なお、本工程により、酸化物230bの上面および側面と、酸化物230aの側面の一部が除去される場合がある。

[0303]

次に、絶縁体224、酸化物230、および絶縁体272を覆って、領域231に接するようにドーパントを含む絶縁体274を成膜する(図16参照。)。例えば、ドーパントとして水素、ホウ素、炭素、窒素、フッ素、またはリンなどを含む絶縁体274を酸化物230の領域231に接するように成膜する。絶縁体274の成膜や成膜後の熱処理により、領域231は低抵抗化する。酸化物の低抵抗化は、絶縁体274が酸化物230内の酸素を引き抜くことにより形成される酸化物230中の酸

素欠損、絶縁体 2 7 4 に含まれるドーパントの領域 2 3 1 へ拡散、添加された不純物による酸素欠損の形成、酸素欠損と不純物との結合によるキャリアの形成、あるいはこれらの組み合わせなどにより起こると考えられる。また、このとき、領域 2 3 2 においても酸素欠損の形成や不純物の拡散により、領域 2 3 2 の低抵抗化が起こる場合がある。

[0304]

また、酸化物 2 3 0 の低抵抗化は、インジウムなどの金属原子、または不純物などのドーパントを添加することで行ってもよい。ドーパントの添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。質量分離を行う場合、添加するイオン種およびその濃度を厳密に制御することができる。一方、質量分離を行わない場合、短時間で高濃度のイオンを添加することができる。また、原子または分子のクラスターを生成してイオン化するイオンドーピング法を用いてもよい。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素などと言い換えてもよい。

[0305]

また、ドーパントは、プラズマ処理にて添加されてもよい。この場合、プラズマ CVD 装置、ドライエッチング装置、アッシング装置を用いてプラズマ処理を行い、酸化物 2 3 0 a、酸化物 2 3 0 b、および酸化物 2 3 0 c にドーパントを添加することができる。

[0306]

絶縁体 2 7 4 として、例えば CVD 法を用いて形成した、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンを用いることができる。本実施の形態では、絶縁体 2 7 4 として、窒化酸化シリコンを用いる。

[0307]

酸化物 2 3 0 に接して、窒素などの不純物となる元素を含む絶縁体 2 7 4 を成膜することで、領域 2 3 1 a、および領域 2 3 1 b は、絶縁体 2 7 4 の成膜雰囲気に含まれる、水素または窒素などの不純物元素が添加される。酸化物 2 3 0 の絶縁体 2 7 4 と接する領域を中心に、添加された不純物元素により酸素欠損が形成され、さらに当該不純物元素が酸素欠損に入り込むことで、キャリア密度が高くなり、低抵抗化される。その際、絶縁体 2 7 4 と接しない領域 2 3 2 にも不純物が拡散することで、領域 2 3 2 が低抵抗化される場合がある。

[0308]

よって、領域 2 3 1 a、および領域 2 3 1 b は、領域 2 3 4 より、水素および窒素の少なくとも一方の濃度が大きくなるのが好ましい。水素または窒素の濃度は、二次イオン質量分析法 (SIMS : Secondary Ion Mass Spectrometry) などを用いて測定すればよい。ここで、領域 2 3 4 の水素または窒素の濃度としては、酸化物 2 3 0 b の絶縁体 2 5 0 と重なる領域の中央近傍 (例えば、酸化物 2 3 0 b において、絶縁体 2 5 0 のチャネル長方向の両側面からの距離が概略等しい部分と重なる部分) の水素または窒素の濃度を測定すればよい。

[0309]

なお、領域 2 3 1 は、酸素欠損を形成する元素、または酸素欠損に捕獲される元素を添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。よって、領域 2 3 1 は、上記元素の一つまたは

複数を含む構成にすればよい。また、領域 2 3 2 においても上記元素が含まれていてもよい。この場合、領域 2 3 2 も低抵抗化される。

[0 3 1 0]

または、絶縁体 2 7 4 として、領域 2 3 1 に含まれる酸素を引き抜き、吸収する膜を用いてもよい。酸素が引き抜かれると、領域 2 3 1 には酸素欠損が生じる。酸素欠損に水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が捕獲されることにより、領域 2 3 1 は低抵抗化する。また、絶縁体 2 7 4 により、領域 2 3 2 に含まれる酸素が引き抜かれ、それにより生じる酸素欠損により上記元素が捕獲されてもよい。この場合、領域 2 3 2 も低抵抗化される。

[0 3 1 1]

不純物となる元素を含む絶縁体、あるいは酸化物 2 3 0 から酸素を引き抜く絶縁体として絶縁体 2 7 4 を成膜する場合、絶縁体 2 7 4 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。

[0 3 1 2]

不純物となる元素を含む絶縁体 2 7 4 の成膜は、窒素または水素の少なくとも一方を含む雰囲気で行うことが好ましい。このような雰囲気で行うことで、酸化物 2 3 0 b および酸化物 2 3 0 c の絶縁体 2 5 0 と重ならない領域を中心に、酸素欠損を形成し、当該酸素欠損と窒素または水素などの不純物元素を結合させて、キャリア密度を高くすることができる。このようにして、低抵抗化された、領域 2 3 1 a および領域 2 3 1 b を形成することができる。絶縁体 2 7 4 として、例えば CVD 法を用いて、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンを用いることができる。本実施の形態では、絶縁体 2 7 4 として、窒化酸化シリコンを用いる。

[0 3 1 3]

従って、絶縁体 2 7 4 の成膜により、ソース領域およびドレイン領域を自己整合的に形成することができる。よって、微細化または高集積化された半導体装置も、歩留まり良く製造することができる。

[0 3 1 4]

ここで、導電体 2 6 0 および絶縁体 2 5 0 の上面および側面を、絶縁体 2 7 2 で覆っておくことで、窒素または水素などの不純物元素が、導電体 2 6 0 および絶縁体 2 5 0 に混入することを防ぐことができる。これにより、窒素または水素などの不純物元素が、導電体 2 6 0 および絶縁体 2 5 0 を通って、トランジスタ 2 0 0 のチャネル形成領域として機能する領域 2 3 4 に混入することを防ぐことができる。従って、良好な電気特性を有するトランジスタ 2 0 0 を提供することができる。

[0 3 1 5]

なお、上記において、絶縁体 2 7 4 の成膜による酸化物 2 3 0 の低抵抗化を用いて、領域 2 3 1 を形成したが、本実施の形態はこれに限られるものではない。例えば、ドーパントの添加処理、またはプラズマ処理を用いてもよいし、これらを複数組み合わせ、各領域などを形成してもよい。

[0 3 1 6]

例えば、絶縁体 2 7 2 をマスクとして、酸化物 2 3 0 にプラズマ処理を行ってもよい。プラズマ処理は、上述の酸素欠損を形成する元素、または酸素欠損に捕獲される元素を含む雰囲気などで行えばよい。例えば、アルゴンガスと窒素ガスを用いてプラズマ処理を行えばよい。

[0 3 1 7]

続いて、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理を行うことで、添加されたドーパントが、酸化物 2 3 0 の領域 2 3 1 全体、さらに領域 2 3 2 へと

拡散し、トランジスタ 200 のオン電流を大きくすることができる。

[0318]

次に、絶縁体 274 の上に、絶縁体 280 を成膜する (図 17 参照)。絶縁体 280 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。または、スピコート法、ディップ法、液滴吐出法 (インクジェット法など)、印刷法 (スクリーン印刷、オフセット印刷など)、ドクターナイフ法、ロールコーター法またはカーテンコーター法などを用いて行うことができる。本実施の形態では、該絶縁膜として、酸化窒化シリコンを用いる。

[0319]

なお、絶縁体 280 は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体 280 は、絶縁体 280 となる絶縁膜として成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体 280 は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、CMP 処理、ドライエッチング処理などがある。本実施の形態では、平坦化処理として、CMP 処理を用いる。ただし、絶縁体 280 の上面は必ずしも平坦性を有さなくてもよい。

[0320]

次に、絶縁体 280、絶縁体 274、絶縁体 272、絶縁体 224、絶縁体 222、および絶縁体 220 に、酸化物 230 の領域 231、導電体 260、および導電体 205 に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。

[0321]

なお、導電体 252a、および導電体 252b が酸化物 230 の側面に接して設けられるように、酸化物 230 に達する開口において、酸化物 230 の側面が露出するように、当該開口を形成する。

[0322]

次に、導電体 252 となる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。

[0323]

次に、CMP 処理を行うことで、導電体 252 となる導電膜の一部を除去し、絶縁体 280 を露出する。その結果、上記開口のみに、該導電膜が残存することで上面が平坦な導電体 252 を形成することができる (図 18 参照)。

[0324]

導電体 252a は、絶縁体 280、および絶縁体 274 に形成された開口を介して、トランジスタ 200 のソース領域およびドレイン領域の一方として機能する領域 231a と接している。領域 231a は低抵抗化されているので、導電体 252a と領域 231a の接触抵抗を低減することができる。また、導電体 252b は、絶縁体 280、および絶縁体 274 に形成された開口を介して、トランジスタ 200 のソース領域およびドレイン領域の他方として機能する領域 231b と接している。また、導電体 252c は、絶縁体 280、絶縁体 274、および絶縁体 272 に形成された開口を介して、トランジスタ 200 の第 1 のゲート電極として機能する導電体 260 と接している。また、導電体 252d は、絶縁体 280、絶縁体 274、絶縁体 224、絶縁体 222、および絶縁体 220 に形成された開口を介して、トランジスタ 200 の第 2 のゲート電極として機能する導電体 205 と接している。

[0325]

ここで、図 18 (D) に示すように、導電体 252a および導電体 252b は、少なくとも酸化物 230 の上面と接し、さらに酸化物 230 の側面と接することが好ましい。特に、導電体 252a および導電体 252b は、酸化物 230 のチャンネル幅方向と交わる側面において、C 側の側面および D 側の側面 (E 側の側面および F 側の側面) の双方または一方と接することが好ましい。また、導電体 252a および導電体 252b が、酸化物 230 のチャンネル長方向と交わる側面において、それぞれ A 側の側面および B 側の側面と接する構成にしてもよい。このように、導電体 252a および導電体 252b が酸化物 230 の上面に加えて、酸化物 230 の側面と接する構成にすることにより、導電体 252a および導電体 252b と、酸化物 230 のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体 252a および導電体 252b と、酸化物 230 の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

[0326]

以上により、トランジスタ 200 を有する半導体装置を作製することができる。図 7 乃至図 18 に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ 200 を作製することができる。

[0327]

<半導体装置の作製方法 2>

ここで、図 11 乃至図 13 に示したマスク 262 が異なる形状を有する例を、図 19 乃至図 21 を用いて説明する。

[0328]

図 19 に示すマスク 262B は、酸化膜 230C に接する側から上方に向かって面積が増加する。別言すると、262B に設けられた開口部は、酸化膜 230C に接する側から上方に向かって狭くなる、所謂逆テーパ形状を有している。

[0329]

このようなマスク 262B を形成するには、レジストを 2 層以上の積層構造とし、下層のレジストは、上層のレジストと比較して、光や電子ビームなどに対する感度が高い材料とする、あるいは現像時、現像液に溶けやすい材料とすればよい。

[0330]

次に、図 12 で示した方法と同様に、マスク 262B および導電体 260 をマスクとして金属元素の添加を行い、酸化膜 230C、酸化物 230b、および酸化物 230a に領域 232 を形成する (図 20 参照)。

[0331]

領域 232 は、マスク 262B に設けられた開口部に沿って形成される。すなわち、領域 232 は、面積が最大となるマスク 262B に沿って、あるいは最も狭い開口部に沿って形成される。よって、マスク 262B が酸化膜 230C と接していない領域でも、上方にマスク 262B が設けられている場合、当該領域に金属元素は添加されない。

[0332]

なお、詳細は後述するが、金属元素の添加は、ドーパントの進行方向と、基板の法線方向を相対的に異ならせて行っても良い。このようにすることで、領域 232 の一部と、導電体 260 の一部を重畳させることができる。例えば、基板を傾斜させて金属元素の添加を行う。

[0333]

次に、図13で示した絶縁膜272Aと同様に絶縁膜を形成する。この時、絶縁膜は、マスク262Bにおいて、オーバーハングとなる側面やマスク262Bに覆われている酸化膜230C上には形成されない。マスク262Bの上面および一部の側面に絶縁体272Bが形成され、また、マスク262Bに覆われていない酸化膜230C、絶縁体250、および導電体260を覆うように絶縁体272が形成される（図21参照。）。すなわち、絶縁体272と絶縁体272Bは分離しており、マスク262Bの一部は絶縁体に覆われない。

[0334]

次に、マスク262Bを除去し、マスク262B上の絶縁膜272Aをリフトオフ法により除去することで、図14に示す構造を得ることができる。以降、＜半導体装置の作製方法1＞に示した工程と同様の工程により、トランジスタ200を作製することができる。

[0335]

＜半導体装置の作製方法3＞

次に、本発明に係るトランジスタ201を有する半導体装置について、作製方法を図22乃至図32を用いて説明する。また、図22乃至図32において、各図の（A）は上面図を示す。また、各図の（B）は（A）に示すA-Bの一点鎖線で示す部位に対応する断面図である。また、各図の（C）は、（A）にC-Dの一点鎖線で示す部位に対応する断面図である。また、各図の（D）は、（A）にE-Fの一点鎖線で示す部位に対応する断面図である。

[0336]

まず、＜半導体装置の作製方法1＞での説明に従って、図8に示すように、絶縁体224上に酸化物230a、および酸化物230bを形成する。次に、絶縁体224、酸化物230a、および酸化物230bの上に、酸化膜230C、絶縁膜250A、導電膜260A、導電膜260B、絶縁膜270A、および絶縁膜271Aを順に成膜する（図22参照。）。

[0337]

酸化膜230C、絶縁膜250A、導電膜260A、および導電膜260Bは、＜半導体装置の作製方法1＞に示した方法で形成できる。

[0338]

導電膜260B形成後、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行う。加熱処理後に絶縁膜270Aを形成してもよい。

[0339]

絶縁膜270Aは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。絶縁膜270Aは、バリア膜として機能するため、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いる。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、導電体260の酸化を防ぐことができる。また、導電体260および絶縁体250を介して、水または水素などの不純物が酸化物230に混入することを防ぐことができる。

[0340]

絶縁膜271Aは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。ここで、絶縁膜271Aの膜厚は、後の工程で成膜する絶縁膜272Aの膜

厚より厚くすることが好ましい。これにより、後の工程で絶縁体272を形成する際、導電体260の上に絶縁体271を、容易に残存させることができる。

[0341]

また、絶縁体271は、ハードマスクとして機能する。絶縁体271を設けることで、絶縁体250の側面、導電体260aの側面、導電体260bの側面、および絶縁体270の側面を、基板に対し、概略垂直に形成することができる。

[0342]

次に、絶縁膜271Aを、エッチングし、絶縁体271を形成する。続いて、絶縁体271をマスクとして、絶縁膜250A、導電膜260A、および導電膜260B、および絶縁膜270Aを、エッチングし、絶縁体250、および導電体260（導電体260a、導電体260b）、および絶縁体270を形成する（図23参照。）。なお、当該加工後も、当該ハードマスクは除去せずに後工程を進めてもよい。当該ハードマスクは、後工程で実施されるドーパントの添加においてもハードマスクとして機能することができる。

[0343]

次に、＜半導体装置の作製方法1＞に示す方法で、図11と同様にマスク262を形成する（図24参照。）。

[0344]

次に、＜半導体装置の作製方法1＞に示す方法で、図12と同様に、マスク262、絶縁体271、絶縁体270、および導電体260をマスクとして金属元素の添加を行い、酸化膜230C、酸化物230b、および酸化物230aに領域232を形成する（図25参照。）。

[0345]

なお、詳細は後述するが、金属元素の添加は、ドーパントの進行方向と、基板の法線方向を相対的に異ならせて行っても良い。このようにすることで、領域232の一部と、導電体260の一部を重畳させることができる。例えば、基板を傾斜させて金属元素の添加を行う。

[0346]

次に、マスク262を除去する（図26参照。）。

[0347]

次に、＜半導体装置の作製方法1＞に示す方法で、酸化膜230C、絶縁体250、導電体260、絶縁体270、および絶縁体271を覆って、絶縁膜272Aを成膜する（図27参照。）。絶縁膜272Aとして、被覆性に優れたALD法により成膜することが好ましい。ALD法を用いることで、導電体260などにより形成された段差部においても、絶縁体250、導電体260、および絶縁体270の側面に対して、均一な厚さを有する絶縁膜272Aを形成することができる。

[0348]

次に、絶縁膜272Aに対して異方性エッチングを行い、絶縁体250、導電体260、および絶縁体270の側面に接して、絶縁体272を形成する（図28参照。）。異方性エッチングとしては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された該絶縁膜を除去して、絶縁体272を自己整合的に形成することができる。

[0349]

ここで、絶縁体270上に絶縁体271を形成しておくことで、絶縁体270上部の絶縁膜272Aが除去されても、絶縁体270を残存させることができる。また、絶縁体250、導電体260、絶

縁体 270、および絶縁体 271 からなる構造体の高さを、酸化物 230a、酸化物 230b、および酸化膜 230C の高さよりも、高くすることで、酸化膜 230C を介した酸化物 230a、酸化物 230b の側面の絶縁膜 272A を、除去することができる。さらに、酸化物 230a、酸化物 230b の端部をラウンド形状にしておくと、酸化物 230a、酸化物 230b の側面に、酸化膜 230C を介して成膜された絶縁膜 272A を除去するための時間が短縮され、より容易に絶縁体 272 を形成することができる。

[0350]

次に、絶縁体 250、導電体 260、絶縁体 270、絶縁体 271、および絶縁体 272 をマスクとして、酸化膜 230C の一部をエッチングにより除去し、酸化物 230c を形成する(図 29 参照)。なお、本工程により、酸化物 230b の上面および側面と、酸化物 230a の側面の一部が除去される場合がある。

[0351]

次に、＜半導体装置の作製方法 1＞に示す方法で、図 16 と同様に、ドーパントを含む絶縁体 274 を成膜する。絶縁体 274 は、絶縁体 224、酸化物 230、絶縁体 271、および絶縁体 272 を覆って、領域 231 に接するように成膜する(図 30 参照。)。絶縁体 274 の成膜や成膜後の熱処理により、領域 231 は低抵抗化する。

[0352]

なお、領域 231 の低抵抗化は、インジウムなどの金属元素、および不純物の少なくとも一であるドーパントを添加により行ってもよい。ドーパントの添加方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。また、プラズマ処理を用いてもよい。

[0353]

絶縁体 274 成膜後、あるいは、ドーパントの添加後に加熱処理を行ってもよい。加熱処理を行うことで、添加されたドーパントが、酸化物 230 の領域 231 全体、さらに領域 232 へと拡散し、トランジスタ 200 のオン電流を大きくすることができる。

[0354]

次に、＜半導体装置の作製方法 1＞に示す方法で、図 17 と同様に、絶縁体 274 の上に、絶縁体 280 を成膜する(図 31 参照。)

[0355]

次に、絶縁体 280、絶縁体 274、絶縁体 270、絶縁体 271、絶縁体 224、絶縁体 222、および絶縁体 220 に、酸化物 230 の領域 231、導電体 260、および導電体 205 に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。

[0356]

なお、導電体 252a、および導電体 252b が酸化物 230 の側面に接して設けられるように、酸化物 230 に達する開口において、酸化物 230 の側面が露出するように、当該開口を形成する。

[0357]

次に、導電体 252 となる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。

[0358]

次に、CMP 処理を行うことで、導電体 252 となる導電膜の一部を除去し、絶縁体 280 を露出す

る。その結果、上記開口のみに、該導電膜が残存することで上面が平坦な導電体 252 を形成することができる（図 32 参照。）。

[0359]

導電体 252a は、絶縁体 280、および絶縁体 274 に形成された開口を介して、トランジスタ 200 のソース領域およびドレイン領域の一方として機能する領域 231a と接している。領域 231a は低抵抗化されているので、導電体 252a と領域 231a の接触抵抗を低減することができる。また、導電体 252b は、絶縁体 280、および絶縁体 274 に形成された開口を介して、トランジスタ 200 のソース領域およびドレイン領域の他方として機能する領域 231b と接している。また、導電体 252c は、絶縁体 280、絶縁体 274、絶縁体 270、および絶縁体 271 に形成された開口を介して、トランジスタ 200 の第 1 のゲート電極として機能する導電体 260 と接している。また、導電体 252d は、絶縁体 280、絶縁体 274、絶縁体 224、絶縁体 222、および絶縁体 220 に形成された開口を介して、トランジスタ 200 の第 2 のゲート電極として機能する導電体 205 と接している。

[0360]

ここで、図 32 (D) に示すように、導電体 252a および導電体 252b は、少なくとも酸化物 230 の上面と接し、さらに酸化物 230 の側面と接することが好ましい。特に、導電体 252a および導電体 252b は、酸化物 230 のチャネル幅方向と交わる側面において、C 側の側面および D 側の側面（E 側の側面および F 側の側面）の双方または一方と接することが好ましい。また、導電体 252a および導電体 252b が、酸化物 230 のチャネル長方向と交わる側面において、それぞれ A 側の側面および B 側の側面と接する構成にしてもよい。このように、導電体 252a および導電体 252b が酸化物 230 の上面に加えて、酸化物 230 の側面と接する構成にすることにより、導電体 252a および導電体 252b と、酸化物 230 のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体 252a および導電体 252b と、酸化物 230 の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

[0361]

以上により、トランジスタ 201 を有する半導体装置を作製することができる。図 22 乃至図 32 に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ 201 を作製することができる。

[0362]

<半導体装置の作製方法 4>

次に、本発明に係るトランジスタ 202 を有する半導体装置について、作製方法を図 33 乃至図 39 を用いて説明する。また、図 33 乃至図 39 において、各図の (A) は上面図を示す。また、各図の (B) は (A) に示す A-B の一点鎖線で示す部位に対応する断面図である。また、各図の (C) は、(A) に C-D の一点鎖線で示す部位に対応する断面図である。また、各図の (D) は、(A) に E-F の一点鎖線で示す部位に対応する断面図である。

[0363]

まず、<半導体装置の作製方法 1>での説明に従って、図 9 に示すように、絶縁体 224、酸化物 230a、および酸化物 230b の上に、酸化膜 230C、絶縁膜 250A、導電膜 260A、導電膜 260B を順に成膜する。続いて、酸化膜 230C、絶縁膜 250A、導電膜 260A、および導電

膜 2 6 0 B を、エッチングし、酸化物 2 3 0 c、絶縁体 2 5 0、および導電体 2 6 0（導電体 2 6 0 a、導電体 2 6 0 b）を形成する（図 3 3 参照。）。本工程では、酸化膜 2 3 0 C をエッチングし、酸化物 2 3 0 c を形成している点で、＜半導体装置の作製方法 1＞の工程と異なる。

[0 3 6 4]

次に、絶縁体 2 2 4 および酸化物 2 3 0 b 上に導電体 2 6 3 およびマスク 2 6 4 を形成する。本工程では、導電体 2 6 3 は、金属元素の添加工程におけるマスクとしての機能と、領域 2 3 1 と電氣的に接続する導電体としての機能も兼ねる。また、導電体 2 6 3 は、導電体 2 6 0 と接することの無いように形成する（図 3 4 参照。）。

[0 3 6 5]

また、導電体 2 6 3 は、成膜中、あるいは成膜後に、酸化物 2 3 0 の領域 2 3 1 から酸素を引き抜き、領域 2 3 1 に酸素欠損を生成させる機能、および領域 2 3 1 に金属元素や不純物を拡散させる機能の一方、または両方を有する材料を用いることが好ましい。このような材料を用いることで、領域 2 3 1 は低抵抗化する。なお、導電体 2 6 3 をスパッタリング法で形成すると、成膜中に不純物の酸化物 2 3 0 中への混入や、所謂ミキシングと呼ばれる、金属元素の酸化物 2 3 0 中への混入が起こり、領域 2 3 1 が低抵抗化して好ましい。

[0 3 6 6]

マスク 2 6 4 は、レジストマスクを用いることができる。導電体 2 6 3 となる導電体を、絶縁体 2 2 4、酸化物 2 3 0、絶縁体 2 5 0、導電体 2 6 0 上に形成し、当該導電体上にマスク 2 6 4 を形成し、当該導電体をエッチングなどにより加工することで、導電体 2 6 3 を形成することができる。導電体 2 6 3 となる導電体材料は、導電体 2 6 0 a および導電体 2 6 0 b と異なる材料を用いることが好ましい。

[0 3 6 7]

ここで、図 3 4（D）に示すように、導電体 2 6 3 は、少なくとも酸化物 2 3 0 の上面と接し、さらに酸化物 2 3 0 の側面と接することが好ましい。特に、導電体 2 6 3 は、酸化物 2 3 0 のチャネル幅方向と交わる側面において、C 側の側面および D 側の側面（E 側の側面および F 側の側面）の双方または一方と接することが好ましい。また、導電体 2 6 3 が、酸化物 2 3 0 のチャネル長方向と交わる側面において、それぞれ A 側の側面および B 側の側面と接する構成にしてもよい。このように、導電体 2 6 3 が酸化物 2 3 0 の上面に加えて、酸化物 2 3 0 の側面と接する構成にすることにより、導電体 2 6 3 と、酸化物 2 3 0 のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体 2 6 3 と、酸化物 2 3 0 の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

[0 3 6 8]

次に、＜半導体装置の作製方法 1＞に示す方法で、図 1 2 と同様に、導電体 2 6 3、マスク 2 6 4、および導電体 2 6 0 をマスクとして金属元素の添加を行い、酸化物 2 3 0 b、および酸化物 2 3 0 a に領域 2 3 2 を形成する（図 3 5 参照。）。

[0 3 6 9]

なお、詳細は後述するが、金属元素の添加は、ドーパントの進行方向と、基板の法線方向を相対的に異ならせて行っても良い。このようにすることで、領域 2 3 2 の一部と、導電体 2 6 0 の一部を重畳させることができる。例えば、基板を傾斜させて金属元素の添加を行う。

[0 3 7 0]

次に、マスク 264 を除去する（図 36 参照。）。

[0371]

この時、マスク 264 を先に除去してから金属元素の添加を行ってもよいし、金属元素の添加を行ってからマスク 264 を除去しても良い。前者の場合、導電体 263、および導電体 260 をマスクとして金属元素の添加を行う。

[0372]

次に、＜半導体装置の作製方法 1＞に示す方法で、絶縁体 224、酸化物 230、導電体 263、絶縁体 250、および導電体 260 を覆って、絶縁体 272 を成膜する（図 37 参照。）。絶縁体 272 として、被覆性に優れた ALD 法により成膜することが好ましい。ALD 法を用いることで、導電体 260 や導電体 263 などにより形成された段差部においても、絶縁体 250、導電体 260、絶縁体 270、および導電体 263 の側面に対して、均一な厚さを有する絶縁体 272 を形成することができる。

[0373]

次に、＜半導体装置の作製方法 1＞に示す方法で、図 17 と同様に、絶縁体 272 の上に、絶縁体 280 を成膜する（図 38 参照。）。

[0374]

次に、絶縁体 280、絶縁体 272、絶縁体 224、絶縁体 222、および絶縁体 220 に、導電体 263、導電体 260、および導電体 205 に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。

[0375]

次に、導電体 252 となる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。

[0376]

次に、CMP 処理を行うことで、導電体 252 となる導電膜の一部を除去し、絶縁体 280 を露出する。その結果、上記開口のみに、該導電膜が残存することで上面が平坦な導電体 252 を形成することができる（図 39 参照。）。

[0377]

導電体 252a は、絶縁体 280、および絶縁体 272 に形成された開口を介して、導電体 263 と接しており、トランジスタ 200 のソース領域およびドレイン領域の一方として機能する領域 231a と電氣的に接続する。領域 231a は低抵抗化されているので、導電体 252a と領域 231a の間の電気抵抗を低減することができる。また、導電体 252b は、絶縁体 280、および絶縁体 272 に形成された開口を介して、導電体 263 と接しており、トランジスタ 200 のソース領域およびドレイン領域の他方として機能する領域 231b と電氣的に接続する。また、導電体 252c は、絶縁体 280、および絶縁体 272 に形成された開口を介して、トランジスタ 200 の第 1 のゲート電極として機能する導電体 260 と接している。また、導電体 252d は、絶縁体 280、絶縁体 272、絶縁体 224、絶縁体 222、および絶縁体 220 に形成された開口を介して、トランジスタ 200 の第 2 のゲート電極として機能する導電体 205 と接している。

[0378]

以上により、トランジスタ 202 を有する半導体装置を作製することができる。図 33 乃至図 39 に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ 202 を作製

することができる。

[0379]

<半導体装置の作製方法5>

次に、本発明に係るトランジスタ203を有する半導体装置について、作製方法を図40乃至図47を用いて説明する。また、図40乃至図46において、各図の(A)は上面図を示す。また、各図の(B)は(A)に示すA-Bの一点鎖線で示す部位に対応する断面図である。また、各図の(C)は、(A)にC-Dの一点鎖線で示す部位に対応する断面図である。また、各図の(D)は、(A)にE-Fの一点鎖線で示す部位に対応する断面図である。

[0380]

まず、<半導体装置の作製方法3>での説明に従って、図23に示すように、絶縁体250、導電体260(導電体260a、導電体260b)、絶縁体270、および絶縁体271を形成する。次に、<半導体装置の作製方法1>に示す方法で、絶縁体271、絶縁体270、および導電体260をマスクとして金属元素の添加を行い、酸化膜230C、酸化物230b、および酸化物230aに領域232を形成する(図40参照)。

[0381]

なお、詳細は後述するが、金属元素の添加は、ドーパントの進行方向と、基板の法線方向を相対的に異ならせて行っても良い。このようにすることで、領域232の一部と、導電体260の一部を重畳させることができる。例えば、基板を傾斜させて金属元素の添加を行う。

[0382]

次に、<半導体装置の作製方法1>に示す方法で、酸化膜230C、絶縁体250、導電体260、絶縁体270、および絶縁体271を覆って、絶縁膜272Aを成膜する(図41参照)。絶縁膜272Aとして、被覆性に優れたALD法により成膜することが好ましい。ALD法を用いることで、導電体260などにより形成された段差部においても、絶縁体250、導電体260、および絶縁体270の側面に対して、均一な厚さを有する絶縁膜272Aを形成することができる。

[0383]

次に、絶縁膜272Aに対して異方性エッチングを行い、絶縁体250、導電体260、および絶縁体270の側面に接して、絶縁体272を形成する(図42参照)。異方性エッチングとしては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された該絶縁膜を除去して、絶縁体272を自己整合的に形成することができる。

[0384]

ここで、絶縁体270上に絶縁体271を形成しておくことで、絶縁体270上部の絶縁膜272Aが除去されても、絶縁体270を残存させることができる。また、絶縁体250、導電体260、絶縁体270、および絶縁体271からなる構造体の高さを、酸化物230a、酸化物230b、および酸化膜230Cの高さよりも、高くすることで、酸化膜230Cを介した酸化物230a、酸化物230bの側面の絶縁膜272Aを、除去することができる。さらに、酸化物230a、酸化物230bの端部をラウンド形状にしておくと、酸化物230a、酸化物230bの側面に、酸化膜230Cを介して成膜された絶縁膜272Aを除去するための時間が短縮され、より容易に絶縁体272を形成することができる。

[0385]

次に、絶縁体250、導電体260、絶縁体270、絶縁体271、および絶縁体272をマスクと

して、酸化膜 230C の一部をエッチングにより除去し、酸化物 230c を形成する(図 43 参照。)。なお、本工程により、酸化物 230b の上面および側面と、酸化物 230a の側面の一部が除去される場合がある。

[0386]

次に、＜半導体装置の作製方法 1＞に示す方法で、図 16 と同様に、ドーパントを含む絶縁体 274 を成膜する。絶縁体 274 は、絶縁体 224、酸化物 230、絶縁体 271、および絶縁体 272 を覆って、酸化物 230 の領域 232 の一部に接するように成膜する(図 44 参照。)。絶縁体 274 の成膜や成膜後の熱処理により、絶縁体 274 と接する酸化物 230 は低抵抗化し、領域 231 が形成される。

[0387]

ここで、絶縁体 272 に覆われている領域 232 は、絶縁体 274 とは接していないが、絶縁体 274 の成膜や成膜後の熱処理により、領域 232 中の酸素が引き抜かれ、酸素欠損が生じる、または水素などの不純物が拡散することにより、低抵抗化する場合がある。

[0388]

なお、領域 231 の低抵抗化は、インジウムなどの金属元素、および不純物の少なくとも一であるドーパントの添加により行ってもよい。ドーパントの添加方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。また、プラズマ処理を用いてもよい。

[0389]

絶縁体 274 成膜後、あるいは、ドーパントの添加後に加熱処理を行ってもよい。加熱処理を行うことで、添加されたドーパントが、酸化物 230 の領域 231 全体、さらに領域 232 へと拡散し、トランジスタ 200 のオン電流を大きくすることができる。

[0390]

次に、＜半導体装置の作製方法 1＞に示す方法で、図 17 と同様に、絶縁体 274 の上に、絶縁体 280 を成膜する(図 45 参照。)

[0391]

次に、絶縁体 280、絶縁体 274、絶縁体 270、絶縁体 271、絶縁体 224、絶縁体 222、および絶縁体 220 に、酸化物 230 の領域 231、導電体 260、および導電体 205 に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。

[0392]

なお、導電体 252a、および導電体 252b が酸化物 230 の側面に接して設けられるように、酸化物 230 に達する開口において、酸化物 230 の側面が露出するように、当該開口を形成する。

[0393]

次に、導電体 252 となる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。

[0394]

次に、CMP 処理を行うことで、導電体 252 となる導電膜の一部を除去し、絶縁体 280 を露出する。その結果、上記開口のみに、該導電膜が残存することで上面が平坦な導電体 252 を形成することができる(図 46 参照。)

[0395]

導電体 252a は、絶縁体 280、および絶縁体 274 に形成された開口を介して、トランジスタ 200 のソース領域およびドレイン領域の一方として機能する領域 231a と接している。領域 231a は低抵抗化されているので、導電体 252a と領域 231a の接触抵抗を低減することができる。また、導電体 252b は、絶縁体 280、および絶縁体 274 に形成された開口を介して、トランジスタ 200 のソース領域およびドレイン領域の他方として機能する領域 231b と接している。また、導電体 252c は、絶縁体 280、絶縁体 274、絶縁体 270、および絶縁体 271 に形成された開口を介して、トランジスタ 200 の第 1 のゲート電極として機能する導電体 260 と接している。また、導電体 252d は、絶縁体 280、絶縁体 274、絶縁体 224、絶縁体 222、および絶縁体 220 に形成された開口を介して、トランジスタ 200 の第 2 のゲート電極として機能する導電体 205 と接している。

[0396]

ここで、図 46 (D) に示すように、導電体 252a および導電体 252b は、少なくとも酸化物 230 の上面と接し、さらに酸化物 230 の側面と接することが好ましい。特に、導電体 252a および導電体 252b は、酸化物 230 のチャネル幅方向と交わる側面において、C 側の側面および D 側の側面 (E 側の側面および F 側の側面) の双方または一方と接することが好ましい。また、導電体 252a および導電体 252b が、酸化物 230 のチャネル長方向と交わる側面において、それぞれ A 側の側面および B 側の側面と接する構成にしてもよい。このように、導電体 252a および導電体 252b が酸化物 230 の上面に加えて、酸化物 230 の側面と接する構成にすることにより、導電体 252a および導電体 252b と、酸化物 230 のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体 252a および導電体 252b と、酸化物 230 の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

[0397]

図 47 は、酸化物 230 に金属元素を添加して、領域 232 を形成する工程において、ドーパントの進行方向と、基板の法線方向を相対的に異ならせて行う場合を示す図である。トランジスタ 203 を構成する酸化物、導電体、および絶縁体は、基体 401 上に設けられている。基体 401 は、シリコンなど半導体材料からなる基板、あるいは石英やガラスなどの絶縁性を有する基板など、前述した基板を有する。基体 401 は、トランジスタや容量などの素子や配線を有していてもよい。当該素子や配線により回路が構成されていてもよい。

[0398]

基体 401 は、イオン注入装置、イオンドーピング装置、プラズマイメージョンイオンインプランテーション装置、またはプラズマ処理装置のステージ 410 に設置される。図 47 (A) および図 47 (B) に示すステージ 410 は、静電チャックの機構を有しており、正の電位が印加される電極 412 および負の電位が印加される電極 414 が設けられている。基体 401 をステージ 410 に設置した後、電極 412 および電極 414 それぞれに正の電位と負の電位を印加することで、基体 401 はステージ 410 に固定される。なお、基体 401 のステージ 410 への固定は、静電チャックに限らない。物理的に基体 401 をステージ 410 に固定してもよく、メカニカルチャックなどを用いることができる。

[0399]

次に、基体 401 (または基板) の法線方向が、ドーパントの進行方向から $+\theta$ (θ は、 1° 以上 6

0° 以下、好ましくは、3° 以上 45° 以下、より好ましくは、5° 以上 30° 以下) 傾くようにステージ 410 を傾斜させ、金属元素の添加を行う (図 47 (A) 参照。)。このとき、導電体 260 と重畳する酸化膜 230C、酸化物 230b、および酸化物 230a にも領域 232a が形成される。

[0400]

一方、導電体 260 を軸として、領域 232a の反対に位置する酸化膜 230C、酸化物 230b、および酸化物 230a の一部領域には、導電体 260 などがマスクとなり、金属元素が添加されない。

[0401]

次に、基体 401 (または基板) の法線方向が、ドーパントの進行方向から $-\theta$ (θ は、1° 以上 60° 以下、好ましくは、3° 以上 45° 以下、より好ましくは、5° 以上 30° 以下) 傾くようにステージ 410 を傾斜させ、金属元素の添加を行う (図 47 (B) 参照。)。このとき、導電体 260 と重畳する酸化膜 230C、酸化物 230b、および酸化物 230a にも領域 232a が形成される。

[0402]

このように、ドーパントの進行方向と、基板の法線方向を相対的に異ならせて金属元素の添加を行うことで、導電体 260 と重畳する酸化膜 230C、酸化物 230b、および酸化物 230a に領域 232a、および領域 232b を形成することができる。

[0403]

このような金属元素の添加方法は、前述した、<半導体装置の作製方法 1>、<半導体装置の作製方法 2>、<半導体装置の作製方法 3>、および<半導体装置の作製方法 4>にも適用できる。本方法を用いることで、導電体 260 と重畳する酸化物 230 の一部にも領域 232 を設けることができる。

[0404]

以降、前述の作製方法に従って、絶縁体 272、酸化物 230c、絶縁体 274 を形成することで、トランジスタ 203 を作製することができる。

[0405]

以上により、トランジスタ 203 を有する半導体装置を作製することができる。図 40 乃至図 47 に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ 203 を作製することができる。

[0406]

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

[0407]

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。本発明の一態様により、生産性の高い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。

[0408]

本発明の一態様により、作製工程が簡略化された半導体装置およびその作製方法を提供することができる。また、本発明の一態様により、面積が縮小された半導体装置およびその作製方法を提供するこ

とができる。

[0409]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

[0410]

(実施の形態2)

本実施の形態では、半導体装置の一形態を、図48を用いて説明する。

[0411]

[記憶装置1]

図48に示す記憶装置は、トランジスタ200、および容量素子100を有するセル600と、トランジスタ300と、を有している。

[0412]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0413]

また、セル600において、トランジスタ200と、容量素子100とは、共通する構造を有しているため、投影面積が小さく、微細化および高集積化が可能である。

[0414]

図48に示す記憶装置において、配線3001はトランジスタ300のソースと電氣的に接続され、配線3002はトランジスタ300のドレインと電氣的に接続されている。また、配線3003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線3004はトランジスタ200の第1のゲートと電氣的に接続され、配線3006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線3005は容量素子100の電極の他方と電氣的に接続されている。

[0415]

図48に示す記憶装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

[0416]

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ200が導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ300のゲート、および容量素子100の電極の一方と電氣的に接続するノードFGに与えられる。即ち、トランジスタ300のゲートには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という。)のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードFGに電荷が保持される(保持)。

[0417]

トランジスタ 200 のオフ電流が小さい場合、ノード FG の電荷は長期間にわたって保持される。

[0418]

次に情報の読み出しについて説明する。第 1 の配線 3001 に所定の電位 (定電位) を与えた状態で、第 5 の配線 3005 に適切な電位 (読み出し電位) を与えると、第 2 の配線 3002 は、ノード FG に保持された電荷量に応じた電位をとる。これは、トランジスタ 300 を n チャネル型とすると、トランジスタ 300 のゲートに High レベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ 300 のゲートに Low レベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ 300 を「導通状態」とするために必要な第 5 の配線 3005 の電位をいうものとする。したがって、第 5 の配線 3005 の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノード FG に与えられた電荷を判別できる。例えば、書き込みにおいて、ノード FG に High レベル電荷が与えられていた場合には、第 5 の配線 3005 の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ 300 は「導通状態」となる。一方、ノード FG に Low レベル電荷が与えられていた場合には、第 5 の配線 3005 の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ 300 は「非導通状態」のままである。このため、第 2 の配線 3002 の電位を判別することで、ノード FG に保持されている情報を読み出すことができる。

[0419]

<記憶装置 1 の構造>

本発明の一態様の半導体装置は、図 48 に示すようにトランジスタ 300、トランジスタ 200、容量素子 100 を有する。トランジスタ 200 はトランジスタ 300 の上方に設けられ、容量素子 100 はトランジスタ 300、およびトランジスタ 200 の上方に設けられている。

[0420]

トランジスタ 300 は、基板 311 上に設けられ、導電体 316、絶縁体 315、基板 311 の一部からなる半導体領域 313、およびソース領域またはドレイン領域として機能する低抵抗領域 314a、および低抵抗領域 314b を有する。

[0421]

トランジスタ 300 は、p チャネル型、あるいは n チャネル型のいずれでもよい。

[0422]

半導体領域 313 のチャンネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 314a、および低抵抗領域 314b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge (ゲルマニウム)、SiGe (シリコンゲルマニウム)、GaAs (ガリウムヒ素)、GaAlAs (ガリウムアルミニウムヒ素) などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または GaAs と GaAlAs 等を用いることで、トランジスタ 300 を HEMT (High Electron Mobility Transistor) としてもよい。

[0423]

低抵抗領域 314a、および低抵抗領域 314b は、半導体領域 313 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

[0424]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0425]

なお、導電体の材料により、仕事関数を定めることで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0426]

なお、図48に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0427]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

[0428]

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0429]

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

[0430]

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ200が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0431]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0432]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0433]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶

縁体 3 2 4 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0434]

また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 には容量素子 1 0 0、またはトランジスタ 2 0 0 と電氣的に接続する導電体 3 2 8、および導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、および導電体 3 3 0 はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0435]

各プラグ、および配線（導電体 3 2 8、および導電体 3 3 0 等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0436]

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 4 8 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、プラグ、または配線としての機能を有する。なお導電体 3 5 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0437]

なお、例えば、絶縁体 3 5 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 5 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 5 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

[0438]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 3 0 0 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 3 5 0 と接する構造であることが好ましい。

[0439]

絶縁体 3 5 0、および導電体 3 5 6 上に、配線層を設けてもよい。例えば、図 4 8 において、絶縁体 3 6 0、絶縁体 3 6 2、及び絶縁体 3 6 4 が順に積層して設けられている。また、絶縁体 3 6 0、絶縁体 3 6 2、及び絶縁体 3 6 4 には、導電体 3 6 6 が形成されている。導電体 3 6 6 は、プラグ、または配線としての機能を有する。なお導電体 3 6 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の

材料を用いて設けることができる。

[0440]

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0441]

絶縁体364、および導電体366上に、配線層を設けてもよい。例えば、図48において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が形成されている。導電体376は、プラグ、または配線としての機能を有する。なお導電体376は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0442]

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0443]

絶縁体374、および導電体376上に、配線層を設けてもよい。例えば、図48において、絶縁体380、絶縁体382、及び絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、及び絶縁体384には、導電体386が形成されている。導電体386は、プラグ、または配線としての機能を有する。なお導電体386は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0444]

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体380が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0445]

絶縁体384上には絶縁体210、および絶縁体212が、順に積層して設けられている。絶縁体210、および絶縁体212のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0446]

絶縁体210には、例えば、基板311、またはトランジスタ300を設ける領域などから、セル6

00を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体324と同様の材料を用いることができる。

[0447]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、セル600等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、セル600と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0448]

また、水素に対するバリア性を有する膜として、例えば、絶縁体210には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0449]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のセル600への混入を防止することができる。また、セル600を構成する酸化物からの酸素の放出を抑制することができる。そのため、セル600に対する保護膜として用いることに適している。

[0450]

また、例えば、絶縁体212には、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体212として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0451]

また、絶縁体210、絶縁体212、絶縁体214、および絶縁体216には、導電体218、及びトランジスタ200を構成する導電体（導電体205）等が埋め込まれている。なお、導電体218は、セル600、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。導電体218は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0452]

特に、絶縁体210、および絶縁体214と接する領域の導電体218は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ200とは、酸素、水素、および水に対するバリア性を有する層により分離することができ、トランジスタ300からセル600への水素の拡散を抑制することができる。

[0453]

絶縁体212の上方には、セル600が設けられている。なお、セル600の構造は、先の実施の形態で説明したセル600を用いればよい。また、図48に示すセル600は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0454]

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オ

フ電流が小さい酸化半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

[0455]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

[0456]

(実施の形態3)

本実施の形態では、図49および図50を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSトランジスタと呼ぶ。）、および容量素子が適用されている記憶装置の一例として、NOSRAMについて説明する。NOSRAM（登録商標）とは「Nonvolatile Oxide Semiconductor RAM」の略称であり、ゲインセル型（2T型、3T型）のメモリセルを有するRAMを指す。なお、以下において、NOSRAMのようにOSトランジスタを用いたメモリ装置を、OSメモリと呼ぶ場合がある。

[0457]

NOSRAMでは、メモリセルにOSトランジスタが用いられるメモリ装置（以下、「OSメモリ」と呼ぶ。）が適用されている。OSメモリは、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有するメモリである。OSトランジスタが極小オフ電流のトランジスタであるので、OSメモリは優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0458]

<<NOSRAM>>

図49にNOSRAMの構成例を示す。図49に示すNOSRAM1600は、メモリセルアレイ1610、コントローラ1640、行ドライバ1650、列ドライバ1660、出力ドライバ1670を有する。なお、NOSRAM1600は、1のメモリセルで多値データを記憶する多値NOSRAMである。

[0459]

メモリセルアレイ1610は複数のメモリセル1611、複数のワード線WWL、RWL、ビット線BL、ソース線SLを有する。ワード線WWLは書き込みワード線であり、ワード線RWLは読み出しワード線である。NOSRAM1600では、1のメモリセル1611で3ビット（8値）のデータを記憶する。

[0460]

コントローラ1640は、NOSRAM1600全体を統括的に制御し、データWDA[31:0]の書き込み、データRDA[31:0]の読み出しを行う。コントローラ1640は、外部からのコマンド信号（例えば、チップイネーブル信号、書き込みイネーブル信号など）を処理して、行ドライバ1650、列ドライバ1660および出力ドライバ1670の制御信号を生成する。

[0461]

行ドライバ1650は、アクセスする行を選択する機能を有する。行ドライバ1650は、行デコーダ1651、およびワード線ドライバ1652を有する。

[0462]

列ドライバ1660は、ソース線SLおよびビット線BLを駆動する。列ドライバ1660は、列デコーダ1661、書き込みドライバ1662、DAC（デジタル-アナログ変換回路）1663を有

する。

[0463]

DAC1663は3ビットのデジタルデータをアナログ電圧に変換する。DAC1663は32ビットのデータWDA[31:0]を3ビットごとに、アナログ電圧に変換する。

[0464]

書き込みドライバ1662は、ソース線SLをプリチャージする機能、ソース線SLを電氣的に浮遊状態にする機能、ソース線SLを選択する機能、選択されたソース線SLにDAC1663で生成した書き込み電圧を入力する機能、ビット線BLをプリチャージする機能、ビット線BLを電氣的に浮遊状態にする機能等を有する。

[0465]

出力ドライバ1670は、セクタ1671、ADC（アナログ-デジタル変換回路）1672、出力バッファ1673を有する。セクタ1671は、アクセスするソース線SLを選択し、選択されたソース線SLの電圧をADC1672に送信する。ADC1672は、アナログ電圧を3ビットのデジタルデータに変換する機能を持つ。ソース線SLの電圧はADC1672において、3ビットのデータに変換され、出力バッファ1673はADC1672から出力されるデータを保持する。

[0466]

<メモリセル>

図50(A)はメモリセル1611の構成例を示す回路図である。メモリセル1611は2T型のゲインセルであり、メモリセル1611はワード線WWL、RWL、ビット線BL、ソース線SL、配線BGLに電氣的に接続されている。メモリセル1611は、ノードSN、OSトランジスタMO61、トランジスタMP61、容量素子C61を有する。OSトランジスタMO61は書き込みトランジスタである。トランジスタMP61は読み出しトランジスタであり、例えばpチャネル型Siトランジスタで構成される。容量素子C61はノードSNの電圧を保持するための保持容量である。ノードSNはデータの保持ノードであり、ここではトランジスタMP61のゲートに相当する。

[0467]

メモリセル1611の書き込みトランジスタがOSトランジスタMO61で構成されているため、NOSRAM1600は長時間データを保持することが可能である。

[0468]

図50(A)の例では、ビット線は、書き込みと読み出しで共通のビット線であるが、図50(B)に示すように、書き込みビット線WBLと、読み出しビット線RBLとを設けてもよい。

[0469]

図50(C)ー図50(E)にメモリセルの他の構成例を示す。図50(C)ー図50(E)には、書き込み用ビット線と読み出し用ビット線を設けた例を示しているが、図50(A)のように書き込みと読み出しで共有されるビット線を設けてもよい。

[0470]

図50(C)に示すメモリセル1612は、メモリセル1611の変形例であり、読み出しトランジスタをnチャネル型トランジスタ(MN61)に変更したものである。トランジスタMN61はOSトランジスタであってもよいし、Siトランジスタであってもよい。

[0471]

メモリセル1611、1612において、OSトランジスタMO61はバックゲートの無いOSトラ

ンジスタであってもよい。

[0472]

図50(D)に示すメモリセル1613は、3T型ゲインセルであり、ワード線WWL、RWL、ビット線WBL、RBL、ソース線SL、配線BGL、PCLに電氣的に接続されている。メモリセル1613は、ノードSN、OSトランジスタMO62、トランジスタMP62、トランジスタMP63、容量素子C62を有する。OSトランジスタMO62は書き込みトランジスタである。トランジスタMP62は読み出しトランジスタであり、トランジスタMP63は選択トランジスタである。

[0473]

図50(E)に示すメモリセル1614は、メモリセル1613の変形例であり、読み出しトランジスタおよび選択トランジスタをnチャネル型トランジスタ(MN62、MN63)に変更したものである。トランジスタMN62、MN63はOSトランジスタであってもよいし、Siトランジスタであってもよい。

[0474]

メモリセル1611-1614に設けられるOSトランジスタは、バックゲートの無いトランジスタでもよいし、バックゲートが有るトランジスタであってもよい。

[0475]

容量素子C61の充放電によってデータを書き換えるため、NOSRAM1600は原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、長時間データを保持することが可能であるので、リフレッシュ頻度を低減できる。

[0476]

上記実施の形態に示す半導体装置をメモリセル1611、1612、1613、1614に用いる場合、OSトランジスタMO61、MO62としてトランジスタ200を用い、容量素子C61、C62として容量素子100を用い、トランジスタMP61、MN62としてトランジスタ300を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置をさらに高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

[0477]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0478]

(実施の形態4)

本実施の形態では、図51および図52を用いて、本発明の一態様に係る、OSトランジスタ、および容量素子が適用されている記憶装置の一例として、DOSRAMについて説明する。DOSRAM(登録商標)とは、「Dynamic Oxide Semiconductor RAM」の略称であり、1T(トランジスタ)1C(容量)型のメモリセルを有するRAMを指す。DOSRAMも、NOSRAMと同様に、OSメモリが適用されている。

[0479]

<<DOSRAM1400>>

図51にDOSRAMの構成例を示す。図51に示すように、DOSRAM1400は、コントローラ1405、行回路1410、列回路1415、メモリセルおよびセンスアンプアレイ1420(以下、「MC-SAアレイ1420」と呼ぶ。)を有する。

[0480]

行回路1410はデコーダ1411、ワード線ドライバ回路1412、列セクタ1413、センスアンプドライバ回路1414を有する。列回路1415はグローバルセンスアンプアレイ1416、入出力回路1417を有する。グローバルセンスアンプアレイ1416は複数のグローバルセンスアンプ1447を有する。MC-SAアレイ1420はメモリセルアレイ1422、センスアンプアレイ1423、グローバルビット線GBLL、GBLRを有する。

[0481]

(MC-SAアレイ1420)

MC-SAアレイ1420は、メモリセルアレイ1422をセンスアンプアレイ1423上に積層した積層構造をもつ。グローバルビット線GBLL、GBLRはメモリセルアレイ1422上に積層されている。DOSRAM1400では、ビット線の構造に、ローカルビット線とグローバルビット線とで階層化された階層ビット線構造が採用されている。

[0482]

メモリセルアレイ1422は、N個(Nは2以上の整数)のローカルメモリセルアレイ1425<0>—1425<N-1>を有する。図52(A)にローカルメモリセルアレイ1425の構成例を示す。ローカルメモリセルアレイ1425は、複数のメモリセル1445、複数のワード線WL、複数のビット線BL、BLRを有する。図52(A)の例では、ローカルメモリセルアレイ1425の構造はオープンビット線型であるが、フォールデッドビット線型であってもよい。

[0483]

図52(B)にメモリセル1445の回路構成例を示す。メモリセル1445はトランジスタMW1、容量素子CS1、端子B1、B2を有する。トランジスタMW1は容量素子CS1の充放電を制御する機能をもつ。トランジスタMW1のゲートはワード線WLに電氣的に接続され、第1端子はビット線(BLL、またはBLR)に電氣的に接続され、第2端子は容量素子CS1の第1端子に電氣的に接続されている。容量素子CS1の第2端子は端子B2に電氣的に接続されている。端子B2には、定電圧(例えば、低電源電圧)が入力される。

[0484]

上記実施の形態に示す半導体装置をメモリセル1445に用いる場合、トランジスタMW1としてトランジスタ200を用い、容量素子CS1として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置を高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

[0485]

トランジスタMW1はバックゲートを備えており、バックゲートは端子B1に電氣的に接続されている。そのため、端子B1の電圧によって、トランジスタMW1の閾値電圧を変更することができる。例えば、端子B1の電圧は固定電圧(例えば、負の定電圧)であってもよいし、DOSRAM1400の動作に応じて、端子B1の電圧を変化させてもよい。

[0486]

トランジスタMW1のバックゲートをトランジスタMW1のゲート、第1の端子、または第2の端子に電氣的に接続してもよい。あるいは、トランジスタMW1にバックゲートを設けなくてもよい。

[0487]

センスアンプアレイ 1 4 2 3 は、N 個のローカルセンスアンプアレイ 1 4 2 6 < 0 > — 1 4 2 6 < N — 1 > を有する。ローカルセンスアンプアレイ 1 4 2 6 は、1 のスイッチアレイ 1 4 4 4、複数のセンスアンプ 1 4 4 6 を有する。センスアンプ 1 4 4 6 には、ビット線対が電氣的に接続されている。センスアンプ 1 4 4 6 は、ビット線対をプリチャージする機能、ビット線対の電圧差を増幅する機能、この電圧差を保持する機能を有する。スイッチアレイ 1 4 4 4 は、ビット線対を選択し、選択したビット線対とグローバルビット線対との間を導通状態にする機能を有する。

[0 4 8 8]

ここで、ビット線対とは、センスアンプによって、同時に比較される 2 本のビット線のことをいう。グローバルビット線対とは、グローバルセンスアンプによって、同時に比較される 2 本のグローバルビット線のことをいう。ビット線対を一对のビット線と呼ぶことができ、グローバルビット線対を一对のグローバルビット線と呼ぶことができる。ここでは、ビット線 B L L とビット線 B L R が 1 組のビット線対を成す。グローバルビット線 G B L L とグローバルビット線 G B L R とが 1 組のグローバルビット線対をなす。以下、ビット線対 (B L L, B L R)、グローバルビット線対 (G B L L, G B L R) と表す。

[0 4 8 9]

(コントローラ 1 4 0 5)

コントローラ 1 4 0 5 は、D O S R A M 1 4 0 0 の動作全般を制御する機能を有する。コントローラ 1 4 0 5 は、外部からの入力されるコマンド信号を論理演算して、動作モードを決定する機能、決定した動作モードが実行されるように、行回路 1 4 1 0、列回路 1 4 1 5 の制御信号を生成する機能、外部から入力されるアドレス信号を保持する機能、内部アドレス信号を生成する機能を有する。

[0 4 9 0]

(行回路 1 4 1 0)

行回路 1 4 1 0 は、M C — S A アレイ 1 4 2 0 を駆動する機能を有する。デコーダ 1 4 1 1 はアドレス信号をデコードする機能を有する。ワード線ドライバ回路 1 4 1 2 は、アクセス対象行のワード線 W L を選択する選択信号を生成する。

[0 4 9 1]

列セクタ 1 4 1 3、センスアンプドライバ回路 1 4 1 4 はセンスアンプアレイ 1 4 2 3 を駆動するための回路である。列セクタ 1 4 1 3 は、アクセス対象列のビット線を選択するための選択信号を生成する機能をもつ。列セクタ 1 4 1 3 の選択信号によって、各ローカルセンスアンプアレイ 1 4 2 6 のスイッチアレイ 1 4 4 4 が制御される。センスアンプドライバ回路 1 4 1 4 の制御信号によって、複数のローカルセンスアンプアレイ 1 4 2 6 は独立して駆動される。

[0 4 9 2]

(列回路 1 4 1 5)

列回路 1 4 1 5 は、データ信号 W D A [3 1 : 0] の入力を制御する機能、データ信号 R D A [3 1 : 0] の出力を制御する機能を有する。データ信号 W D A [3 1 : 0] は書き込みデータ信号であり、データ信号 R D A [3 1 : 0] は読み出しデータ信号である。

[0 4 9 3]

グローバルセンスアンプ 1 4 4 7 はグローバルビット線対 (G B L L, G B L R) に電氣的に接続されている。グローバルセンスアンプ 1 4 4 7 はグローバルビット線対 (G B L L, G B L R) 間の電圧差を増幅する機能、この電圧差を保持する機能を有する。グローバルビット線対 (G B L L, G B

LR)へのデータの書き込み、および読み出しは、入出力回路1417によって行われる。

[0494]

DOSRAM1400の書き込み動作の概要を説明する。入出力回路1417によって、データがグローバルビット線対に書き込まれる。グローバルビット線対のデータは、グローバルセンスアンプアレイ1416によって保持される。アドレス信号が指定するローカルセンスアンプアレイ1426のスイッチアレイ1444によって、グローバルビット線対のデータが、対象列のビット線対に書き込まれる。ローカルセンスアンプアレイ1426は、書き込まれたデータを増幅し、保持する。指定されたローカルメモリセルアレイ1425において、行回路1410によって、対象行のワード線WLが選択され、選択行のメモリセル1445にローカルセンスアンプアレイ1426の保持データが書き込まれる。

[0495]

DOSRAM1400の読み出し動作の概要を説明する。アドレス信号によって、ローカルメモリセルアレイ1425の1行が指定される。指定されたローカルメモリセルアレイ1425において、対象行のワード線WLが選択状態となり、メモリセル1445のデータがビット線に書き込まれる。ローカルセンスアンプアレイ1426によって、各列のビット線対の電圧差がデータとして検出され、かつ保持される。スイッチアレイ1444によって、ローカルセンスアンプアレイ1426の保持データの内、アドレス信号が指定する列のデータが、グローバルビット線対に書き込まれる。グローバルセンスアンプアレイ1416は、グローバルビット線対のデータを検出し、保持する。グローバルセンスアンプアレイ1416の保持データは入出力回路1417に出力される。以上で、読み出し動作が完了する。

[0496]

容量素子CS1の充放電によってデータを書き換えるため、DOSRAM1400には原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、メモリセル1445の回路構成が単純であるため、大容量化が容易である。

[0497]

トランジスタMW1はOSトランジスタである。OSトランジスタはオフ電流が極めて小さいため、容量素子CS1から電荷がリークすることを抑えることができる。したがって、DOSRAM1400の保持時間はDRAMに比べて非常に長い。したがってリフレッシュの頻度を低減できるため、リフレッシュ動作に要する電力を削減できる。よって、DOSRAM1400は大容量のデータを高頻度で書き換えるメモリ装置、例えば、画像処理に利用されるフレームメモリに好適である。

[0498]

MC-SAアレイ1420が積層構造であることよって、ローカルセンスアンプアレイ1426の長さと同程度の長さにビット線を短くすることができる。ビット線を短くすることで、ビット線容量が小さくなり、メモリセル1445の保持容量を低減することができる。また、ローカルセンスアンプアレイ1426にスイッチアレイ1444を設けることで、長いビット線の本数を減らすことができる。以上の理由から、DOSRAM1400のアクセス時に駆動する負荷が低減され、消費電力を低減することができる。

[0499]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

[0500]

(実施の形態 5)

本実施の形態では、図 5 3 から図 5 6 を用いて、本発明の一態様に係る、OS トランジスタ、および容量素子が適用されている半導体装置の一例として、FPGA (フィールドプログラマブルゲートアレイ) について説明する。本実施の形態の FPGA は、コンフィギュレーションメモリ、およびレジスタに OS メモリが適用されている。ここでは、このような FPGA を「OS-FPGA」と呼ぶ。

[0501]

<<OS-FPGA>>

図 5 3 (A) に OS-FPGA の構成例を示す。図 5 3 (A) に示す OS-FPGA 3110 は、マルチコンテキスト構造によるコンテキスト切り替えと PLE 毎の細粒度パワーゲーティングを実行する NOFF (ノーマリオフ) コンピューティングが可能である。OS-FPGA 3110 は、コントローラ (Controller) 3111、ワードドライバ (Word driver) 3112、データドライバ (Data driver) 3113、プログラマブルエリア (Programmable area) 3115 を有する。

[0502]

プログラマブルエリア 3115 は、2 個の入出力ブロック (IOB) 3117、コア (Core) 3119 を有する。IOB 3117 は複数のプログラマブル入出力回路を有する。コア 3119 は、複数のロジックアレイブロック (LAB) 3120、複数のスイッチアレイブロック (SAB) 3130 を有する。LAB 3120 は複数の PLE 3121 を有する。図 5 3 (B) には、LAB 3120 を 5 個の PLE 3121 で構成する例を示す。図 5 3 (C) に示すように SAB 3130 はアレイ状に配列された複数のスイッチブロック (SB) 3131 を有する。LAB 3120 は自身の入力端子と、SAB 3130 を介して 4 (上下左右) 方向の LAB 3120 に接続される。

[0503]

図 5 4 (A) 乃至図 5 4 (C) を参照して、SB 3131 について説明する。図 5 4 (A) に示す SB 3131 には、data、data b、信号 context [1:0]、word [1:0] が入力される。data、data b はコンフィギュレーションデータであり、data と data b は論理が相補的な関係にある。OS-FPGA 3110 のコンテキスト数は 2 であり、信号 context [1:0] はコンテキスト選択信号である。信号 word [1:0] はワード線選択信号であり、信号 word [1:0] が入力される配線がそれぞれワード線である。

[0504]

SB 3131 は、PRS (プログラマブルルーティングスイッチ) 3133 [0]、3133 [1] を有する。PRS 3133 [0]、3133 [1] は、相補データを格納できるコンフィギュレーションメモリ (CM) を有する。なお、PRS 3133 [0] と PRS 3133 [1] とを区別しない場合、PRS 3133 と呼ぶ。他の要素についても同様である。

[0505]

図 5 4 (B) に PRS 3133 [0] の回路構成例を示す。PRS 3133 [0] と PRS 3133 [1] とは同じ回路構成を有する。PRS 3133 [0] と PRS 3133 [1] とは入力されるコンテキスト選択信号、ワード線選択信号が異なる。信号 context [0]、word [0] は PRS 3133 [0] に入力され、信号 context [1]、word [1] は PRS 3133 [1] に入力される。例えば、SB 3131 において、信号 context [0] が “H” になることで、PRS 3133 [0] がアクティブになる。

[0506]

PRS3133[0]は、CM3135、SiトランジスタM31を有する。SiトランジスタM31は、CM3135により制御されるパストランジスタである。CM3135は、メモリ回路3137、3137Bを有する。メモリ回路3137、3137Bは同じ回路構成である。メモリ回路3137は、容量素子C31、OSTランジスタMO31、MO32を有する。メモリ回路3137Bは、容量素子CB31、OSTランジスタMOB31、MOB32を有する。

[0507]

上記実施の形態に示す半導体装置をSAB3130に用いる場合、OSTランジスタMO31、MOB31としてトランジスタ200を用い、容量素子C31、CB31として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

[0508]

OSTランジスタMO31、MO32、MOB31、MOB32はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電氣的に接続されている。

[0509]

SiトランジスタM31のゲートがノードN31であり、OSTランジスタMO32のゲートがノードN32であり、OSTランジスタMOB32のゲートがノードNB32である。ノードN32、NB32はCM3135の電荷保持ノードである。OSTランジスタMO32はノードN31と信号context[0]用の信号線との間の導通状態を制御する。OSTランジスタMOB32はノードN31と低電位電源線VSSとの間の導通状態を制御する。

[0510]

メモリ回路3137、3137Bが保持するデータの論理は相補的な関係にある。したがって、OSTランジスタMO32またはMOB32の何れか一方が導通する。

[0511]

図54(C)を参照して、PRS3133[0]の動作例を説明する。PRS3133[0]にコンフィギュレーションデータが既に関き込まれており、PRS3133[0]のノードN32は“H”であり、ノードNB32は“L”である。

[0512]

信号context[0]が“L”である間はPRS3133[0]は非アクティブである。この期間に、PRS3133[0]の入力端子が“H”に遷移しても、SiトランジスタM31のゲートは“L”が維持され、PRS3133[0]の出力端子も“L”が維持される。

[0513]

信号context[0]が“H”である間はPRS3133[0]はアクティブである。信号context[0]が“H”に遷移すると、CM3135が記憶するコンフィギュレーションデータによって、SiトランジスタM31のゲートは“H”に遷移する。

[0514]

PRS3133[0]がアクティブである期間に、入力端子が“H”に遷移すると、メモリ回路3137のOSTランジスタMO32がソースフォロアであるために、ブースティング(boosting)によってSiトランジスタM31のゲート電圧は上昇する。その結果、メモリ回路3137のOSTランジスタMO32は駆動能力を失い、SiトランジスタM31のゲートは浮遊状態となる。

[0515]

マルチコンテキスト機能を備えるPRS 3133において、CM 3135はマルチプレクサの機能を併せ持つ。

[0516]

図55にPLE 3121の構成例を示す。PLE 3121はLUT（ルックアップテーブル）ブロック（LUT block）3123、レジスタブロック3124、セクタ3125、CM 3126を有する。LUTブロック3123は、入力in A、in B、in C、およびin Dに従ってデータを選択し、出力する構成である。セクタ3125は、CM 3126が格納するコンフィギュレーションデータに従って、LUTブロック3123の出力またはレジスタブロック3124の出力を選択する。

[0517]

PLE 3121は、パワースイッチ3127を介して電圧VDD用の電源線に電氣的に接続されている。パワースイッチ3127のオンオフは、CM 3128が格納するコンフィギュレーションデータによって設定される。各PLE 3121にパワースイッチ3127を設けることで、細粒度パワーゲーティングが可能である。細粒度パワーゲーティング機能により、コンテキストの切り替え後に使用されないPLE 3121をパワーゲーティングすることができるので、待機電力を効果的に低減できる。

[0518]

NOFF コンピューティングを実現するため、レジスタブロック3124は、不揮発性レジスタで構成される。PLE 3121内の不揮発性レジスタはOSメモリを備えるフリップフロップ（以下[OS-FF]と呼ぶ）である。

[0519]

レジスタブロック3124は、OS-FF 3140 [1]、3140 [2]を有する。信号user_res、load、storeがOS-FF 3140 [1]、3140 [2]に入力される。クロック信号CLK1はOS-FF 3140 [1]に入力され、クロック信号CLK2はOS-FF 3140 [2]に入力される。図56（A）にOS-FF 3140の構成例を示す。

[0520]

OS-FF 3140は、FF 3141、シャドウレジスタ3142を有する。FF 3141は、ノードCK、R、D、Q、QBを有する。ノードCKにはクロック信号が入力される。ノードRには信号user_resが入力される。信号user_resはリセット信号である。ノードDはデータ入力ノードであり、ノードQはデータ出力ノードである。ノードQとノードQBとは論理が相補関係にある。

[0521]

シャドウレジスタ3142は、FF 3141のバックアップ回路として機能する。シャドウレジスタ3142は、信号storeに従いノードQ、QBのデータをそれぞれバックアップし、また、信号loadに従い、バックアップしたデータをノードQ、QBに書き戻す。

[0522]

シャドウレジスタ3142は、インバータ回路3188、3189、SiトランジスタM37、MB 37、メモリ回路3143、3143Bを有する。メモリ回路3143、3143Bは、PRS 3133のメモリ回路3137と同じ回路構成である。メモリ回路3143は容量素子C36、OSトラ

ンジスタMO35、MO36を有する。メモリ回路3143Bは容量素子CB36、OSトランジスタMOB35、OSトランジスタMOB36を有する。ノードN36、NB36はOSトランジスタMO36、OSトランジスタMOB36のゲートであり、それぞれ電荷保持ノードである。ノードN37、NB37は、SiトランジスタM37、MB37のゲートである。

[0523]

上記実施の形態に示す半導体装置をLAB3120に用いる場合、OSトランジスタMO35、MOB35としてトランジスタ200を用い、容量素子C36、CB36として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

[0524]

OSトランジスタMO35、MO36、MOB35、MOB36はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電氣的に接続されている。

[0525]

図56(B)を参照して、OS-FF3140の動作方法例を説明する。

[0526]

(バックアップ (Backup))

“H”の信号storeがOS-FF3140に入力されると、シャドウレジスタ3142はFF3141のデータをバックアップする。ノードN36は、ノードQのデータが書き込まれることで、“L”となり、ノードNB36は、ノードQBのデータが書き込まれることで、“H”となる。しかる後、パワーゲーティングが実行され、パワースイッチ3127をオフにする。FF3141のノードQ、QBのデータは消失するが、電源オフであっても、シャドウレジスタ3142はバックアップしたデータを保持する。

[0527]

(リカバリ (Recovery))

パワースイッチ3127をオンにし、PLE3121に電源を供給する。しかる後、“H”の信号loadがOS-FF3140に入力されると、シャドウレジスタ3142はバックアップしているデータをFF3141に書き戻す。ノードN36は“L”であるので、ノードN37は“L”が維持され、ノードNB36は“H”であるので、ノードNB37は“H”となる。よって、ノードQは“H”になり、ノードQBは“L”になる。つまり、OS-FF3140はバックアップ動作時の状態に復帰する。

[0528]

細粒度パワーゲーティングと、OS-FF3140のバックアップ／リカバリ動作とを組み合わせることで、OS-FPGA3110の消費電力を効果的に低減できる。

[0529]

メモリ回路において発生しうるエラーとして放射線の入射によるソフトエラーが挙げられる。ソフトエラーは、メモリやパッケージを構成する材料などから放出される α 線や、宇宙から大気に入射した一次宇宙線が大気中に存在する原子の原子核と核反応を起こすことにより発生する二次宇宙線中性子などがトランジスタに照射され、電子正孔対が生成されることにより、メモリに保持されたデータが反転するなどの誤作動が生じる現象である。OSトランジスタを用いたOSメモリはソフトエラー耐性が高い。そのため、OSメモリを搭載することで、信頼性の高いOS-FPGA3110を提

供することができる。

[0530]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0531]

(実施の形態6)

本実施の形態では、図57を用いて、上記実施の形態に示す半導体装置を適用した、AIシステムについて説明を行う。

[0532]

図57はAIシステム4041の構成例を示すブロック図である。AIシステム4041は、演算部4010と、制御部4020と、入出力部4030を有する。

[0533]

演算部4010は、アナログ演算回路4011と、DOSRAM4012と、NOSRAM4013と、FPGA4014と、を有する。DOSRAM4012、NOSRAM4013、およびFPGA4014として、上記実施の形態に示す、DOSRAM1400、NOSRAM1600、およびOS-FPGA3110を用いることができる。

[0534]

制御部4020は、CPU (Central Processing Unit) 4021と、GPU (Graphics Processing Unit) 4022と、PLL (Phase Locked Loop) 4023と、SRAM (Static Random Access Memory) 4024と、PROM (Programmable Read Only Memory) 4025と、メモリコントローラ4026と、電源回路4027と、PMU (Power Management Unit) 4028と、を有する。

[0535]

入出力部4030は、外部記憶制御回路4031と、音声コーデック4032と、映像コーデック4033と、汎用入出力モジュール4034と、通信モジュール4035と、を有する。

[0536]

演算部4010は、ニューラルネットワークによる学習または推論を実行することができる。

[0537]

アナログ演算回路4011はA/D (アナログ/デジタル) 変換回路、D/A (デジタル/アナログ) 変換回路、および積和演算回路を有する。

[0538]

アナログ演算回路4011はOSトランジスタを用いて形成することが好ましい。OSトランジスタを用いたアナログ演算回路4011は、アナログメモリを有し、学習または推論に必要な積和演算を、低消費電力で実行することが可能になる。

[0539]

DOSRAM4012は、OSトランジスタを用いて形成されたDRAMであり、DOSRAM4012は、CPU4021から送られてくるデジタルデータを一時的に格納するメモリである。DOSRAM4012は、OSトランジスタを含むメモリセルと、Siトランジスタを含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、DOSRAM4012は、全体の回路面積を小さくすることができる。

[0540]

ニューラルネットワークを用いた計算は、入力データが1000を超えることがある。上記入力データをSRAMに格納する場合、SRAMは回路面積に制限があり、記憶容量が小さいため、上記入力データを小分けにして格納せざるを得ない。DOSRAM4012は、限られた回路面積でも、メモリセルを高集積に配置することが可能であり、SRAMに比べて記憶容量が大きい。そのため、DOSRAM4012は、上記入力データを効率よく格納することができる。

[0541]

NOSRAM4013はOSトランジスタを用いた不揮発性メモリである。NOSRAM4013は、フラッシュメモリや、ReRAM (Resistive Random Access Memory)、MRAM (Magnetoresistive Random Access Memory)などの他の不揮発性メモリと比べて、データを書き込む際の消費電力が小さい。また、フラッシュメモリやReRAMのように、データを書き込む際に素子が劣化することなく、データの書き込み可能回数に制限が無い。

[0542]

また、NOSRAM4013は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。NOSRAM4013は多値データを記憶することで、1ビット当たりのメモリセル面積を小さくすることができる。

[0543]

また、NOSRAM4013は、デジタルデータの他にアナログデータを記憶することができる。そのため、アナログ演算回路4011は、NOSRAM4013をアナログメモリとして用いることもできる。NOSRAM4013は、アナログデータのまま記憶することができるため、D/A変換回路やA/D変換回路が不要である。そのため、NOSRAM4013は周辺回路の面積を小さくすることができる。なお、本明細書においてアナログデータとは、3ビット（8値）以上分解能を有するデータのことを指す。上述した多値データがアナログデータに含まれる場合もある。

[0544]

ニューラルネットワークの計算に用いられるデータやパラメータは、一旦、NOSRAM4013に格納することができる。上記データやパラメータは、CPU4021を介して、AIシステム4041の外部に設けられたメモリに格納してもよいが、内部に設けられたNOSRAM4013の方が、より高速且つ低消費電力に上記データやパラメータを格納することができる。また、NOSRAM4013は、DOSRAM4012よりもビット線を長くすることができるので、記憶容量を大きくすることができる。

[0545]

FPGA4014は、OSトランジスタを用いたFPGAである。AIシステム4041は、FPGA4014を用いることによって、ハードウェアで後述する、ディープニューラルネットワーク (DNN)、畳み込みニューラルネットワーク (CNN)、再帰型ニューラルネットワーク (RNN)、自己符号化器、深層ボルツマンマシン (DBM)、深層信念ネットワーク (DBN)などの、ニューラルネットワークの接続を構成することができる。上記のニューラルネットワークの接続をハードウェアで構成することで、より高速に実行することができる。

[0546]

FPGA4014はOSトランジスタを有するFPGAである。OS-FPGAは、SRAMで構成

されるFPGAよりもメモリの面積を小さくすることができる。そのため、コンテキスト切り替え機能を追加しても面積増加が少ない。また、OS - FPGAはブースティングによりデータやパラメータを高速に伝えることができる。

[0547]

AIシステム4041は、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014を1つのダイ（チップ）の上に設けることができる。そのため、AIシステム4041は、高速且つ低消費電力に、ニューラルネットワークの計算を実行することができる。また、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014は、同じ製造プロセスで作製することができる。そのため、AIシステム4041は、低コストで作製することができる。

[0548]

なお、演算部4010は、DOSRAM4012、NOSRAM4013、およびFPGA4014を、全て有する必要はない。AIシステム4041が解決したい課題に応じて、DOSRAM4012、NOSRAM4013、およびFPGA4014の一または複数を、選択して設ければよい。

[0549]

AIシステム4041は、解決したい課題に応じて、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができる。PROM4025は、これらの手法の少なくとも1つを実行するためのプログラムを保存することができる。また、当該プログラムの一部または全てを、NOSRAM4013に保存してもよい。

[0550]

ライブラリとして存在する既存のプログラムは、GPUの処理を前提としているものが多い。そのため、AIシステム4041はGPU4022を有することが好ましい。AIシステム4041は、学習と推論で用いられる積和演算のうち、律速となる積和演算を演算部4010で実行し、それ以外の積和演算をGPU4022で実行することができる。そうすることで、学習と推論を高速に実行することができる。

[0551]

電源回路4027は、論理回路用の低電源電位を生成するだけでなく、アナログ演算のための電位生成も行う。電源回路4027はOSメモリを用いてもよい。電源回路4027は、基準電位をOSメモリに保存することで、消費電力を下げるることができる。

[0552]

PMU4028は、AIシステム4041の電力供給を一時的にオフにする機能を有する。

[0553]

CPU4021およびGPU4022は、レジスタとしてOSメモリを有することが好ましい。CPU4021およびGPU4022はOSメモリを有することで、電力供給がオフになっても、OSメモリ中にデータ（論理値）を保持し続けることができる。その結果、AIシステム4041は、電力を節約することができる。

[0554]

PLL4023は、クロックを生成する機能を有する。AIシステム4041は、PLL4023が

生成したクロックを基準に動作を行う。PLL 4023はOSメモリを有することが好ましい。PLL 4023はOSメモリを有することで、クロックの発振周期を制御するアナログ電位を保持することができる。

[0555]

AIシステム4041は、DRAMなどの外部メモリにデータを保存してもよい。そのため、AIシステム4041は、外部のDRAMとのインターフェースとして機能するメモリコントローラ4026を有することが好ましい。また、メモリコントローラ4026は、CPU4021またはGPU4022の近くに配置することが好ましい。そうすることで、データのやり取りを高速に行うことができる。

[0556]

制御部4020に示す回路の一部または全ては、演算部4010と同じダイの上に形成することができる。そうすることで、AIシステム4041は、高速且つ低消費電力に、ニューラルネットワークの計算を実行することができる。

[0557]

ニューラルネットワークの計算に用いられるデータは外部記憶装置（HDD（Hard Disk Drive）、SSD（Solid State Drive）など）に保存される場合が多い。そのため、AIシステム4041は、外部記憶装置とのインターフェースとして機能する外部記憶制御回路4031を有することが好ましい。

[0558]

ニューラルネットワークを用いた学習と推論は、音声や映像を扱うことが多いので、AIシステム4041は音声コーデック4032および映像コーデック4033を有する。音声コーデック4032は、音声データのエンコード（符号化）およびデコード（復号）を行い、映像コーデック4033は、映像データのエンコードおよびデコードを行う。

[0559]

AIシステム4041は、外部センサから得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は汎用入出力モジュール4034を有する。汎用入出力モジュール4034は、例えば、USB（Universal Serial Bus）やI2C（Inter-Integrated Circuit）などを含む。

[0560]

AIシステム4041は、インターネットを経由して得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は、通信モジュール4035を有することが好ましい。

[0561]

アナログ演算回路4011は、多値のフラッシュメモリをアナログメモリとして用いてもよい。しかし、フラッシュメモリは書き換え可能回数に制限がある。また、多値のフラッシュメモリは、エンベディッドで形成する（演算回路とメモリを同じダイの上に形成する）ことが非常に難しい。

[0562]

また、アナログ演算回路4011は、ReRAMをアナログメモリとして用いてもよい。しかし、ReRAMは書き換え可能回数に制限があり、記憶精度の点でも問題がある。さらに、2端子でなる素子であるため、データの書き込みと読み出しを分ける回路設計が複雑になる。

[0563]

また、アナログ演算回路4011は、MRAMをアナログメモリとして用いてもよい。しかし、MRAMは抵抗変化率が低く、記憶精度の点で問題がある。

[0564]

以上を鑑み、アナログ演算回路4011は、OSメモリをアナログメモリとして用いることが好ましい。

[0565]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

[0566]

(実施の形態7)

<AIシステムの応用例>

本実施の形態では、上記実施の形態に示すAIシステムの応用例について図58を用いて説明を行う。

[0567]

図58(A)は、図57で説明したAIシステム4041を並列に配置し、バス線を介してシステム間での信号の送受信を可能にした、AIシステム4041Aである。

[0568]

図58(A)に図示するAIシステム4041Aは、複数のAIシステム4041__1乃至AIシステム4041__n(nは自然数)を有する。AIシステム4041__1乃至AIシステム4041__nは、バス線4098を介して互いに接続されている。

[0569]

また図58(B)は、図57で説明したAIシステム4041を図58(A)と同様に並列に配置し、ネットワークを介してシステム間での信号の送受信を可能にした、AIシステム4041Bである。

[0570]

図58(B)に図示するAIシステム4041Bは、複数のAIシステム4041__1乃至AIシステム4041__nを有する。AIシステム4041__1乃至AIシステム4041__nは、ネットワーク4099を介して互いに接続されている。

[0571]

ネットワーク4099は、AIシステム4041__1乃至AIシステム4041__nのそれぞれに通信モジュールを設け、無線または有線による通信を行う構成とすればよい。通信モジュールは、アンテナを介して通信を行うことができる。例えばWorld Wide Web(WWW)の基盤であるインターネット、イントラネット、エクストラネット、PAN(Personal Area Network)、LAN(Local Area Network)、CAN(Campus Area Network)、MAN(Metropolitan Area Network)、WAN(Wide Area Network)、GAN(Global Area Network)等のコンピュータネットワークに各電子装置を接続させ、通信を行うことができる。無線通信を行う場合、通信プロトコル又は通信技術として、LTE(Long Term Evolution)、GSM(Global System for Mobile Communication:登録商標)、EDGE(Enhanced Data Rates for GSM Evolution)、CDMA2000(Code Division Multiple Access 2000)、W-CDMA(登録商標)などの通信規格、またはWi-Fi(登録商標)、Bluetooth(登

録商標)、Z i g B e e (登録商標)等のI E E Eにより通信規格化された仕様を用いることができる。

[0572]

図58(A)、(B)の構成とすることで、外部のセンサ等で得られたアナログ信号を別々のA Iシステムで処理することができる。例えば、生体情報のように、脳波、脈拍、血圧、体温等といった情報を脳波センサ、脈波センサ、血圧センサ、温度センサといった各種センサで取得し、別々のA Iシステムでアナログ信号を処理することができる。別々のA Iシステムのそれぞれで信号の処理、または学習を行うことで一つのA Iシステムあたりの情報処理量を少なくできる。そのため、より少ない演算量で信号の処理、または学習を行うことができる。その結果、認識精度を高めることができる。それぞれのA Iシステムで得られた情報から、複雑に変化する生体情報の変化を瞬時に統合的に把握することができるといったことが期待できる。

[0573]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0574]

(実施の形態8)

本実施の形態は、上記実施の形態に示すA Iシステムが組み込まれたI Cの一例を示す。

[0575]

上記実施の形態に示すA Iシステムは、C P U等のS i トランジスタでなるデジタル処理回路と、O S トランジスタを用いたアナログ演算回路、O S -F P G AおよびD O S R A M、N O S R A M等のO S メモリを、1のダイに集積することができる。

[0576]

図59に、A Iシステムを組み込んだI Cの一例を示す。図59に示すA IシステムI C 7000は、リード7001及び回路部7003を有する。A IシステムI C 7000は、例えばプリント基板7002に実装される。このようなI Cチップが複数組み合わせられて、それぞれがプリント基板7002上で電気的に接続されることで電子部品が実装された基板(実装基板7004)が完成する。回路部7003には、上記実施の形態で示した各種の回路が1のダイに設けられている。回路部7003は積層構造をもち、S i トランジスタ層7031、配線層7032、O S トランジスタ層7033に大別される。O S トランジスタ層7033をS i トランジスタ層7031に積層して設けることができるため、A IシステムI C 7000の小型化が容易である。

[0577]

図59では、A IシステムI C 7000のパッケージにQ F P (Q u a d F l a t P a c k a g e)を適用しているが、パッケージの態様はこれに限定されない。

[0578]

C P U等のデジタル処理回路と、O S トランジスタを用いたアナログ演算回路、O S -F P G AおよびD O S R A M、N O S R A M等のO S メモリは、全て、S i トランジスタ層7031、配線層7032およびO S トランジスタ層7033に形成することができる。すなわち、上記A Iシステムを構成する素子は、同一の製造プロセスで形成することが可能である。そのため、本実施の形態に示すI Cは、構成する素子が増えても製造プロセスを増やす必要がなく、上記A Iシステムを低コストで組み込むことができる。

[0579]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

[0580]

(実施の形態9)

<電子機器>

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図60に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

[0581]

図60(A)に、モニタ830を示す。モニタ830は、表示部831、筐体832、スピーカ833等を有する。さらに、LEDランプ、操作キー(電源スイッチ、または操作スイッチを含む)、接続端子、各種センサ、マイクロフォン等を有することができる。またモニタ830は、リモコン操作機834により、操作することができる。

[0582]

またモニタ830は、放送電波を受信して、テレビジョン装置として機能することができる。

[0583]

モニタ830が受信できる放送電波としては、地上波、または衛星から送信される電波などが挙げられる。また放送電波として、アナログ放送、デジタル放送などがあり、また映像及び音声、または音声のみの放送などがある。例えばUHF帯(300MHz以上3GHz以下)またはVHF帯(30MHz以上300MHz以下)のうちの特定の周波数帯域で送信される放送電波を受信することができる。また例えば、複数の周波数帯域で受信した複数のデータを用いることで、転送レートを高くすることができ、より多くの情報を得ることができる。これによりフルハイビジョンを超える解像度を有する映像を、表示部831に表示させることができる。例えば、4K-2K、8K-4K、16K-8K、またはそれ以上の解像度を有する映像を表示させることができる。

[0584]

また、インターネットやLAN(Local Area Network)、Wi-Fi(登録商標)などのコンピュータネットワークを介したデータ伝送技術により送信された放送のデータを用いて、表示部831に表示する画像を生成する構成としてもよい。このとき、モニタ830にチューナを有さなくてもよい。

[0585]

また、モニタ830は、コンピュータと接続し、コンピュータ用モニタとして用いることができる。また、コンピュータと接続したモニタ830は、複数の人が同時に閲覧可能となり、会議システムに用いることができる。また、ネットワークを介したコンピュータの情報の表示や、モニタ830自体のネットワークへの接続により、モニタ830をテレビ会議システムに用いることができる。

[0586]

また、モニタ830はデジタルサイネージとして用いることもできる。

[0587]

例えば、本発明の一態様の半導体装置を表示部の駆動回路や、画像処理部に用いることができる。本発明の一態様の半導体装置を表示部の駆動回路や、画像処理部に用いることで、高速な動作や信号処理を低消費電力にて実現できる。

[0588]

また、本発明の一態様の半導体装置を用いたAIシステムをモニタ830の画像処理部に用いること

で、ノイズ除去処理、階調変換処理、色調補正処理、輝度補正処理などの画像処理を行うことができる。また、解像度のアップコンバートに伴う画素間補間処理や、フレーム周波数のアップコンバートに伴うフレーム間補間処理などを実行することができる。また、階調変換処理は、画像の階調数を変換するだけでなく、階調数を大きくする場合の階調値の補間を行うことができる。また、ダイナミックレンジを広げる、ハイダイナミックレンジ（HDR）処理も、階調変換処理に含まれる。

[0589]

図60（B）に示すビデオカメラ2940は、筐体2941、筐体2942、表示部2943、操作スイッチ2944、レンズ2945、および接続部2946等を有する。操作スイッチ2944およびレンズ2945は筐体2941に設けられており、表示部2943は筐体2942に設けられている。また、ビデオカメラ2940は、筐体2941の内側にアンテナ、バッテリーなどを備える。そして、筐体2941と筐体2942は、接続部2946により接続されており、筐体2941と筐体2942の間の角度は、接続部2946により変えることが可能な構造となっている。筐体2941に対する筐体2942の角度によって、表示部2943に表示される画像の向きの変更や、画像の表示／非表示の切り換えを行うことができる。

[0590]

例えば、本発明の一態様の半導体装置を表示部の駆動回路や、画像処理部に用いることができる。本発明の一態様の半導体装置を表示部の駆動回路や、画像処理部に用いることで、高速な動作や信号処理を低消費電力にて実現できる。

[0591]

また、本発明の一態様の半導体装置を用いたAIシステムをビデオカメラ2940の画像処理部に用いることで、ビデオカメラ2940周囲の環境に応じた撮影が実現できる。具体的には、周囲の明るさに応じて最適な露出で撮影を行うことができる。また、逆光における撮影や屋内と屋外など、明るさの異なる状況を同時に撮影する場合では、ハイダイナミックレンジ（HDR）撮影を行うことができる。

[0592]

また、AIシステムは、撮影者の癖を学習し、撮影のアシストを行うことができる。具体的には、撮影者の手振れの癖を学習し、撮影中の手振れを補正することで、撮影した画像には手振れによる画像の乱れが極力含まれないようにすることができる。また、撮影中にズーム機能を用いる際には、被写体が常に画像の中心で撮影されるようにレンズの向きなどを制御することができる。

[0593]

図60（C）に示す情報端末2910は、筐体2911、表示部2912、マイク2917、スピーカ部2914、カメラ2913、外部接続部2916、および操作スイッチ2915等を有する。表示部2912には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。また、情報端末2910は、筐体2911の内側にアンテナ、バッテリーなどを備える。情報端末2910は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

[0594]

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した情報端末2910の制御情報や、制御プログラムなどを長期間保持することができる。

[0595]

また、本発明の一態様の半導体装置を用いたA Iシステムを情報端末2910の画像処理部に用いることで、ノイズ除去処理、階調変換処理、色調補正処理、輝度補正処理などの画像処理を行うことができる。また、解像度のアップコンバートに伴う画素間補間処理や、フレーム周波数のアップコンバートに伴うフレーム間補間処理などを実行することができる。また、階調変換処理は、画像の階調数を変換するだけでなく、階調数を大きくする場合の階調値の補間を行うことができる。また、ダイナミックレンジを広げる、ハイダイナミックレンジ（HDR）処理も、階調変換処理に含まれる。

[0596]

また、A Iシステムは、ユーザーの癖を学習し、情報端末2910の操作のアシストを行うことができる。A Iシステムを搭載した情報端末2910は、ユーザーの指の動きや、視線などからタッチ入力を予測することができる。

[0597]

図60（D）に示すラップトップ型パーソナルコンピュータ2920は、筐体2921、表示部2922、キーボード2923、およびポインティングデバイス2924等を有する。また、ラップトップ型パーソナルコンピュータ2920は、筐体2921の内側にアンテナ、バッテリーなどを備える。

[0598]

例えば、本発明の一態様の半導体装置を用いた記憶装置は、ラップトップ型パーソナルコンピュータ2920の制御情報や、制御プログラムなどを長期間保持することができる。

[0599]

また、本発明の一態様の半導体装置を用いたA Iシステムをラップトップ型パーソナルコンピュータ2920の画像処理部に用いることで、ノイズ除去処理、階調変換処理、色調補正処理、輝度補正処理などの画像処理を行うことができる。また、解像度のアップコンバートに伴う画素間補間処理や、フレーム周波数のアップコンバートに伴うフレーム間補間処理などを実行することができる。また、階調変換処理は、画像の階調数を変換するだけでなく、階調数を大きくする場合の階調値の補間を行うことができる。また、ダイナミックレンジを広げる、ハイダイナミックレンジ（HDR）処理も、階調変換処理に含まれる。

[0600]

また、A Iシステムは、ユーザーの癖を学習し、ラップトップ型パーソナルコンピュータ2920の操作のアシストを行うことができる。A Iシステムを搭載したラップトップ型パーソナルコンピュータ2920は、ユーザーの指の動きや、視線などから表示部2922へのタッチ入力を予測することができる。また、テキストの入力においては、過去のテキスト入力情報や、前後のテキストや写真などの図から入力予測を行い、変換のアシストを行う。これにより、入力ミスや変換ミスを極力低減することができる。

[0601]

図60（E）は、自動車の一例を示す外観図、図60（F）は、ナビゲーション装置860を示している。自動車2980は、車体2981、車輪2982、ダッシュボード2983、およびライト2984等を有する。また、自動車2980は、アンテナ、バッテリーなどを備える。ナビゲーション装置860は、表示部861、操作ボタン862、及び外部入力端子863を具備する。自動車2980とナビゲーション装置860は、それぞれ独立していても良いが、ナビゲーション装置860が自動車2980に組み込まれ、連動して機能する構成とするのが好ましい。

[0602]

例えば、本発明の一態様の半導体装置を用いた記憶装置は、自動車 2 9 8 0 やナビゲーション装置 8 6 0 の制御情報や、制御プログラムなどを長期間保持することができる。また、本発明の一態様の半導体装置を用いた A I システムを自動車 2 9 8 0 の制御装置などに用いることで、A I システムは、ドライバーの運転技術や癖を学習し、安全運転のアシストや、ガソリンやバッテリーなどの燃料を効率的に利用する運転のアシストを行うことができる。安全運転のアシストとしては、ドライバーの運転技術や癖を学習するだけでなく、自動車 2 9 8 0 の速度や移動方法といった自動車の挙動、ナビゲーション装置 8 6 0 に保存された道路情報などを複合的に学習し、走行中のレーンから外れることの防止や、他の自動車、歩行者、構造物などとの衝突回避が実現できる。具体的には、進行方向に急カーブが存在する場合、ナビゲーション装置 8 6 0 はその道路情報を自動車 2 9 8 0 に送信し、自動車 2 9 8 0 の速度の制御や、ハンドル操作のアシストを行うことができる。

[0 6 0 3]

本実施の形態は、他の実施の形態や実施例などに記載した構成と適宜組み合わせて実施することが可能である。

[符号の説明]

[0 6 0 4]

1 0 0	容量素子
1 0 0 a	容量素子
1 0 0 b	容量素子
1 3 0	導電体
1 6 1	メモリセル
2 0 0	トランジスタ
2 0 0 a	トランジスタ
2 0 0 b	トランジスタ
2 0 1	トランジスタ
2 0 2	トランジスタ
2 0 3	トランジスタ
2 0 5	導電体
2 0 5 a	導電体
2 0 5 b	導電体
2 1 0	絶縁体
2 1 2	絶縁体
2 1 4	絶縁体
2 1 6	絶縁体
2 1 8	導電体
2 2 0	絶縁体
2 2 2	絶縁体
2 2 4	絶縁体
2 3 0	酸化物
2 3 0 a	酸化物
2 3 0 A	酸化膜

2 3 0 b	酸化物
2 3 0 B	酸化膜
2 3 0 c	酸化物
2 3 0 C	酸化膜
2 3 1	領域
2 3 1 a	領域
2 3 1 b	領域
2 3 2	領域
2 3 2 a	領域
2 3 2 b	領域
2 3 4	領域
2 3 9	領域
2 5 0	絶縁体
2 5 0 A	絶縁膜
2 5 2	導電体
2 5 2 a	導電体
2 5 2 b	導電体
2 5 2 c	導電体
2 5 2 d	導電体
2 6 0	導電体
2 6 0 a	導電体
2 6 0 A	導電膜
2 6 0 b	導電体
2 6 0 B	導電膜
2 6 0 c	導電体
2 6 2	マスク
2 6 2 B	マスク
2 6 3	導電体
2 6 4	マスク
2 7 0	絶縁体
2 7 0 A	絶縁膜
2 7 1	絶縁体
2 7 1 A	絶縁膜
2 7 2	絶縁体
2 7 2 A	絶縁膜
2 7 2 B	絶縁体
2 7 4	絶縁体
2 8 0	絶縁体
3 0 0	トランジスタ
3 1 1	基板

3 1 3 半導体領域
3 1 4 a 低抵抗領域
3 1 4 b 低抵抗領域
3 1 5 絶縁体
3 1 6 導電体
3 2 0 絶縁体
3 2 2 絶縁体
3 2 4 絶縁体
3 2 6 絶縁体
3 2 8 導電体
3 3 0 導電体
3 5 0 絶縁体
3 5 2 絶縁体
3 5 4 絶縁体
3 5 6 導電体
3 6 0 絶縁体
3 6 2 絶縁体
3 6 4 絶縁体
3 6 6 導電体
3 7 0 絶縁体
3 7 2 絶縁体
3 7 4 絶縁体
3 7 6 導電体
3 8 0 絶縁体
3 8 2 絶縁体
3 8 4 絶縁体
3 8 6 導電体
4 0 1 基体
4 1 0 ステージ
4 1 2 電極
4 1 4 電極
6 0 0 セル
6 0 0 a セル
6 0 0 b セル
6 1 0 回路
6 2 0 回路
8 3 0 モニタ
8 3 1 表示部
8 3 2 筐体
8 3 3 スピーカ

8 3 4	リモコン操作機
8 6 0	ナビゲーション装置
8 6 1	表示部
8 6 2	操作ボタン
8 6 3	外部入力端子
1 4 0 0	D O S R A M
1 4 0 5	コントローラ
1 4 1 0	行回路
1 4 1 1	デコーダ
1 4 1 2	ワード線ドライバ回路
1 4 1 3	列セクタ
1 4 1 4	センスアンプドライバ回路
1 4 1 5	列回路
1 4 1 6	グローバルセンスアンプアレイ
1 4 1 7	入出力回路
1 4 2 0	センスアンプアレイ
1 4 2 2	メモリセルアレイ
1 4 2 3	センスアンプアレイ
1 4 2 5	ローカルメモリセルアレイ
1 4 2 6	ローカルセンスアンプアレイ
1 4 4 4	スイッチアレイ
1 4 4 5	メモリセル
1 4 4 6	センスアンプ
1 4 4 7	グローバルセンスアンプ
1 6 0 0	N O S R A M
1 6 1 0	メモリセルアレイ
1 6 1 1	メモリセル
1 6 1 1 - 1 6 1 4	メモリセル
1 6 1 2	メモリセル
1 6 1 3	メモリセル
1 6 1 4	メモリセル
1 6 4 0	コントローラ
1 6 5 0	行ドライバ
1 6 5 1	行デコーダ
1 6 5 2	ワード線ドライバ
1 6 6 0	列ドライバ
1 6 6 1	列デコーダ
1 6 6 2	ドライバ
1 6 6 3	D A C
1 6 7 0	出力ドライバ

1 6 7 1	セレクト
1 6 7 2	A D C
1 6 7 3	出力バッファ
2 0 0 0	C D M A
2 9 1 0	情報端末
2 9 1 1	筐体
2 9 1 2	表示部
2 9 1 3	カメラ
2 9 1 4	スピーカ部
2 9 1 5	操作スイッチ
2 9 1 6	外部接続部
2 9 1 7	マイク
2 9 2 0	ラップトップ型パーソナルコンピュータ
2 9 2 1	筐体
2 9 2 2	表示部
2 9 2 3	キーボード
2 9 2 4	ポインティングデバイス
2 9 4 0	ビデオカメラ
2 9 4 1	筐体
2 9 4 2	筐体
2 9 4 3	表示部
2 9 4 4	操作スイッチ
2 9 4 5	レンズ
2 9 4 6	接続部
2 9 8 0	自動車
2 9 8 1	車体
2 9 8 2	車輪
2 9 8 3	ダッシュボード
2 9 8 4	ライト
3 0 0 1	配線
3 0 0 2	配線
3 0 0 3	配線
3 0 0 4	配線
3 0 0 5	配線
3 0 0 6	配線
3 1 1 0	O S - F P G A
3 1 1 1	コントローラ
3 1 1 2	ワードドライバ
3 1 1 3	データドライバ
3 1 1 5	プログラマブルエリア

3 1 1 7	I O B
3 1 1 9	コア
3 1 2 0	L A B
3 1 2 1	P L E
3 1 2 3	L U T ブロック
3 1 2 4	レジスタブロック
3 1 2 5	セレクト
3 1 2 6	CM
3 1 2 7	パワースイッチ
3 1 2 8	CM
3 1 3 0	S A B
3 1 3 1	S B
3 1 3 3	P R S
3 1 3 5	CM
3 1 3 7	メモリ回路
3 1 3 7 B	メモリ回路
3 1 4 0	O S - F F
3 1 4 1	F F
3 1 4 2	シャドウレジスタ
3 1 4 3	メモリ回路
3 1 4 3 B	メモリ回路
3 1 8 8	インバータ回路
3 1 8 9	インバータ回路
4 0 1 0	演算部
4 0 1 1	アナログ演算回路
4 0 1 2	D O S R A M
4 0 1 3	N O S R A M
4 0 1 4	F P G A
4 0 2 0	制御部
4 0 2 1	C P U
4 0 2 2	G P U
4 0 2 3	P L L
4 0 2 5	P R O M
4 0 2 6	メモリコントローラ
4 0 2 7	電源回路
4 0 2 8	P M U
4 0 3 0	入出力部
4 0 3 1	外部記憶制御回路
4 0 3 2	音声コーデック
4 0 3 3	映像コーデック

4 0 3 4 汎用入出力モジュール
4 0 3 5 通信モジュール
4 0 4 1 A I システム
4 0 4 1 __ n A I システム
4 0 4 1 __ 1 A I システム
4 0 4 1 A A I システム
4 0 4 1 B A I システム
4 0 9 8 バス線
4 0 9 9 ネットワーク
7 0 0 0 A I システム I C
7 0 0 1 リード
7 0 0 3 回路部
7 0 3 1 S i トランジスタ層
7 0 3 2 配線層
7 0 3 3 O S トランジスタ層

請求の範囲

[請求項 1]

酸化物と、
絶縁体と、
前記絶縁体を間に挟み、前記酸化物の第 1 の領域と重なる導電体と、を有し、
前記酸化物は、In と、元素 M (M は Al、Ga、Y、または Sn) と、Zn と、を含み、
前記酸化物は、前記第 1 の領域と隣接する第 2 の領域を有し、
前記第 2 の領域における元素 M の濃度は、前記第 1 の領域における元素 M の濃度より大きいことを特徴とする半導体装置。

[請求項 2]

請求項 1 において、
前記酸化物は、さらに第 3 の領域を有し、
前記第 3 の領域は、前記第 2 の領域と隣接する、
ことを特徴とする半導体装置。

[請求項 3]

請求項 2 において、
前記第 2 の領域における元素 M の濃度は、前記第 1 の領域における元素 M の濃度、および前記第 3 の領域における元素 M の濃度より大きいことを特徴とする半導体装置。

[請求項 4]

請求項 2 において、
前記第 1 の領域のキャリア密度は、前記第 2 の領域のキャリア密度よりも低く、
前記第 2 の領域のキャリア密度は、前記第 3 のキャリア密度よりも低い、
ことを特徴とする半導体装置。

[請求項 5]

請求項 1 において、
元素 M は Ga であることを特徴とする半導体装置。

[請求項 6]

酸化物と、
前記酸化物上の第 1 の絶縁体と、
前記第 1 の絶縁体の側面に隣接する第 2 の絶縁体と、
前記第 1 の絶縁体を間に挟み、前記酸化物の第 1 の領域と重なる導電体と、を有し、
前記酸化物は、In と、元素 M (M は Al、Ga、Y、または Sn) と、Zn と、を含み、
前記酸化物は、前記第 1 の領域と隣接する第 2 の領域を有し、
前記第 2 の領域は、前記第 2 の絶縁体と重なる領域を有し、
前記第 2 の領域における元素 M の濃度は、前記第 1 の領域における元素 M の濃度より大きいことを特徴とする半導体装置。

[請求項 7]

請求項 6 において、
前記酸化物は、さらに第 3 の領域を有し、
前記第 3 の領域は、前記第 2 の領域と隣接する、

ことを特徴とする半導体装置。

[請求項 8]

請求項 7 において、

前記第 2 の領域における元素 M の濃度は、前記第 1 の領域における元素 M の濃度、および前記第 3 の領域における元素 M の濃度より大きいことを特徴とする半導体装置。

[請求項 9]

請求項 7 において、

前記第 1 の領域のキャリア密度は、前記第 2 の領域のキャリア密度よりも低く、

前記第 2 の領域のキャリア密度は、前記第 3 のキャリア密度よりも低い、

ことを特徴とする半導体装置。

[請求項 10]

請求項 6 において、

元素 M は Ga であることを特徴とする半導体装置。

[請求項 11]

In と、元素 M (M は Al、Ga、Y、または Sn) と、Zn と、を含む酸化物上に第 1 のマスクおよび第 2 のマスクを形成し、

前記酸化物の前記第 1 のマスクおよび前記第 2 のマスクのいずれにも覆われていない領域に元素 M を添加することを特徴とする半導体装置の作製方法。

[請求項 12]

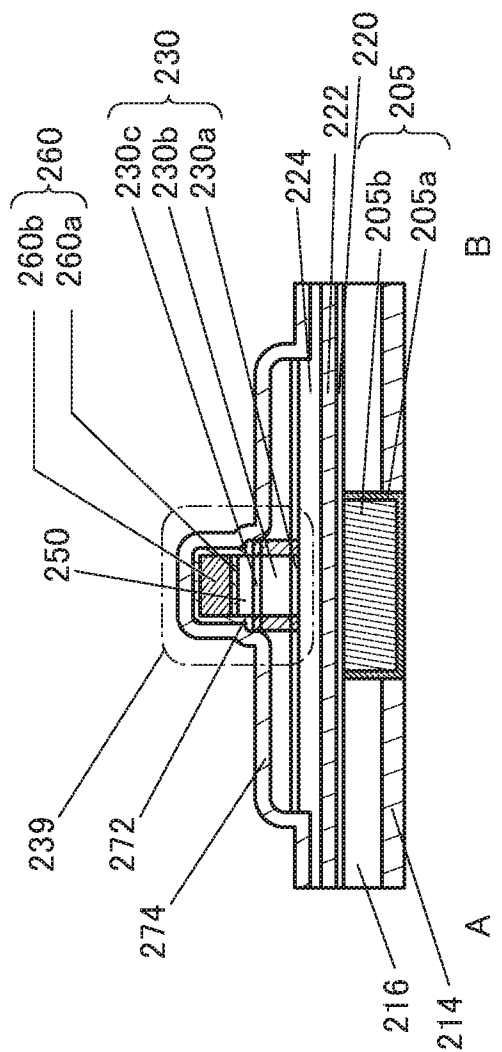
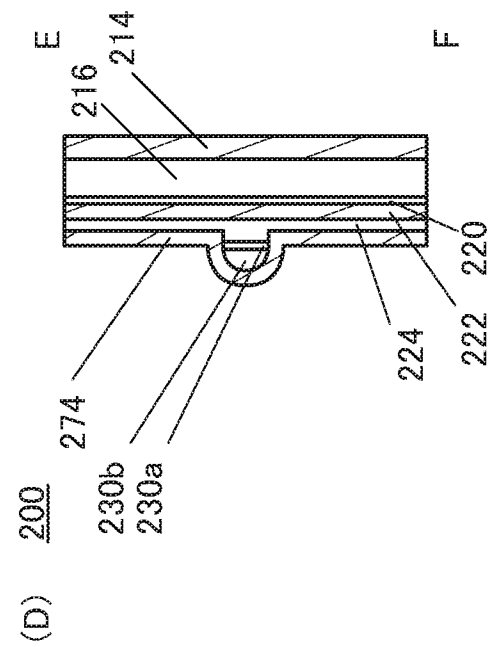
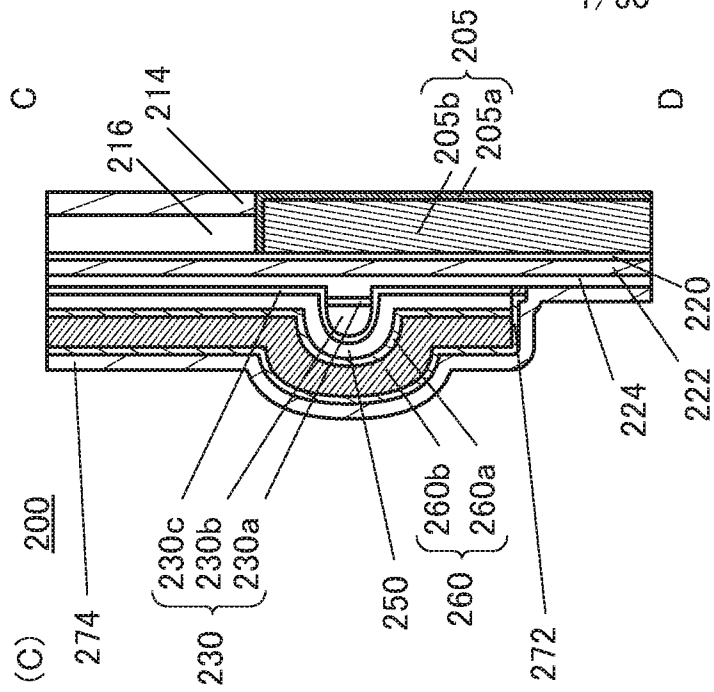
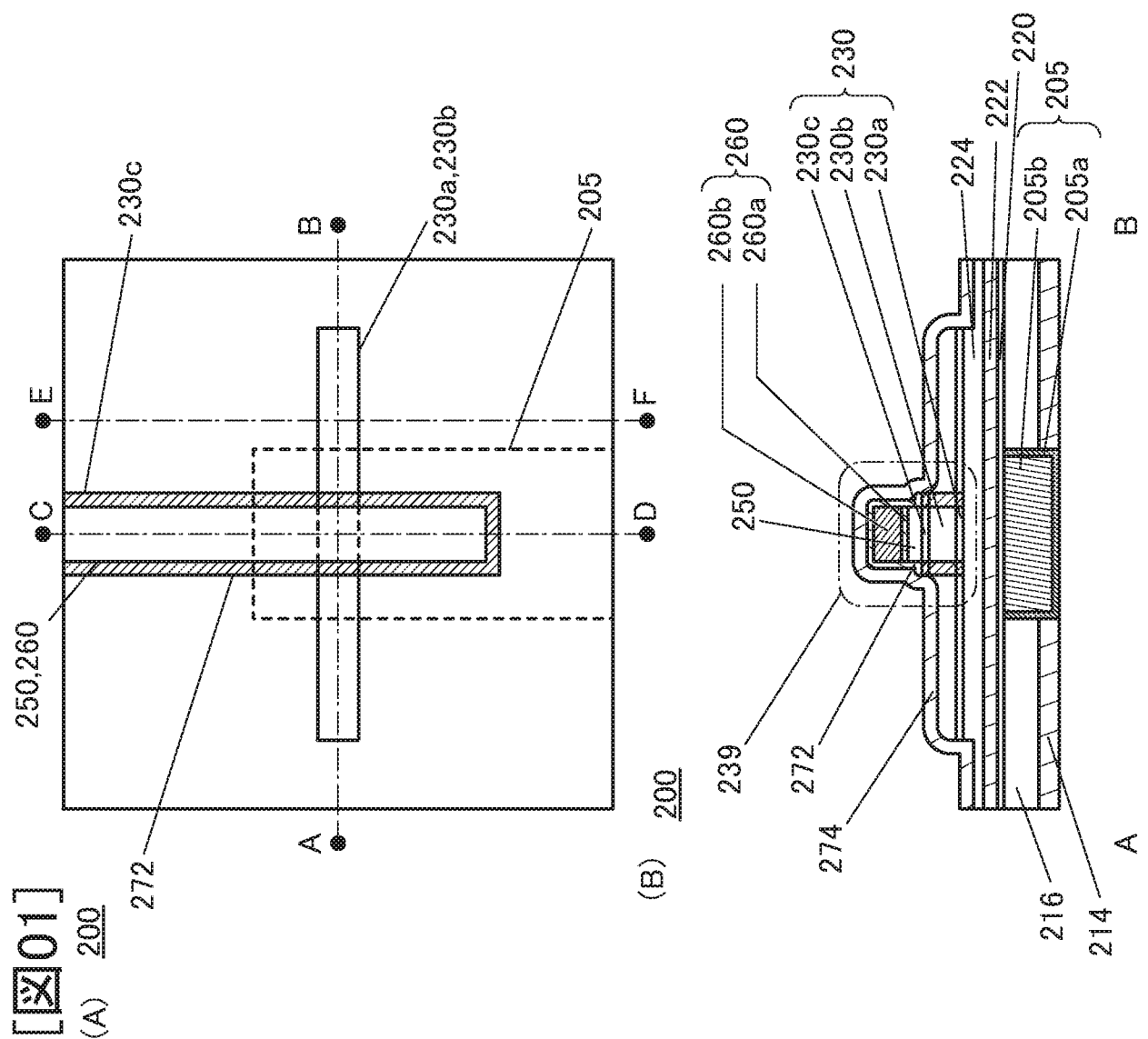
請求項 11 において、

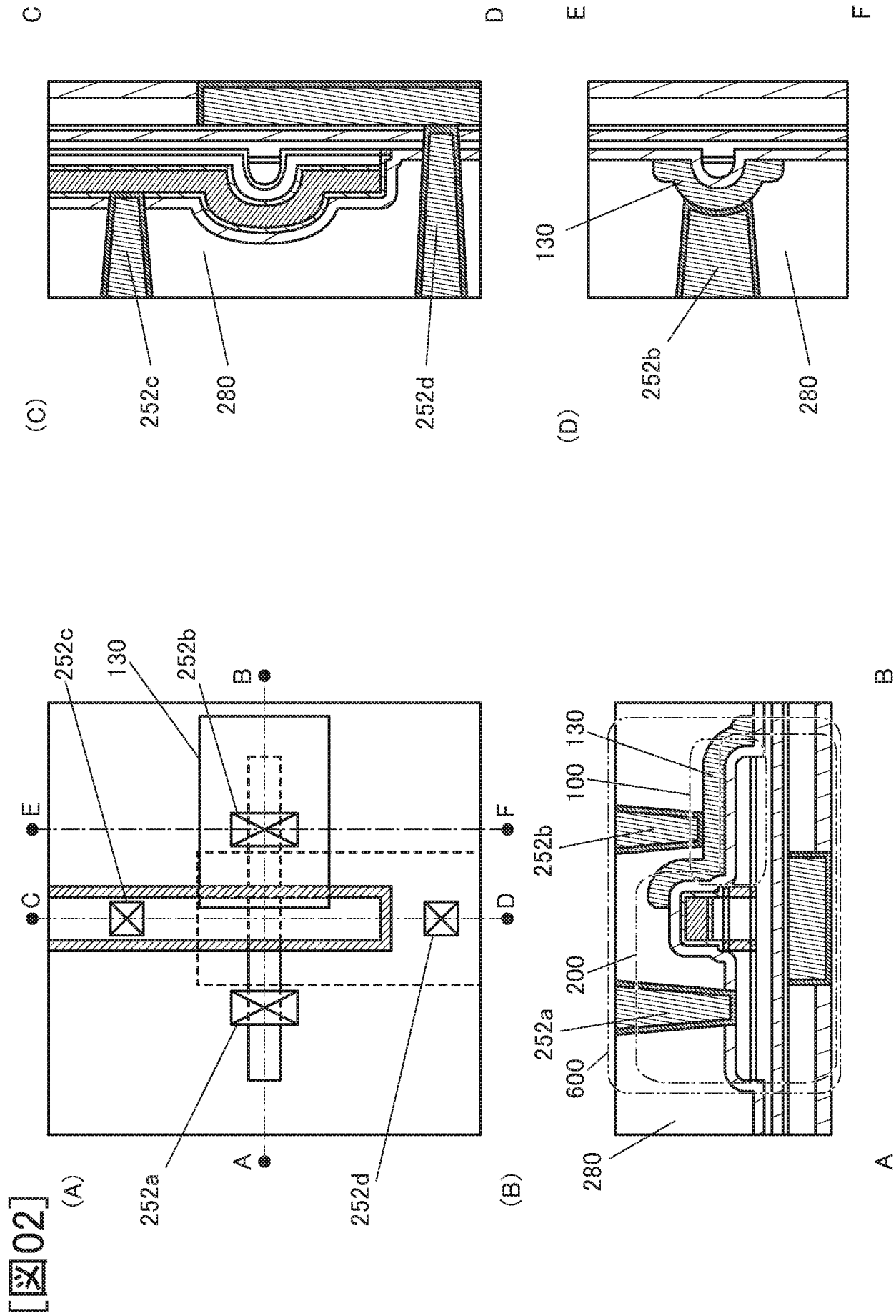
元素 M の添加はイオン注入法、イオンドーピング法、プラズマ処理、およびプラズマイメージョンイオンインプランテーション法から選ばれた一、または複数の方法を用いて行われることを特徴とする半導体装置の作製方法。

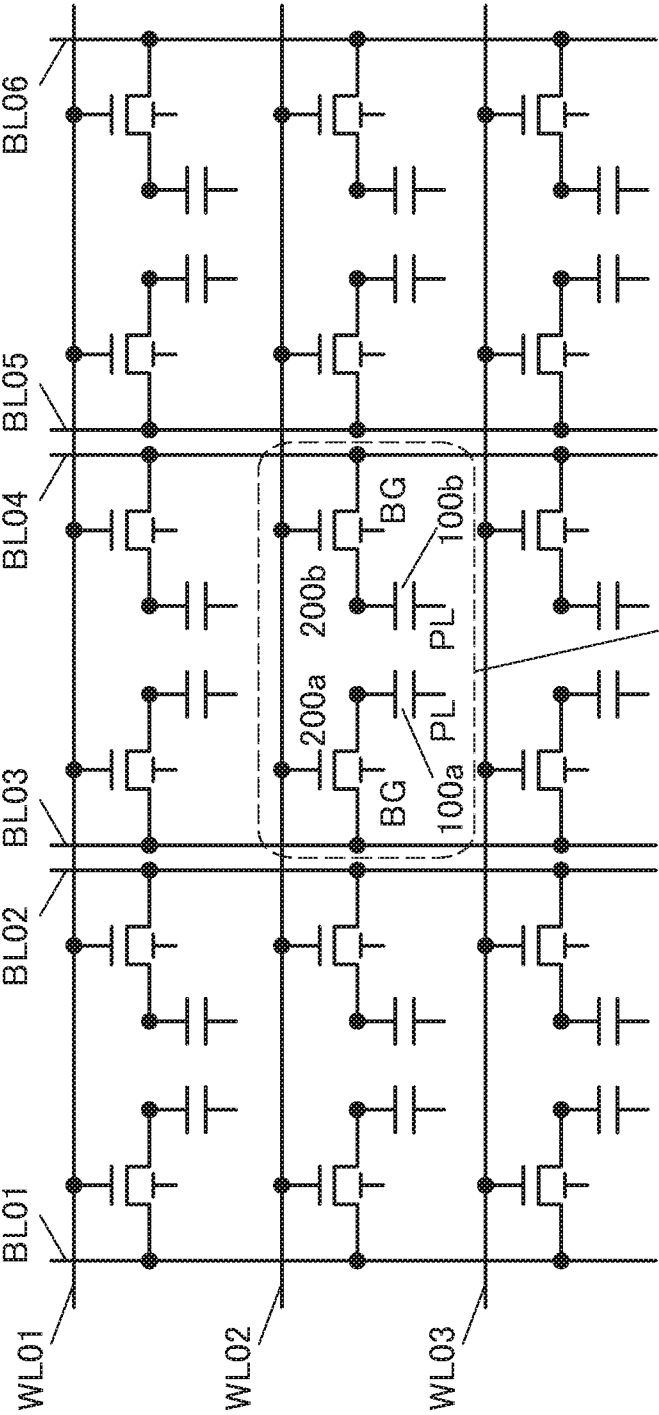
[請求項 13]

請求項 11 において、

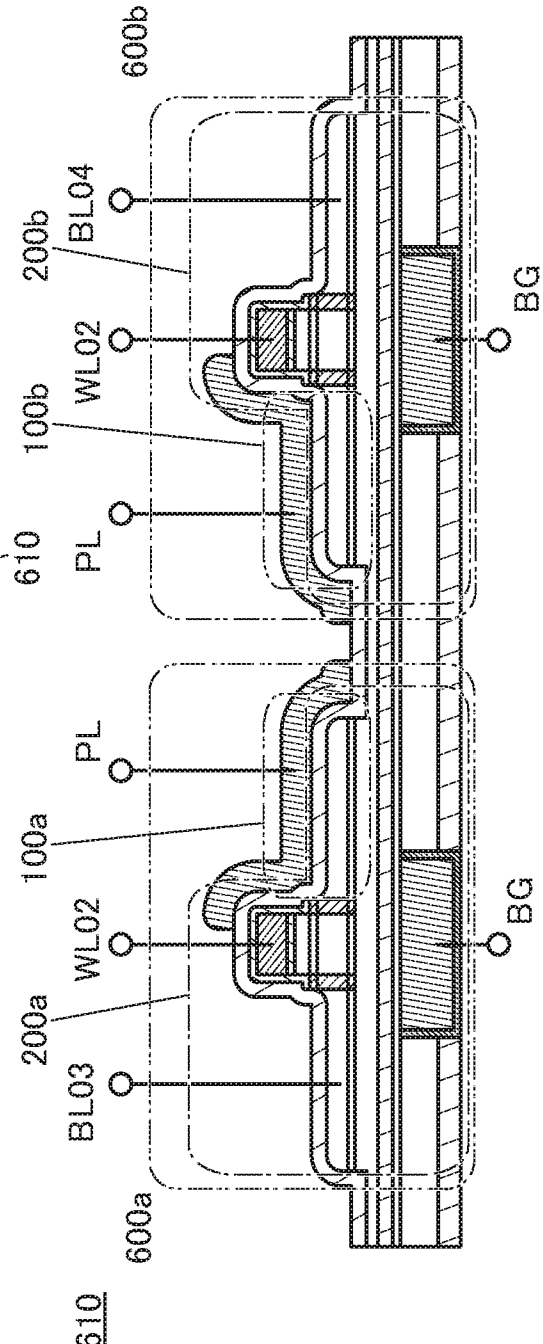
元素 M は Ga であることを特徴とする半導体装置の作製方法。







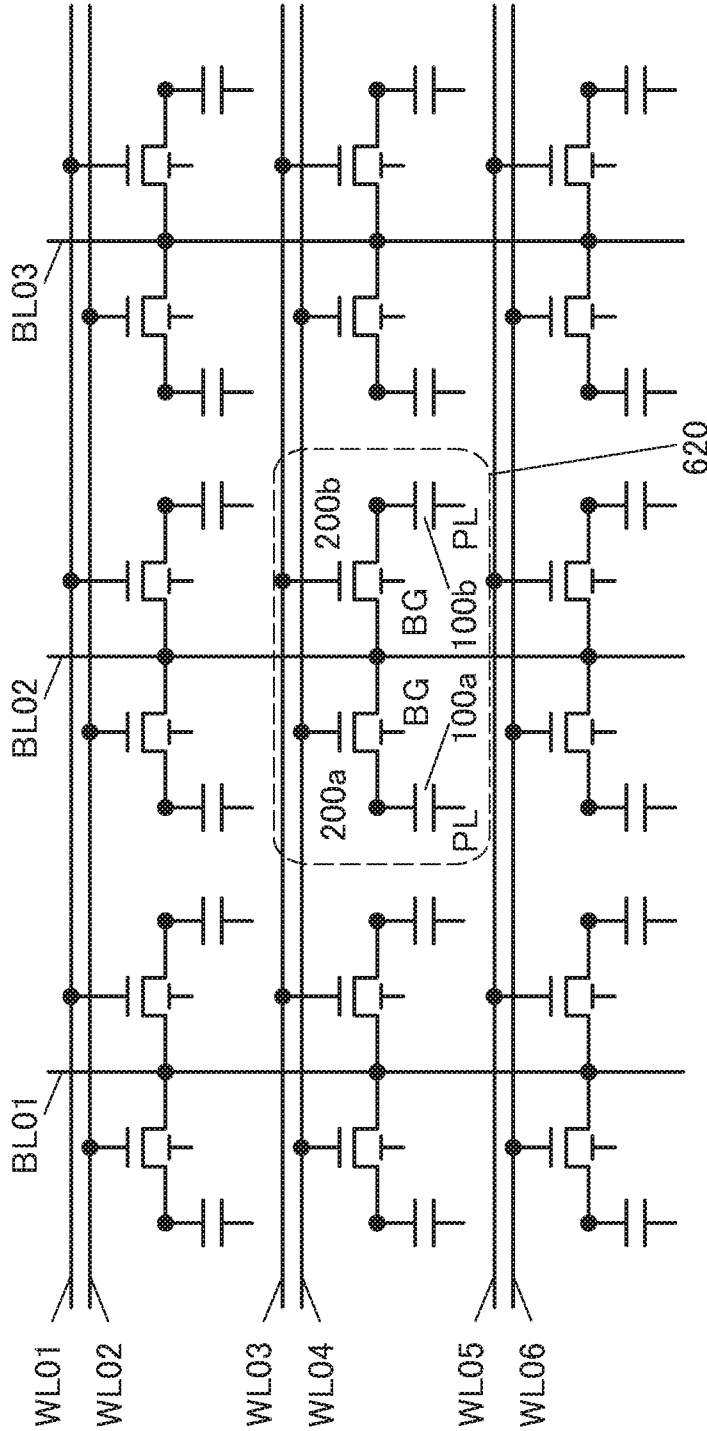
[]03] (A)



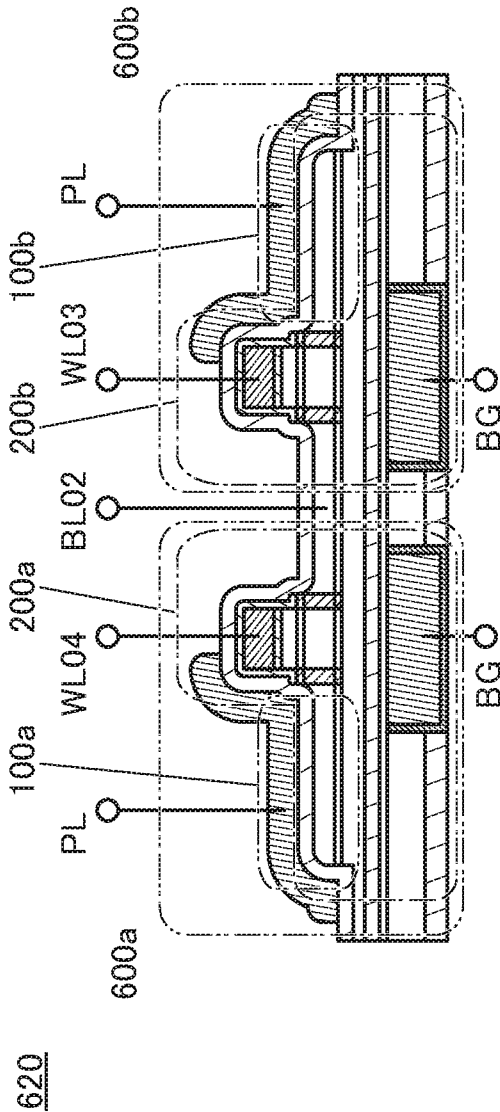
(B)

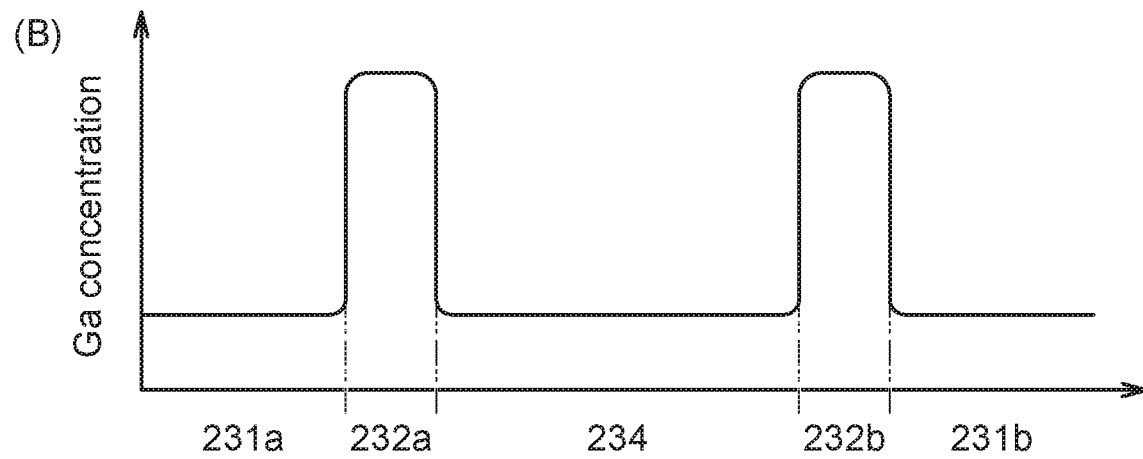
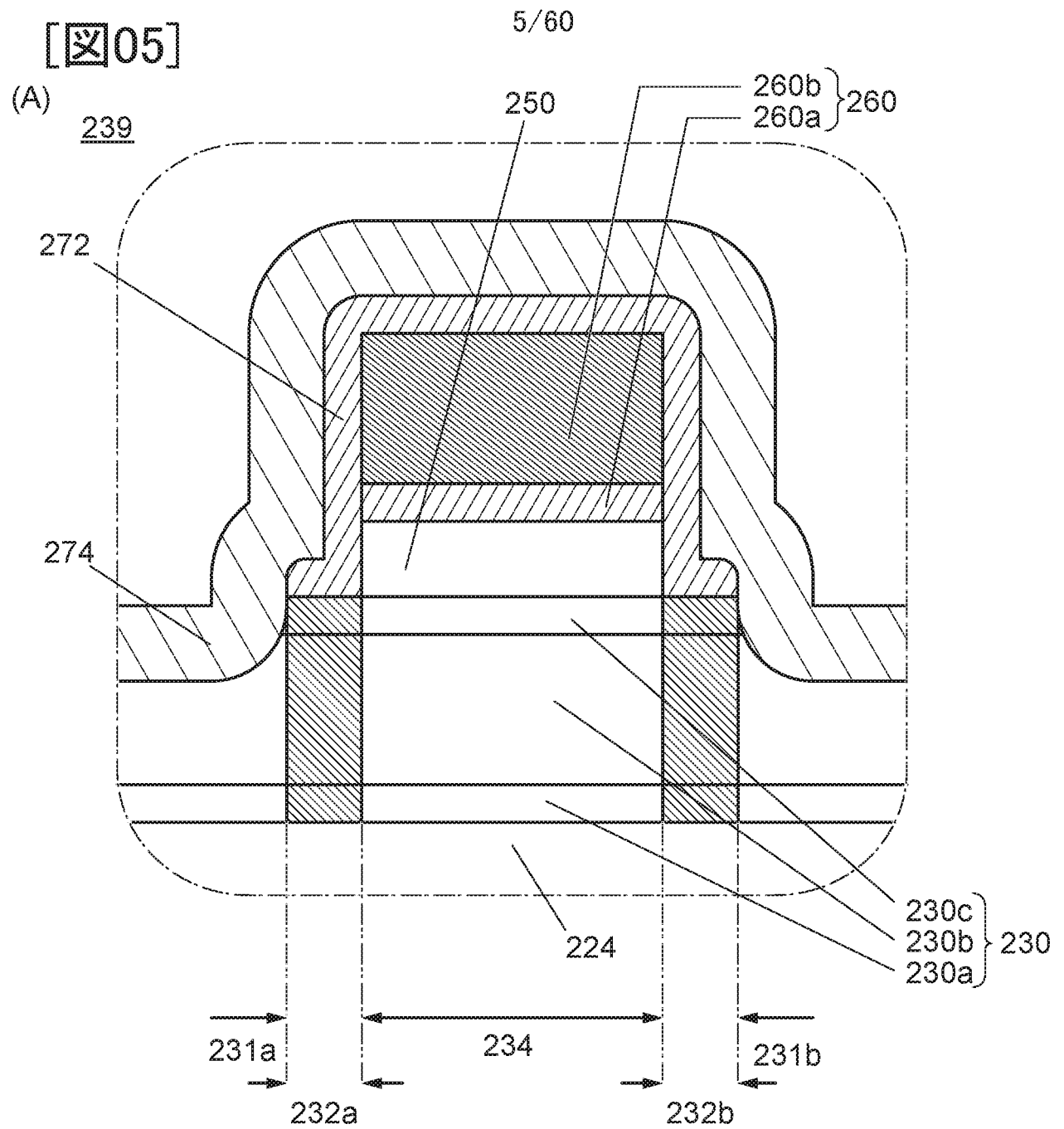
[04]

(A)



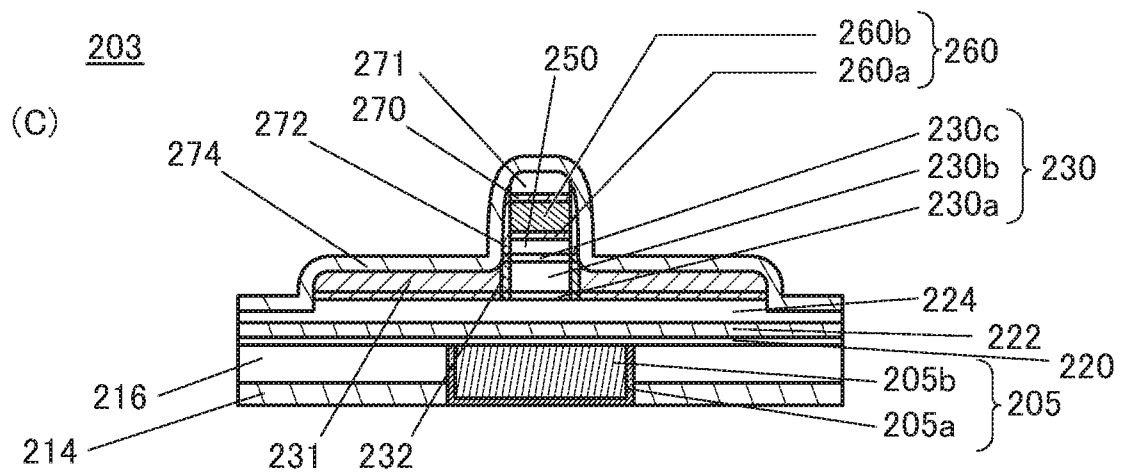
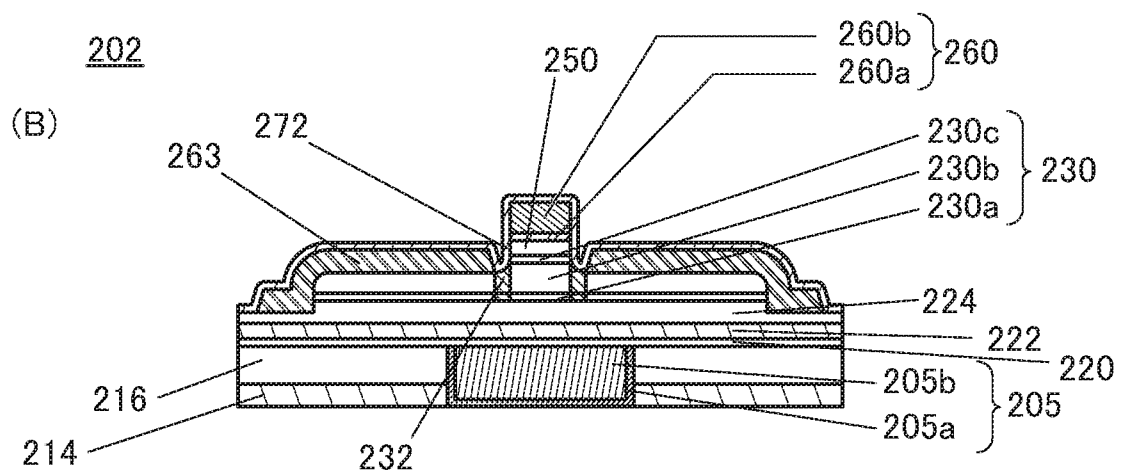
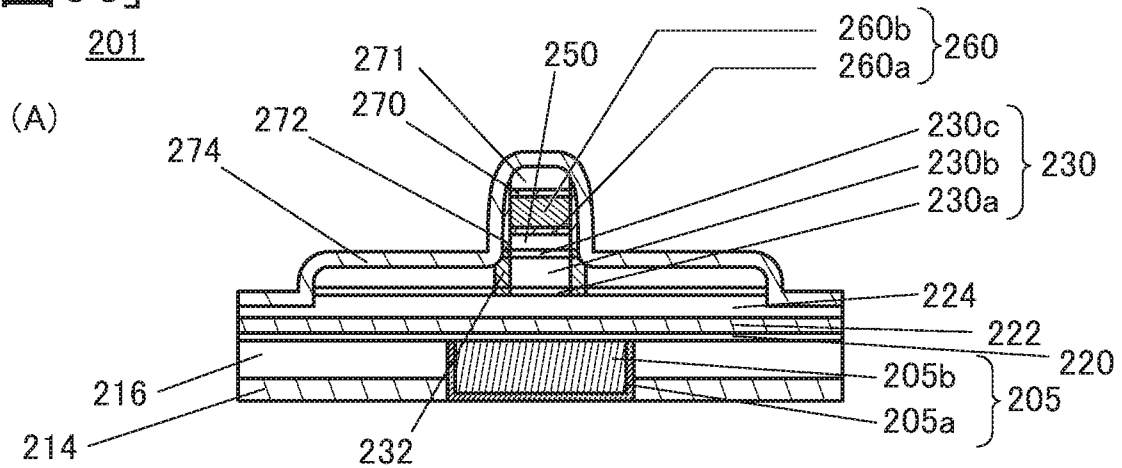
(B)



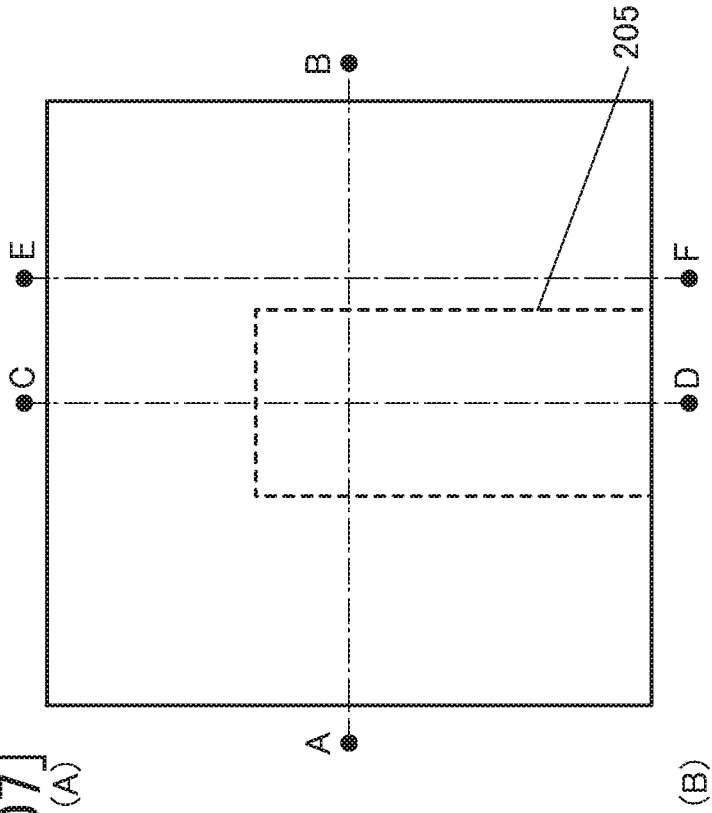


6/60

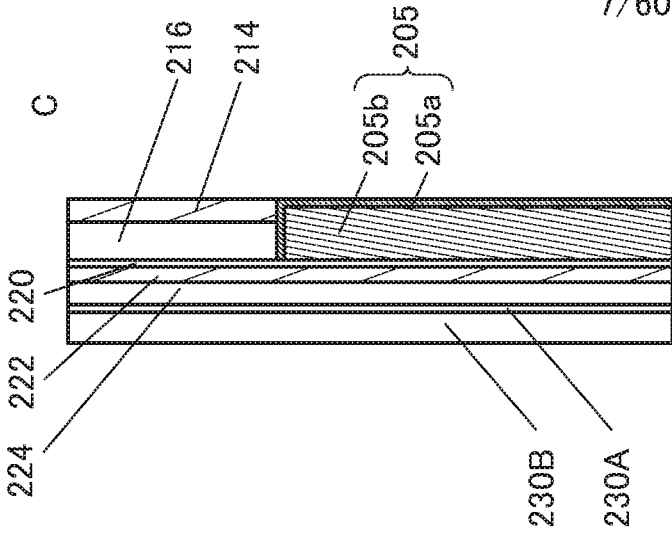
[図06]



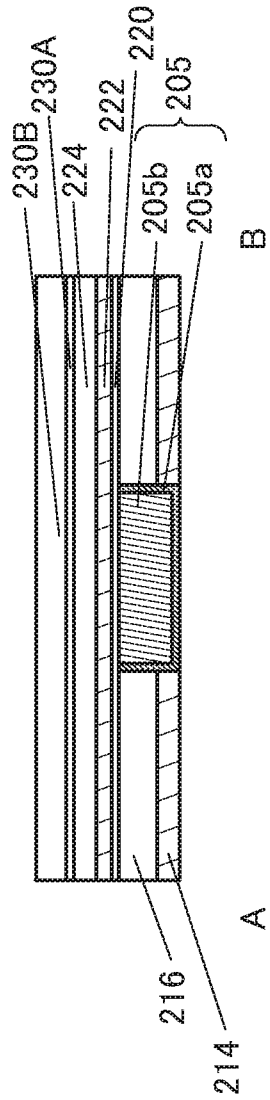
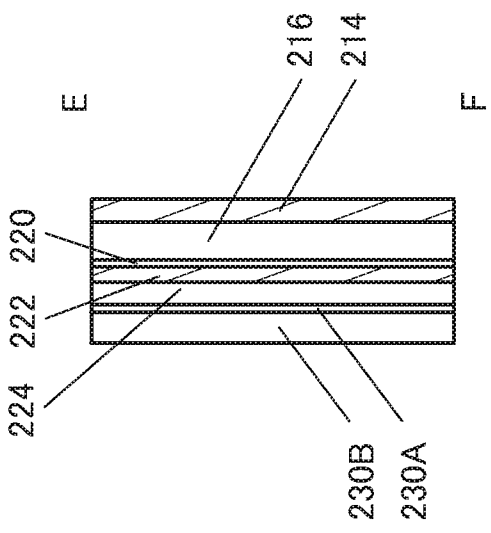
[図07]
(A)

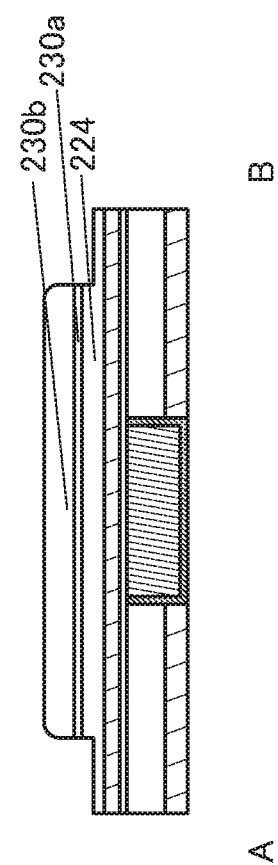
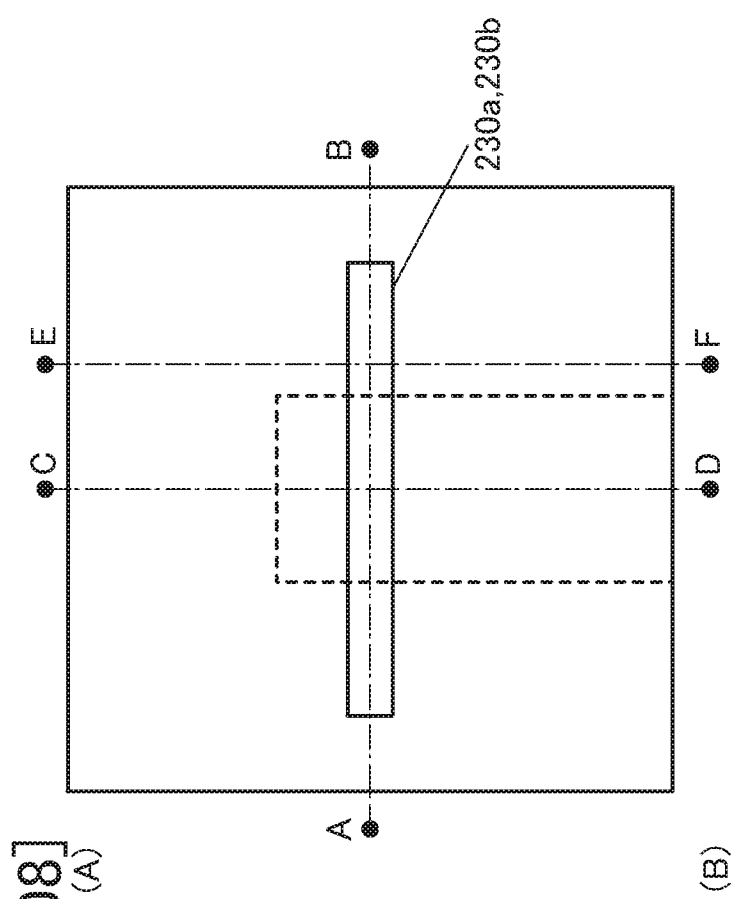
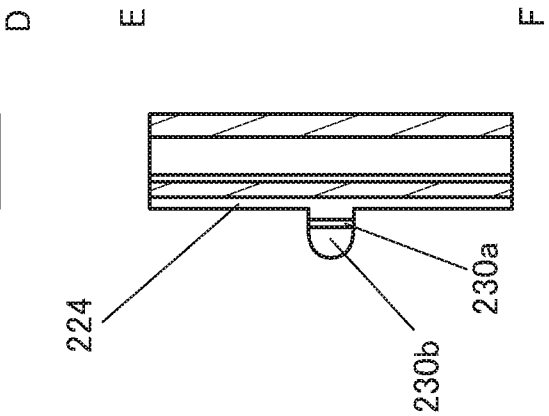
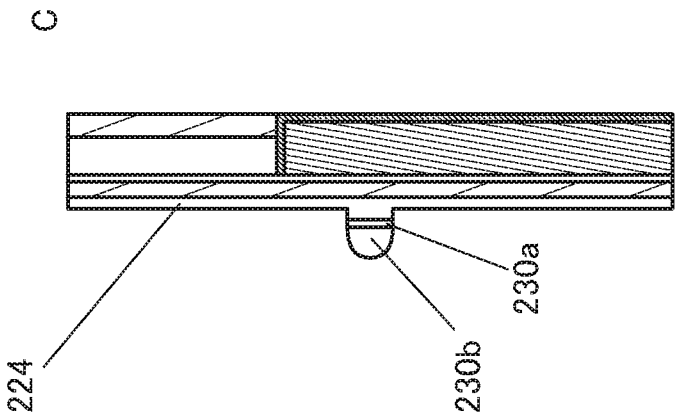


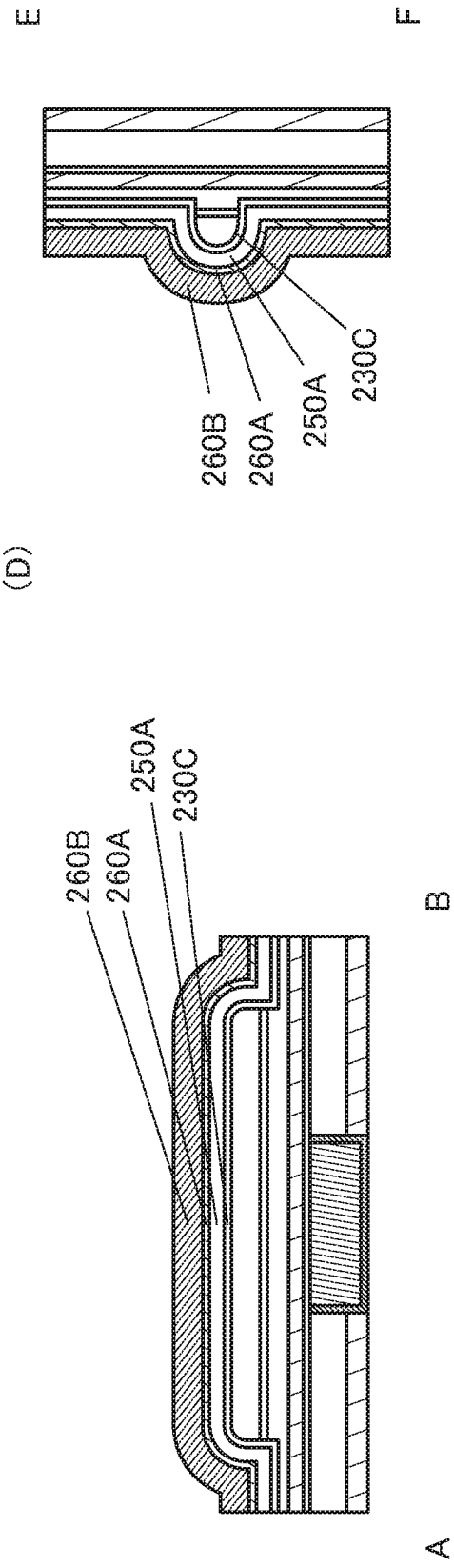
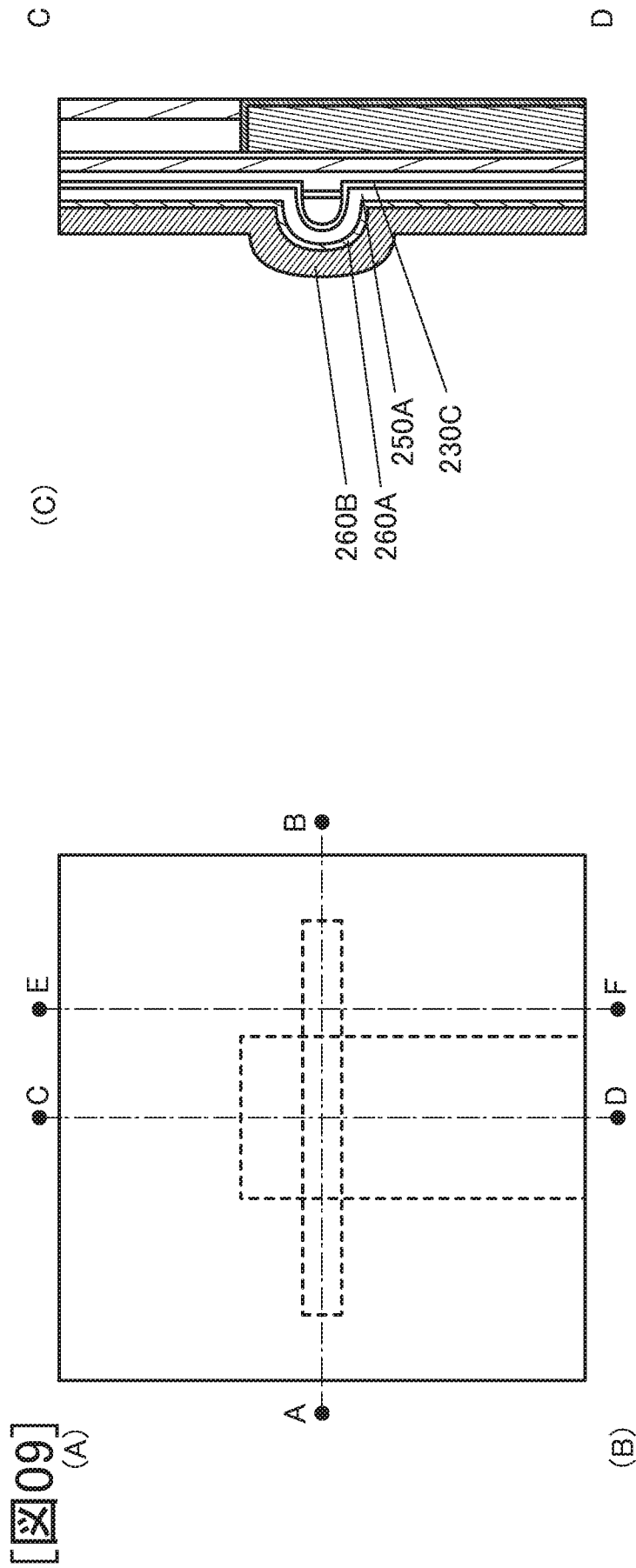
(C)

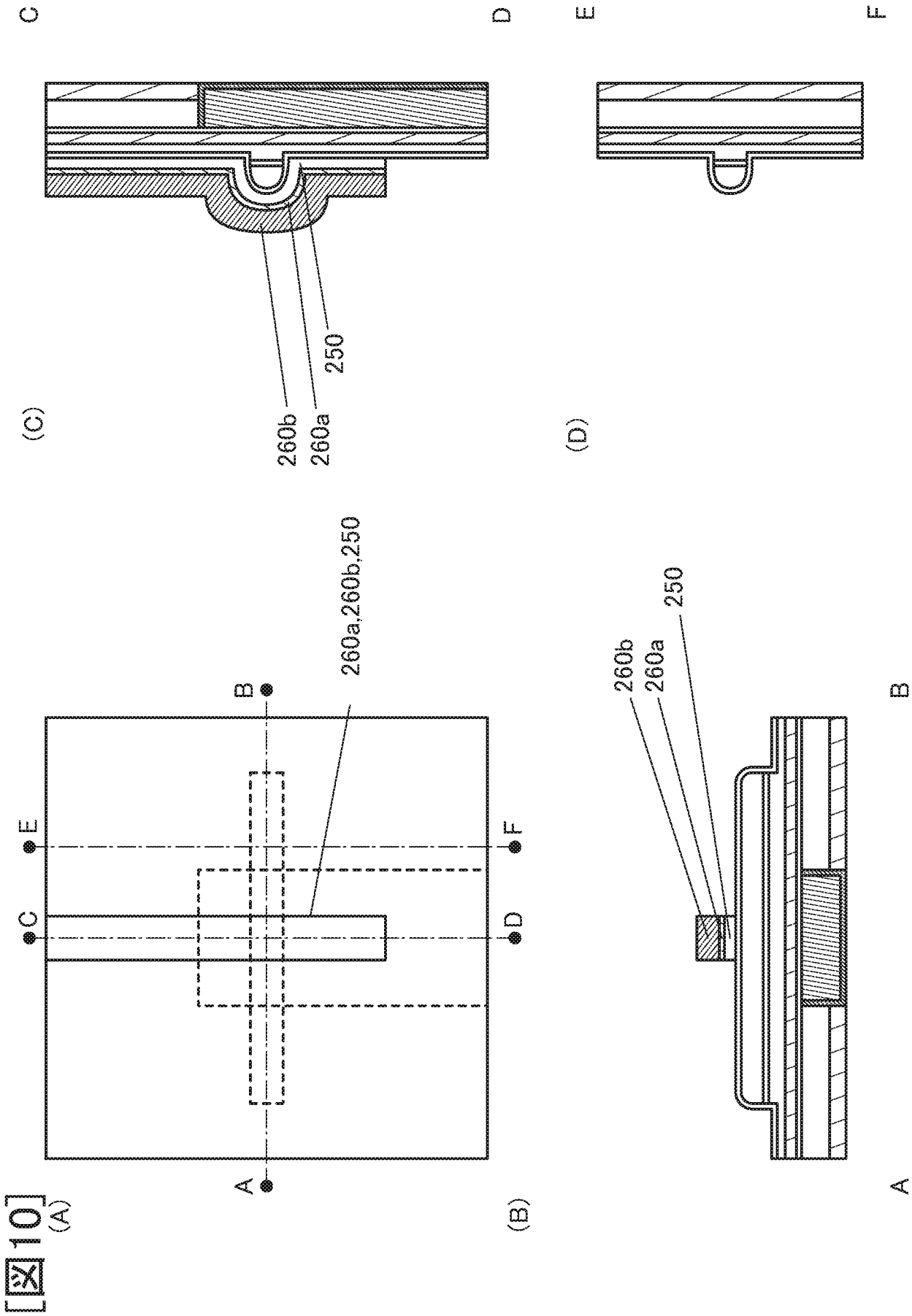


(D)

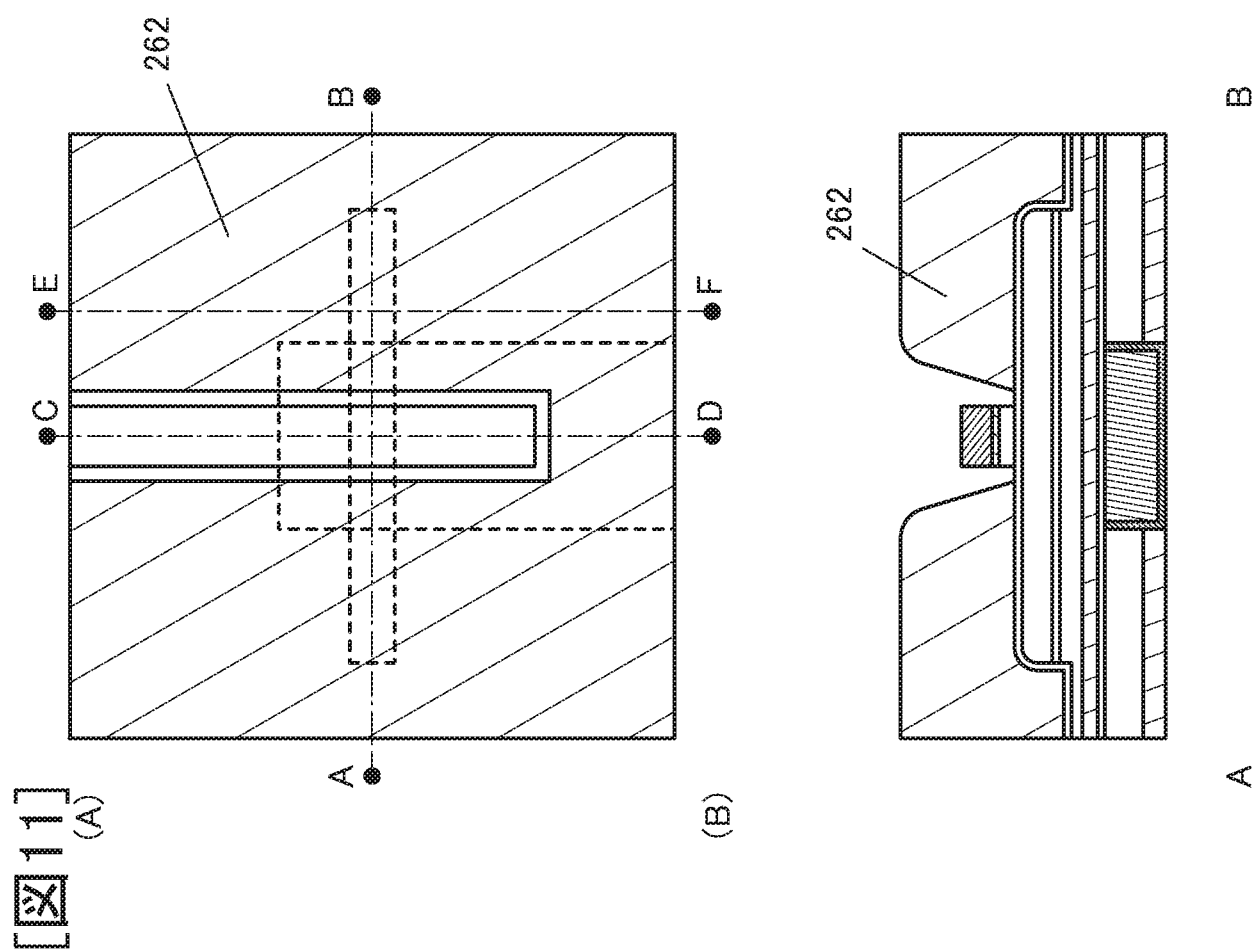
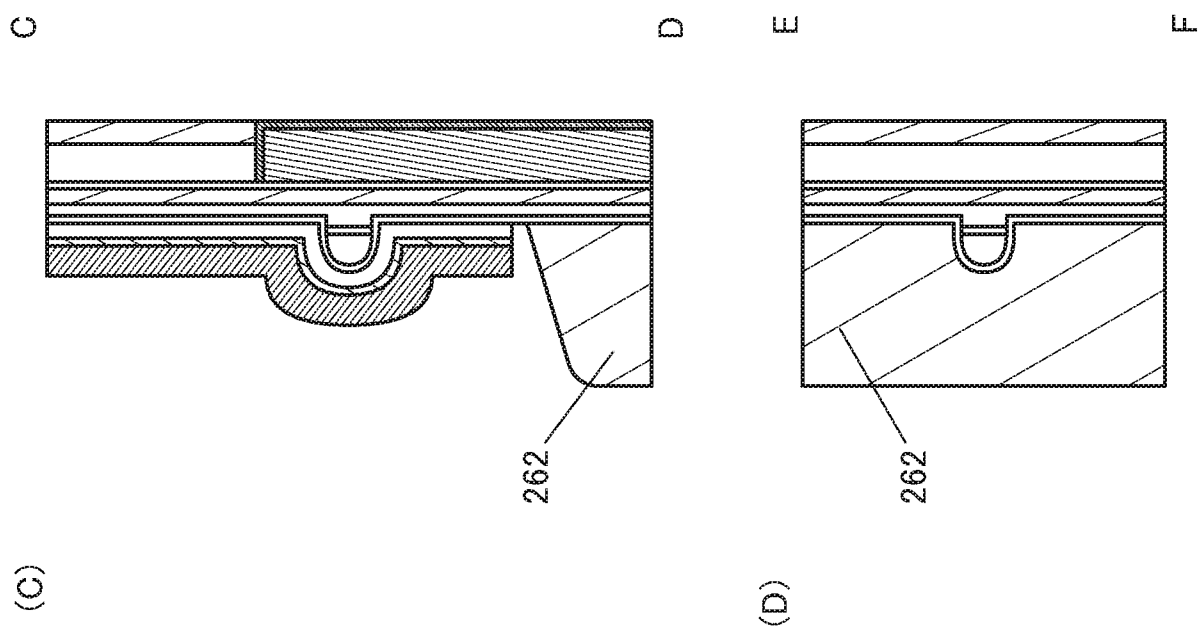


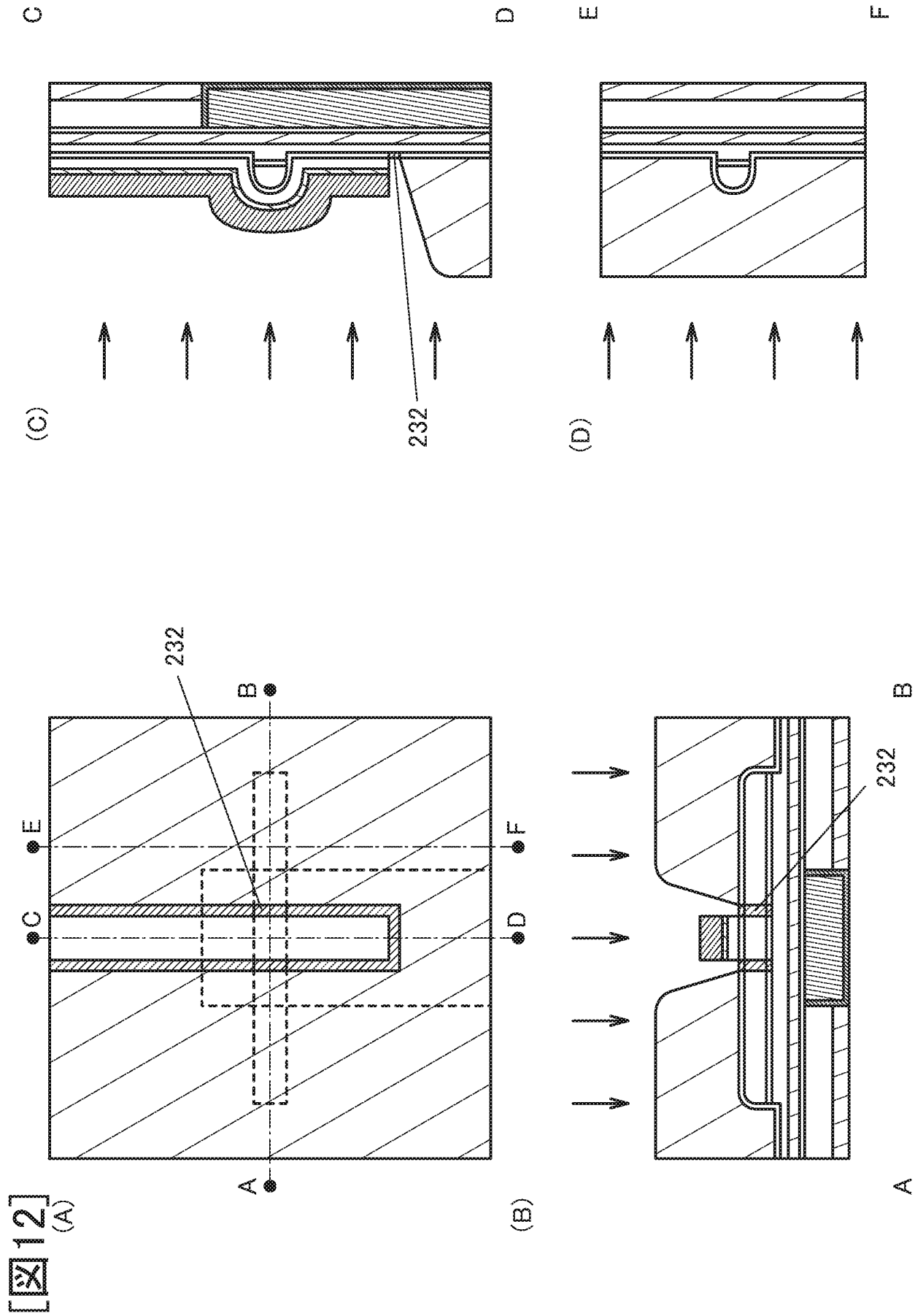


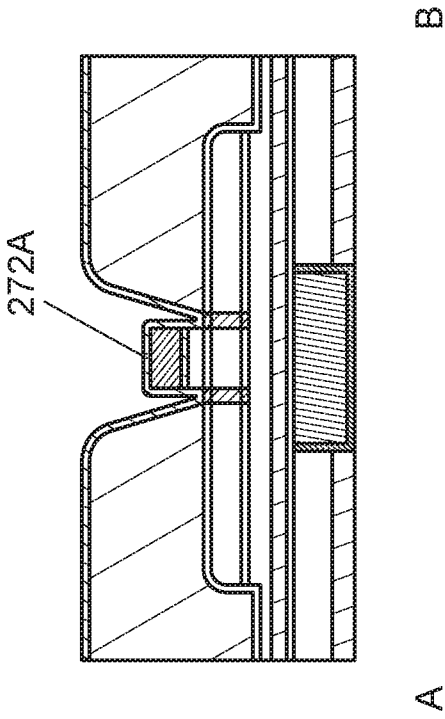
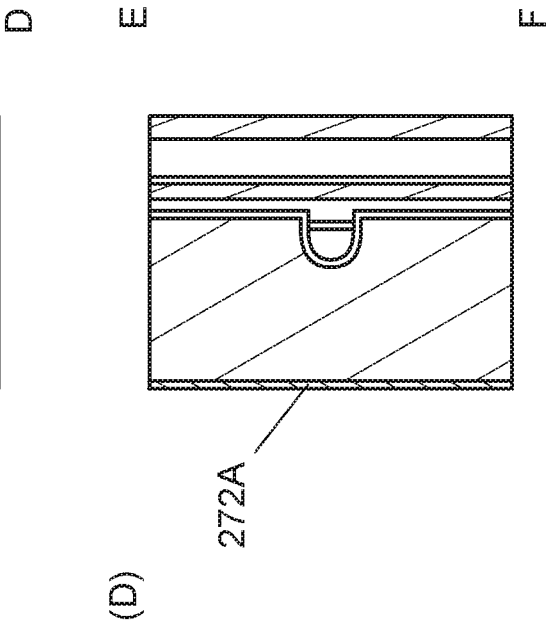
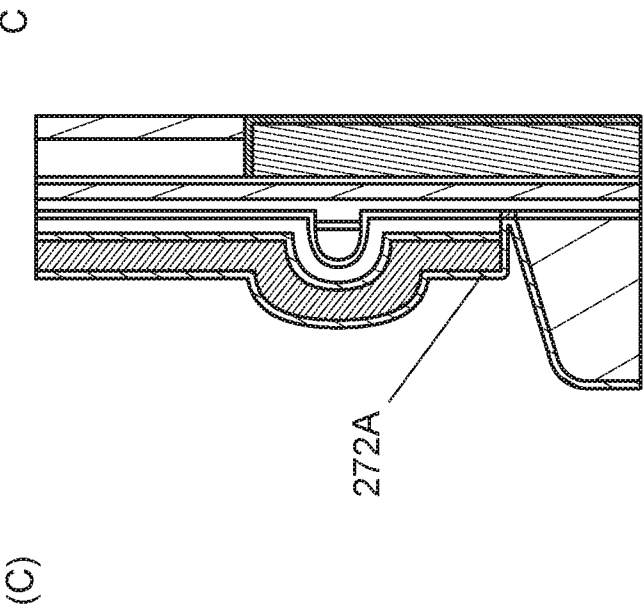
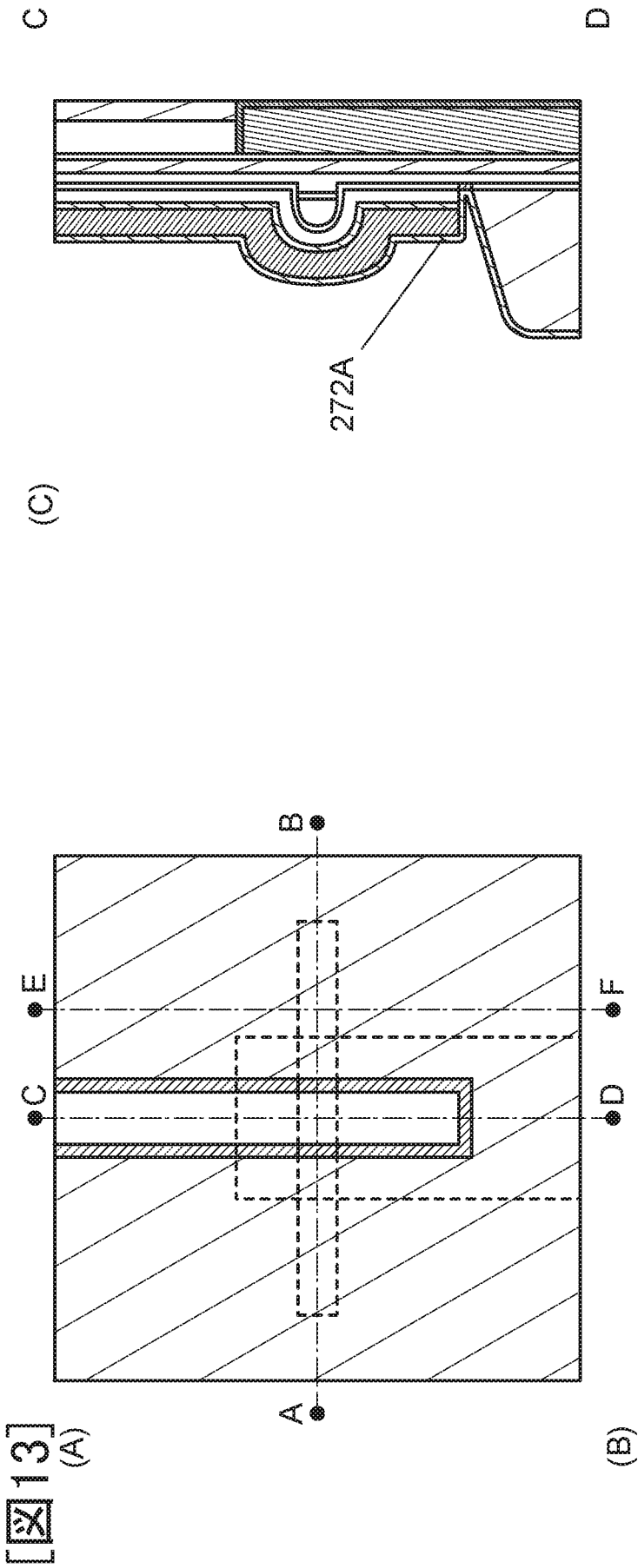




11/60





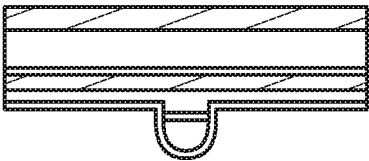
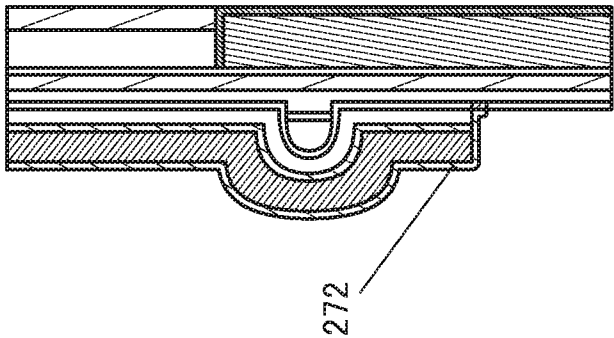


C

D

E

F



(C)

(D)

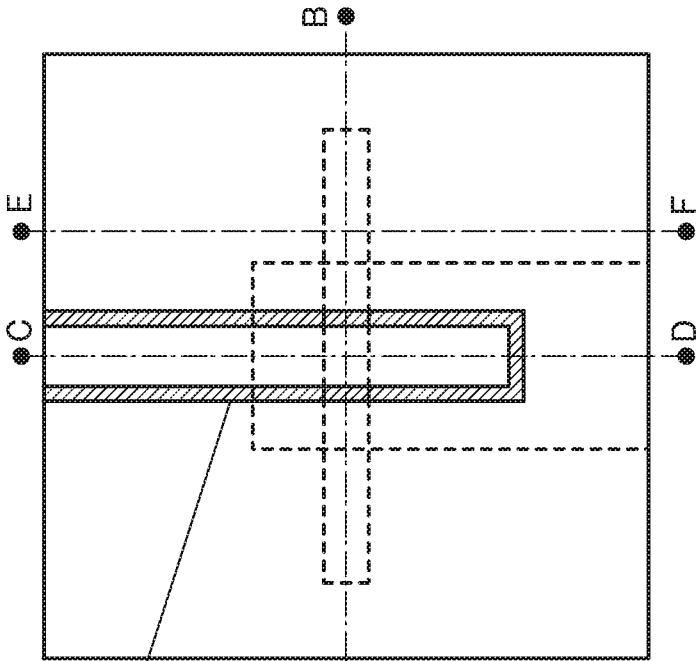
[図14]

(A)

272

A

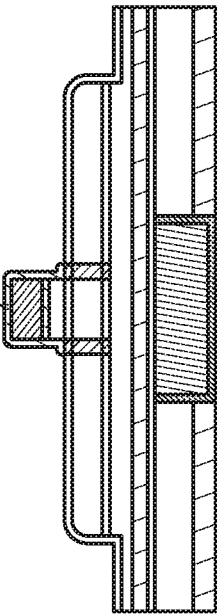
(B)

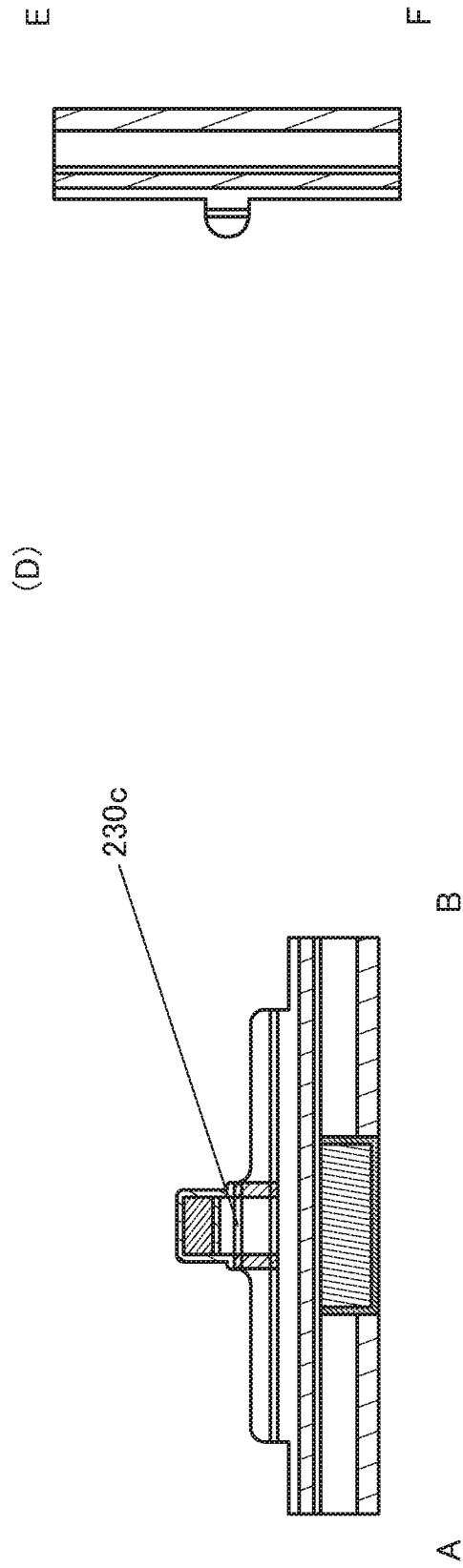
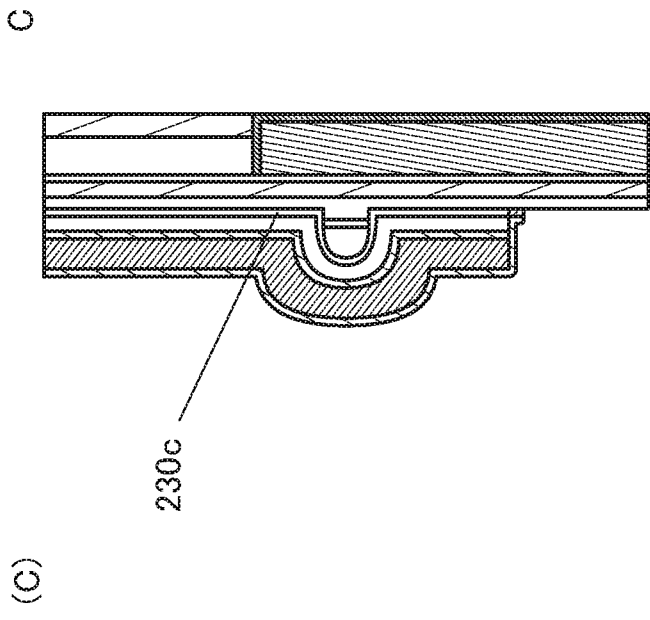
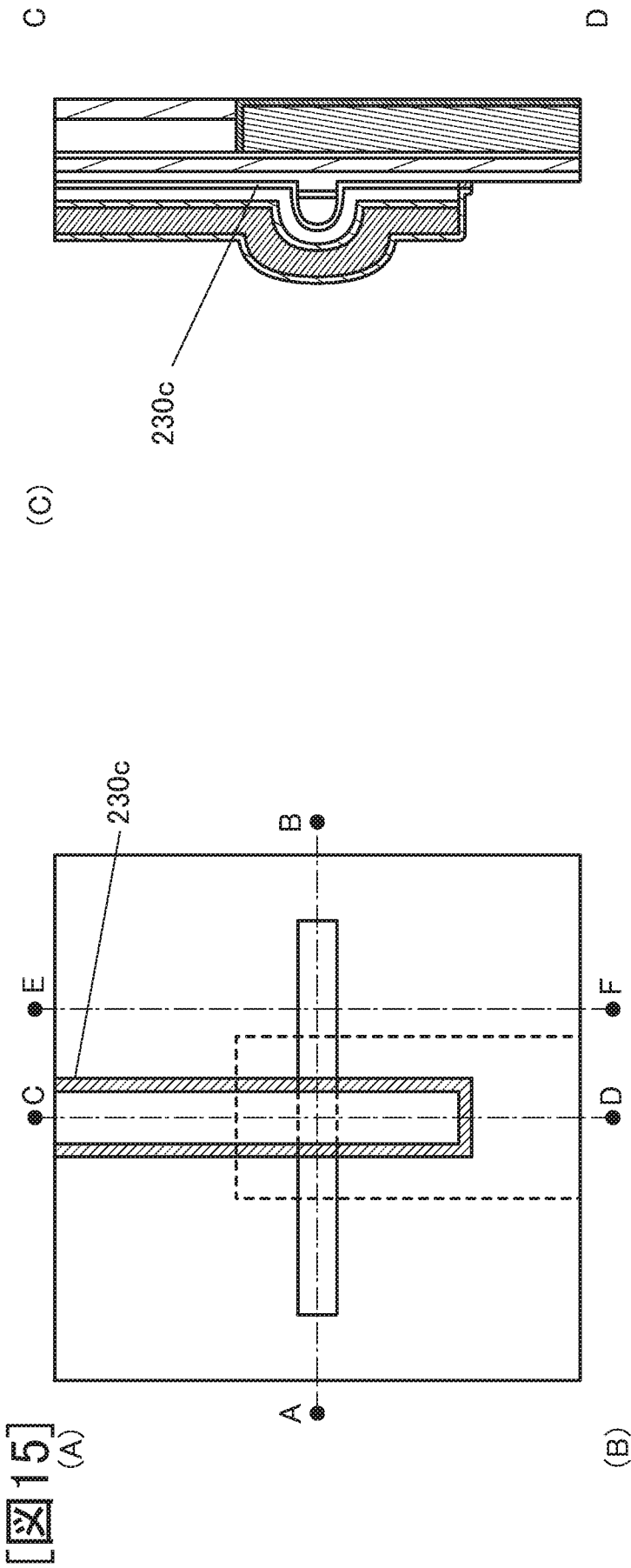


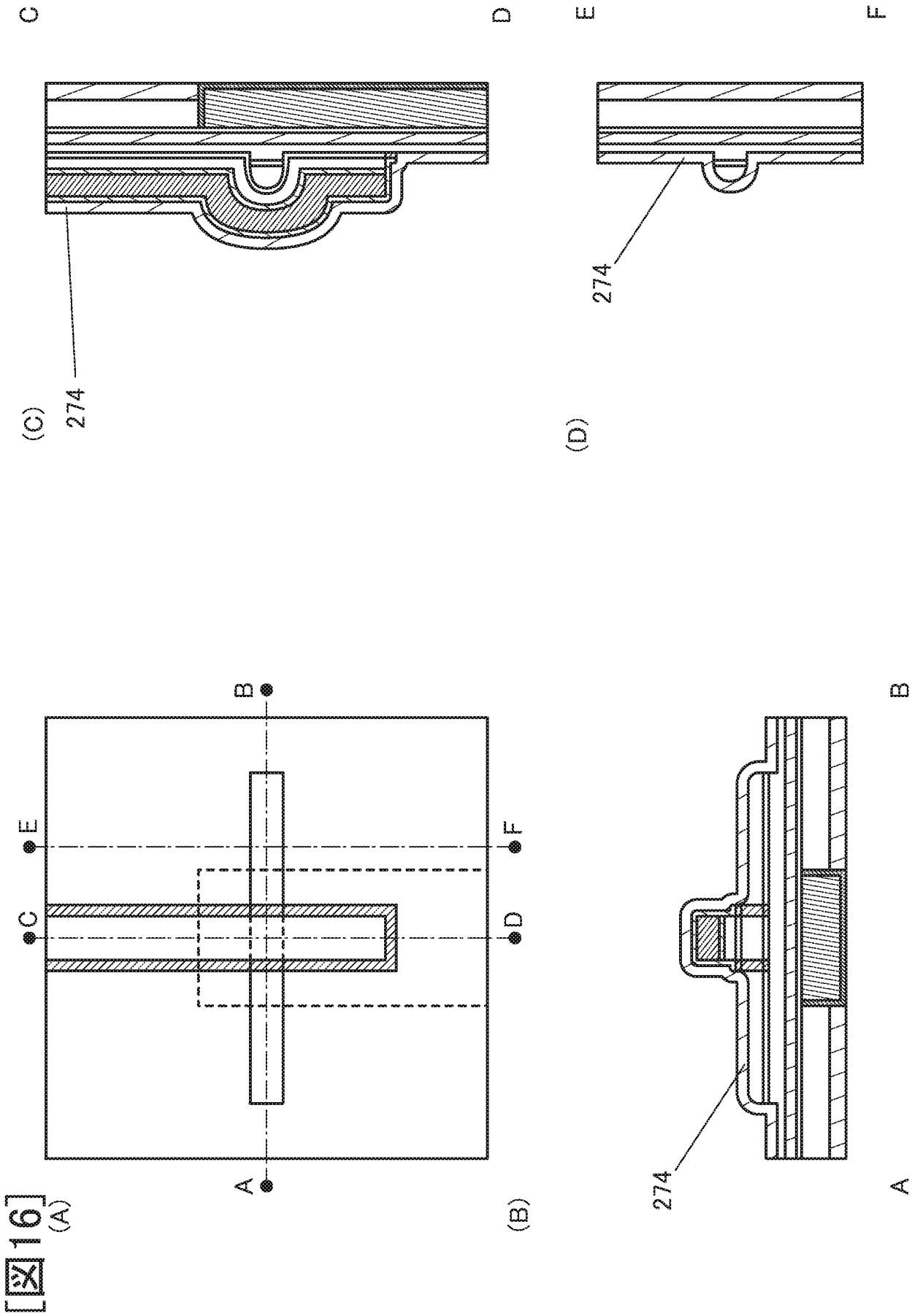
272

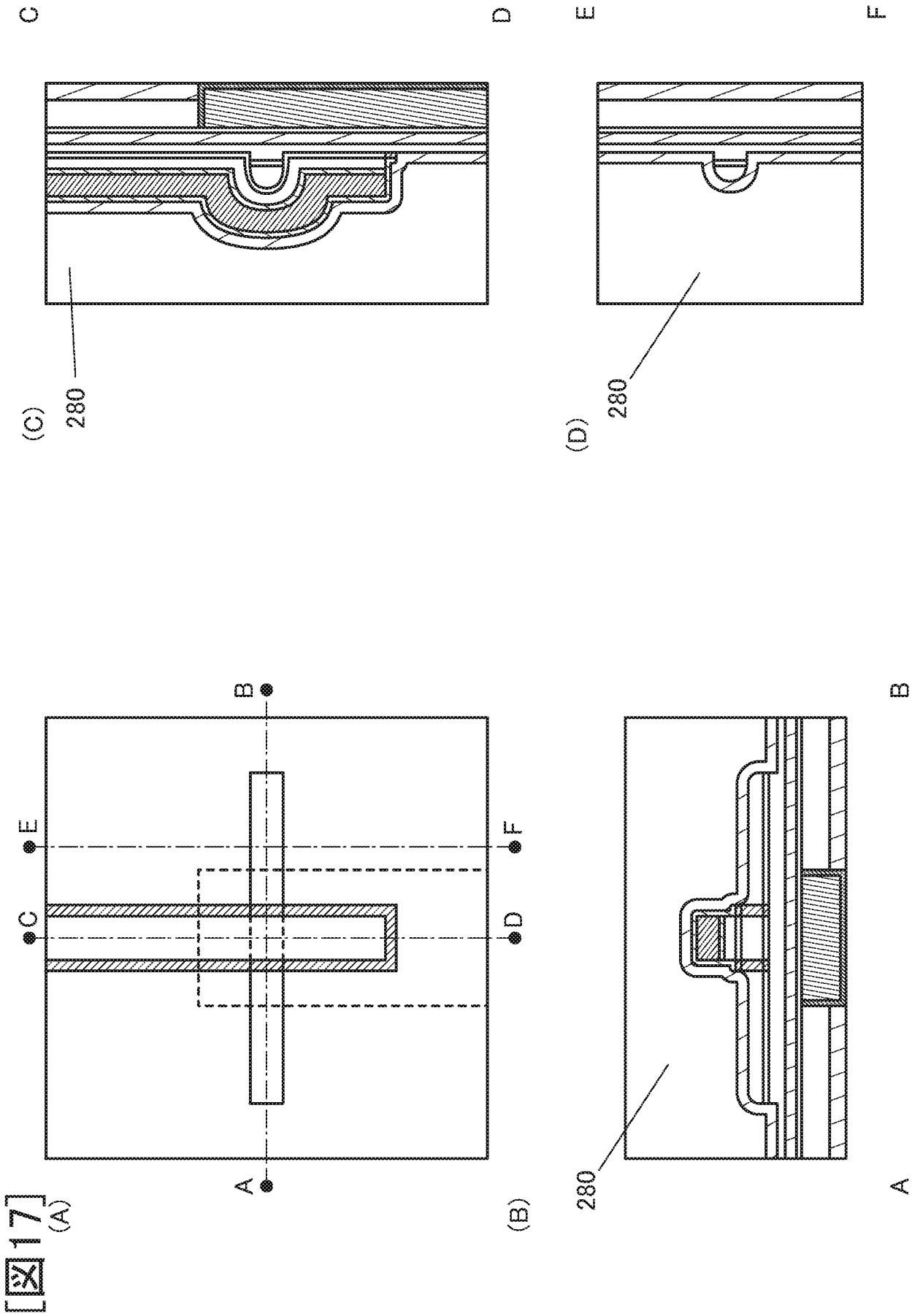
B

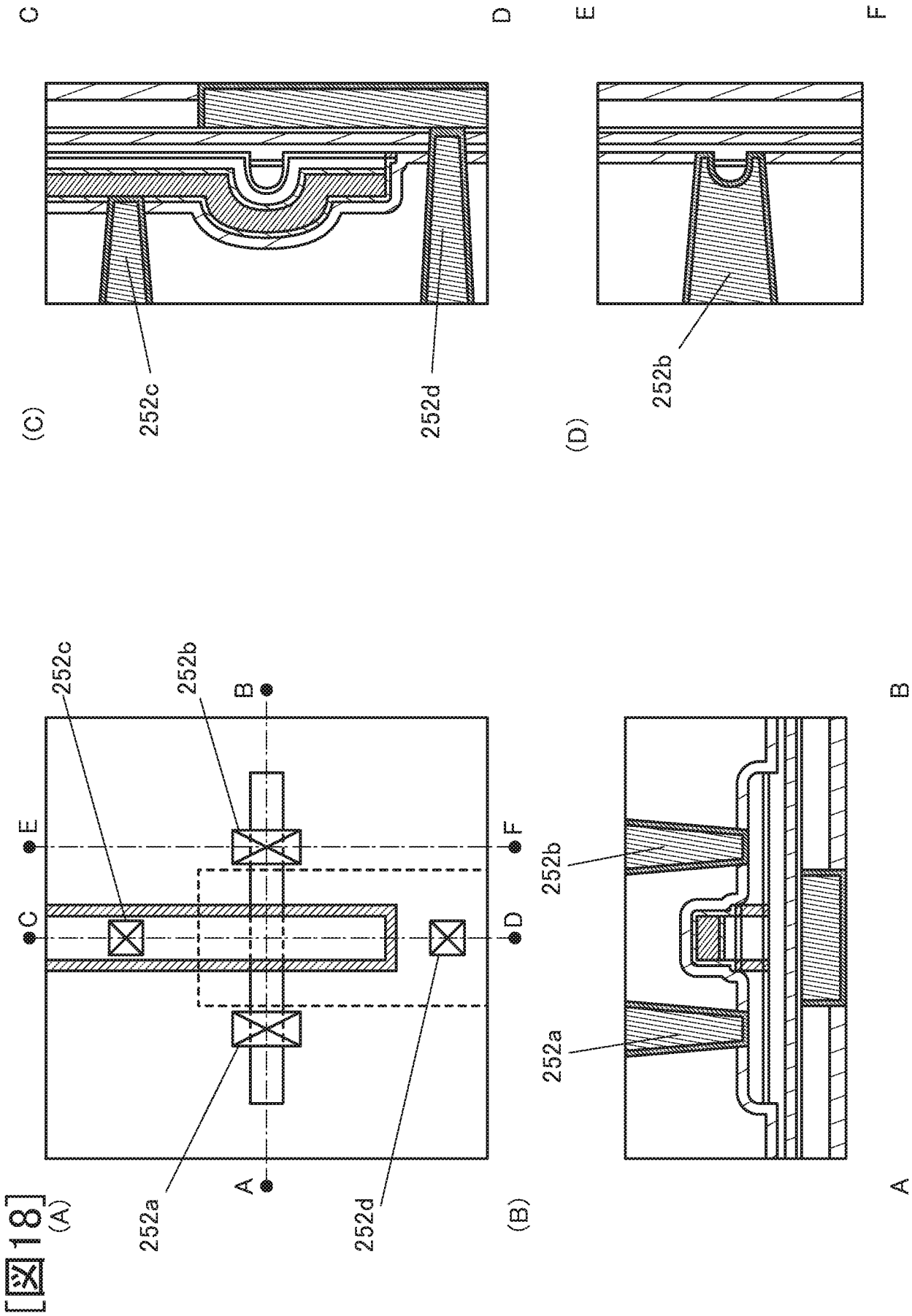
A

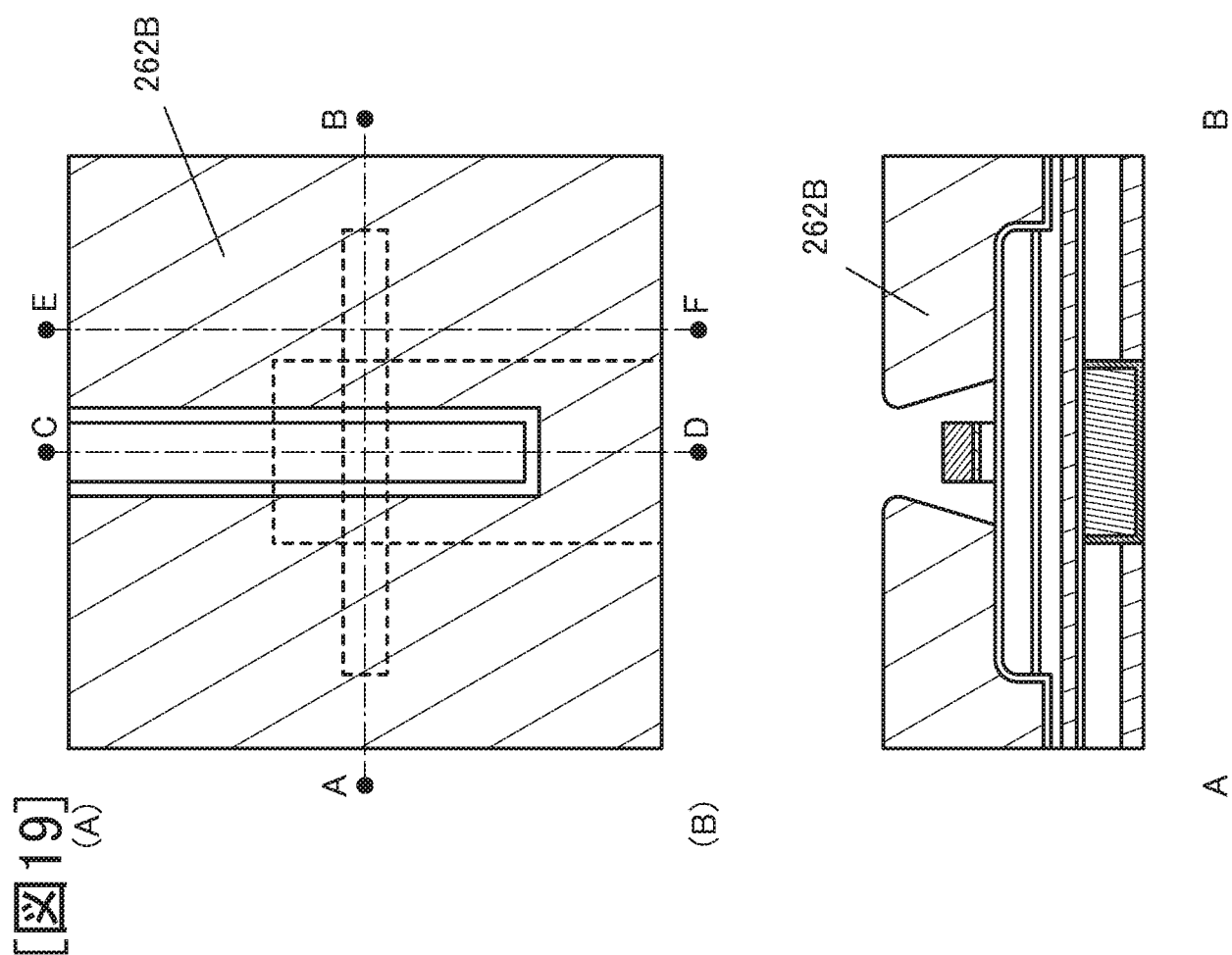
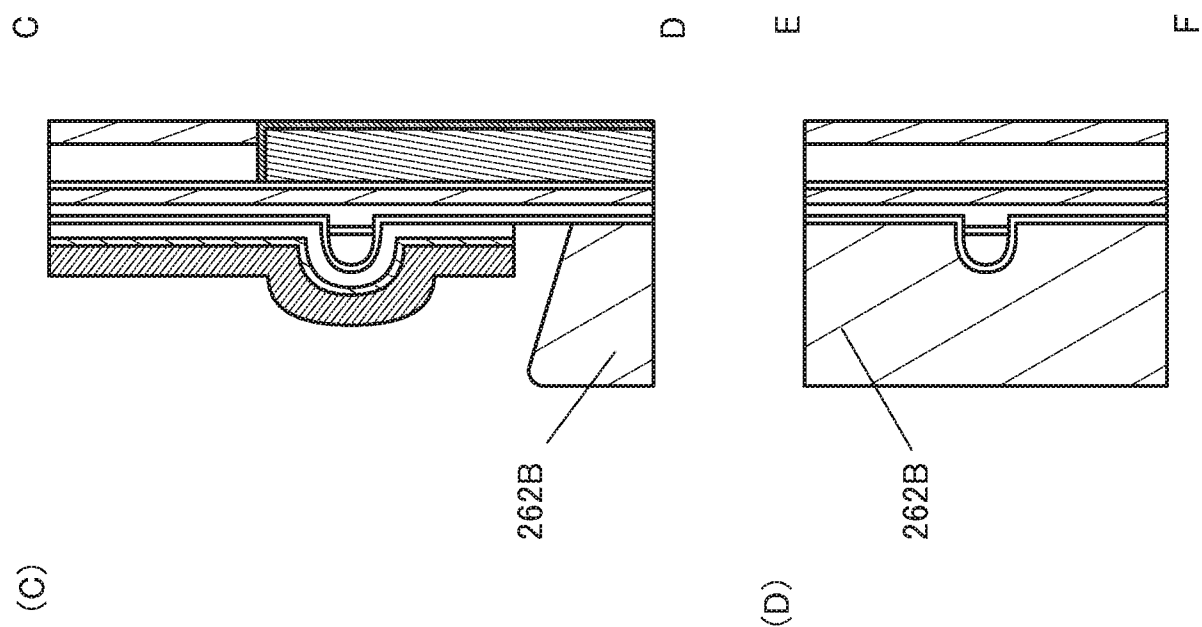


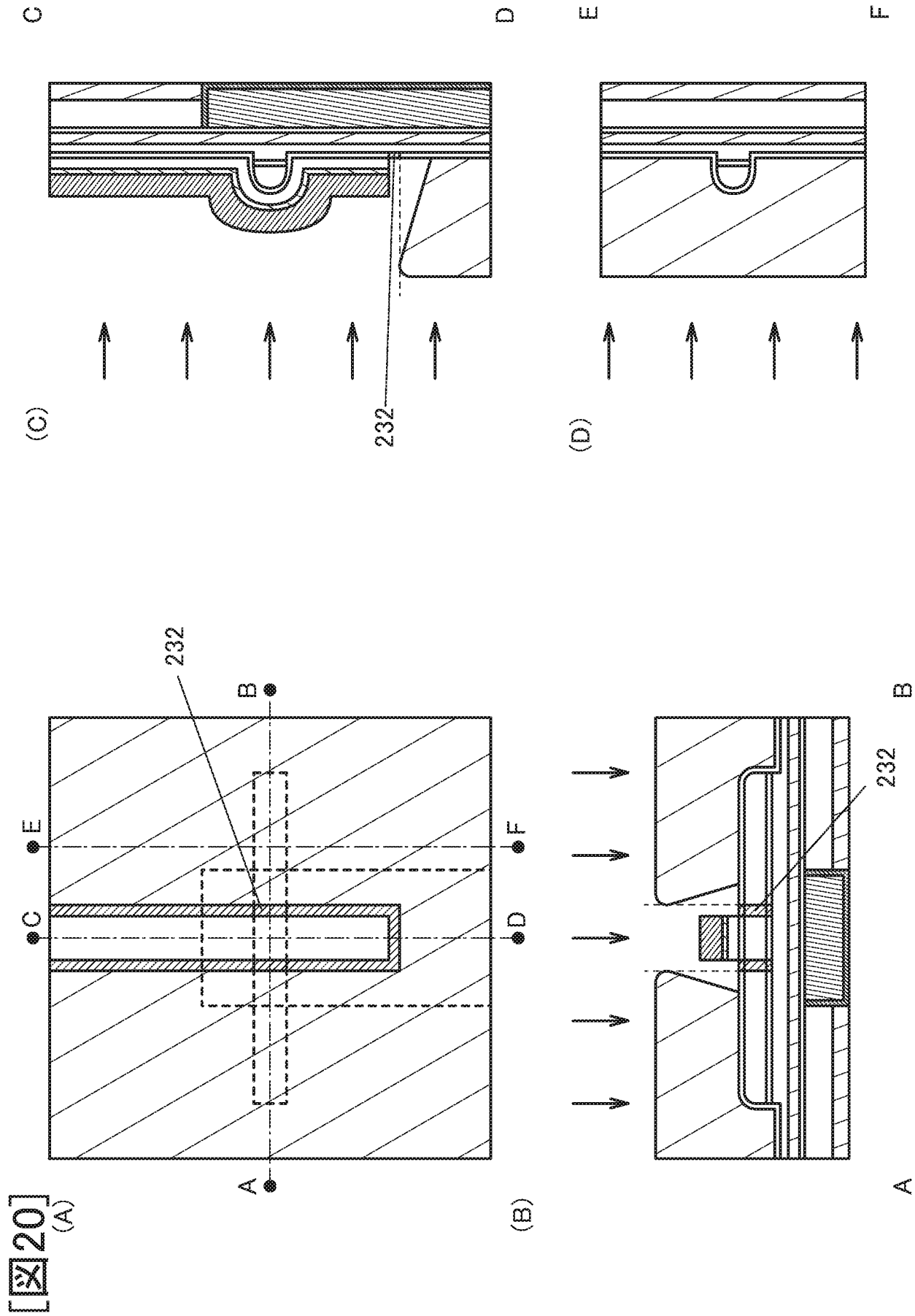


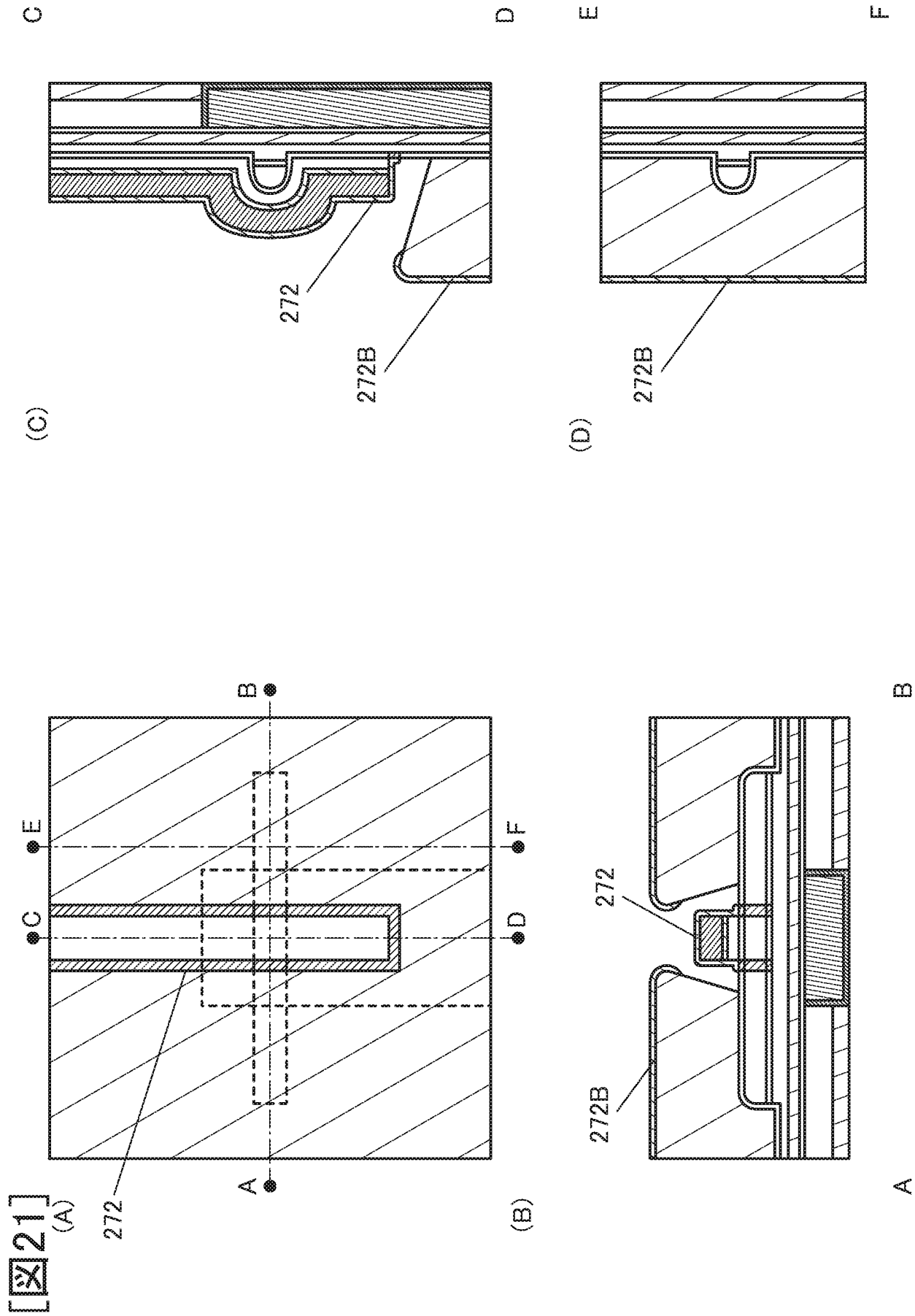


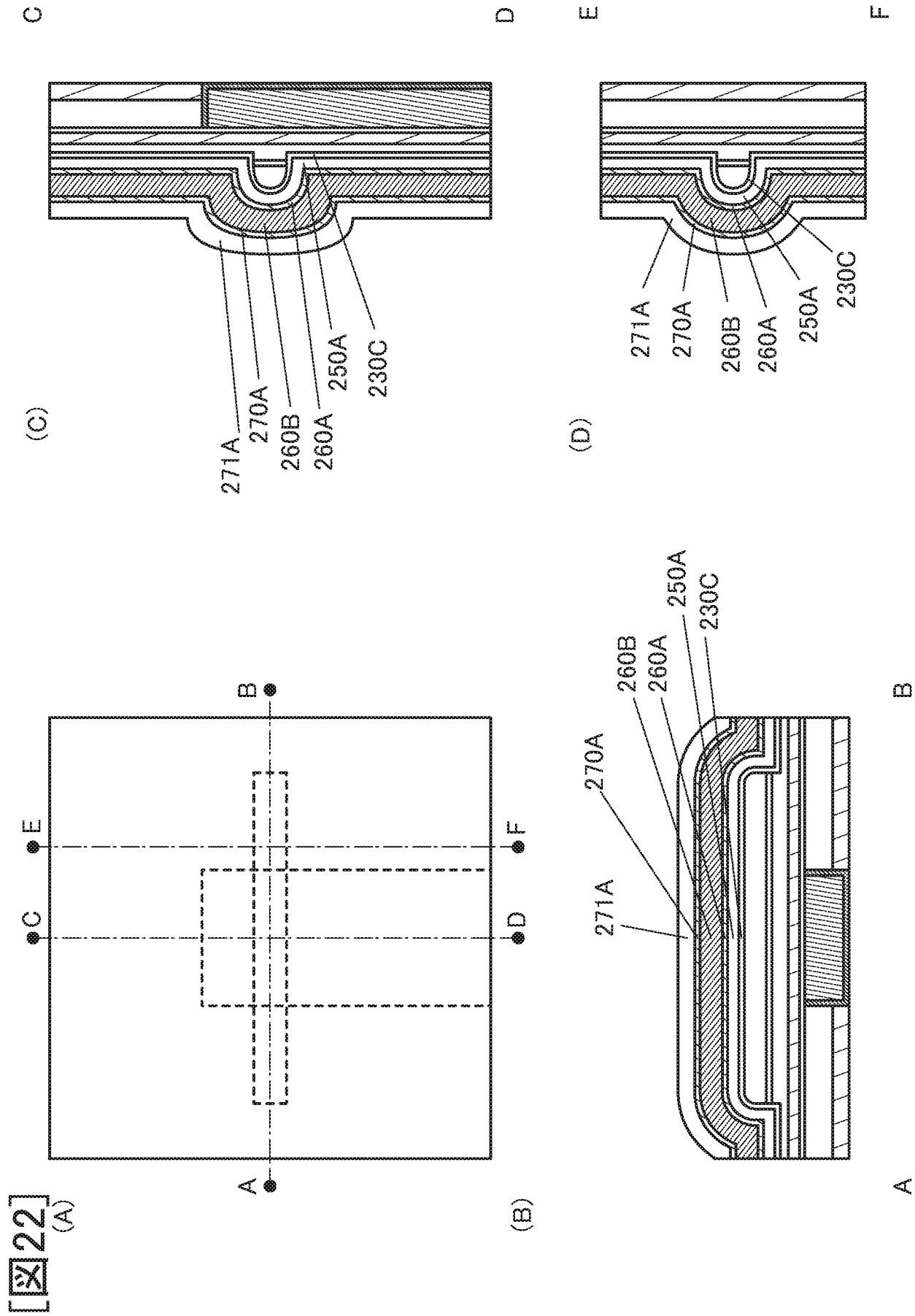




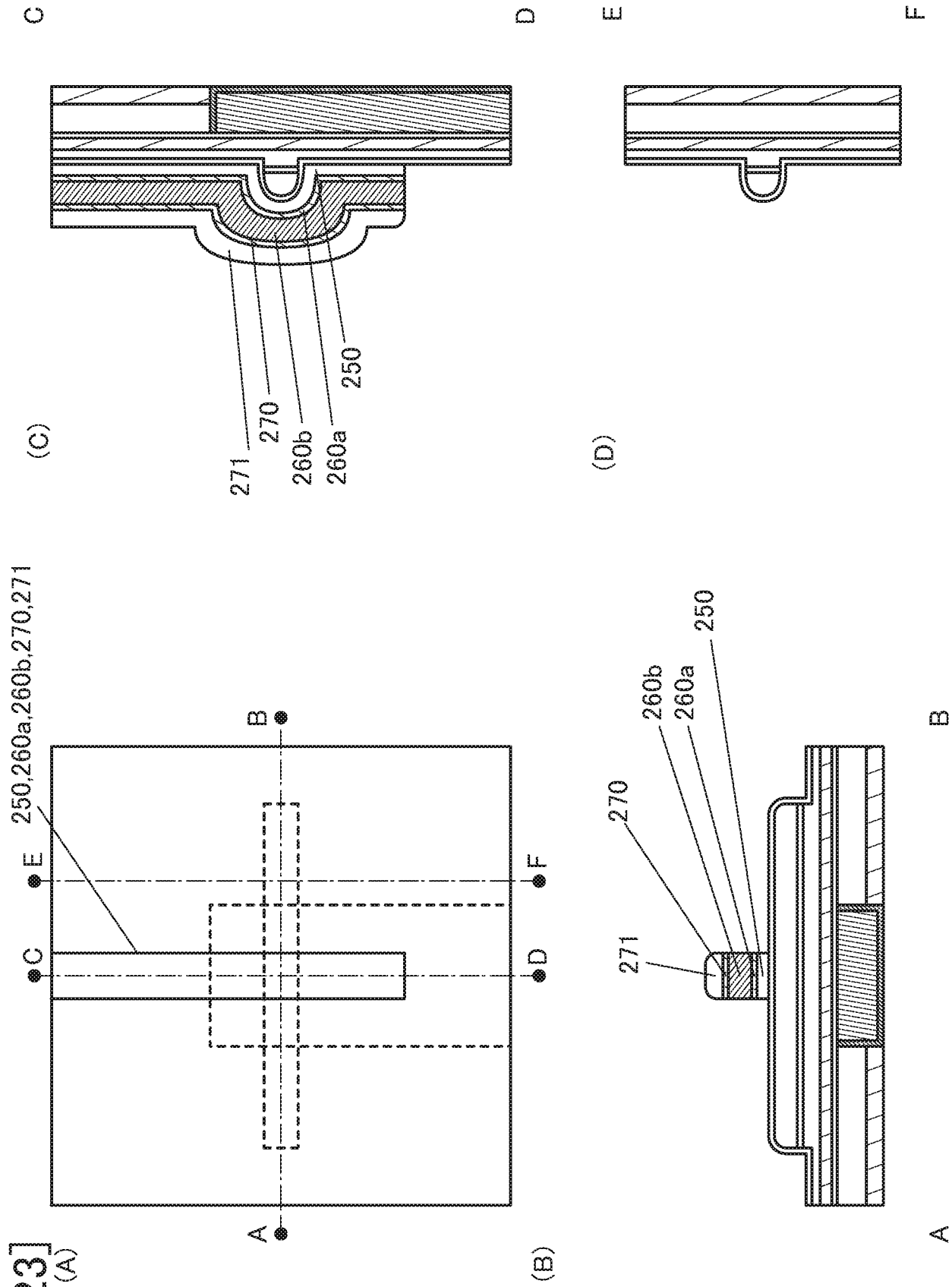


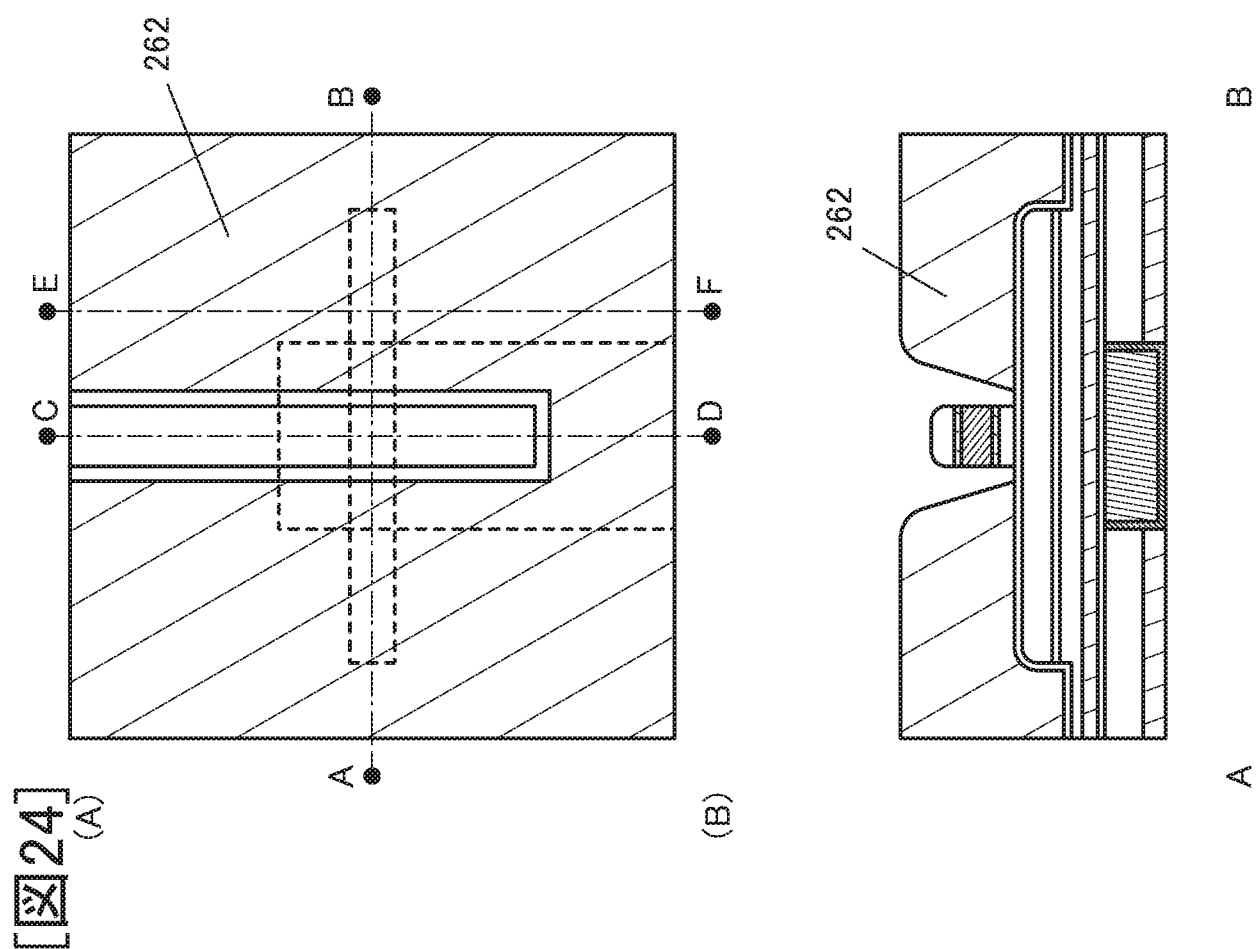
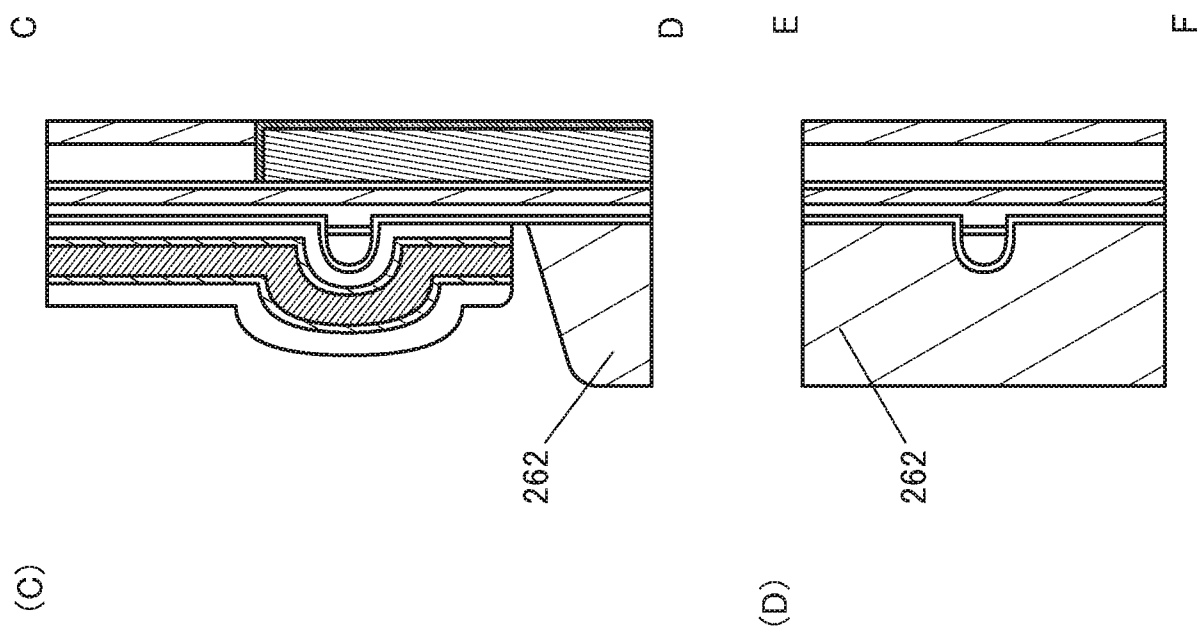


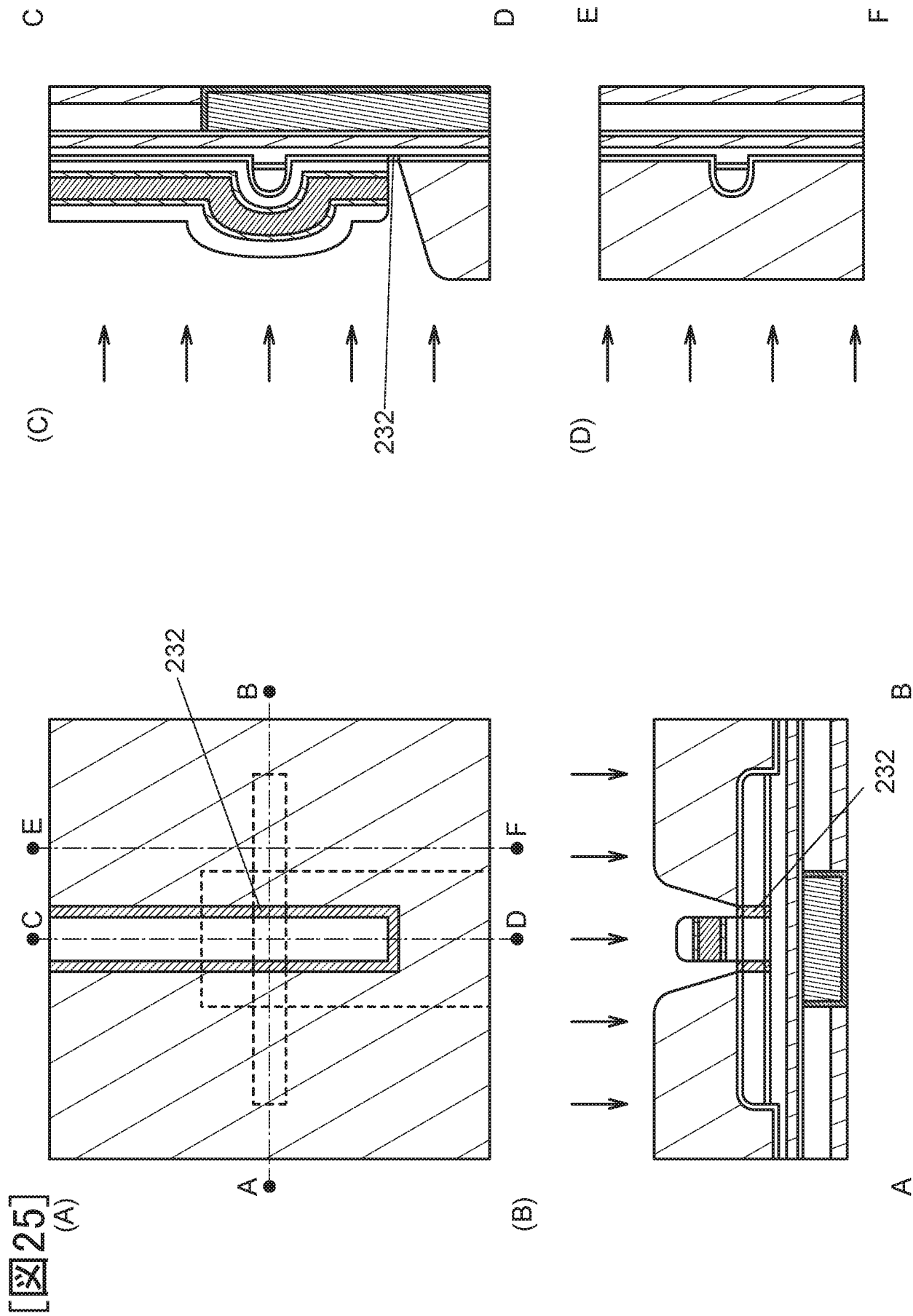




[図 23] 250, 260a, 260b, 270, 271





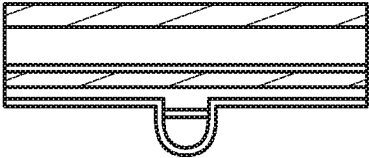
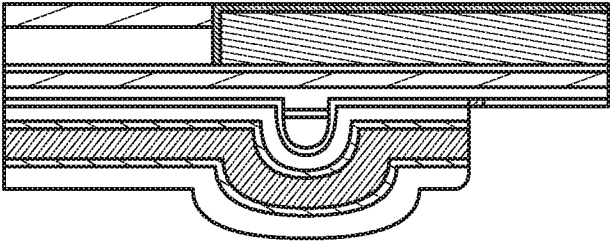


C

D

E

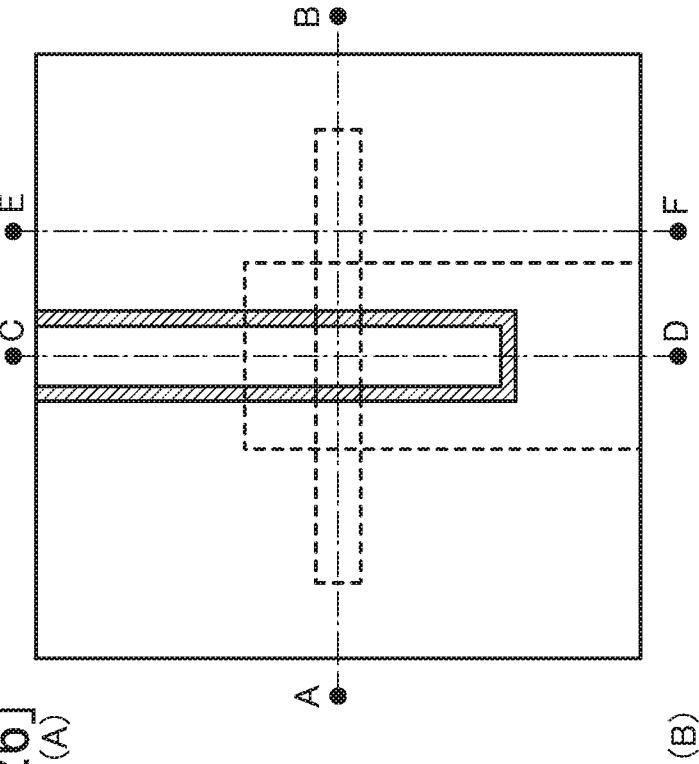
F



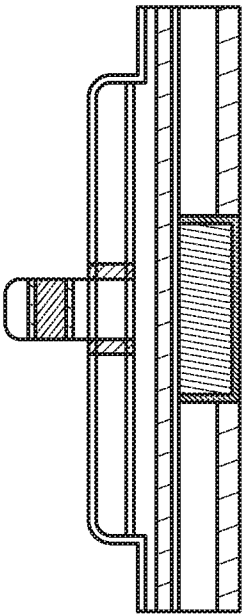
(C)

(D)

[図 26]
(A)

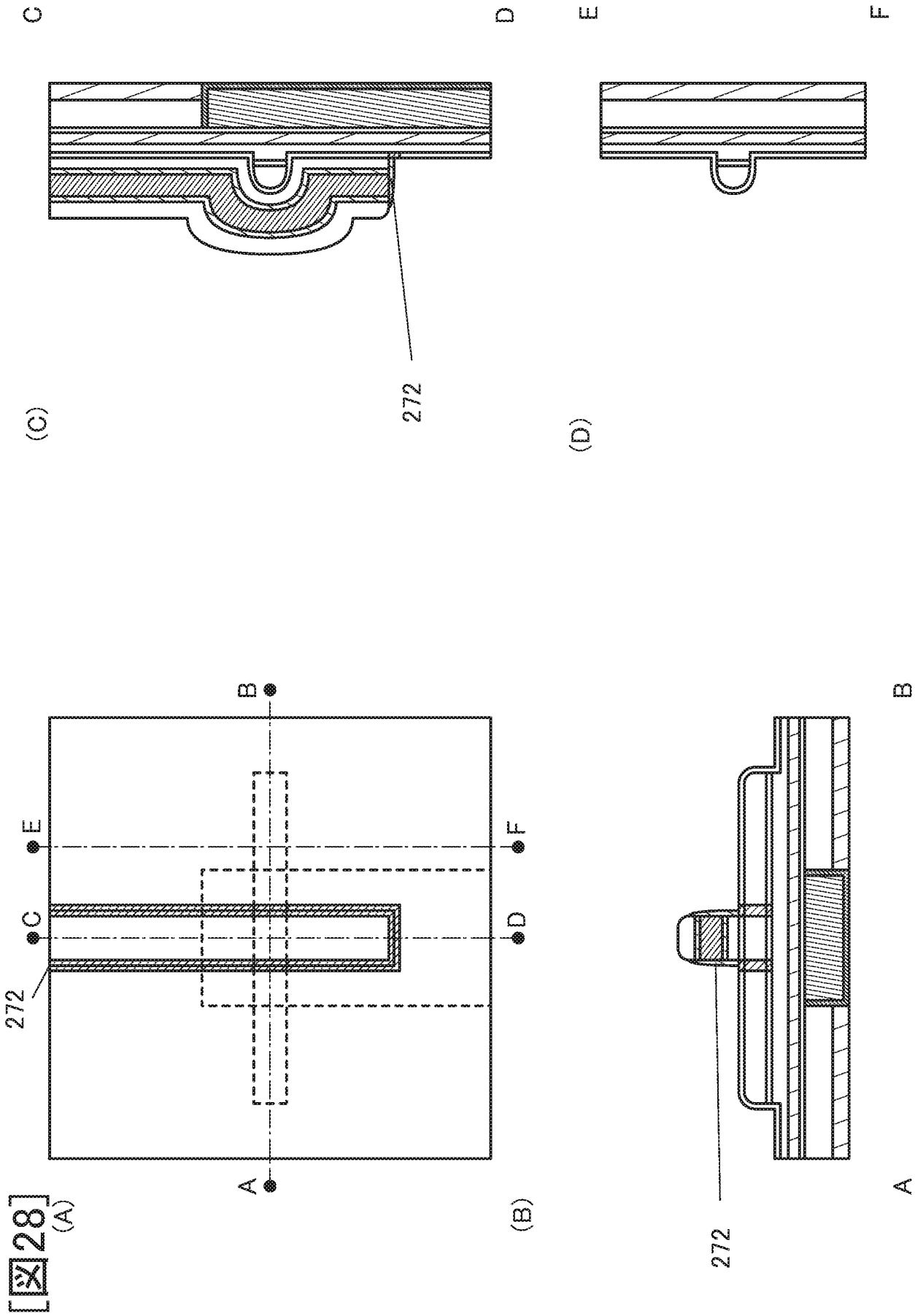


(B)

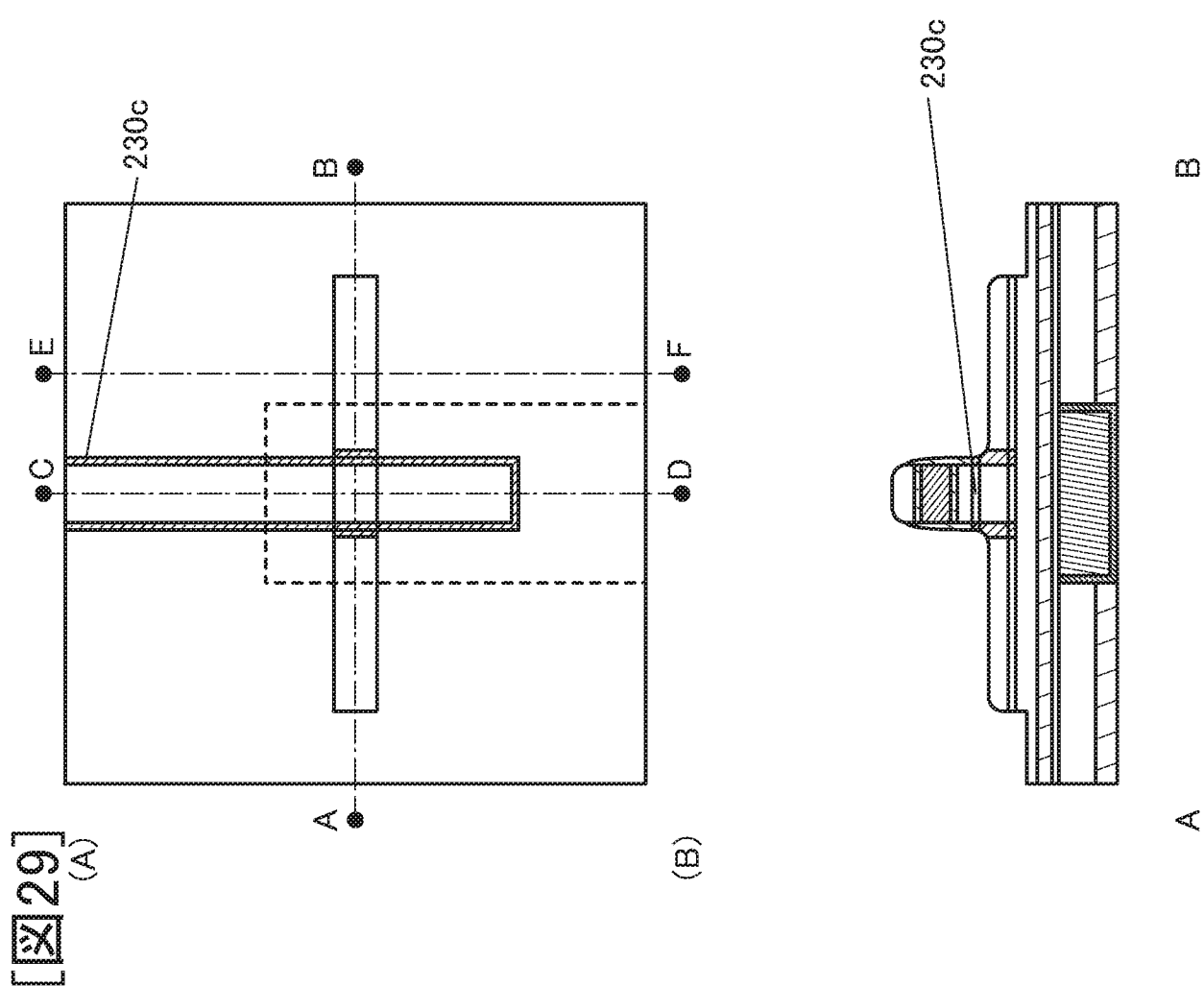
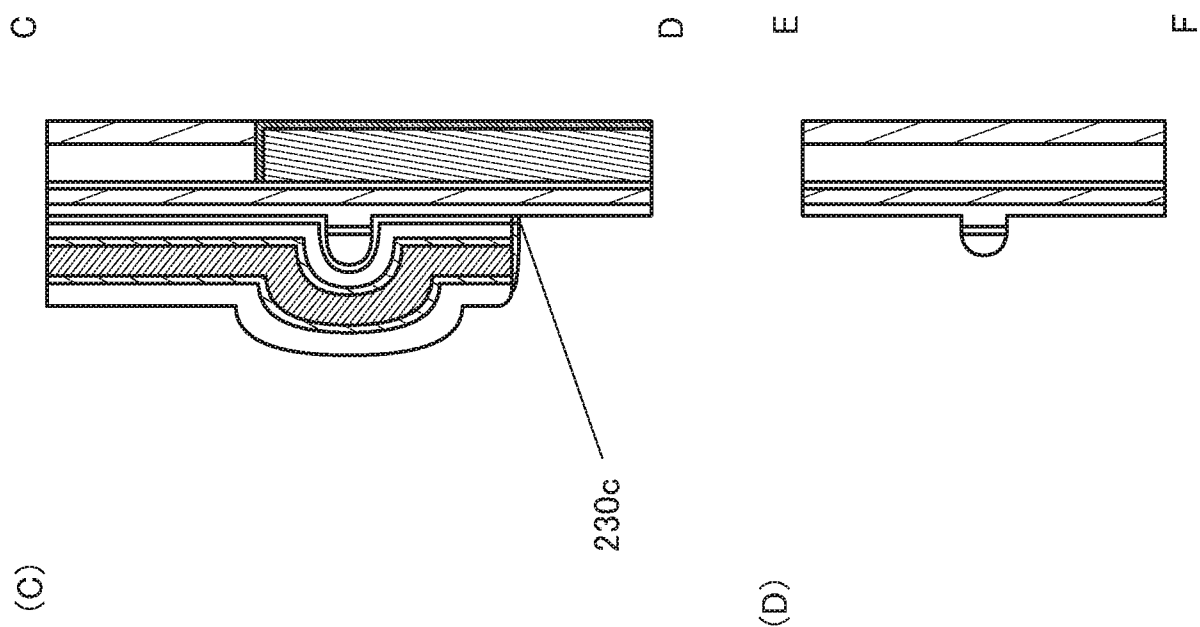


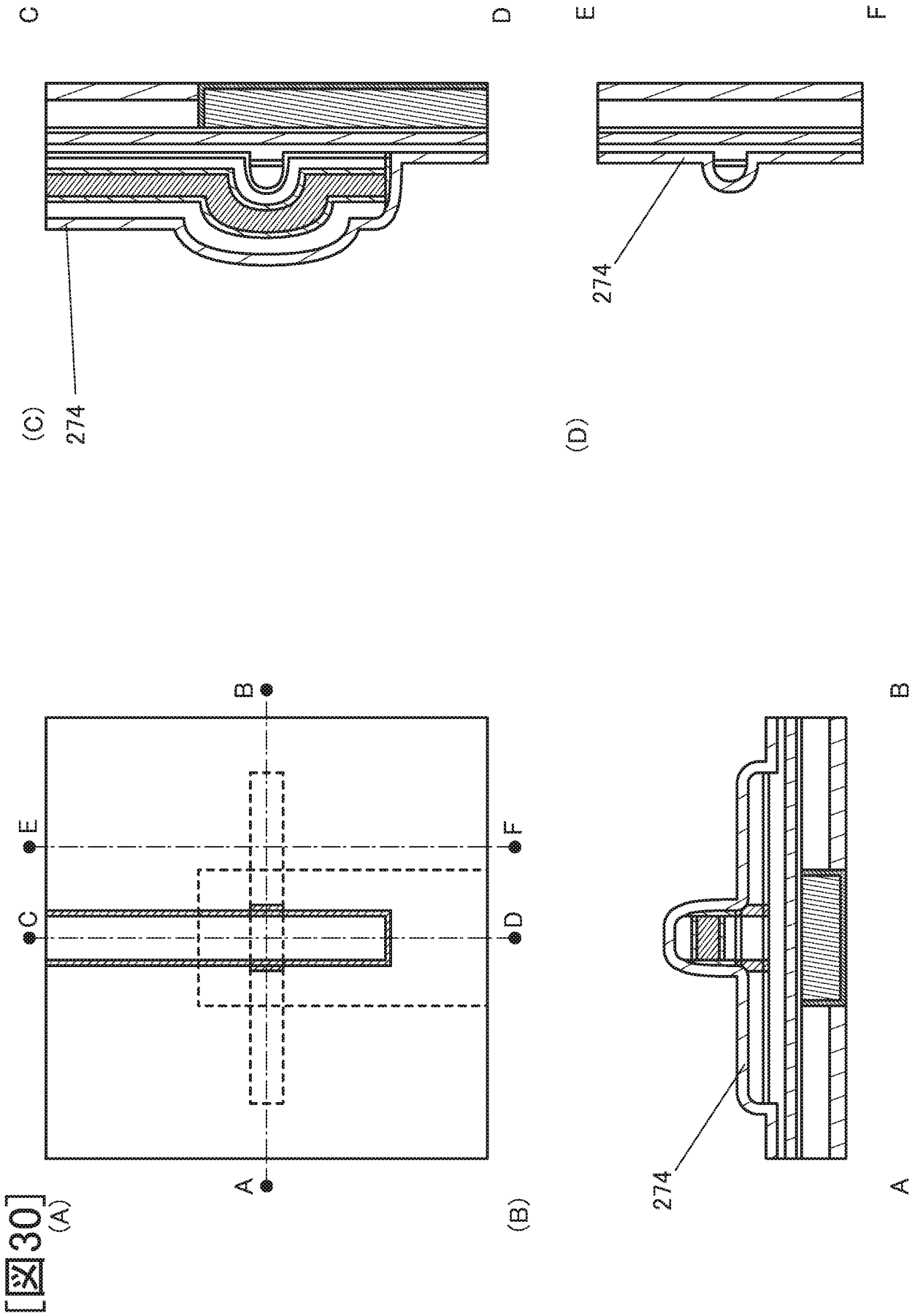
A

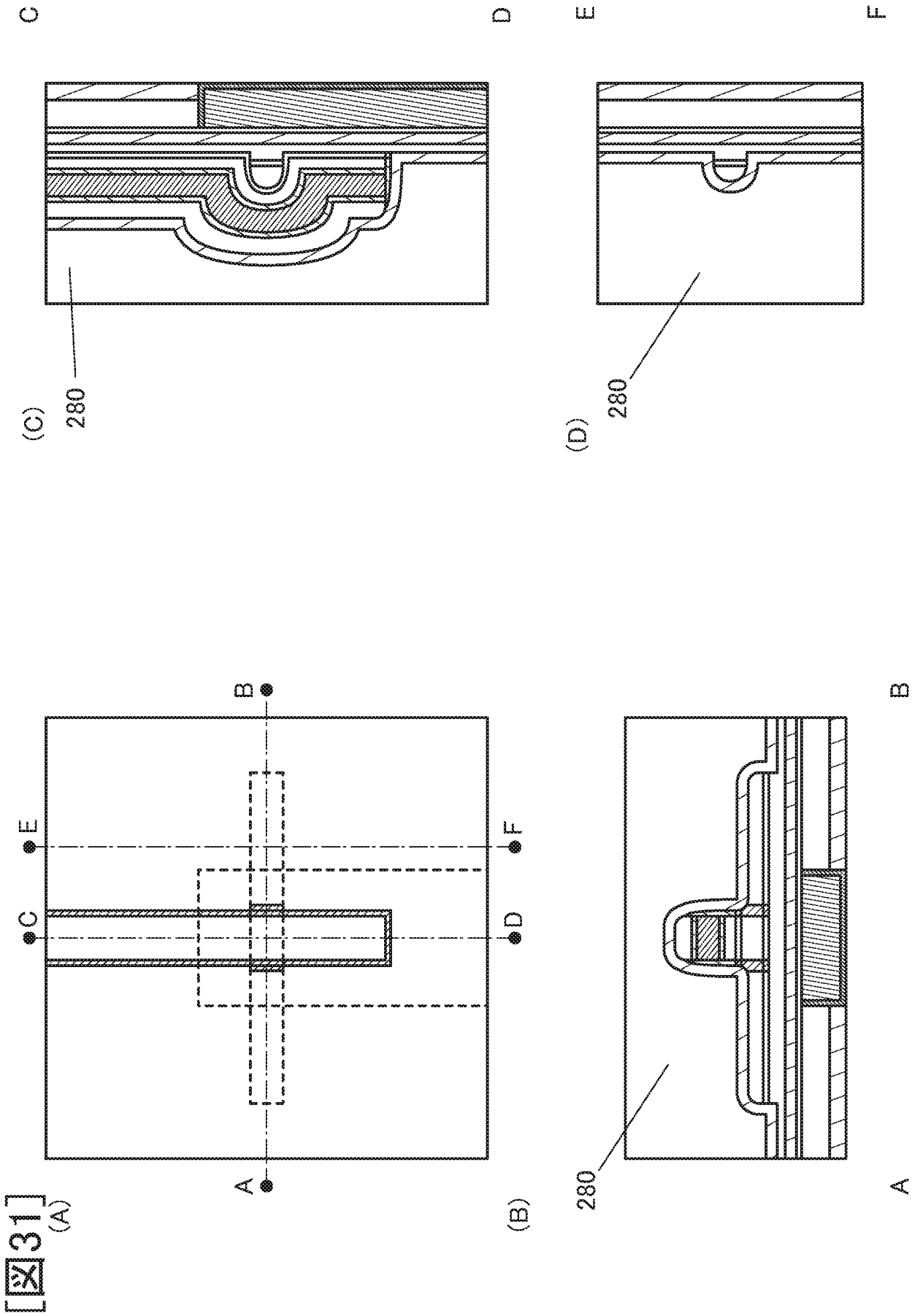
B

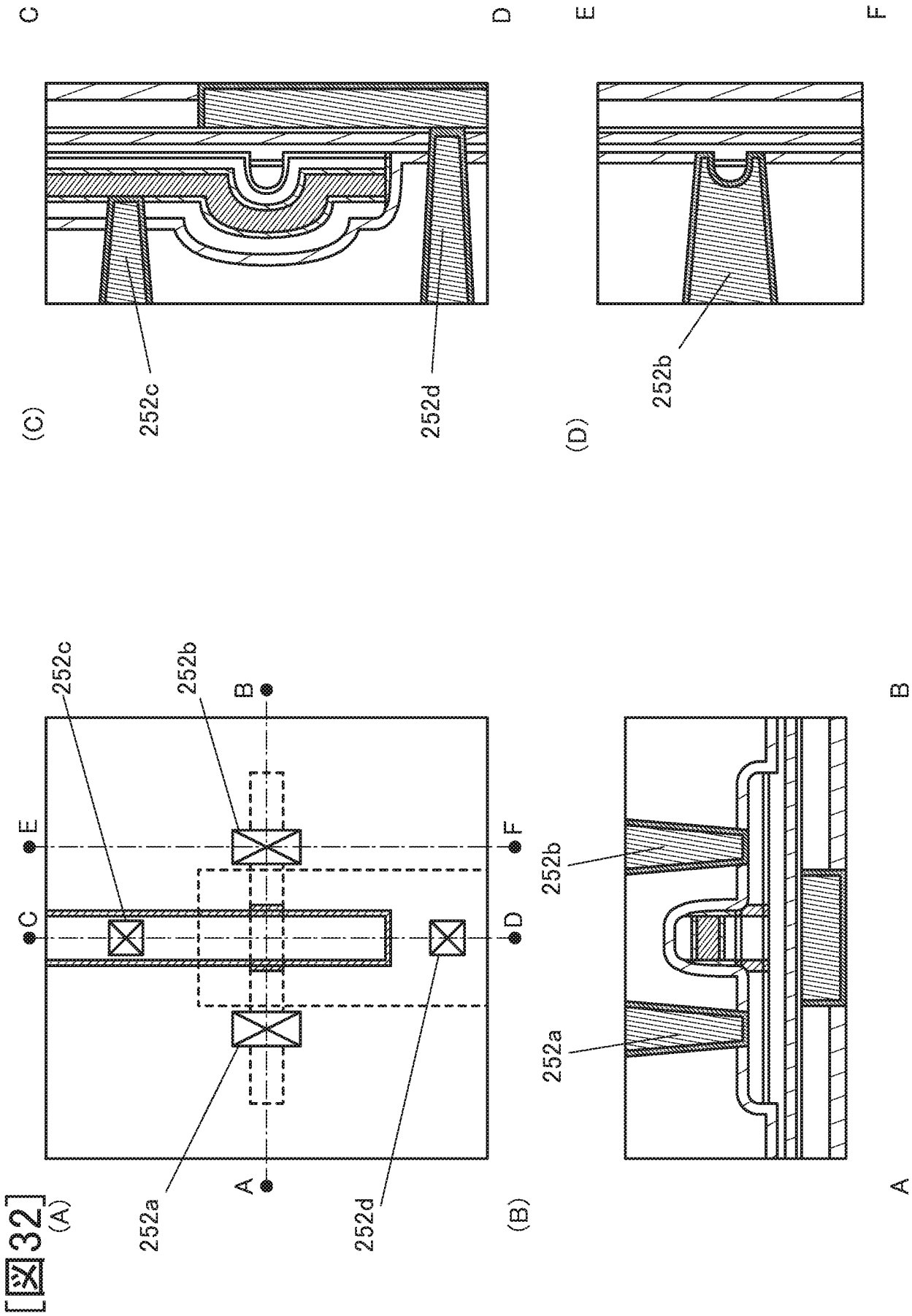


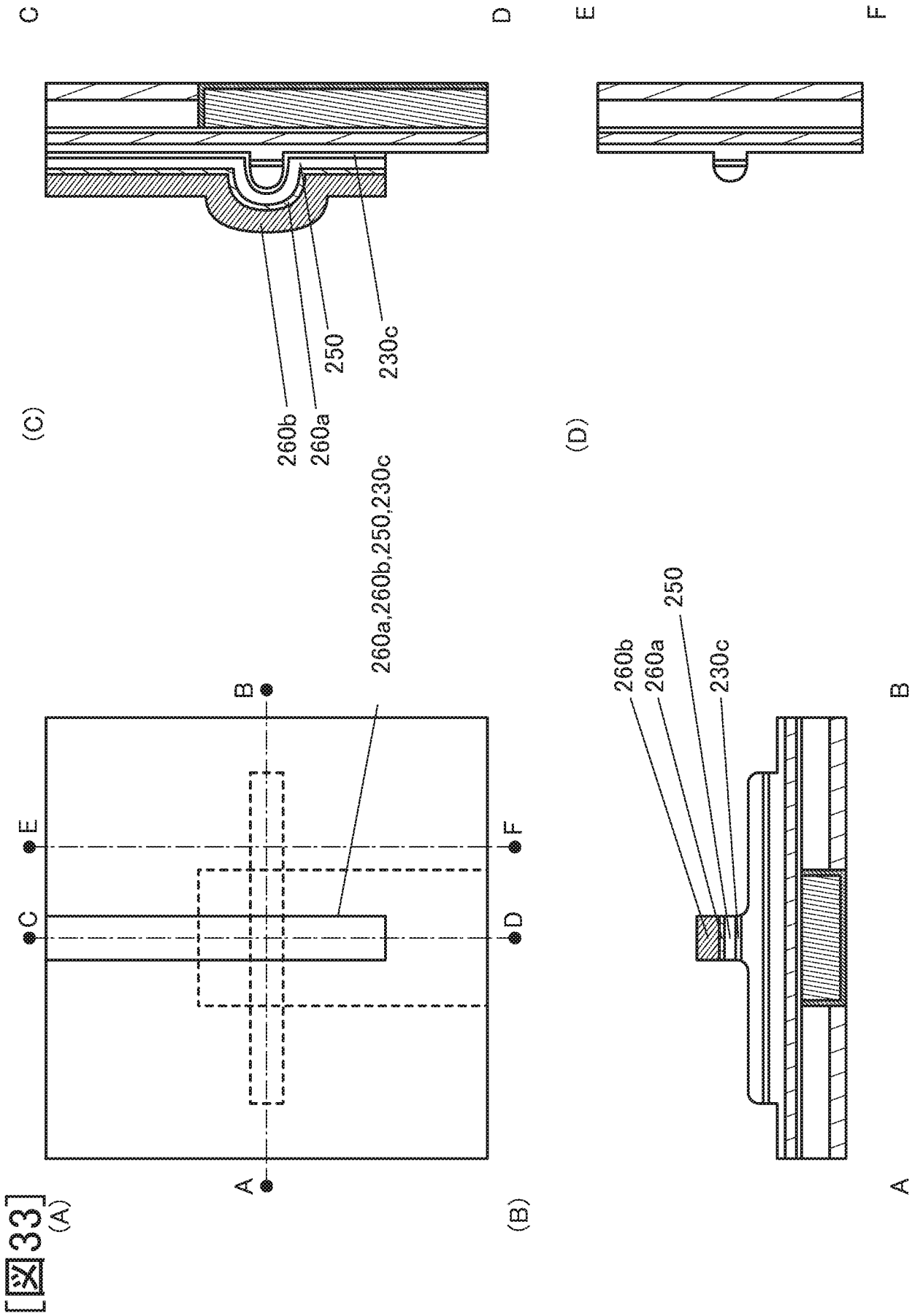
29/60

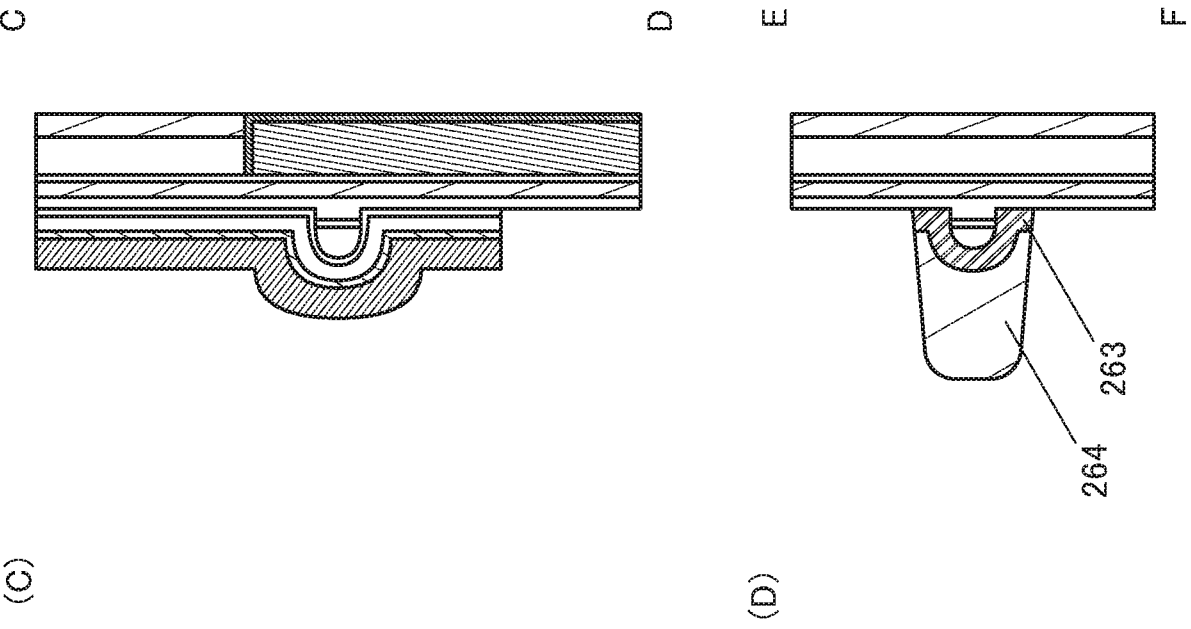
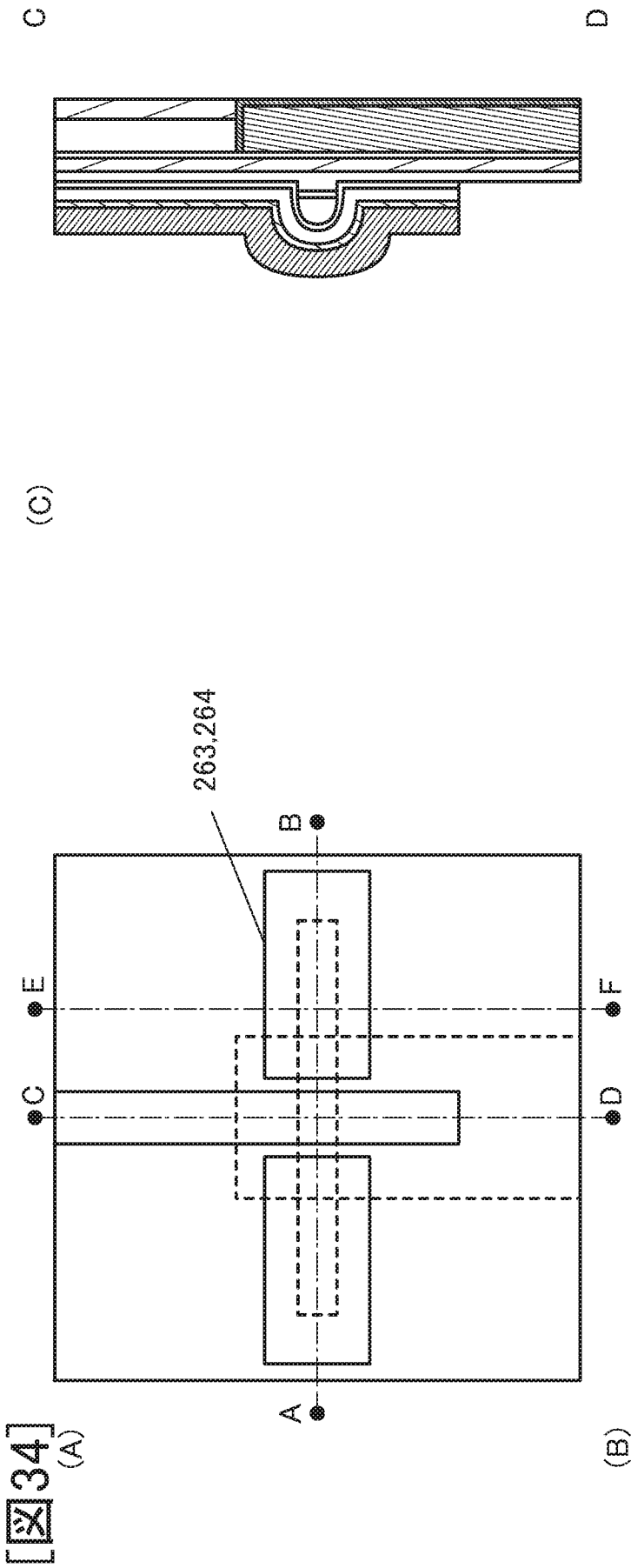


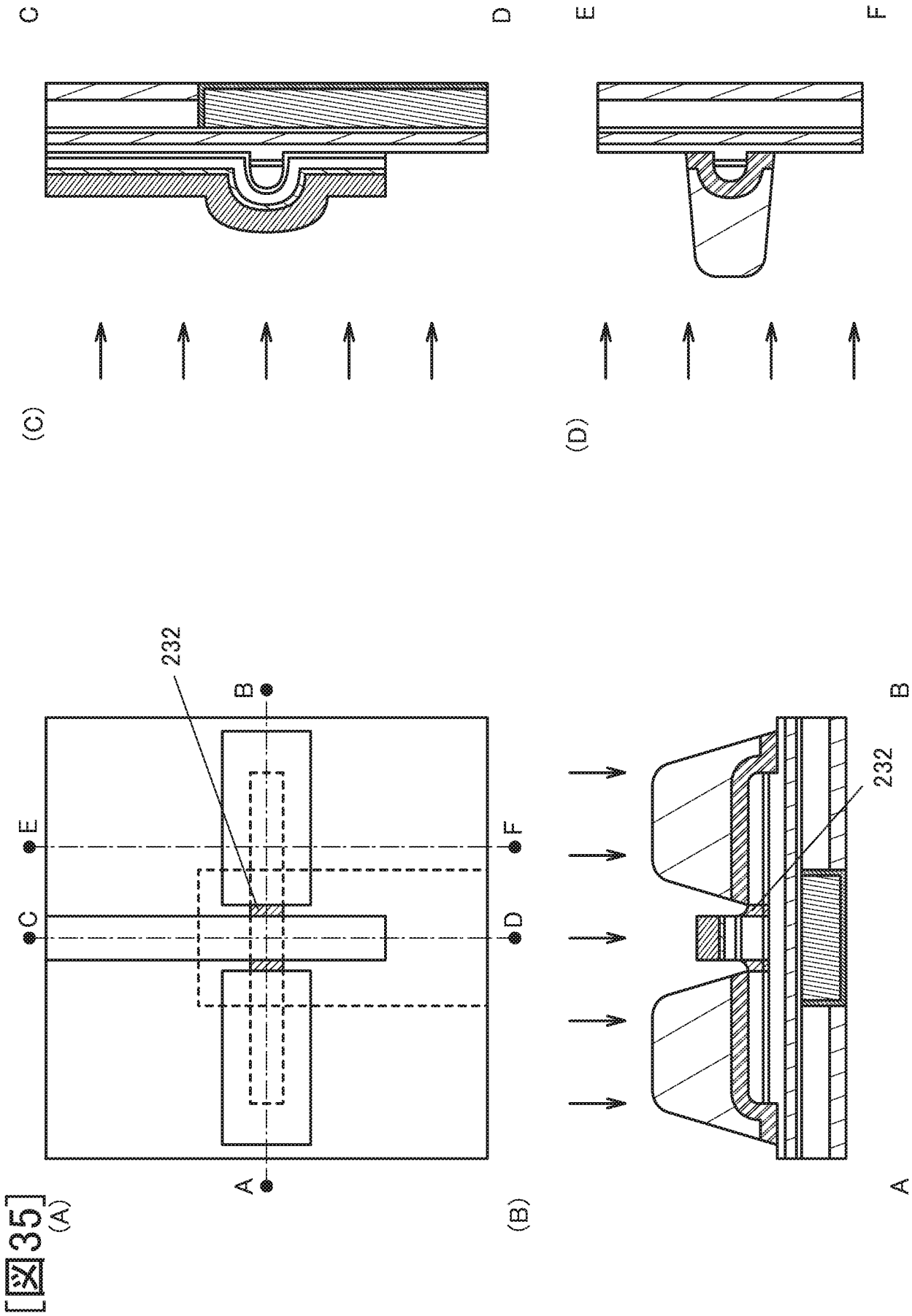










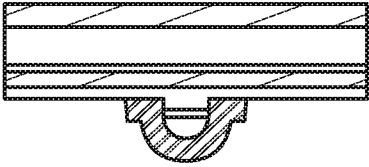
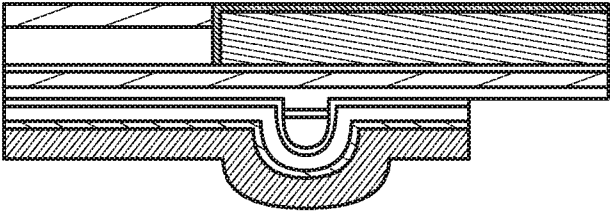


C

D

E

F

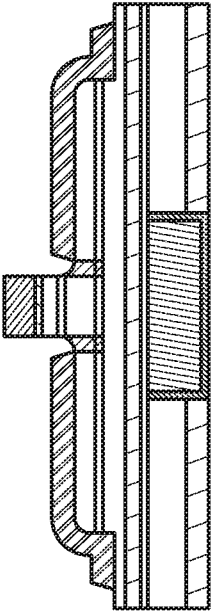
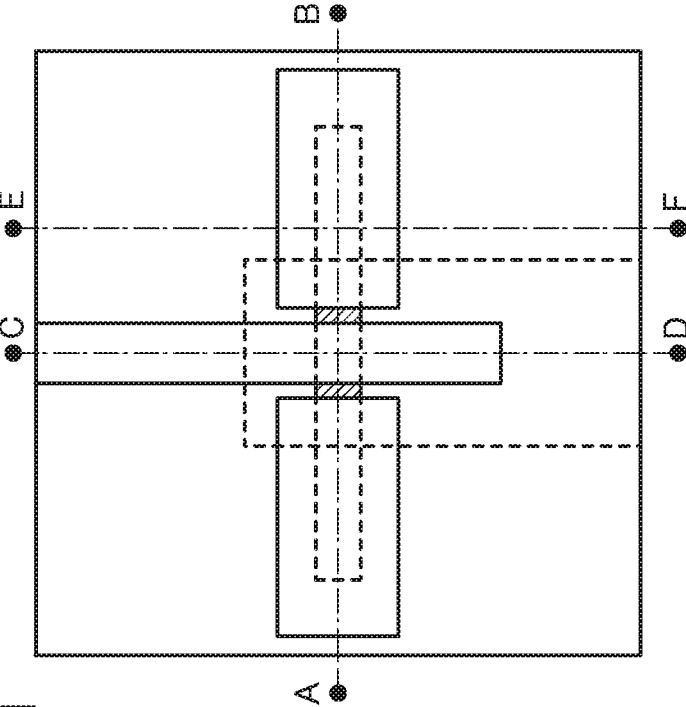


(C)

(D)

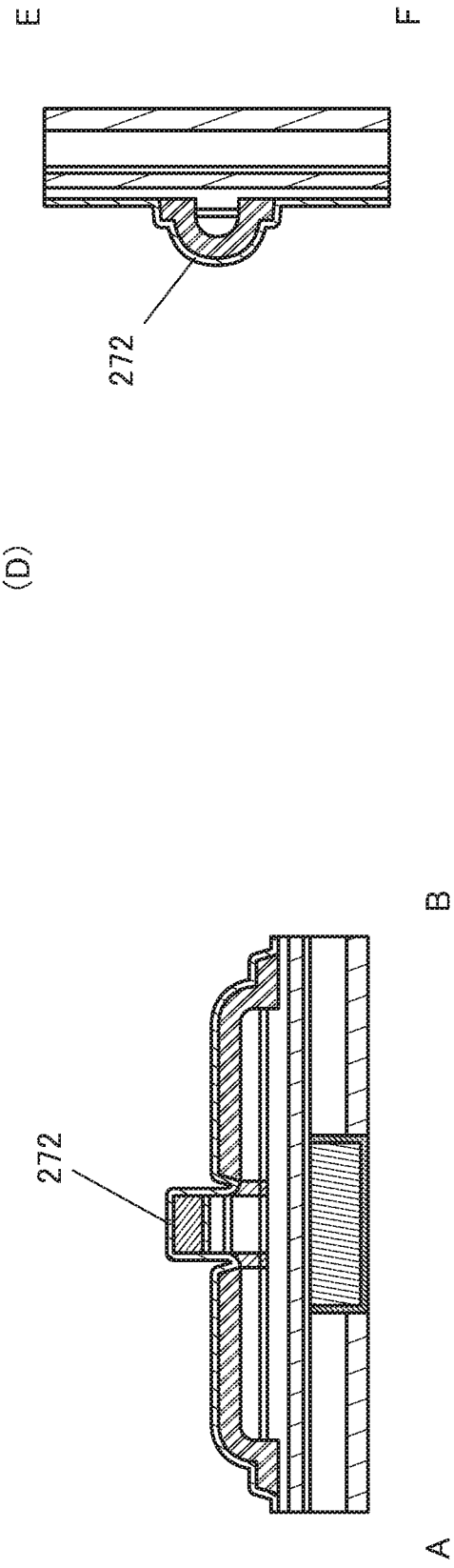
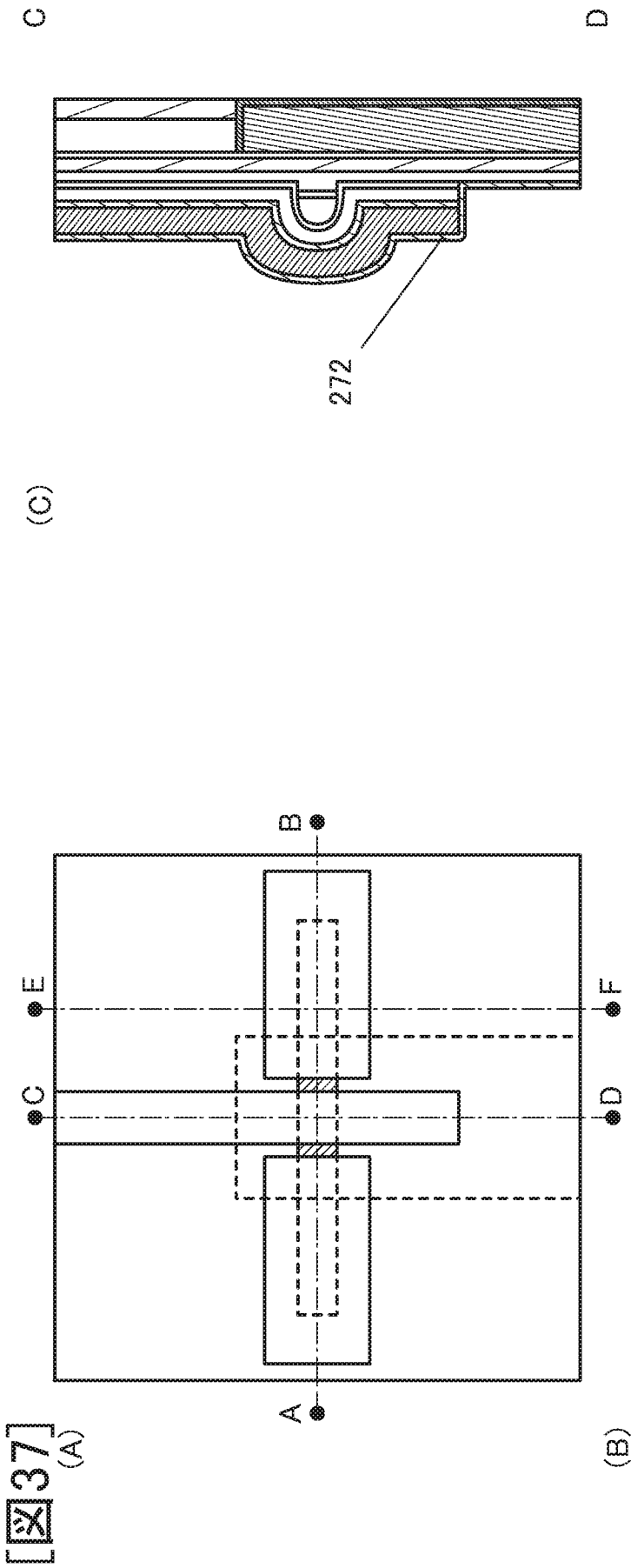
[図 36]
(A)

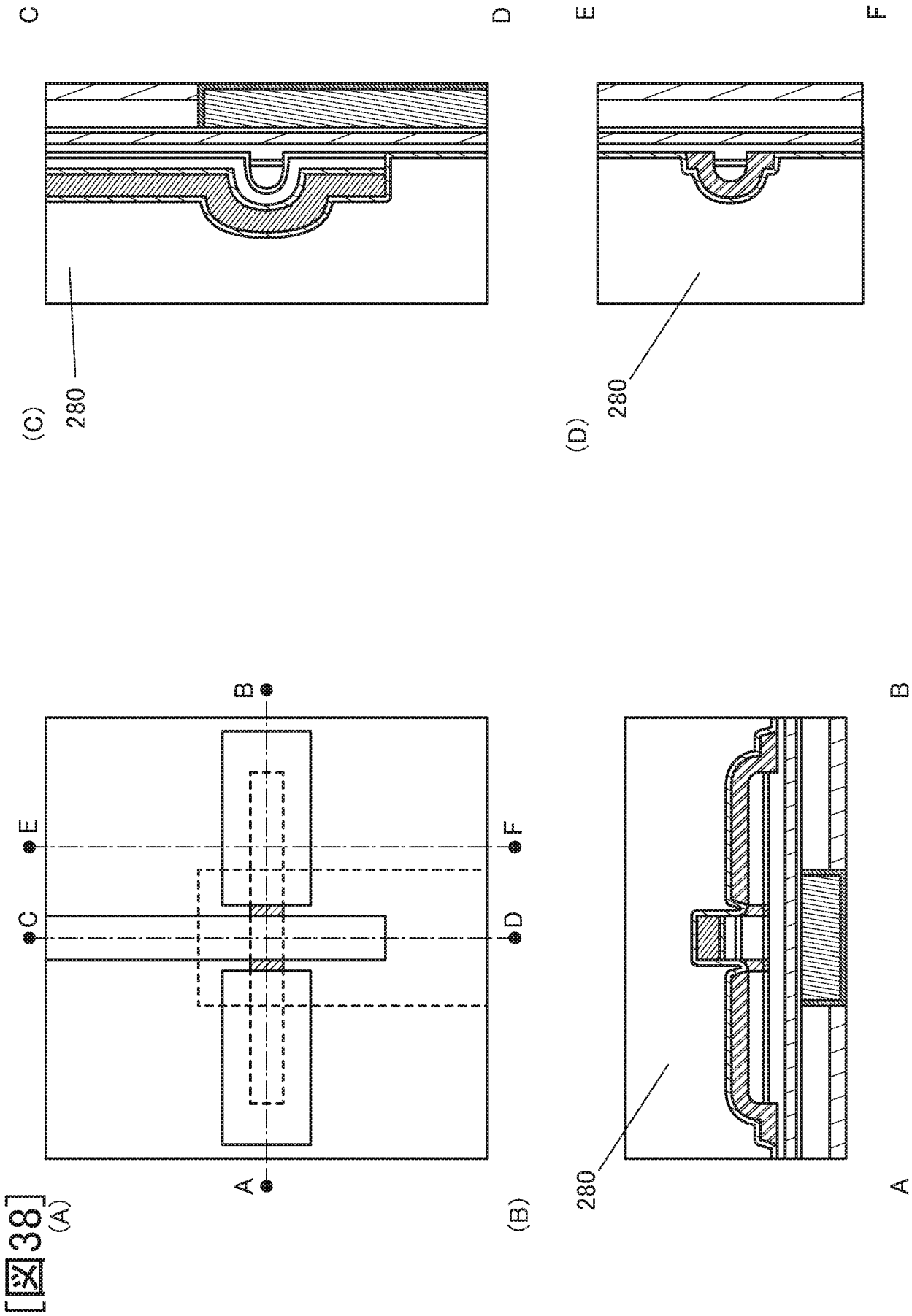
(B)

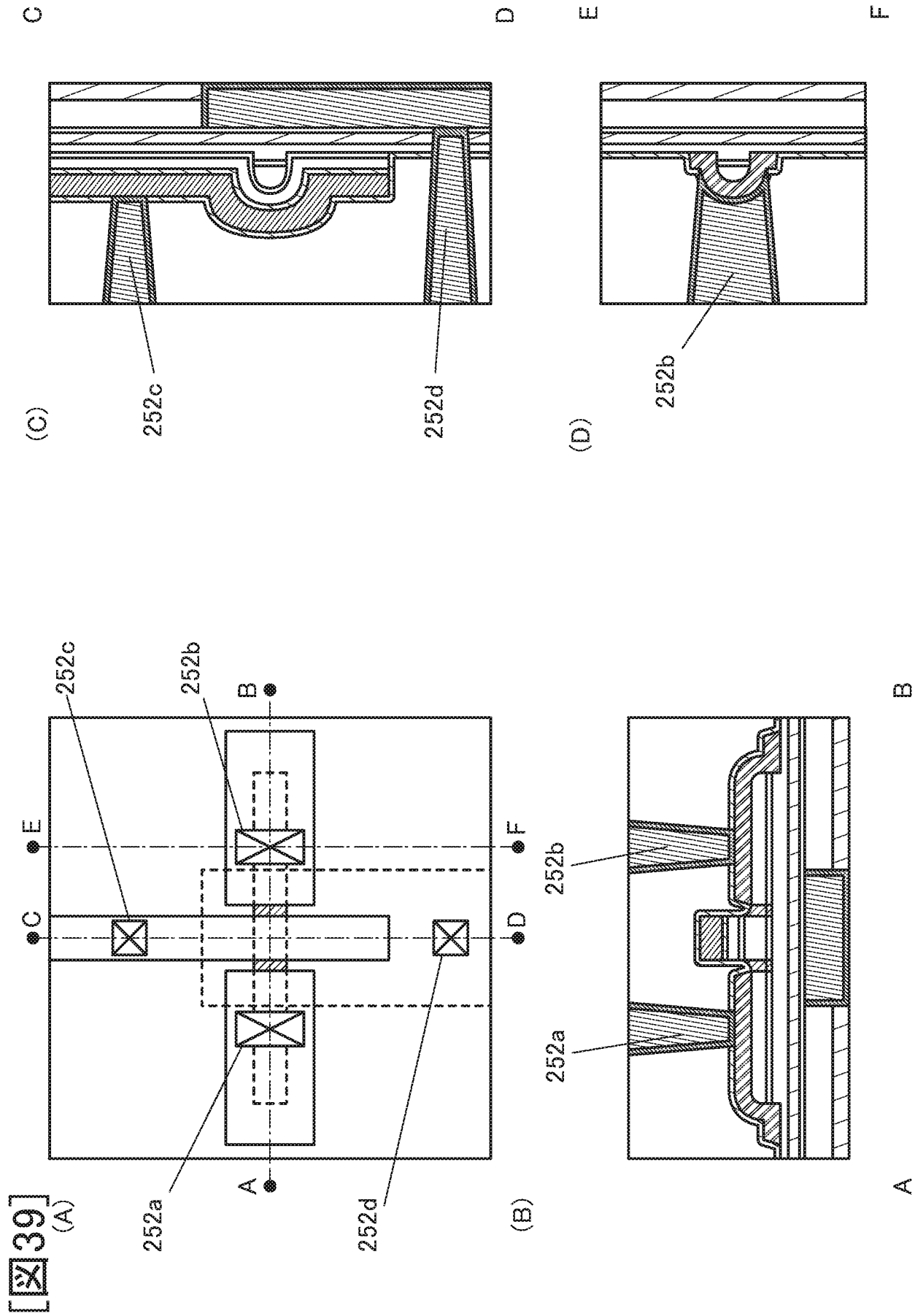


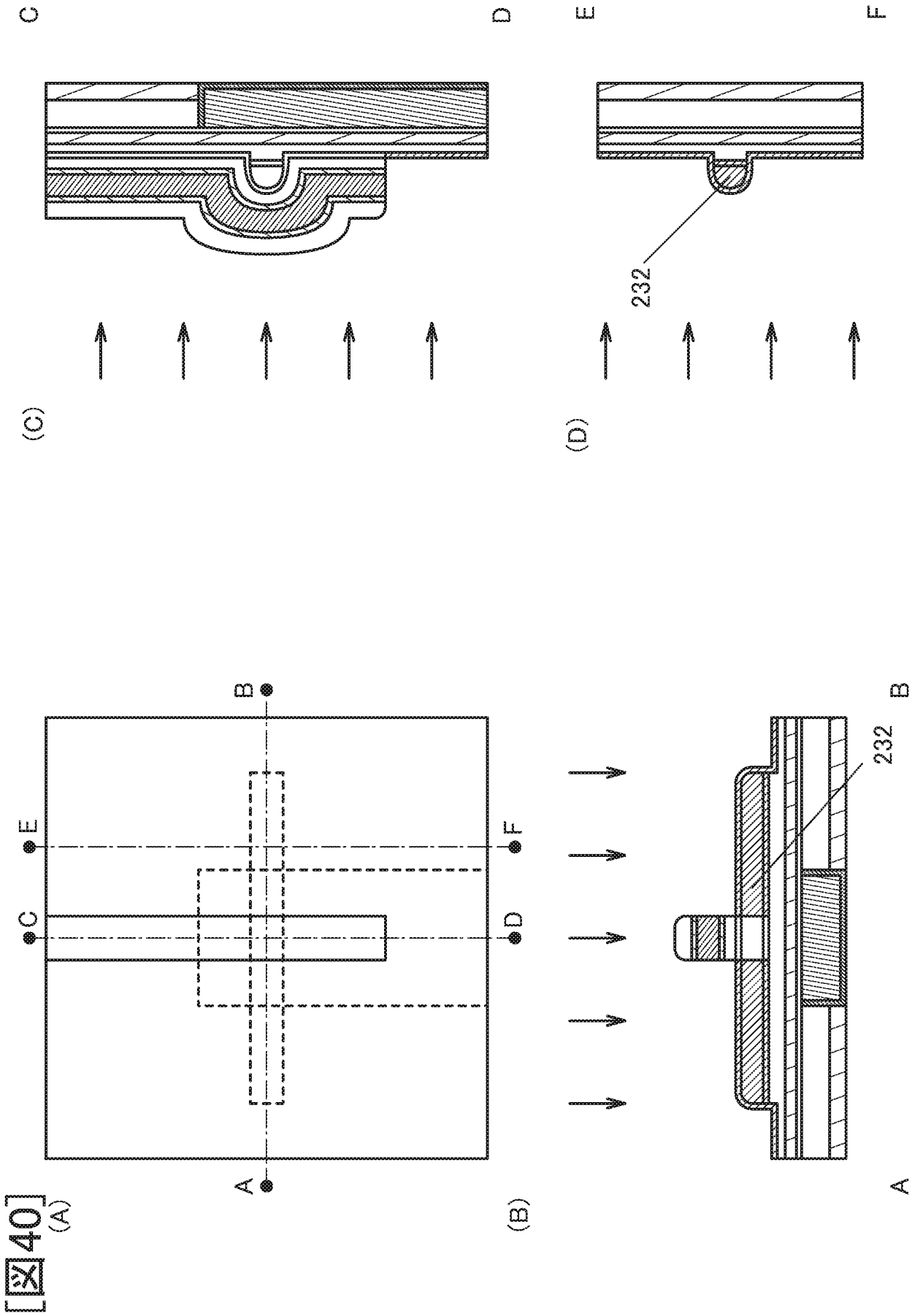
B

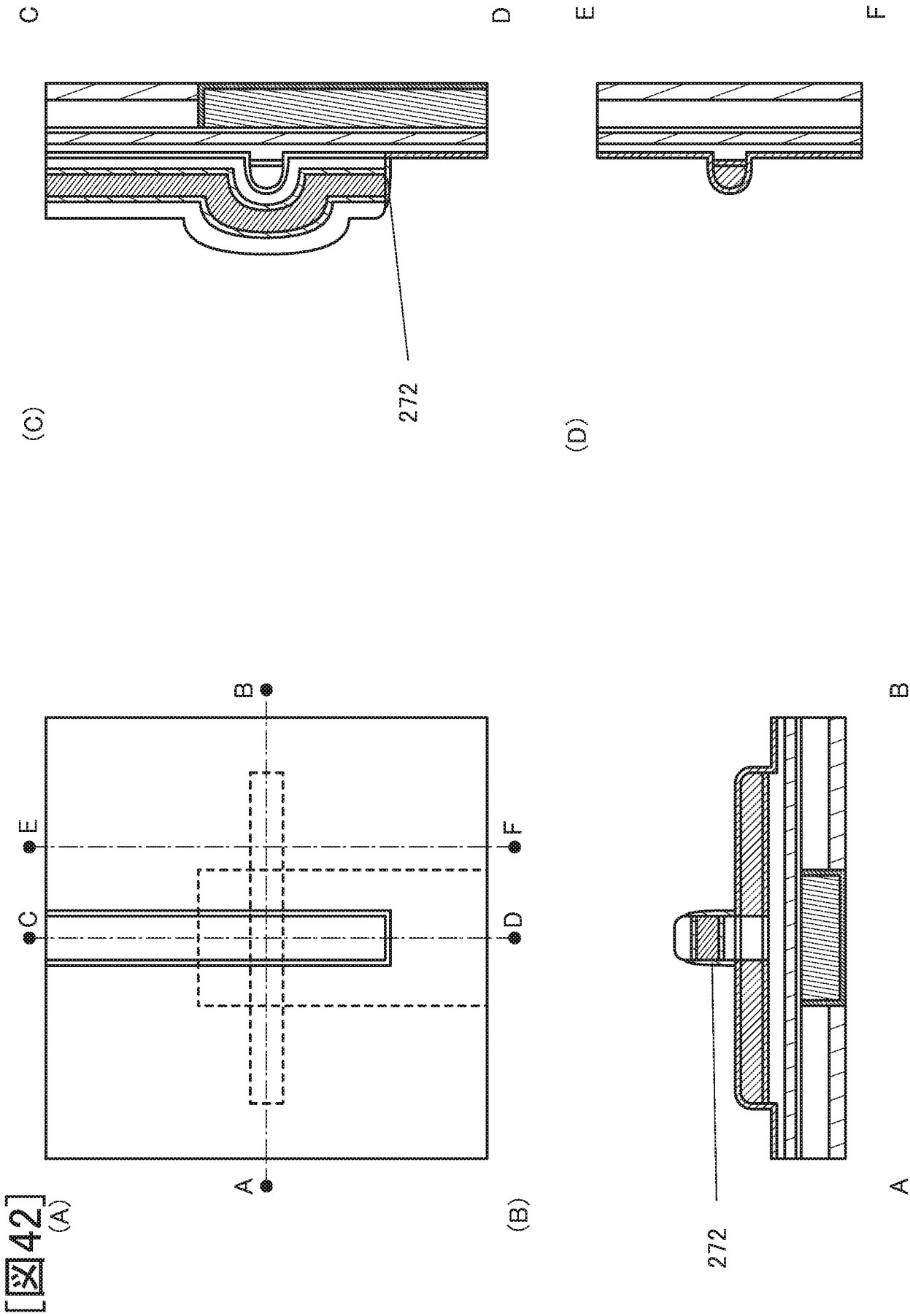
A

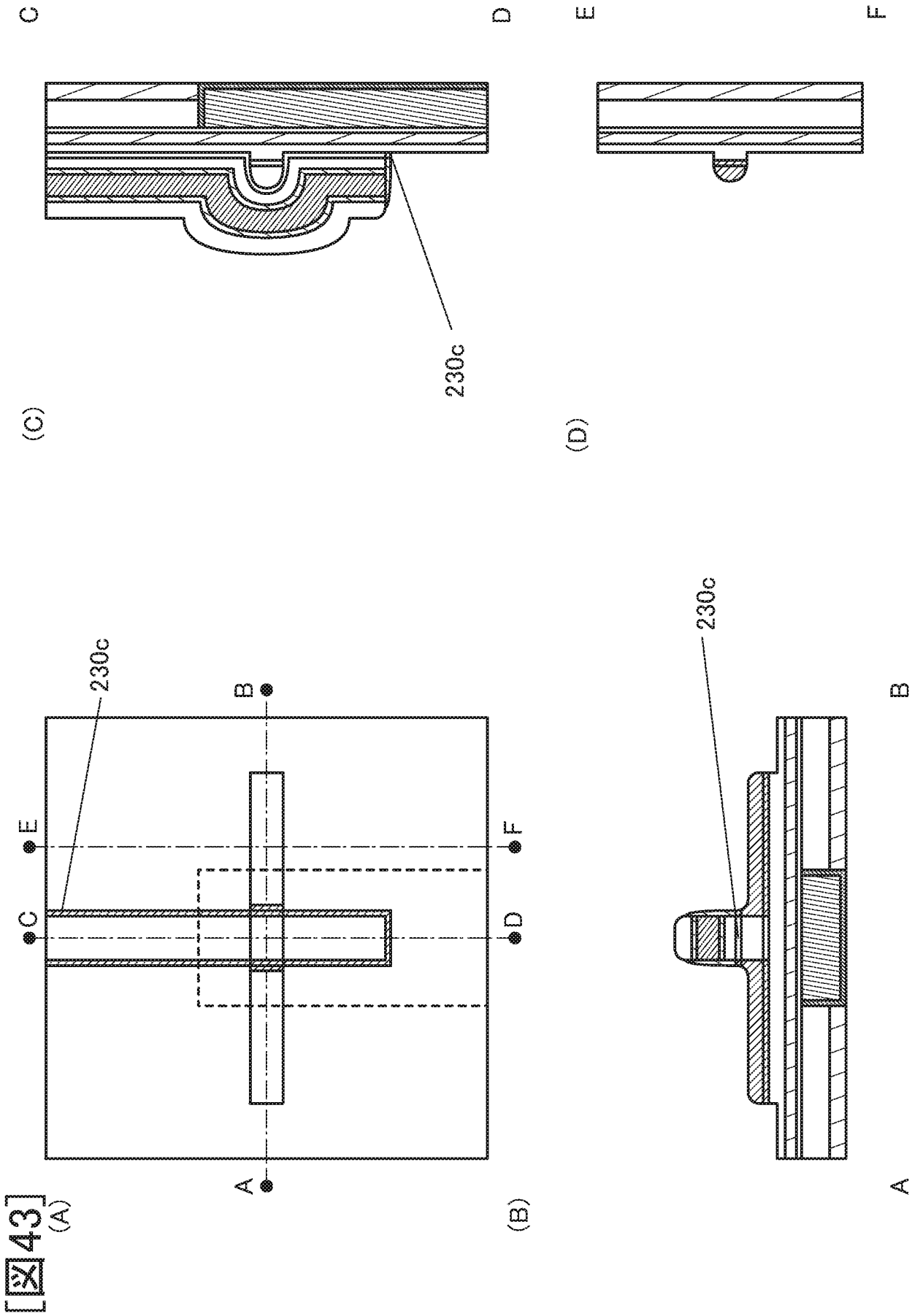


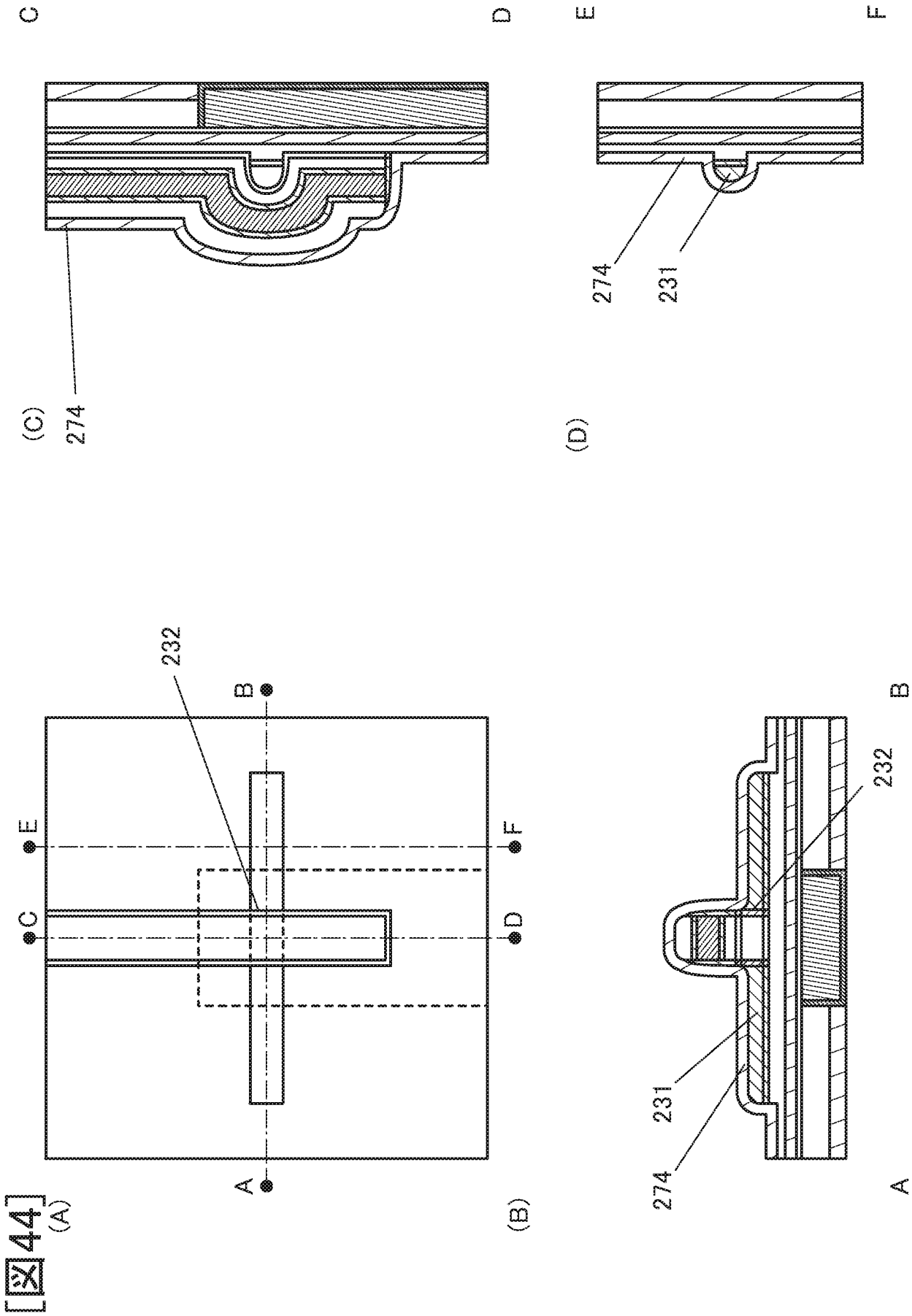


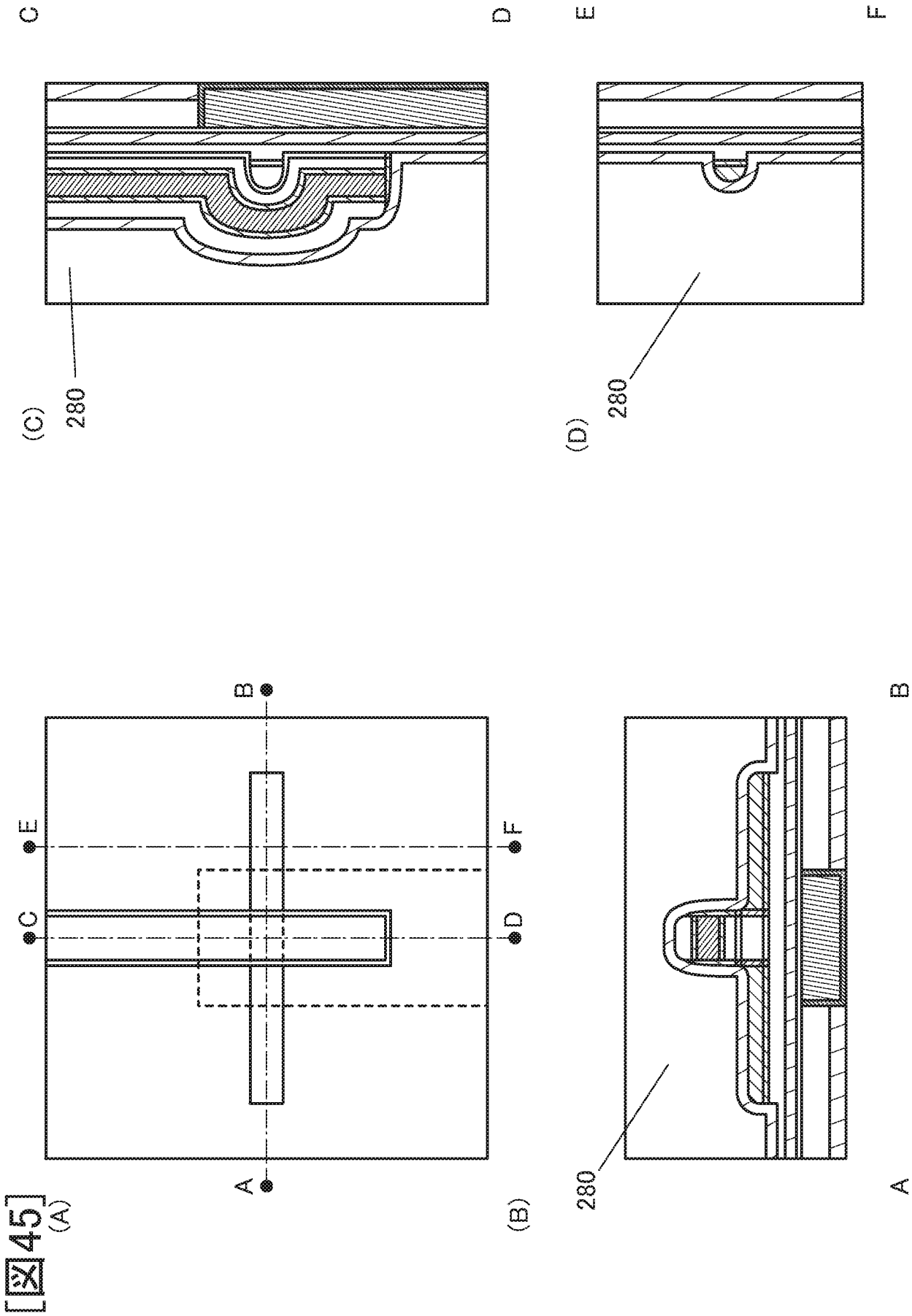


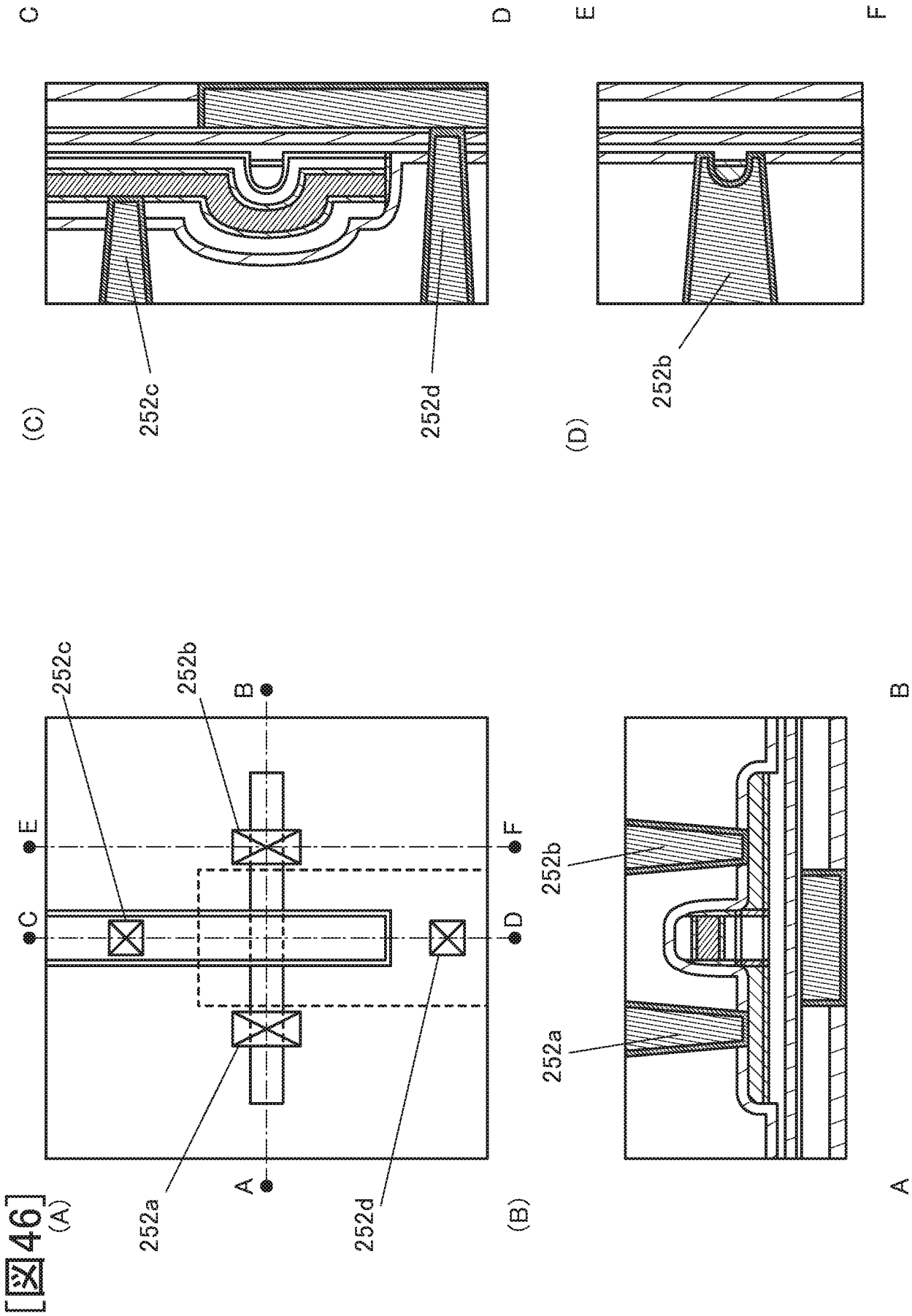






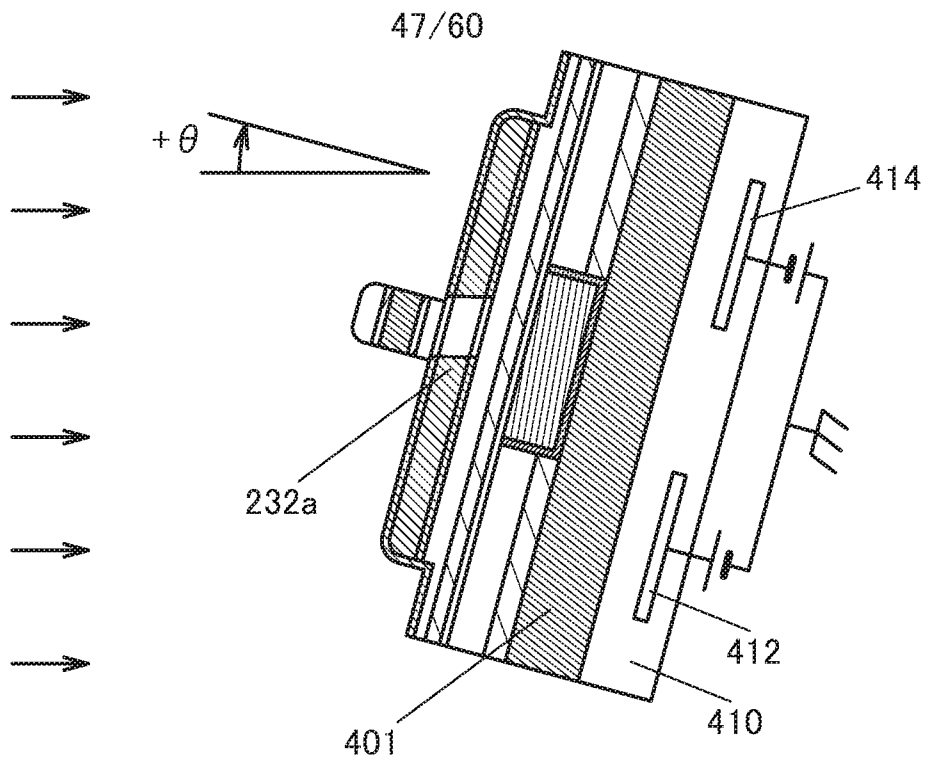




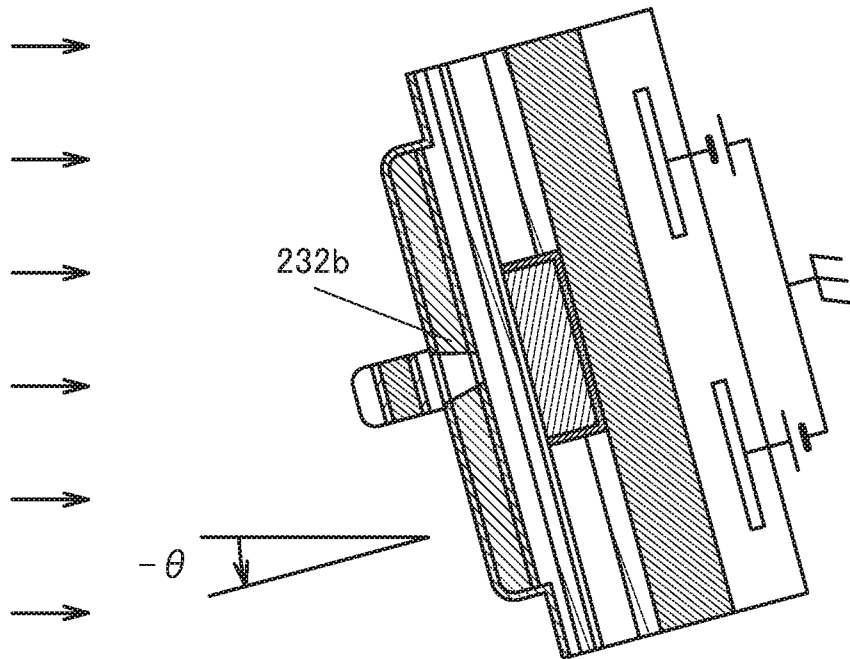


[ 47]

(A)

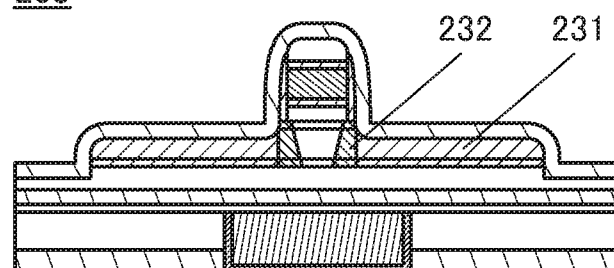


(B)

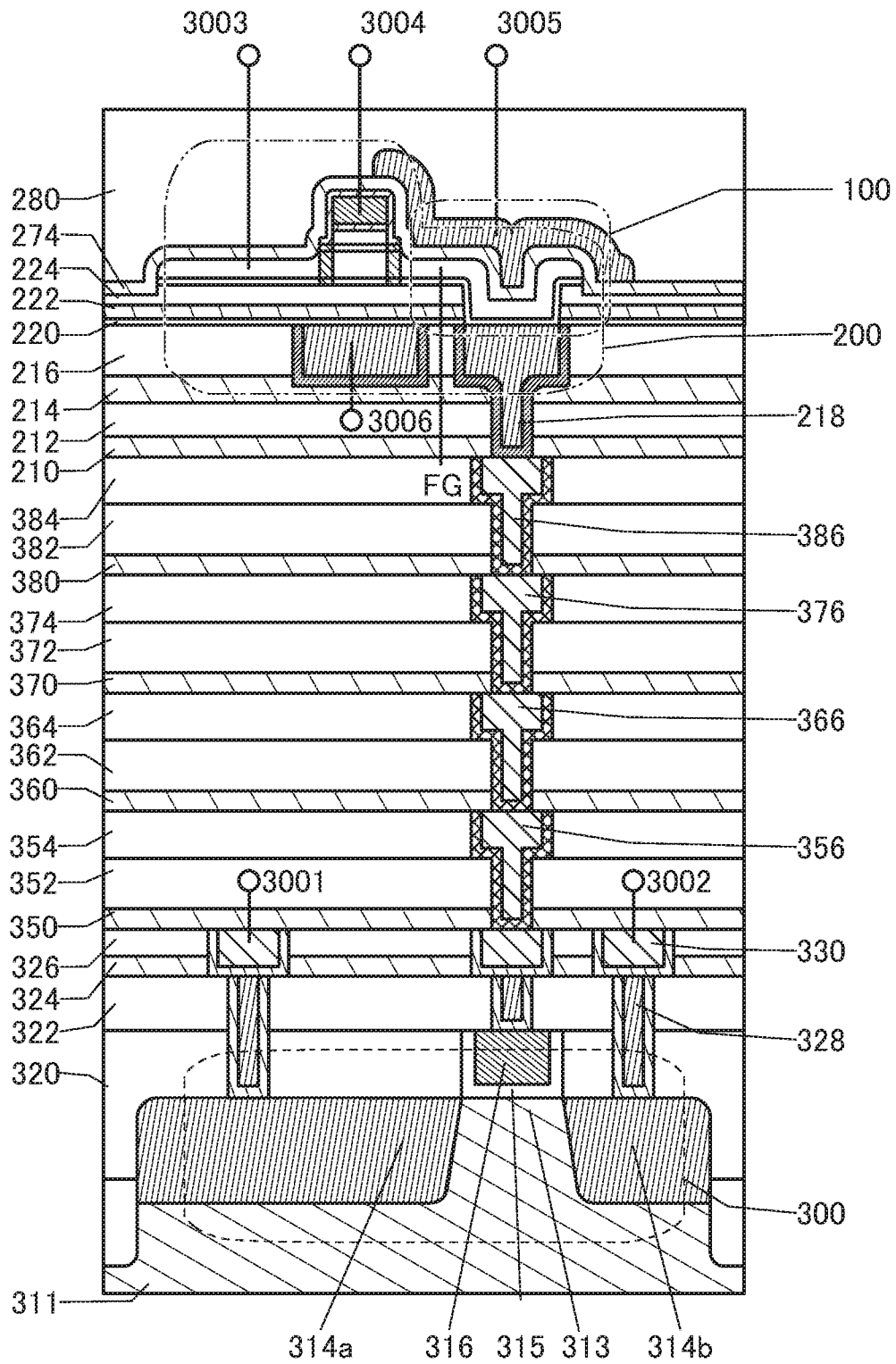


(C)

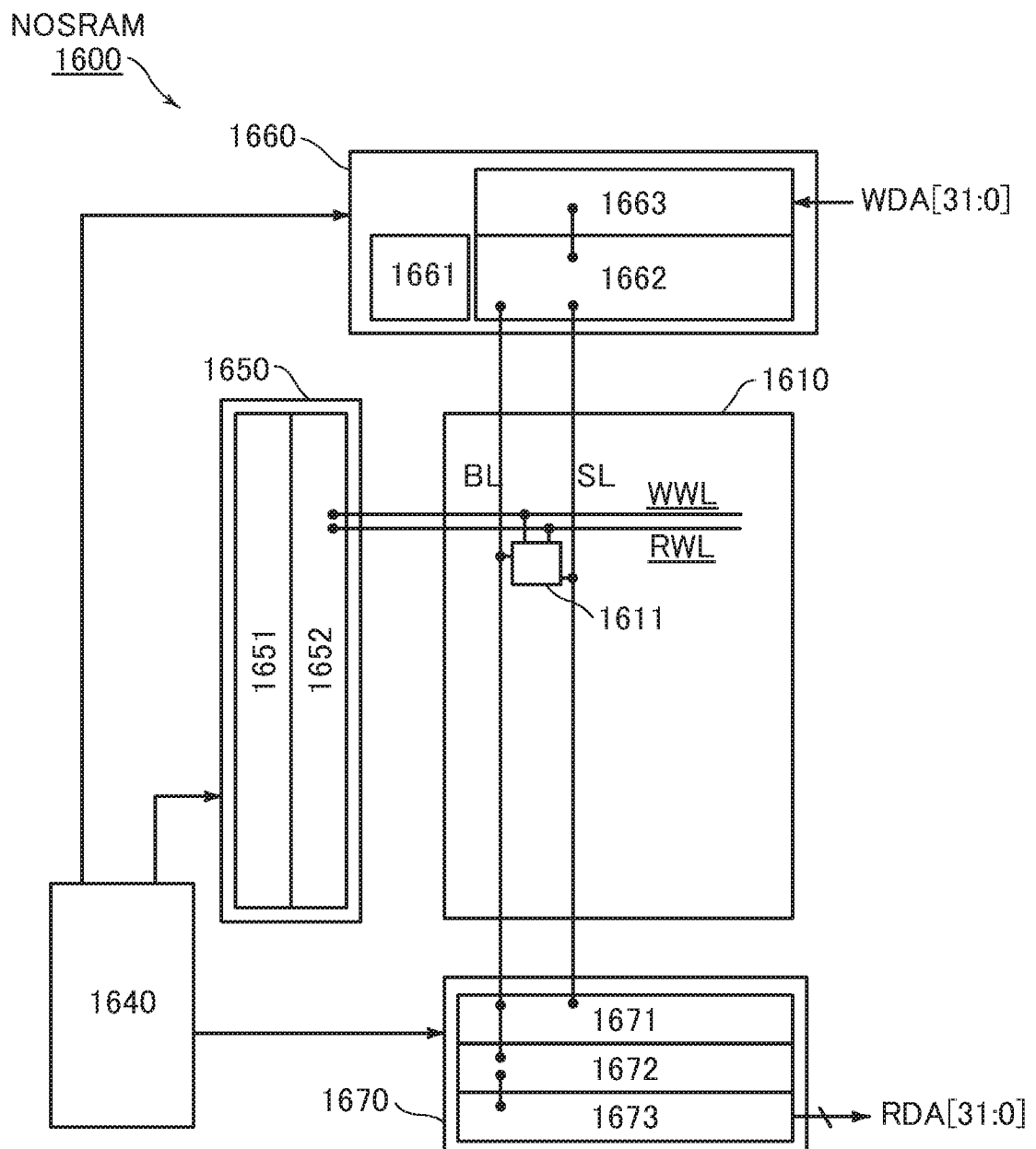
203



[ 48]

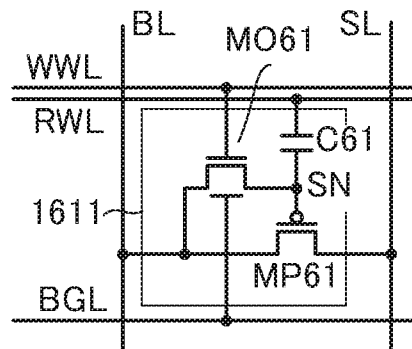


[図49]

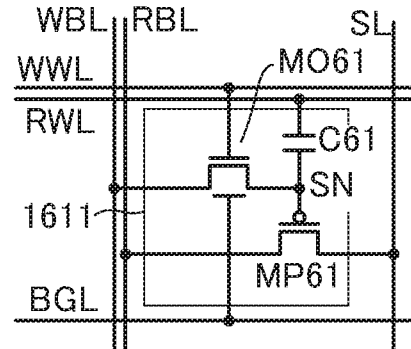


[図50]

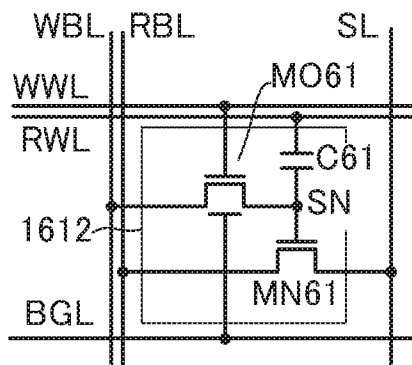
(A)



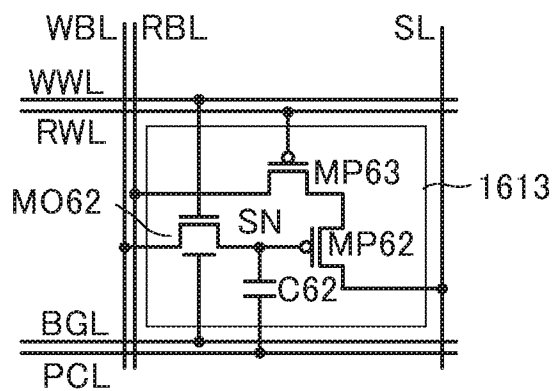
(B)



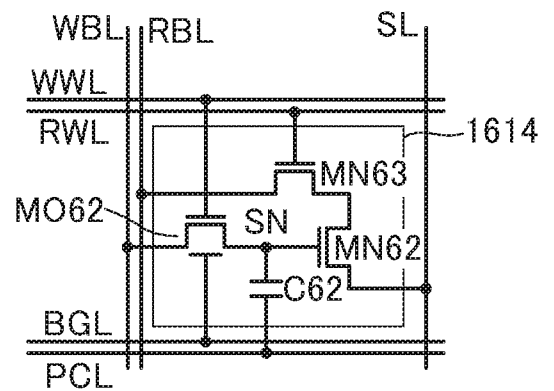
(C)

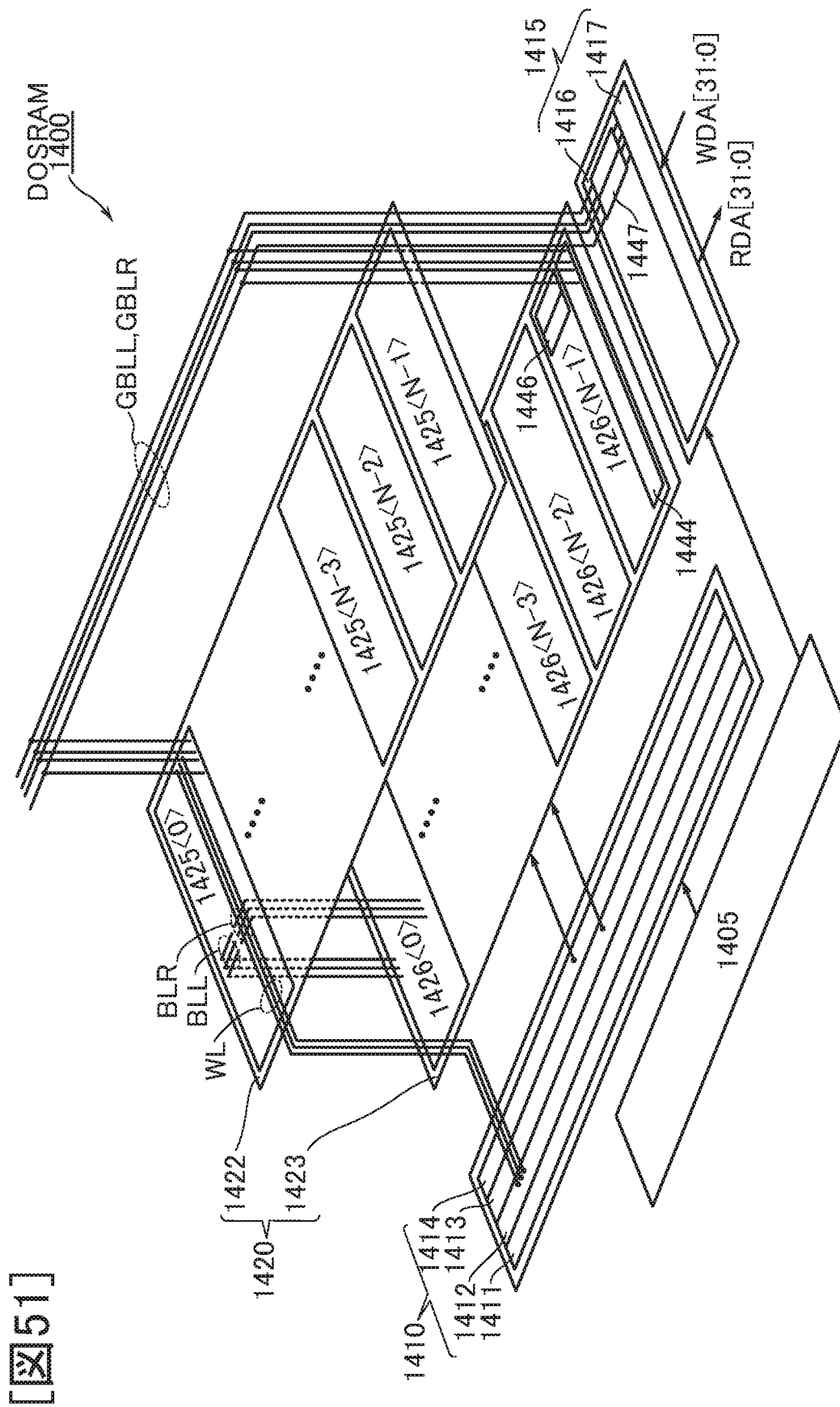


(D)



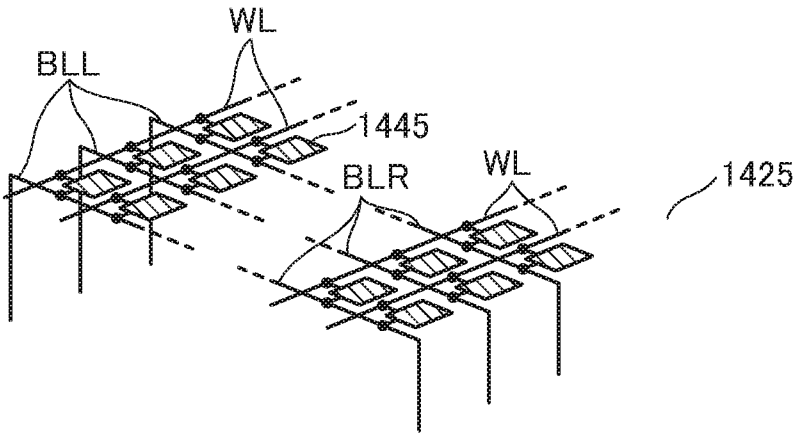
(E)



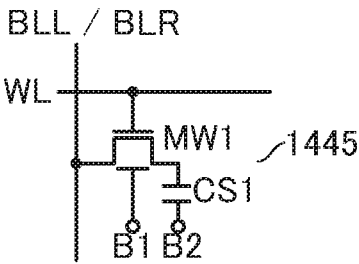


[図52]

(A)

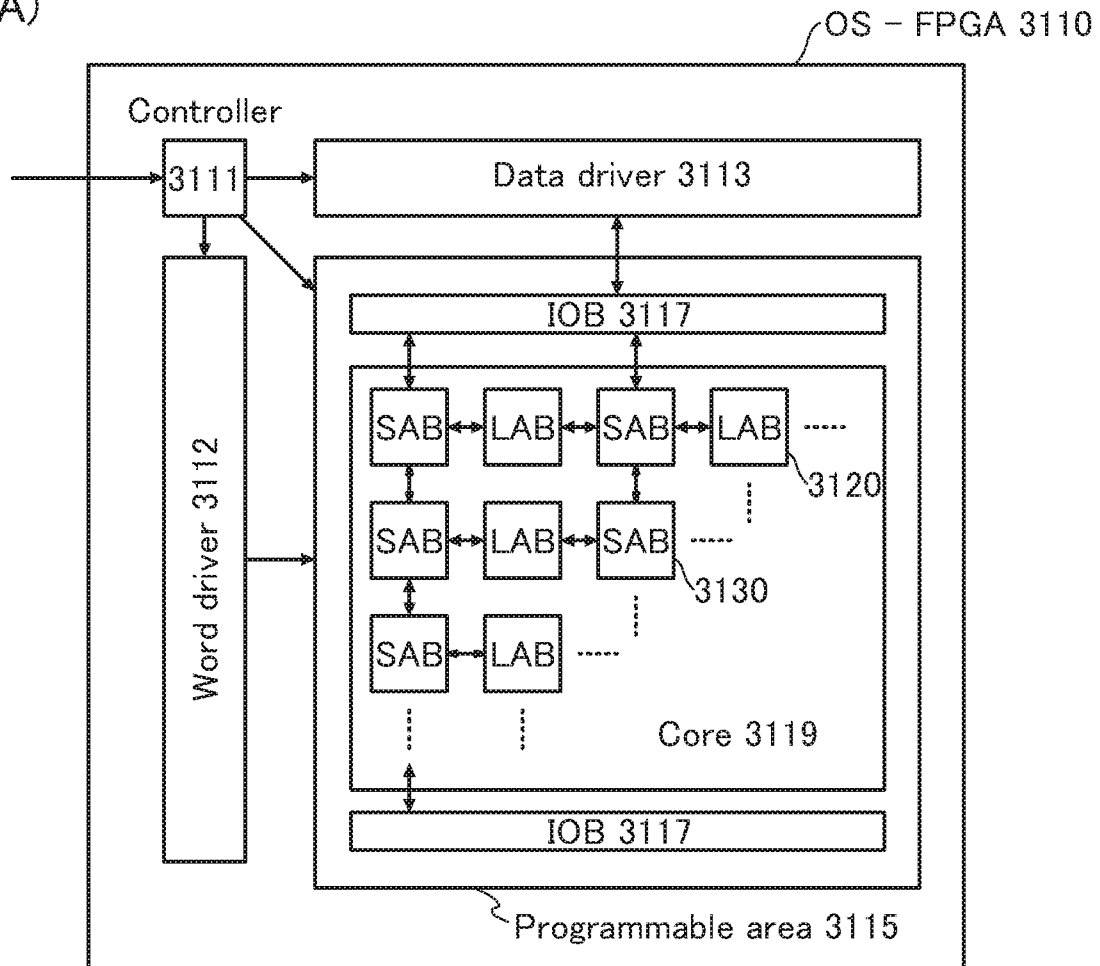


(B)

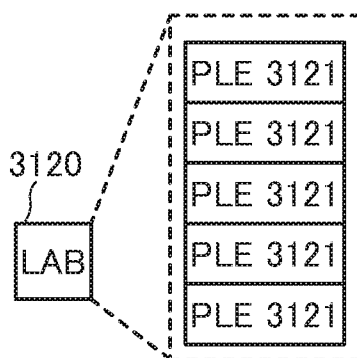


[図53]

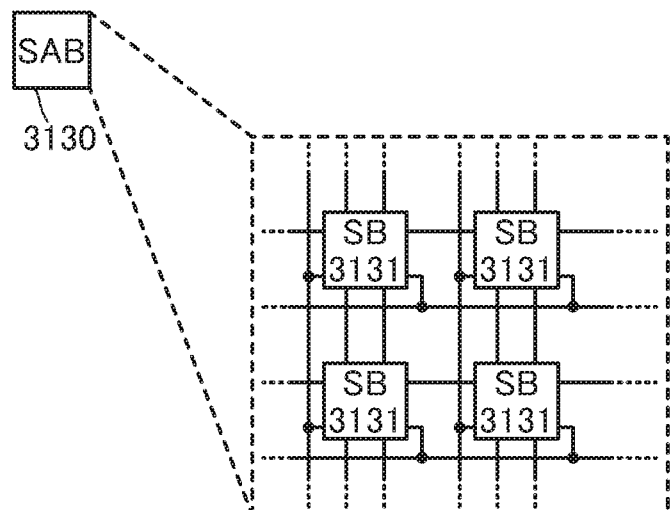
(A)



(B)

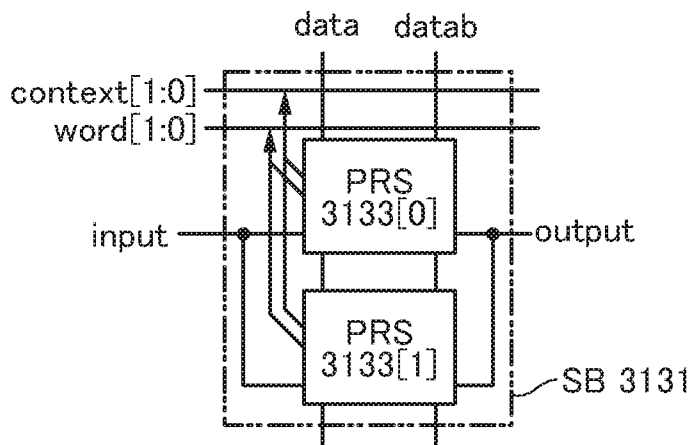


(C)

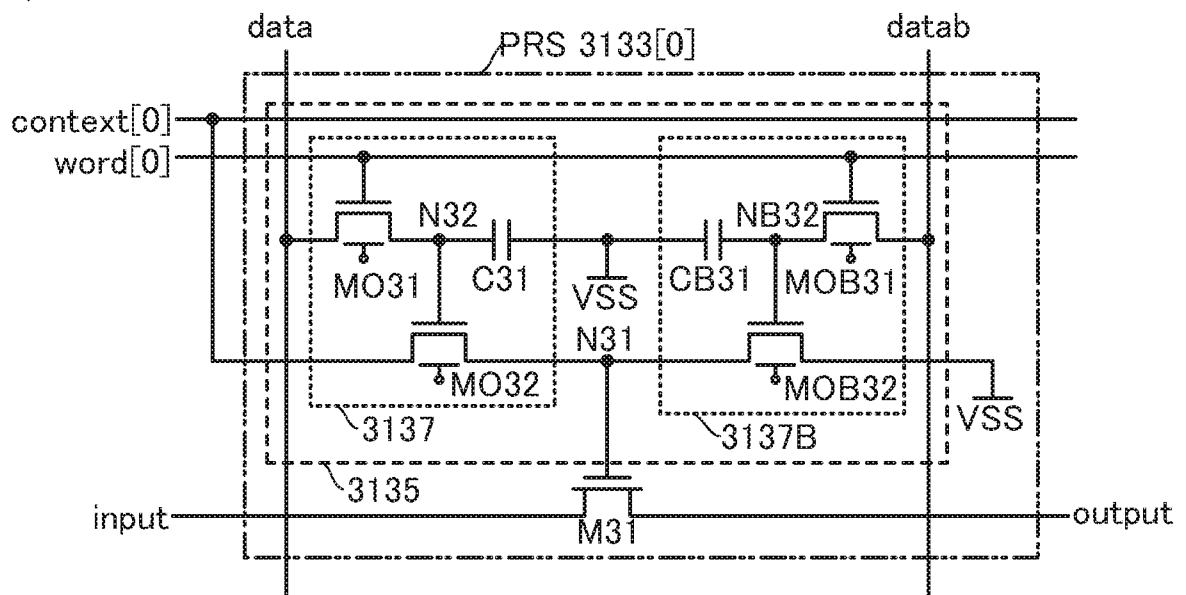


[図 54]
(A)

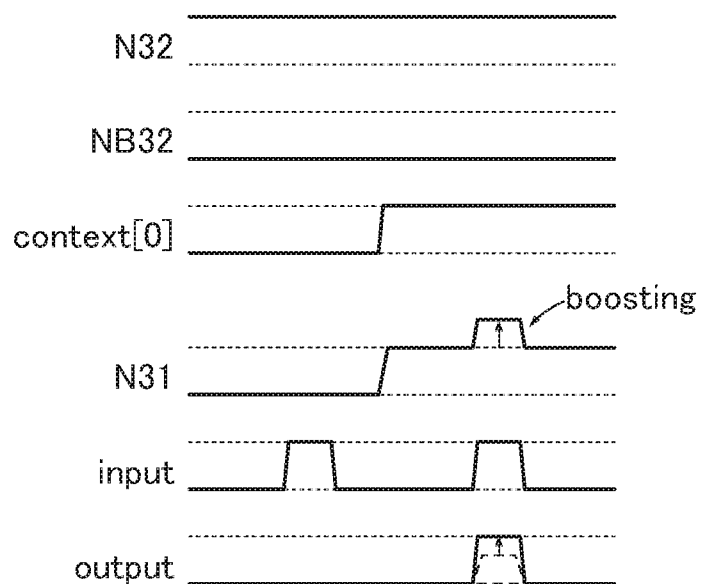
(A)



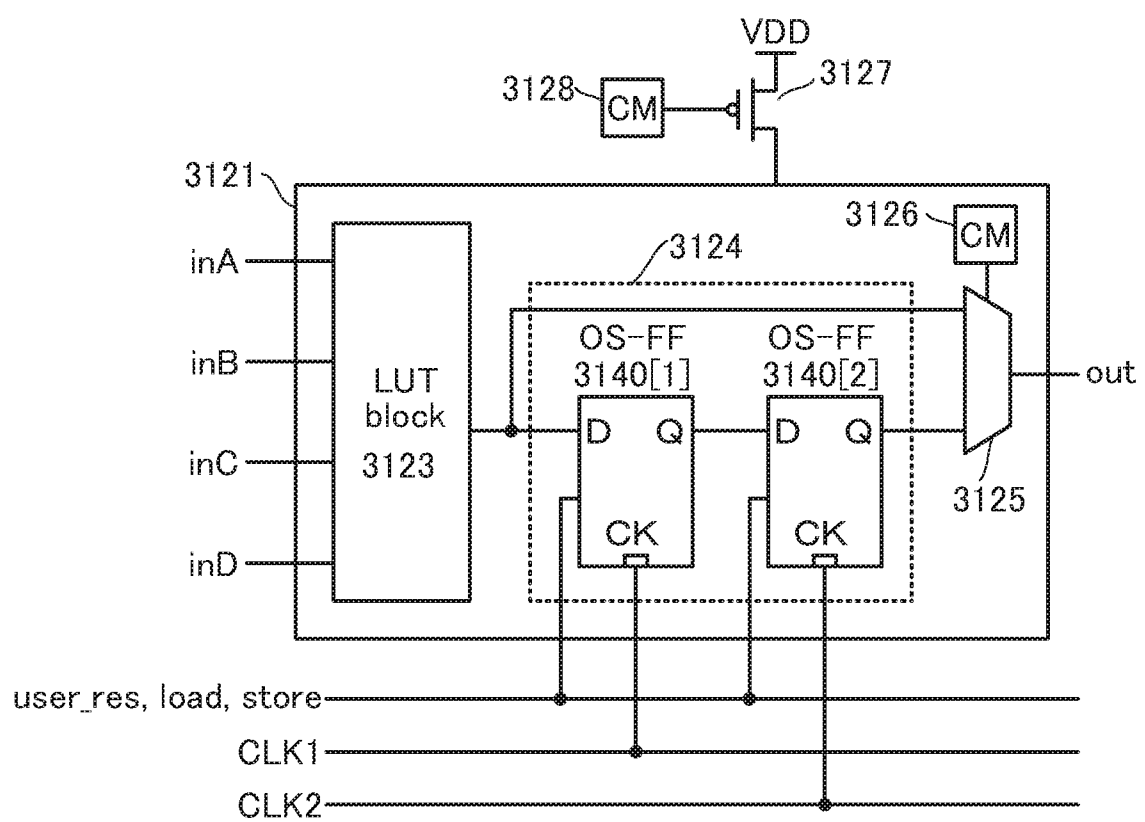
(B)



(C)



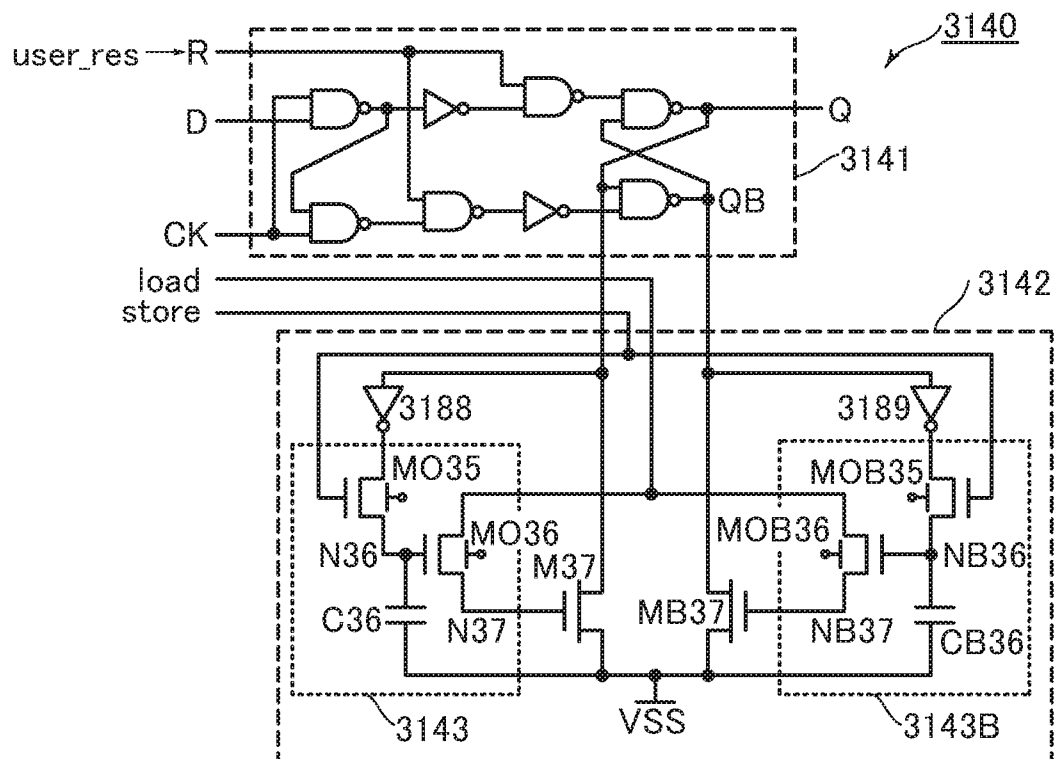
[圖 55]



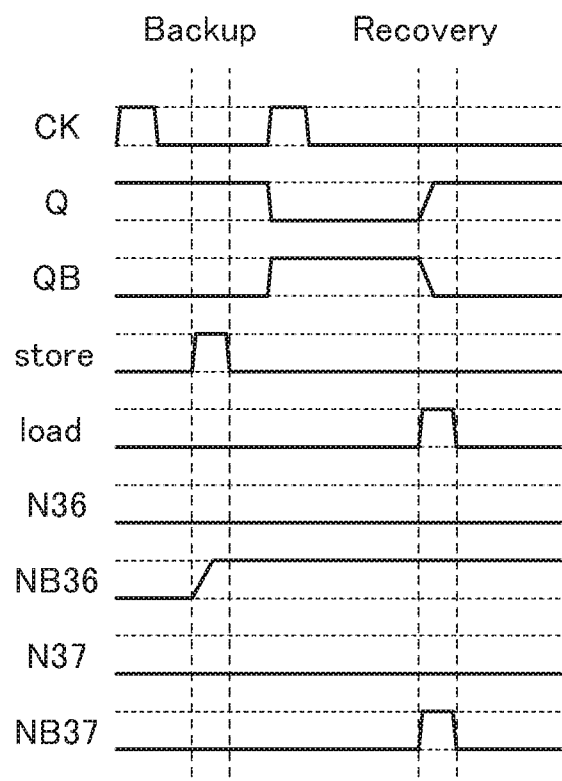
[図56]

56/60

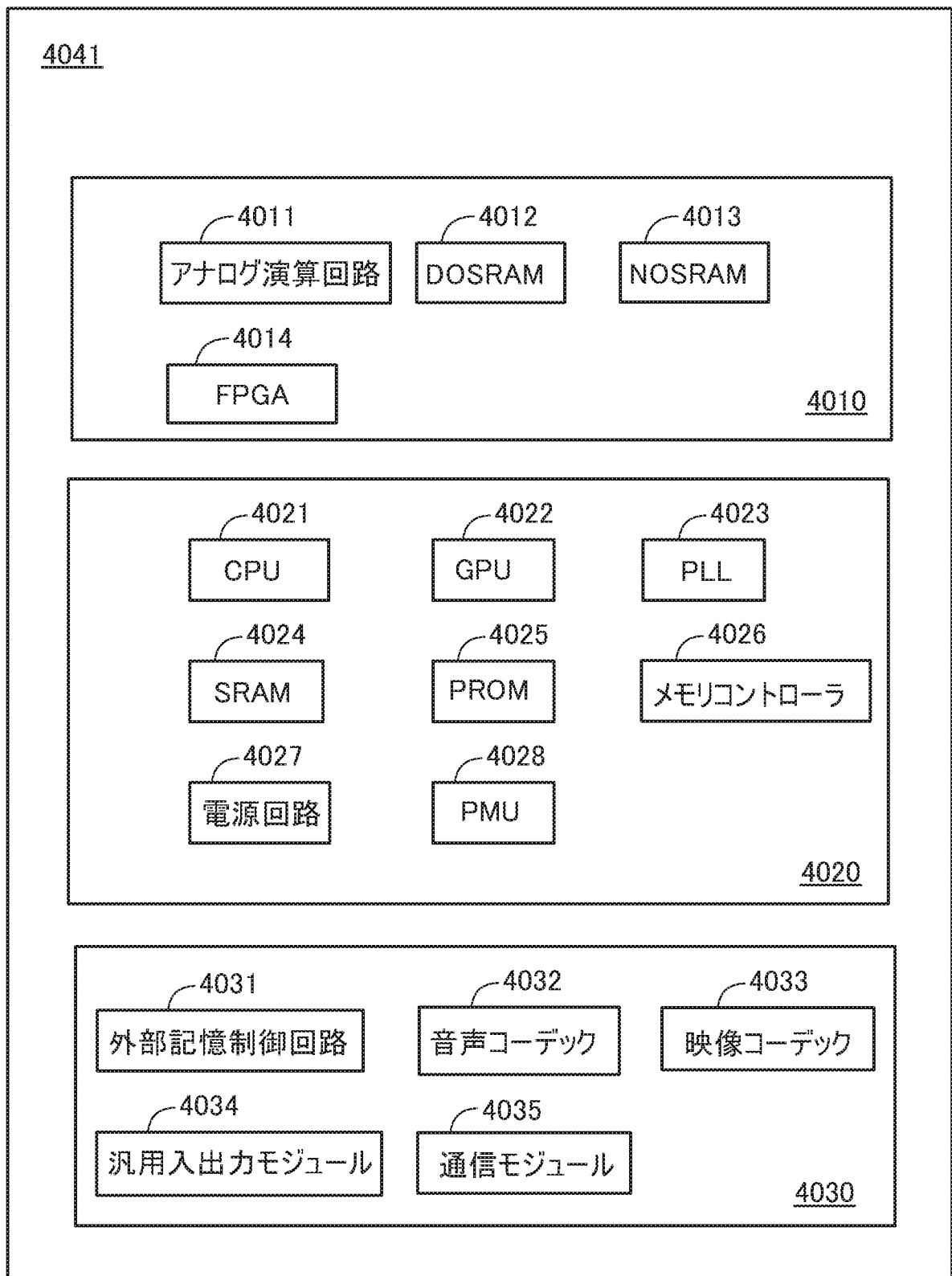
(A)



(B)



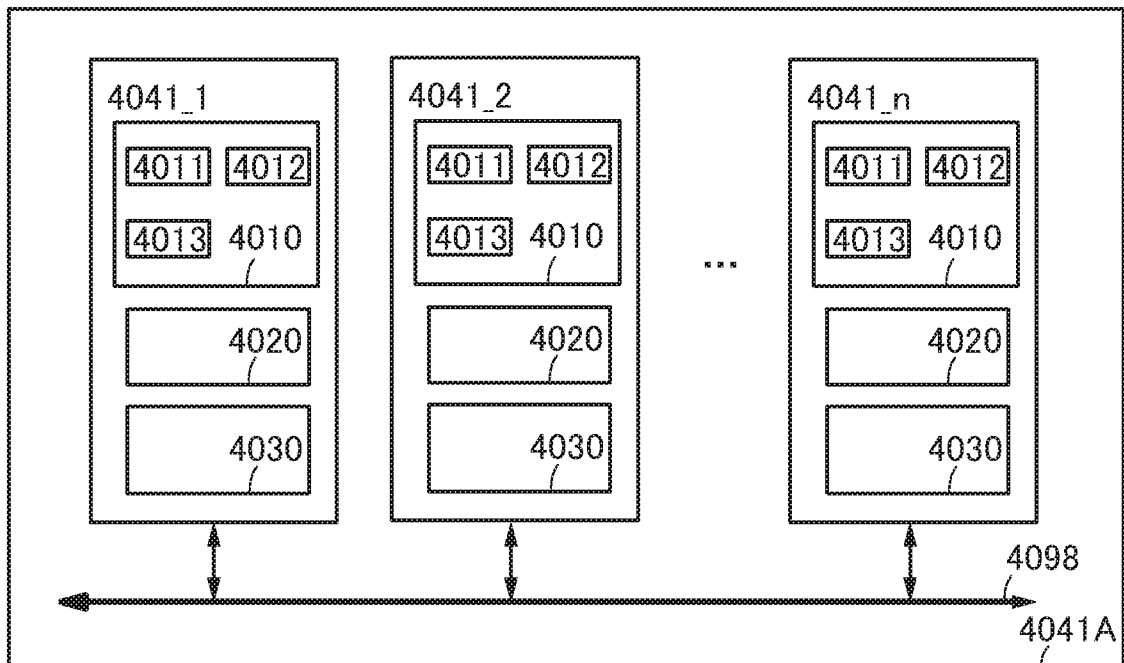
[図57]



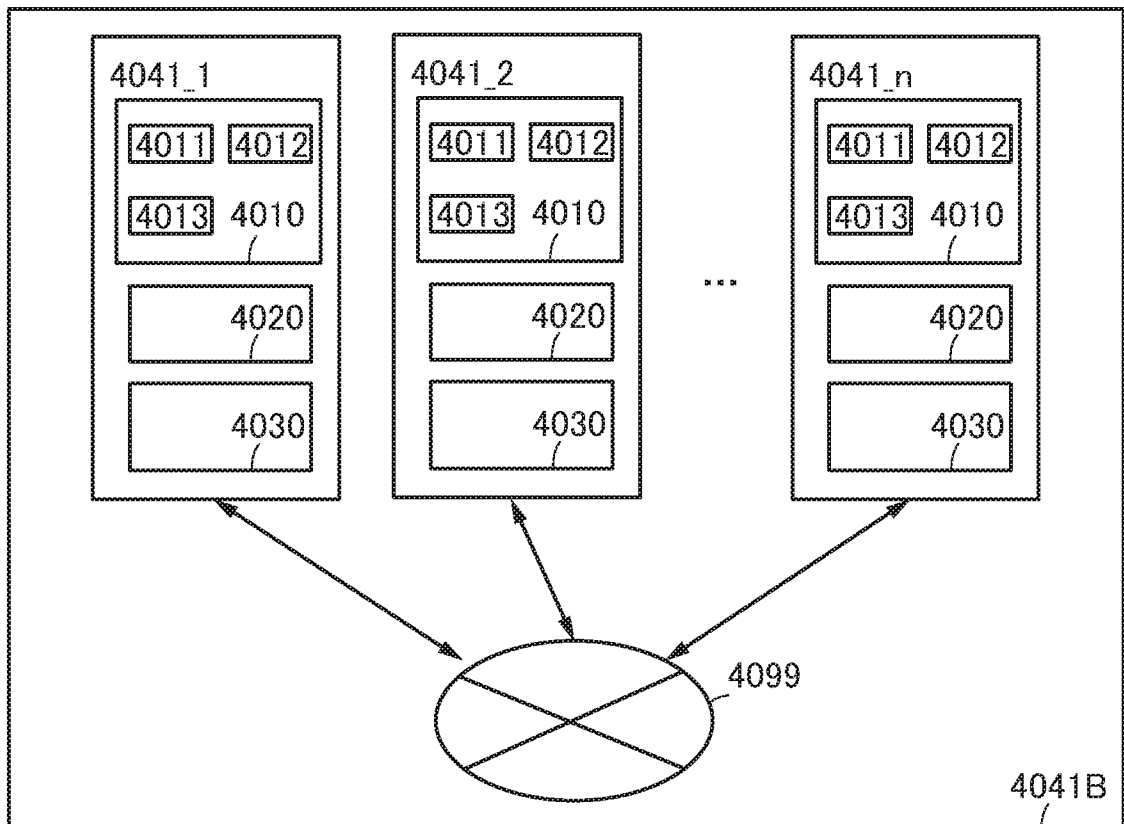
58/60

[図58]

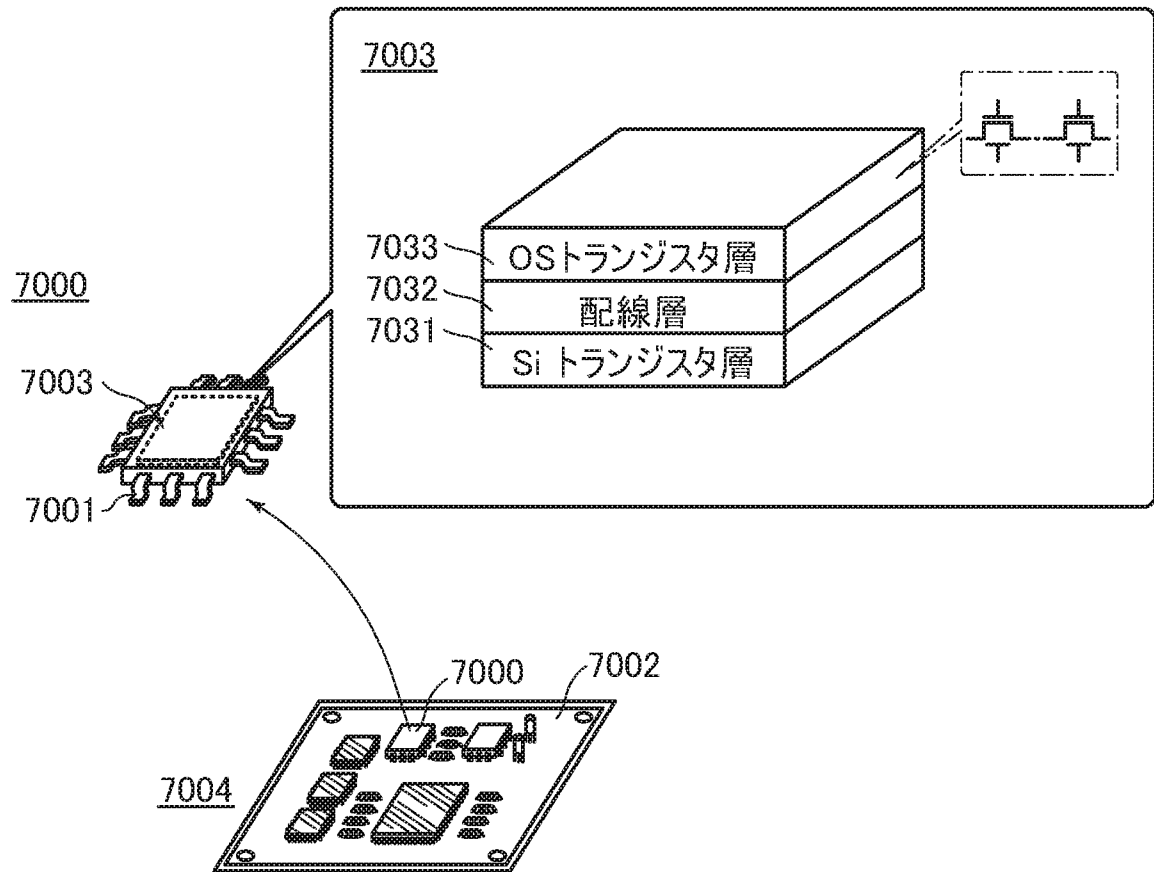
(A)



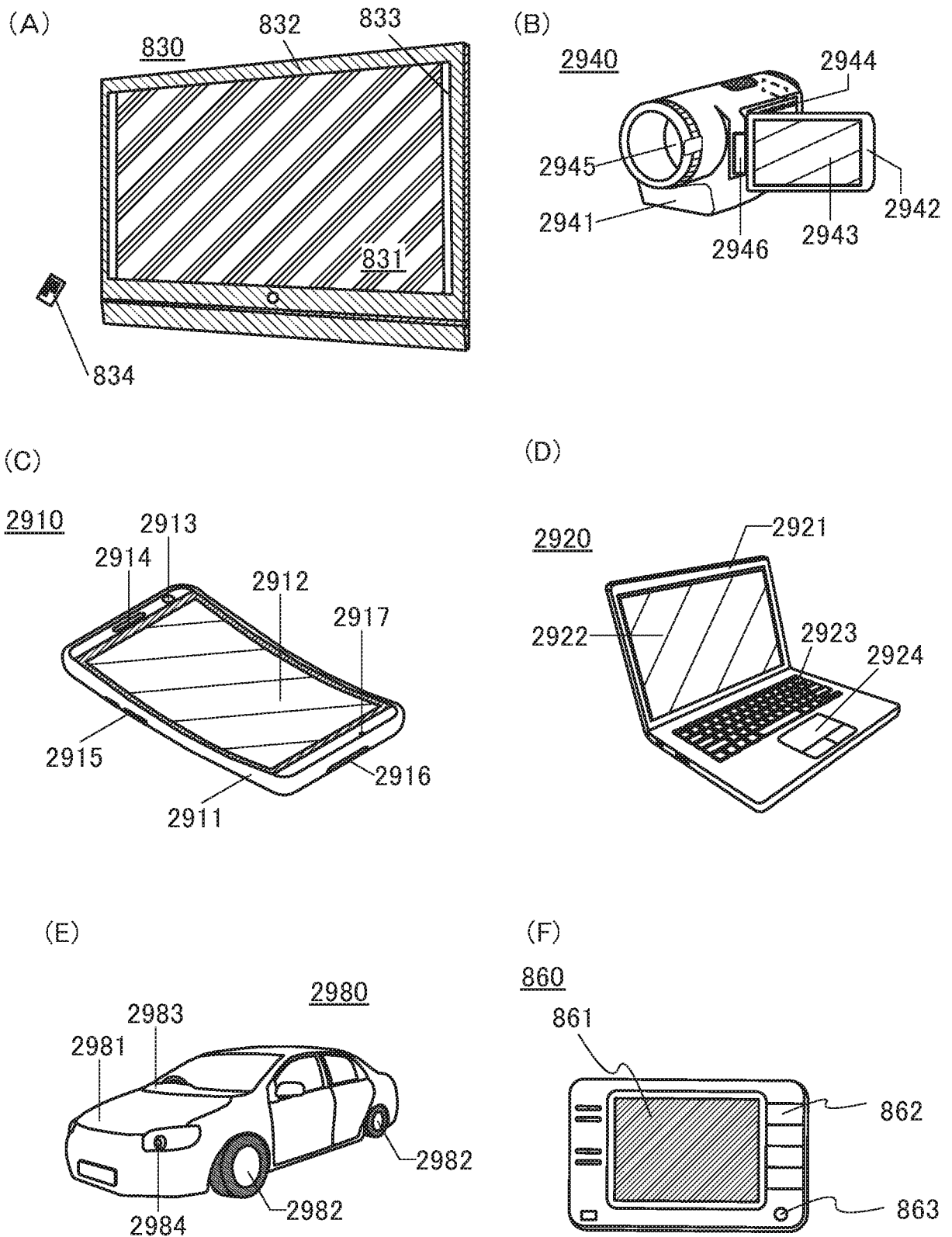
(B)



[図59]



[図60]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/051210

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/786, H01L21/28, H01L21/336, H01L21/82, H01L21/8234, H01L21/8242, H01L27/06, H01L27/088, H01L27/108, H01L27/1156, H01L29/417, H01L29/423, H01L29/49, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-236070 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 21 November 2013, paragraphs [0079]-[0082], [0187]-[0211], fig. 1, 7 & US 2013/0270616 A1, paragraphs [0107]-[0110], [0215]-[0239], fig. 1B, 7B	1-3, 6-8, 11, 12
Y		5, 6, 7, 9, 10, 13
X	JP 2013-175711 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 September 2013, paragraphs [0138], [0189]-[0201] & US 2013/0193493 A1, paragraphs [0150], [0201]-[0213]	1, 2, 5
Y		4-7, 9, 10, 13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 May 2018 (10.05.2018)

Date of mailing of the international search report
22 May 2018 (22.05.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/051210

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-188064 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 29 October 2015, paragraph [0167], fig. 13 & US 2015/0221775 A1, paragraph [0216], fig. 13 & KR 10-2015-0092707 A & TW 201535673 A	4, 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/051210

CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L21/82(2006.01)i, H01L21/8234(2006.01)i, H01L21/8242(2006.01)i,
H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L27/108(2006.01)i,
H01L27/1156(2017.01)i, H01L29/417(2006.01)i, H01L29/423(2006.01)i,
H01L29/49(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. 特別ページ参照

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, H01L21/28, H01L21/336, H01L21/82, H01L21/8234, H01L21/8242, H01L27/06, H01L27/088, H01L27/108, H01L27/1156, H01L29/417, H01L29/423, H01L29/49, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-236070 A（株式会社半導体エネルギー研究所）2013.11.21, 段落[0079]-[0082], [0187]-[0211], [図1], [図7] & US	1-3, 6-8, 11, 12
Y	2013/0270616 A1, 段落[0107]-[0110], [0215]-[0239], 図1B, 図7B	5, 6, 7, 9, 10, 13
X	JP 2013-175711 A（株式会社半導体エネルギー研究所）2013.09.05, 段落[0138], [0189]-[0201] & US 2013/0193493 A1, 段落[0150], [0201]-[0213]	1, 2, 5
Y		4-7, 9, 10, 13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10.05.2018

国際調査報告の発送日

22.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

脇水 佳弘

5 F

3464

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-188064 A (株式会社半導体エネルギー研究所) 2015. 10. 29, 段落[0167], [図 13] & US 2015/0221775 A1, 段落[0216], 図 13 & KR 10-2015-0092707 A & TW 201535673 A	4, 9

発明の属する分野の分類

H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L21/82(2006.01)i, H01L21/8234(2006.01)i, H01L21/8242(2006.01)i,
H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L27/108(2006.01)i,
H01L27/1156(2017.01)i, H01L29/417(2006.01)i, H01L29/423(2006.01)i,
H01L29/49(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i