

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294659

(P2005-294659A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int. Cl.⁷

H O 1 L 21/8222

H O 1 L 21/331

H O 1 L 27/06

H O 1 L 29/732

F I

H O 1 L 27/06

H O 1 L 29/72

I O 1 D

P

テーマコード (参考)

5 F 0 0 3

5 F 0 8 2

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2004-109640 (P2004-109640)

(22) 出願日 平成16年4月2日(2004. 4. 2)

(71) 出願人 591143021

イサハヤ電子株式会社

長崎県諫早市津久葉町6番地41

(72) 発明者 松永 平

長崎県諫早市津久葉町6-41 イサハヤ

電子株式会社内

Fターム(参考) 5F003 BB06 BE90 BH05 BJ01 BJ06

BJ20 BN02

5F082 AA08 BA21 BA24 BA31 BC03

BC18 DA09 FA11 GA04

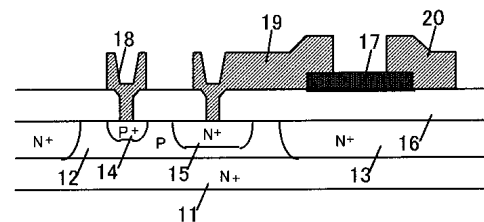
(54) 【発明の名称】 抵抗内蔵バイポーラトランジスタ

(57) 【要約】 (修正有)

【課題】コレクタに抵抗が接続された抵抗内蔵バイポーラトランジスタ及び同一チップに複数個の抵抗内蔵バイポーラトランジスタを容易に形成可能なバイポーラトランジスタの構造を提供する。

【解決手段】N型半導体基板11と、上記N型半導体基板上に形成され、且つ、周囲をN型半導体領域で囲むように形成されたP型不純物領域12と、上記P型不純物領域の一部上に形成された、N型不純物領域15と、前記N型半導体基板の一部上に絶縁層を介して形成された半導体層とから構成されている。N型半導体基板；エミッタ、P型不純物領域；ベース、N型不純物領域；コレクタとする場合直流電流増幅率 h_{FE} を100以上とすることが可能となる。したがって、コレクタに抵抗が接続された抵抗内蔵バイポーラトランジスタ及び同一チップに複数個の抵抗内蔵バイポーラトランジスタを容易に形成することが可能となる。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

第 1 導電型半導体基板をエミッタとし、上記第 1 導電型の半導体基板上に形成され、且つ、周囲を第 1 導電型半導体領域で囲むように形成された第 2 導電型不純物領域をベースとし、上記第 2 導電型ベース領域の一部上に形成された、第 1 導電型不純物領域をコレクタとし、前記第 1 導電型半導体基板の一部上に絶縁層を介して形成された半導体層を抵抗としたバイポーラトランジスタにおいて、前記第 1 導電型コレクタ領域と前記抵抗が接続されていることを特徴とする抵抗内蔵バイポーラトランジスタ。

【請求項 2】

第 1 導電型半導体基板をエミッタとし、上記第 1 導電型の半導体基板上に形成され、且つ、周囲を第 1 導電型半導体領域で囲むように形成された第 2 導電型不純物領域をベースとし、上記第 2 導電型ベース領域の一部上に形成された、第 1 導電型不純物領域をコレクタとし、前記第 1 導電型半導体基板の一部上に絶縁層を介して形成された半導体層を抵抗としたバイポーラトランジスタにおいて、前記第 2 導電型ベース領域と前記抵抗が接続されていることを特徴とする抵抗内蔵バイポーラトランジスタ。 10

【請求項 3】

第 1 導電型半導体基板をエミッタとし、上記第 1 導電型の半導体基板上に形成され、且つ、周囲を第 1 導電型半導体領域で囲むように形成された第 2 導電型不純物領域をベースとし、上記第 2 導電型ベース領域の一部上に形成された、第 1 導電型不純物領域をコレクタとし、前記第 1 導電型半導体基板の一部上に絶縁層を介して形成された半導体層を抵抗としたバイポーラトランジスタにおいて、前記第 1 導電型半導体基板（エミッタ）と前記第 2 導電型ベース領域との間に並列に前記抵抗が接続されていることを特徴とする抵抗内蔵バイポーラトランジスタ。 20

【請求項 4】

前記請求項 3 に記載の抵抗内蔵バイポーラトランジスタにおいて、さらに、前記第 2 導電型ベース領域と直列に抵抗が接続されていることを特徴とする抵抗内蔵バイポーラトランジスタ。

【請求項 5】

同一の第 1 導電型半導体基板上に、上記半導体基板をエミッタとする前記請求項 1 項、2 項、3 項、4 項に記載の抵抗内蔵バイポーラトランジスタを複数個配置したことを特徴とする抵抗内蔵バイポーラトランジスタ。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗内蔵バイポーラトランジスタに関するものである。抵抗内蔵バイポーラトランジスタは、主にスイッチング用途として使用され、一般的には図 1 に示すように、ベースと直列、ベース－エミッタ間に並列に抵抗が接続される構造となっている。この抵抗内蔵バイポーラトランジスタは、電子回路において多量に使用されることも多いため、図 2 に示すように、同一パッケージに 2 個のトランジスタが入ったものも生産されているが、この場合、2 個のトランジスタチップを同一パッケージに搭載して製造されている。 40

【0002】

また、図 3 に示すミューティング回路においては、トランジスタのコレクタとベースに抵抗が接続されているが、現在この回路は、トランジスタと 2 個の抵抗を個別の部品で形成するか、あるいは、1 個の抵抗と、ベースに抵抗を内蔵したトランジスタを使用して形成されている。

【背景技術】

【0003】

従来一般的な抵抗内蔵バイポーラトランジスタの構造を図 4 に示す。同図では NPN 型バイポーラトランジスタの場合を示している。N 型高不純物濃度半導体基板 1 上に N 型のエピタキシャル層 2 が形成され、この N 型のエピタキシャル層 2 の一部上に、P 型領域 3 が形成 50

され、このP型領域3の一部上に、N型領域4が形成されている。また、N型エピタキシャル層2の一部上に絶縁膜5を介して、多結晶シリコンによる抵抗6が形成され、配線電極7、8、9により配線されている。

【0004】

この構造においては、各領域の不純物濃度の関係は、製造プロセスの順序により、N型エピタキシャル層2<P型領域3<N型領域4となる。この構造でNPN型トランジスタを構成する場合、(A) N型エピタキシャル層2；コレクタ、P型領域3；ベース、N型領域4；エミッタとする場合と、(B) N型エピタキシャル層2；エミッタ、P型領域3；ベース、N型領域4；コレクタとする場合があるが、前述した各領域の濃度の関係で、(B)の構成の場合は直流電流増幅率 h_{FE} が10程度と低くなるため、一般的には(A)の構成で使用する。

10

【0005】

したがって、図1に示すように、ベース、エミッタに抵抗が接続された抵抗内蔵バイポーラトランジスタを構成することは可能であるが、図3に示すミューティング回路のように、コレクタに抵抗が接続された回路を同一チップ上で構成することは、非常に困難である。

【0006】

また、図2に示すような、同一パッケージに2個のトランジスタチップが入った製品において、この2個のトランジスタを同一チップで形成可能であれば、組立てする上で非常に有利であるが、前記したように従来の構造の場合は、図5に示すようにコレクタが共通となるため実現が困難である。等価回路を図6に示す。

20

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、上記した従来技術の問題点に鑑みてなされたものであり、コレクタに抵抗が接続された抵抗内蔵バイポーラトランジスタ及び同一チップに複数個の抵抗内蔵バイポーラトランジスタを容易に形成可能なバイポーラトランジスタの構造を提供するものである。

【課題を解決するための手段】

【0008】

本発明の構造を、NPN型抵抗内蔵バイポーラトランジスタに適用した場合について説明する。本発明においては、N型半導体基板と、上記N型半導体基板上に形成され、且つ、周囲をN型半導体領域で囲むように形成されたP型不純物領域と、上記P型不純物領域の一部上に形成された、N型不純物領域と、前記N型半導体基板の一部上に絶縁層を介して形成された半導体層とから構成されている。1例を図7に示す。

30

【0009】

この構造の場合、各領域の不純物濃度は、N型半導体基板>P型不純物領域<N型不純物領域とすることが可能であるため、(A) N型半導体基板；コレクタ、P型不純物領域；ベース、N型不純物領域；エミッタとする場合、(B) N型半導体基板；エミッタ、P型不純物領域；ベース、N型不純物領域；コレクタとする場合の両方の場合で直流電流増幅率 h_{FE} を100以上とすることが可能となる。

【0010】

したがって、上記(B)の構成を採用した場合は、コレクタに抵抗が接続された抵抗内蔵バイポーラトランジスタ及び同一チップに複数個の抵抗内蔵バイポーラトランジスタを容易に形成することが可能となる。

40

【発明の効果】

【0011】

このように本発明にかかる抵抗内蔵バイポーラトランジスタの場合は、図3に示すミューティング回路のように、コレクタに抵抗が接続される場合についても、抵抗とバイポーラトランジスタを同一チップ上に形成可能である。また、複数個の抵抗内蔵バイポーラトランジスタを同一チップ上に形成可能であるため、図2に示すような同一パッケージに2個のトランジスタが入ったものの生産効率を上げることが可能になる。

50

【発明を実施するための最良の形態】

【0012】

本発明による抵抗内蔵バイポーラトランジスタの実施の形態を、NPN型の場合を例にとり、図7にて説明する。高不純物濃度のN型（以下N+型と称する）半導体基板11上に、上記半導体基板11より低濃度のP型半導体層12が形成され、N+型不純物領域13が上記低濃度のP型半導体層12の周囲を囲むように形成される。上記P型半導体層12の一部上に、N+型不純物領域15が形成される。さらに、前記N+型半導体基板1の一部上に絶縁層16を介して抵抗となる半導体層17が形成され、配線電極18、19、20が形成されることにより、本発明による抵抗内蔵バイポーラトランジスタが形成される。なお、必要に応じて、上記P型半導体層12の一部上に、P+型不純物領域14を形成することも可能である。

10

【0013】

本構造の場合は、半導体基板1；エミッタ、P型半導体層2；ベース、N+型不純物領域4；コレクタとした構成が可能であり、図8に示す等価回路のように抵抗がコレクタに接続された抵抗内蔵バイポーラトランジスタを構成することが可能となる。

【0014】

次に、本発明による抵抗内蔵バイポーラトランジスタの製造方法を説明する。まず、図9に示すようにN+型のシリコン基板11を用意し、エピタキシャル成長によりP型半導体層12を形成する。これらの各領域の具体的な不純物濃度としては、例えば、N+型半導体基板11； $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 、P型半導体層12； $2 \times 10^{14} \text{ cm}^{-3} \sim 4 \times 10^{16} \text{ cm}^{-3}$ 等である。

20

【0015】

次に、図10に示すように、リン等のN型不純物を選択的に注入拡散して、P型半導体層12の周囲を囲むようにN+型拡散領域13を形成する。なお、N+型拡散領域13は、N+型半導体基板11まで到達するように形成し、シート抵抗としては数 $10 \Omega / \square$ 以下に形成することが望ましい。

【0016】

次に、図11に示すように、ホウ素等のP型不純物を選択的に注入拡散して、P+型領域14を形成する。このP+型領域14は、P型半導体層12と配線電極との接触抵抗を低くするために設けるものであり、P型半導体層12の不純物濃度が十分に高い場合は必要ない。なお、P+型不純物の濃度としては、表面濃度で $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度とすればよい。

30

【0017】

次に、図12に示すように、リン等のN型不純物を選択的に注入拡散して、N+型領域15を形成する。N+型領域の濃度としては、表面濃度で $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度とすればよい。また、本構造のバイポーラトランジスタの直流電流増幅率 h_{FE} は、N+型領域15の拡散深さにより決定されるため、必要に応じてコントロールする必要がある。

【0018】

次に、図13に示すように、熱酸化、又はCVD（化学的気相成長法）等により、シリコン酸化膜16を $8000 \text{ \AA}$ 程度形成し、このシリコン酸化膜16の一部上に多結晶シリコンを $5000 \text{ \AA}$ 程度堆積し、適当な形状のパターンの形成及び不純物注入を行うことにより、抵抗17を形成する。

40

【0019】

次に、図14に示すように、シリコン酸化膜16の適当な箇所にコンタクト孔を形成し、アルミニウム等による配線電極18、19、20を形成することにより、本発明による抵抗内蔵バイポーラトランジスタが完成する。

【実施例1】

【0020】

本発明による実施例1を図7に示す。これは、コレクタに抵抗を接続した場合であり、等価回路を図8に示す。

【実施例2】

50

【0021】

本発明による実施例2を図15に示す。これは、コレクタとベースに夫々直列に抵抗を形成したものであり、等価回路は図3に示すようになる。

【実施例3】

【0022】

本発明による実施例3を図16に示す。これは、エミッターベース間に並列に抵抗を形成した場合であり、等価回路は図17に示すようになる。

【実施例4】

【0023】

本発明による実施例4を図18に示す。これは、図16の場合にさらにベースに直列に抵抗を形成した場合であり、等価回路は図19に示すようになる。

【実施例5】

【0024】

本発明による実施例5を図20に示す。これは、図18に示す抵抗内蔵バイポーラトランジスタを、同一チップ上に2個形成した場合である。

【図面の簡単な説明】

【0025】

【図1】… 抵抗内蔵バイポーラトランジスタの等価回路、

【図2】… 同一パッケージ内に抵抗内蔵バイポーラトランジスタを2個搭載した場合、

【図3】… ミューティング回路、

【図4】… 従来の抵抗内蔵バイポーラトランジスタの構造、

【図5】… 従来の抵抗内蔵バイポーラトランジスタを同一チップ上に2個形成した場合

、
【図6】… 従来の抵抗内蔵バイポーラトランジスタを同一チップ上に2個形成した場合の等価回路、

【図7】… 本発明による抵抗内蔵バイポーラトランジスタの構造、

【図8】… 第7図の抵抗内蔵バイポーラトランジスタの等価回路、

【図9】… 本発明による抵抗内蔵バイポーラトランジスタの製造工程、

【図10】… 本発明による抵抗内蔵バイポーラトランジスタの製造工程、

【図11】… 本発明による抵抗内蔵バイポーラトランジスタの製造工程、

【図12】… 本発明による抵抗内蔵バイポーラトランジスタの製造工程、

【図13】… 本発明による抵抗内蔵バイポーラトランジスタの製造工程、

【図14】… 本発明による抵抗内蔵バイポーラトランジスタの製造工程、

【図15】… 本発明の他の実施例1、

【図16】… 本発明の他の実施例2、

【図17】… 図16の構造の等価回路、

【図18】… 本発明の他の実施例2、

【図19】… 図18の構造の等価回路

【図20】… 本発明の他の実施例3、

【符号の説明】

【0026】

1, 11 … N型高不純物濃度半導体基板、

2 … N型エピタキシャル層、

3, 3A, 3B … P型領域、

4, 4A, 4B … N型領域、

5 … 絶縁膜、

6, 6A, 6B … 多結晶シリコン（抵抗）、

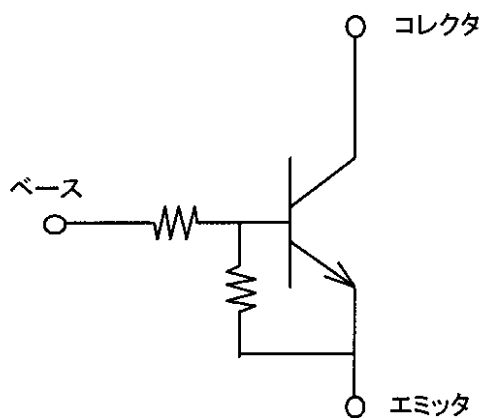
7, 7A, 7B … エミッタ配線電極、

8, 8A, 8B … ベース配線電極1、

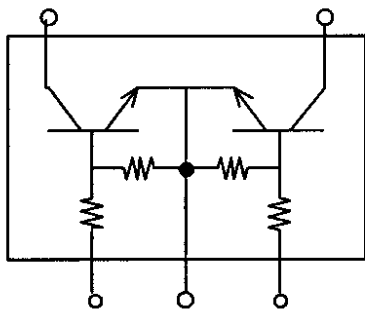
9, 9A, 9B … ベース配線電極2、

- 1 2 … P型半導体層、
- 1 3 … N+型不純物領域、
- 1 4 … P+型不純物領域、
- 1 5 … N+型不純物領域、
- 1 6 … 絶縁膜、
- 1 7, 2 1, 2 3 A, 2 3 B … 多結晶シリコン（抵抗）、
- 1 8, 1 8 A, 1 8 B … ベース配線電極 1、
- 1 9, 1 9 A, 1 9 B … コレクタ配線電極 1、
- 2 0 … コレクタ配線電極 2、
- 2 1 … ベース配線電極 2。

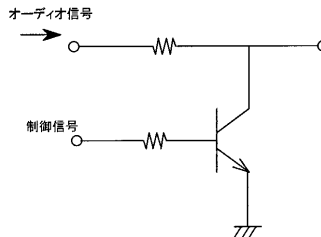
【図 1】



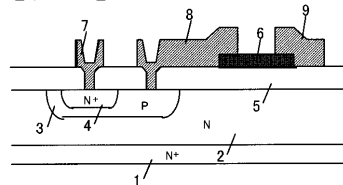
【図 2】



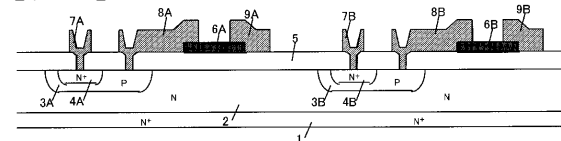
【図 3】



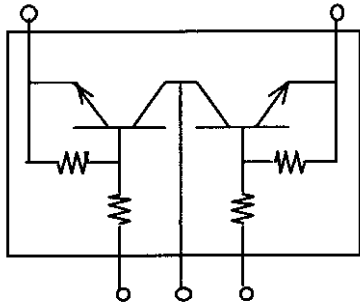
【図 4】



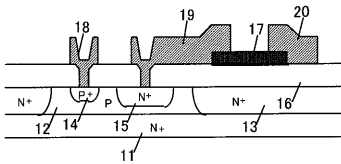
【図 5】



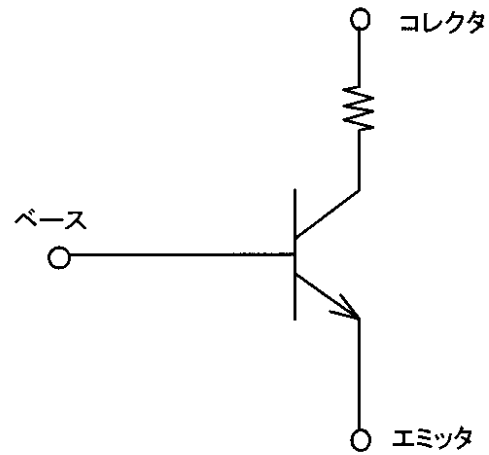
【図 6】



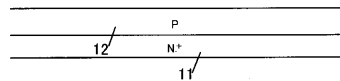
【図 7】



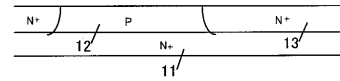
【図 8】



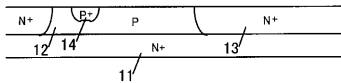
【図 9】



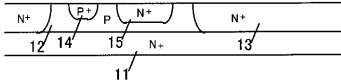
【図 10】



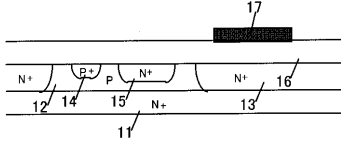
【図 11】



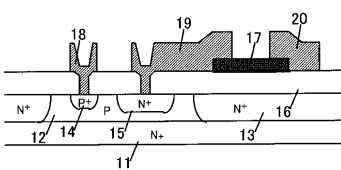
【図 12】



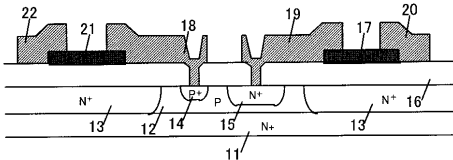
【図 13】



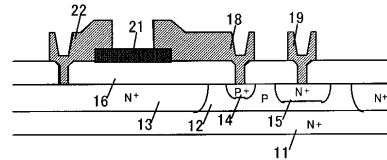
【図 14】



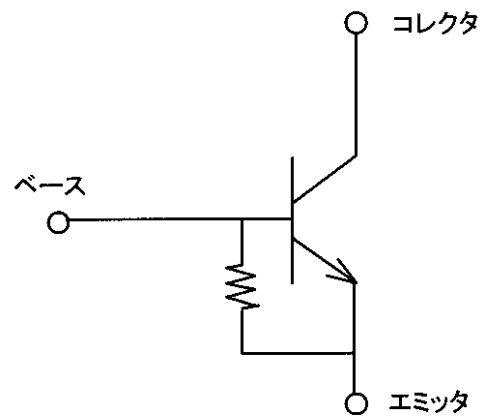
【図 15】



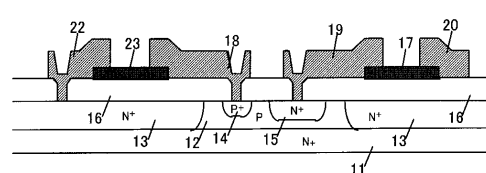
【図 16】



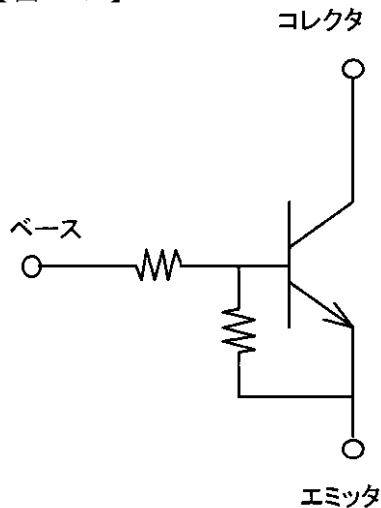
【図 17】



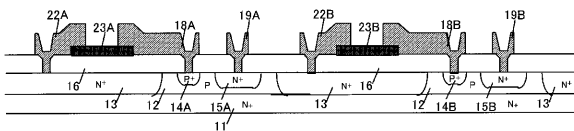
【図 18】



【図 19】



【図 20】



【手続補正書】

【提出日】平成16年9月10日(2004.9.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

【図1】抵抗内蔵バイポーラトランジスタの等価回路、

【図2】同一パッケージ内に抵抗内蔵バイポーラトランジスタを2個搭載した場合、

【図3】ミューティング回路、

【図4】従来の抵抗内蔵バイポーラトランジスタの構造、

【図5】従来の抵抗内蔵バイポーラトランジスタを同一チップ上に2個形成した場合、

【図6】従来の抵抗内蔵バイポーラトランジスタを同一チップ上に2個形成した場合の等価回路、

【図7】本発明による抵抗内蔵バイポーラトランジスタの構造、

【図8】第7図の抵抗内蔵バイポーラトランジスタの等価回路、

【図9】本発明による抵抗内蔵バイポーラトランジスタの製造工程、

【図10】本発明による抵抗内蔵バイポーラトランジスタの製造工程、

【図11】本発明による抵抗内蔵バイポーラトランジスタの製造工程、

【図12】本発明による抵抗内蔵バイポーラトランジスタの製造工程、

【図13】本発明による抵抗内蔵バイポーラトランジスタの製造工程、

【図14】本発明による抵抗内蔵バイポーラトランジスタの製造工程、

【図15】本発明の他の実施例2、

【図16】本発明の他の実施例3、

【図 17】図 16 の構造の等価回路、

【図 18】本発明の他の実施例 4、

【図 19】図 18 の構造の等価回路

【図 20】本発明の他の実施例 5、

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

1, 11 N型高不純物濃度半導体基板、
2 N型エピタキシャル層、
3, 3A, 3B P型領域、
4, 4A, 4B N型領域、
5 絶縁膜、
6, 6A, 6B 多結晶シリコン（抵抗）、
7, 7A, 7B エミッタ配線電極、
8, 8A, 8B ベース配線電極 1、
9, 9A, 9B ベース配線電極 2、
12 P型半導体層、
13 N+型不純物領域、
14 P+型不純物領域、
15 N+型不純物領域、
16 絶縁膜、
17, 21, 23A, 23B 多結晶シリコン（抵抗）、
18, 18A, 18B ベース配線電極 1、
19, 19A, 19B コレクタ配線電極 1、
20 コレクタ配線電極 2、
21 ベース配線電極 2
22, 22A, 22B エミッタ配線電極
24 ベース配線電極 2。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本構造の場合は、半導体基板 11；エミッタ、P 型半導体層 12；ベース、N+型不純物領域 15；コレクタとした構成が可能であり、図 8 に示す等価回路のように抵抗がコレクタに接続された抵抗内臓バイポーラトランジスタを構成することが可能となる。

【手続補正 4】

【補正対象書類名】図面

【補正対象項目名】図 18

【補正方法】変更

【補正の内容】

