



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 10 08 87
(21) (PV 5889-87.E)

(40) Zveřejněno 15 07 88

(45) Vydáno 15 06 89

262166
(11) (B1)

(51) Int. Cl.⁴
G 05 B 23/02

(75)

Autor vynálezu

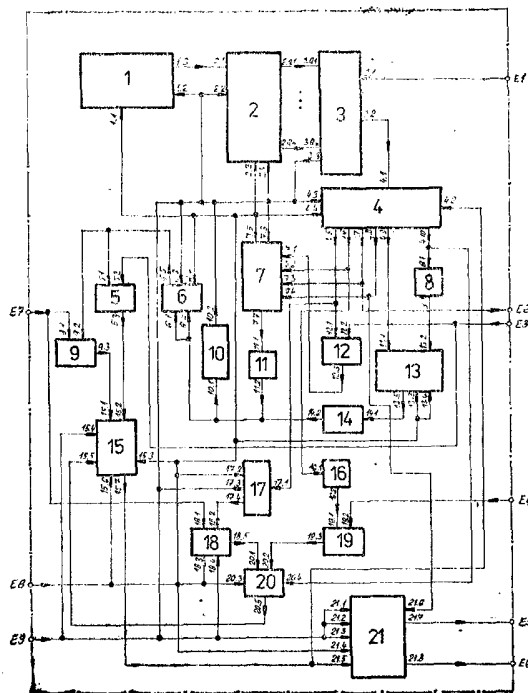
HABADA OLDŘICH, BUGÁR JAN ing., PŘÍBRAM

(54) Zabezpečovací zařízení řízení přenosové rychlosti, zejména pro bitovou synchronizaci sériových synchronních komunikací

1

Zapojení je určeno pro řídicí a informační systémy s vyššími nároky na zabezpečení bitové synchronizace při přenosu dat. Obsahuje hodinový člen, dva přizpůsobovací členy, programovací člen, deset logických členů, tři negační členy, odporový člen, dva diodové členy a výstupní řídicí člen, které jsou vzájemně propojeny. Zapojení zahrnuje šest vnějších vstupů a tři vnější výstupy.

2



Vynález se týká zabezpečovacího zařízení přenosové rychlosti, zejména pro bitovou synchronizaci sériových synchronních komunikací, sestávajícího z hodinového členu, přířpsobovacích členů, programovacího členu, logických členů, negačních členů, odporového členu, diodových členů a výstupního řídicího členu.

V současné době existující podobná zařízení se odlišují obvodovým řešením a způsobem strobování základního hodinového kmitočtu. Nevýhodou stávajících řešení je nespolehlivost a fázová nestabilita vzhledem k rychlosti přenosu.

Uvedené nedostatky odstraňuje zabezpečovací zařízení podle vynálezu, sestávající z hodinového členu, přířpsobovacích členů, programovacího členu, logických členů, negačních členů, odporového členu, diodových členů a výstupního řídicího členu.

Podstata vynálezu spočívá v tom, že výstup hodinového členu je propojen s prvním vstupem prvního přířpsobovacího členu, jehož druhý vstup je spojen s druhým vstupem hodinového členu, s třetím vstupem druhého přířpsobovacího členu, s druhým výstupem programovacího členu, se šestým vstupem třetího logického členu, se čtvrtým vstupem prvního přířpsobovacího členu, s výstupem odporového členu, se třetím vstupem druhého logického členu, s třetím vstupem třetího negačního členu, se šestým vnějším vstupem, se čtvrtým vstupem sedmého logického členu, se čtvrtým vstupem osmého logického členu, se třetím vstupem, s druhým vstupem a s prvním vstupem výstupního řídicího členu.

První vstup hodinového členu je spojen se čtvrtým vstupem druhého logického členu, se třetím vstupem sedmého logického členu, s pátým vnějším vstupem, se šestým vstupem sedmého logického členu, se čtvrtým vstupem osmého logického členu, se třetím vstupem desátého logického členu, se třetím vstupem osmého logického členu, s druhým vstupem třetího negačního členu, se třetím vstupem a čtvrtým vstupem šestého logického členu, s pátým vstupem třetího logického členu, se třetím vstupem prvního přířpsobovacího členu a se čtvrtým vstupem druhého přířpsobovacího členu.

První stavový výstup až n-tý stavový výstup prvního přířpsobovacího členu je spojen s prvním stavovým vstupem až n-tým stavovým vstupem programovacího členu, jehož vstup je spojen s prvním vnějším vstupem. První výstup programovacího členu je spojen s prvním vstupem druhého přířpsobovacího členu, jehož první výstup je propojen s prvním vstupem pátého logického členu a s prvním vstupem třetího negačního členu.

Druhý výstup druhého přířpsobovacího členu je propojen s druhým vstupem třetího logického členu a se vstupem druhého negačního členu a třetí výstup druhého přířpsobovacího členu je propojen se třetím

vstupem třetího logického členu a s prvním vnějším vstupem. Čtvrtý výstup druhého přířpsobovacího členu je spojen se čtvrtým vstupem třetího logického členu a se šestým vstupem výstupního řídicího členu. Pátý výstup druhého přířpsobovacího členu je propojen s prvním vstupem šestého logického členu, jehož druhý vstup je propojen s výstupem prvního negačního členu.

Vstup prvního negačního členu je spojen se čtvrtým vstupem desátého logického členu a se šestým výstupem druhého přířpsobovacího členu, jehož druhý vstup je propojen s pátým vstupem výstupního řídicího členu a s výstupem sedmého logického členu. Výstup šestého logického členu je spojen se vstupem druhého diodového členu. Druhý vnější vstup je propojen s druhým vstupem prvního logického členu a s druhým vstupem pátého logického členu.

Výstup pátého logického členu je propojen s prvním vstupem třetího logického členu, jehož výstup je spojen se vstupem prvního diodového členu, jehož výstup je spojen s výstupem druhého diodového členu, se vstupem odporového členu a s prvním vstupem a druhým vstupem druhého logického členu. Výstup druhého logického členu je propojen s druhým vstupem čtvrtého logického členu a s prvním vstupem prvního logického členu.

Výstup prvního logického členu je spojen s druhým vstupem sedmého logického členu, jehož první vstup je spojen s výstupem čtvrtého logického členu, jehož první vstup je propojen se čtvrtým vnějším vstupem a s prvním vstupem osmého logického členu. Druhý vstup osmého logického členu je spojen s výstupem třetího negačního členu. Pátý vstup sedmého logického členu je spojen s výstupem desátého logického členu, jehož první vstup je spojen s výstupem osmého logického členu. Druhý vstup desátého logického členu je propojen s výstupem devátého logického členu, jehož první vstup je spojen s výstupem druhého negačního členu. Druhý vstup devátého logického členu je napojen na třetí vnější vstup. Druhý vnější výstup je spojen s prvním výstupem výstupního řídicího členu, jehož druhý výstup je napojen na třetí vnější výstup.

Zapojení podle vynálezu se vyznačuje novým způsobem generace hodinových pulsů a řízením dělicího poměru základního hodinového kmitočtu tak, že zařízení kromě řízení přenosové rychlosti umožňuje přesné sfázování vygenerovaného hodinového signálu s datovým signálem protějšího vysílače a tím také jeho bezchybné dekódování v navazujícím zařízení.

Na přiloženém výkresu je znázorněno příkladné schéma zapojení zabezpečovacího zařízení podle vynálezu.

Zabezpečovací zařízení sestává z hodinového členu 1, který obsahuje piezokeramickou jednotku s pomocnými obvody. První

přizpůsobovací člen obsahuje n -násobný čítač. Programovací člen 3 je realizován přepínačem s nezávislou možností vnitřního propojení svého prvního vstupu 3.1 s druhým výstupem 3.3 programovatelného propojení vždy jednoho ze svých stavových vstupů 3.Q1 až 3.Qn se svým prvním výstupem 3.2. Druhý přizpůsobovací člen 4 tvoří sedminásobný dvojkový čítač s resetováním prostřednictvím druhého vstupu 4.2.

První, druhý a čtvrtý logický člen 5, 6 a 9 jsou tvořeny dvouvstupovým logickým obvodem typu NAND. Třetí, šestý, sedmý a desátý logický člen 7, 13, 15 a 20 jsou tvořeny čtyřvstupovým logickým obvodem typu NAND. Pátý, osmý a devátý logický člen 12, 18 a 19 jsou tvořeny logickým obvodem EX-OR. Odporový člen 10 umožňuje úpravu napěťového signálu před vstupem do druhého logického členu 6. První a druhý diodový člen 11 a 14 umožňují logický součet příslušných průchozích signálů.

První, druhý a třetí negační člen 8, 16 a 17 invertují průchozí signál. Výstupní řídicí člen 21 je tvořen klopným obvodem s přepisem signálu z prvního vstupu 21.1 na první výstup 21.7 a druhý výstup 21.8, který signál invertuje. Obvod je řízen signály na pátém a šestém vstupu 21.5 a 21.6. Pátým vstupem 21.5 je nastavován vždy první výstup 21.7 na úroveň log H a druhý výstup 21.8 na log L. Vlastní převod je řízen pomocí signálu na šestém vstupu 21.6.

Hodinový člen 1 je přes první vstup 1.3 propojen s prvním vstupem 2.1 prvního přizpůsobovacího členu 2, jehož druhý vstup 2.2 je spojen s druhým vstupem 1.2 hodinového členu 1, s třetím vstupem 4.3 druhého přizpůsobovacího členu 4, s druhým výstupem 3.3 programovacího členu 3, se šestým vstupem 7.6 třetího logického členu 7, se čtvrtým vstupem 2.4 prvního přizpůsobovacího členu 2, s výstupem 10.2 odporového členu 10, se třetím vstupem 6.3 druhého logického členu 6, s třetím vstupem 17.3 třetího negačního členu 17, se šestým vnějším vstupem E9, se čtvrtým vstupem 15.4 sedmého logického členu 15, se čtvrtým vstupem 18.4 osmého logického členu 18, se třetím vstupem 21.3, druhým vstupem 21.2 a s prvním vstupem 21.1 výstupního řídicího členu 21.

První vstup 1.1 hodinového členu 1 je spojen se čtvrtým vstupem 6.4 druhého logického členu 6, se třetím vstupem 15.3 sedmého logického členu 15, s pátým vnějším vstupem E8, se šestým vstupem 15.6 sedmého logického členu 15, se čtvrtým vstupem 21.4 výstupního řídicího členu 21, se třetím vstupem 20.3 desátého logického členu 20, se třetím vstupem 18.3 osmého logického členu 18, s druhým vstupem 17.2 třetího negačního členu 17, se třetím vstupem 13.3 a čtvrtým vstupem 13.4 šestého logického členu 13, s pátým vstupem 7.5 třetího logického členu 7, se třetím vstupem 2.3 prvního přizpůsobovacího členu 2 a se

čtvrtým vstupem 4.4 druhého přizpůsobovacího členu 4.

První stavový výstup 2.Q1 až n -tý stavový výstup 2.Qn prvního přizpůsobovacího členu 2 je spojen s prvním stavovým vstupem 3.Q1 až n -tým stavovým vstupem 3.Qn programovacího členu 3, jehož vstup 3.1 je spojen s prvním vnějším vstupem E1. První výstup 3.2 programovacího členu 3 je spojen s prvním vstupem 4.1 druhého přizpůsobovacího členu 4, jehož první výstup 4.5 je spojen s prvním vstupem 12.1 pátého logického členu 12 a s prvním vstupem 17.1 třetího negačního členu 17. Druhý výstup 4.6 druhého přizpůsobovacího členu 4 je propojen s druhým vstupem 7.2 třetího logického členu 7 a se vstupem 16.1 druhého negačního členu 16.

Třetí výstup 4.7 druhého přizpůsobovacího členu 4 je propojen se třetím vstupem 7.3 třetího logického členu 7 a s prvním vnějším vstupem E2. Čtvrtý výstup 4.8 druhého přizpůsobovacího členu 4 je spojen se čtvrtým vstupem 7.4 třetího logického členu 7 a se šestým vstupem 21.6 výstupního řídicího členu 21. Pátý výstup 4.9 druhého přizpůsobovacího členu 4 je propojen s prvním vstupem 13.1 šestého logického členu 13, jehož druhý vstup 13.2 je propojen s výstupem 8.2 prvního negačního členu 8.

Vstup 8.1 prvního negačního členu 8 je spojen se čtvrtým vstupem 20.4 desátého logického členu 20 a se šestým výstupem 4.10 druhého přizpůsobovacího členu 4, jehož druhý vstup 4.2 je propojen s pátým vstupem 21.5 výstupního řídicího členu 21 a s druhým výstupem 15.7 sedmého logického členu 15. Výstup 13.5 šestého logického členu 13 je spojen se vstupem 14.1 druhého diodového členu 14. Druhý vnější vstup E3 je propojen s druhým vstupem 5.2 prvního logického členu 5 a s druhým vstupem 12.2 pátého logického členu 12, jehož výstup 12.3 je propojen s prvním vstupem 7.1 třetího logického členu 7.

Výstup 7.7 třetího logického členu 7 je propojen se vstupem 11.1 prvního diodového členu 11, jehož výstup 11.2 je spojen s výstupem 14.2 druhého diodového členu 14, se vstupem 10.1 odporového členu 10 a s prvním vstupem 6.1 a druhým vstupem 6.2 druhého logického členu 6. Výstup 6.5 druhého logického členu 6 je propojen s druhým vstupem 9.2 čtvrtého logického členu 9 a s prvním vstupem 5.1 prvního logického členu 5, jehož výstup 5.3 je spojen s druhým vstupem 15.2 sedmého logického členu 15. První vstup 15.1 sedmého logického členu 15 je spojen s výstupem 9.3 čtvrtého logického členu 9, jehož první vstup 9.1 je propojen se čtvrtým vnějším vstupem E7 a s prvním vstupem 18.1 osmého logického členu 18, jehož druhý vstup 18.2 je spojen s výstupem 17.4 třetího negačního členu 17.

Pátý vstup 15.5 sedmého logického členu 15 je spojen s výstupem 20.5 desátého logického

kého členu 20, jehož první vstup 20.1 je spojen s výstupem 18.5 osmého logického členu 18. Druhý vstup 20.2 desátého logického členu 20 je propojen s výstupem 19.3 devátého logického členu 19, jehož první vstup 19.1 je spojen s výstupem 16.2 druhého negačního členu 16. Druhý vstup 19.2 devátého logického členu 19 je napojen na třetí vnější vstup E4. Druhý vnější výstup E5 je spojen s prvním výstupem 21.7 výstupního řídicího členu 21, jehož druhý výstup 21.8 je napojen na třetí vnější výstup E6.

Hodinový člen 1 generuje základní hodinový kmitočet, který je přiveden na první vstup 2.1 prvního přířpsobovacího členu 2. V tomto členu je proveden základní dělicí poměr hodinového signálu, jehož všechny stavové výstupy 2.Q1 až 2.Qn jsou přivedeny na odpovídající stavové vstupy 3.Q1 až 3.Qn programovacího členu 3. Naprogramovaný kmitočet je pak prvním výstupem 3.2 převeden na první vstup 4.1 druhého přířpsobovacího členu 4, který zajišťuje postupné vybuzení svého prvního až šestého výstupu 4.5 až 4.10.

Číselná forma kombinace těchto stavových výstupů je pak určujícím poměrem v součinnosti s řídicími signály na druhém, třetím a čtvrtém vnějším vstupu E3, E4 a E7 k regulaci nominálního poměru, který

je odvozen ze čtvrtého výstupu 4.8 druhého přířpsobovacího členu 4. V navazujících členech 5 až 20 jsou tyto signály logicky zpracovány tak, že při kombinaci stavu na vnějších vstupech E3, E4 a E7, která odpovídá dané relativní přenosové rychlosti přijímaných dat je základní dělicí poměr snížen nebo zvýšen tak, aby frekvence signálu na druhém a třetím vnějším výstupu E5 a E6 byla shodná se zakódovaným kmitočtem v přijímaných datech a bylo možné přesné sfázování dekódovacích návazných obvodů.

Pátým a šestým vnějším vstupem E8 a E9 je přivedeno napájecí napětí. Prvním vnějším vstupem E1 je vyražena regulace dělení hodinového kmitočtu. K vlastnímu vyřazení dojde tehdy, když bude vnitřně propojen první vstup 3.1 programovacího bloku 3 s jeho druhým výstupem 3.3. Prvním vnějším výstupem E2 je vyveden pomocný dělicí poměr, určený pro vzorkování vstupního datového signálu.

Zapojení podle vynálezu kromě zabezpečení přenosové rychlosti umožňuje optimální regulaci dělicího poměru hodinového kmitočtu ve vztahu k frekvenci zakódované v datovém signálu a tím také přenosu detekci datových pulsů. Je určeno pro řídicí systémy s potřebou přesné bitové synchronizace při přenosech dat.

PŘEDMĚT VYNÁLEZU

Zabezpečovací zařízení přenosové rychlosti, zejména pro bitovou synchronizaci sériových synchronních komunikací, sestávající z hodinového členu, přířpsobovacích členů, programovacího členu, logických členů, negačních členů, odporového členu, diodových členů a výstupního řídicího členu, vyznačené tím, že výstup (1.3) hodinového členu (1) je propojen s prvním vstupem (2.1) prvního přířpsobovacího členu (2), jehož druhý vstup (2.2) je spojen s druhým vstupem (1.2) hodinového členu (1), s třetím vstupem (4.3) druhého přířpsobovacího členu (4), s druhým výstupem (3.3) programovacího členu (3), se šestým vstupem (7.6) třetího logického členu (7), se čtvrtým vstupem (2.4) prvního přířpsobovacího členu (2), s výstupem (10.2) odporového členu (10), se třetím vstupem (6.3) druhého logického členu (6), s třetím vstupem (17.3) třetího negačního členu (17), se šestým vnějším vstupem (E9), se čtvrtým vstupem (15.4) sedmého logického členu (15), se čtvrtým vstupem (18.4) osmého logického členu (18), se třetím vstupem (21.3), s druhým vstupem (21.2) a s prvním vstupem (21.1) výstupního řídicího členu (21), kdežto první vstup (1.1) hodinového členu (1) je spojen se čtvrtým vstupem (6.4) druhého logického členu (6), se třetím vstupem (15.3) sedmého logického členu (15), s pátým vnějším vstupem (E8),

se šestým vstupem (15.6) sedmého logického členu (15), se čtvrtým vstupem (21.4) výstupního řídicího členu (21), se třetím vstupem (20.3) desátého logického členu (20), se třetím vstupem (18.3) osmého logického členu (18), s druhým vstupem (17.2) třetího negačního členu (17), se třetím vstupem (13.3) a čtvrtým vstupem (13.4) šestého logického členu (13), s pátým vstupem (7.5) třetího logického členu (7), se třetím vstupem (2.3) prvního přířpsobovacího členu (2) a se čtvrtým vstupem (4.4) druhého přířpsobovacího členu (4), přičemž první stavový výstup (2.Q1) až n-tý stavový výstup (2.Qn) prvního přířpsobovacího členu (2) je spojen s prvním stavovým vstupem (3.Q1) až n-tým stavovým vstupem (3.Qn) programovacího členu (3), jehož vstup (3.1) je spojen s prvním vnějším vstupem (E1), zatímco první výstup (3.2) programovacího členu (3) je spojen s prvním vstupem (4.1) druhého přířpsobovacího členu (4), jehož první výstup (4.5) je propojen s prvním vstupem (12.1) pátého logického členu (12) a s prvním vstupem (17.1) třetího negačního členu (17), zatímco druhý výstup (4.6) druhého přířpsobovacího členu (4) je propojen s druhým vstupem (7.2) třetího logického členu (7) a se vstupem (16.1) druhého negačního členu (16) a třetí výstup (4.7) druhého při-

způsobovacího členu (4) je propojen se třetím vstupem (7.3) třetího logického členu (7) a s prvním vnějším výstupem (E2), kdežto čtvrtý výstup (4.8) druhého přizpůsobovacího členu (4) je spojen se čtvrtým vstupem (7.4) třetího logického členu (7) a se šestým vstupem (21.6) výstupního řídicího členu (21) a pátý výstup (4.9) druhého přizpůsobovacího členu (4) je propojen s prvním vstupem (13.1) šestého logického členu (13), jehož druhý vstup (13.2) je propojen s výstupem (8.2) prvního negačního členu (8), jehož vstup (8.1) je spojen se čtvrtým vstupem (20.4) desátého logického členu (20) a se šestým výstupem (4.10) druhého přizpůsobovacího členu (4), jehož druhý vstup (4.2) je propojen s pátým vstupem (21.5) výstupního řídicího členu (21) a s výstupem (15.7) sedmého logického členu (15), přičemž výstup (13.5) šestého logického členu (13) je spojen se vstupem (14.1) druhého diodového členu (14) a druhý vnější vstup (E3) je propojen s druhým vstupem (5.2) prvního logického členu (5) a s druhým vstupem (12.2) pátého logického členu (12), jehož výstup (12.3) je propojen s prvním vstupem (7.1) třetího logického členu (7), jehož výstup (7.7) je propojen se vstupem (11.1) prvního diodového členu (11), jehož výstup (11.2) je spojen s výstupem (14.2) druhého diodového členu (14), se vstupem (10.1) odporového členu

(10) a s prvním vstupem (6.1) a druhým vstupem (6.2) druhého logického členu (6), jehož výstup (6.5) je propojen s druhým vstupem (9.2) čtvrtého logického členu (9) a s prvním vstupem (5.1) prvního logického členu (5), jehož výstup (5.3) je spojen s druhým vstupem (15.2) sedmého logického členu (15), jehož první vstup (15.1) je spojen s výstupem (9.3) čtvrtého logického členu (9), jehož první vstup (9.1) je propojen se čtvrtým vnějším vstupem (E7) a s prvním vstupem (18.1) osmého logického členu (18), jehož druhý vstup (18.2) je spojen s výstupem (17.4) třetího negačního členu (17), přičemž pátý vstup (15.5) sedmého logického členu (15) je spojen s výstupem (20.5) desátého logického členu (20), jehož první vstup (20.1) je spojen s výstupem (18.5) osmého logického členu (18), zatímco druhý vstup (20.2) desátého logického členu (20) je propojen s výstupem (19.3) devátého logického členu (19), jehož první vstup (19.1) je spojen s výstupem (16.2) druhého negačního členu (16), a druhý vstup (19.2) devátého logického členu (19) je napojen na třetí vnější vstup (E4), kdežto druhý vnější výstup (E5) je spojen s prvním výstupem (21.7) výstupního řídicího členu (21), jehož druhý výstup (21.8) je napojen na třetí vnější výstup (E6).

