(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H01L 21/82

(45) 공고일자 2000년12월15일
(11) 등록번호 10-0276197
(24) 등록일자 2000년09월27일

(21) 출원번호	10-1998-0029857	(65) 공개번호	특1999-0014158
(22) 출원일자	1998년07월24일	(43) 공개일자	1999년02월25일
(30) 우선권주장	97-200132 1997년07월25일 일본(JP)		
	98-185299 1998년06월30일 일본(JP)		

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 야베 도모아끼
일본 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 580-1가부시끼가이샤 도시바 세미컨덕터 시스템 엔지니어링 센터 내
미야노 신지
일본 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 580-1가부시끼가이샤 도시바 세미컨덕터 시스템 엔지니어링 센터 내
(74) 대리인 장수길, 주성민

심사관 : 반성원

(54) 로직 혼재 메모리

요약

본 발명은 메모리 매크로의 설계 기간의 단축과 고유 면적의 축소를 도모한다.

본 발명에 따르면, 메모리 매크로(12)는 K비트 기억 용량의 메모리 셀 어레이 및 센스 앰프를 포함하는 L개의 메모리 어레이 블록(1-1, 1-2, …1-L)을 갖는다. 센스 앰프를 동작시키는 드라이버의 전원을 발생하는 회로를 포함하는 메모리 어레이 전원 드라이버 블록(4-1, 4-2, …, 4-L)은, 메모리 어레이 블록(1-1, 1-2, …1-L)에 대응하여 설치되어 있다. 메모리 어레이 블록(1-1, 1-2, …1-L)은 칼럼 방향으로 서로 인접하여 배치되고, 메모리 어레이 블록(1-1, 1-2, …1-L)상에는 칼럼 방향으로 늘어나는 DQ선쌍이 배치되어 있다. 전원선 블록(6a-L, 6b-L, 7a, 7b, 8a, 8b)은 메모리 어레이 블록의 로우 방향으로 단부(端部)에 배치되어 있다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 로직 혼재 메모리의 바닥 배치도의 일례를 나타내는 도면.

도 2는 본 발명의 제1 실시 형태의 메모리 매크로의 바닥 배치도를 나타내는 도면.

도 3은 도 2의 메모리 어레이 블록의 바닥 배치도를 나타내는 도면.

도 4는 도 2의 메모리 어레이 블록의 바닥 배치도를 나타내는 도면.

도 5는 도 3의 메모리 어레이 블록 내의 구성을 도시하는 도면.

도 6은 도 4의 메모리 어레이 블록 내의 구성을 도시하는 도면.

도 7은 공통 센스 앰프 방식의 센스 앰프·칼럼 스위치의 구성을 도시하는 도면.

도 8은 도 2의 직류 전위 생성 블록 내의 구성을 나타내는 도면.

도 9는 도 2의 메모리 어레이 전원 드라이버 블록 내의 구성을 도시하는 도면.

도 10은 도 2의 입출력 데이타 버퍼 블록 내의 구성을 도시하는 도면.

도 11은 도 2의 제어 블록 내의 구성을 도시하는 도면.

도 12는 도 2의 제어 블록 내의 구성을 도시하는 도면.

도 13의 (a)~(d)는 각각 도 11 및 도 12의 스위치 전환 방법에 대해서 나타내는 도면.

도 14는 도 2의 전원선 블록 내의 구성을 도시하는 도면.

도 15는 도 3 및 도 4의 메모리 어레이 블록 제어부 내의 구성을 도시하는 도면.

도 16은 4메가 비트 메모리 매크로의 바닥 배치도의 일례를 나타내는 도면.

도 17은 1메가 비트 메모리 매크로의 바닥 배치도의 일례를 나타내는 도면.

도 18은 메모리 매크로의 설계 플로우차트.

도 19는 본 발명의 제2 실시 형태의 메모리 매크로의 바닥 배치도를 나타내는 도면.

도 20은 도 19의 메모리 어레이 블록의 바닥 배치도를 나타내는 도면.

도 21은 본 발명의 제3 실시 형태의 4메가 비트의 메모리 매크로의 바닥 배치도를 나타내는 도면.

도 22는 도 21과 마찬가지의 도면으로, 2메가 비트의 메모리 매크로의 바닥 배치도를 나타내는 도면.

도 23은 도 21의 메모리 어레이 블록의 바닥 배치도를 도시하는 도면.

도 24는 도 23과 마찬가지의 도면으로, 도 22의 메모리 어레이 블록의 바닥 배치도를 나타내는 도면.

도 25는 도 23, 도 24의 메모리 어레이 블록의 서브 메모리 어레이 블록의 구성의 일부를 개략적으로 나타내는 도면.

도 26은 도 23, 도 24의 메모리 어레이 블록의 서브 메모리 어레이 블록의 구성의 다른 일부를 개략적으로 나타내는 도면.

도 27은 도 23에 개략적으로 서브 메모리 어레이 블록의 일부 구성을 상세하게 나타내는 도면으로, 특히 서브 메모리 어레이 블록의 일부의 구성을 상세하게 나타내는 도면.

도 28은 도 23에 개략적으로 도시한 서브 메모리 어레이 블록의 일부 구성을 상세하게 나타내는 도면으로, 특히 서브 메모리 어레이 블록의 일부 구성을 상세하게 나타내는 도면.

도 29는 도 24에 개략적으로 도시한 메모리 어레이 블록의 일부의 구성을 상세하게 나타내는 도면으로, 특히 서브 메모리 어레이 블록의 일부 구성을 상세하게 도시하는 도면.

도 30은 도 24에 개략적으로 도시한 메모리 어레이 블록의 일부의 구성을 상세하게 나타내는 도면으로, 특히 서브 메모리 어레이 블록의 일부 구성을 상세하게 나타내는 도면.

도 31은 도 21, 도 22의 메모리의 바닥 배치도에서의 제어 블록·직류 전위 생성 블록 내의 구성을 개략적으로 나타내는 도면.

도 32는 도 21, 도 22의 메모리의 바닥 배치도에서의 제어·직류 전위 생성 블록 내의 제어 블록의 구성을 상세하게 나타내는 도면.

도 33은 도 21, 도 22의 메모리의 바닥 배치도에서의 제어·직류 전위 생성 블록 내의 직류 전위 생성 블록의 구성을 상세하게 나타내는 도면.

도 34는 도 21의 메모리 매크로의 바닥 배치도에서의 입출력 데이타 버퍼 블록 및 주변 회로 전원 드라이버 블록의 구성을 상세하게 나타내는 도면.

도 35는 입출력 데이타 버퍼의 구체적인 구성을 도시하는 도면.

도 36은 도 22의 메모리 매크로의 바닥 배치도에서의 입출력 데이타 버퍼 블록 및 주변 회로 전원 드라이버 블록의 구성을 상세하게 나타내는 도면.

도 37은 도 21의 메모리 매크로의 바닥 배치도에서의 입출력 데이타 버퍼 블록 및 주변 회로 전원 드라이버 블록의 다른 구성을 상세하게 나타내는 도면.

도 38은 도 22의 메모리 매크로의 바닥 배치도에서의 입출력 데이타 버퍼 블록 및 주변 회로 전원 드라이버 블록의 다른 구성을 상세하게 나타내는 도면.

도 39는 메모리 매크로의 설계 플로우차트.

도 40은 로직 혼재 메모리의 바닥 배치도의 일례를 나타내는 도면.

도 41은 로직 혼재 메모리의 바닥 배치도의 일례를 나타내는 도면.

도 42는 종래의 메모리 매크로의 바닥 배치도의 일례를 도시하는 도면.

도 43은 도 42의 메모리 어레이 블록 내의 구성을 도시하는 도면.

도 44는 종래의 메모리 매크로의 바닥 배치도의 일례를 나타내는 도면.

도 45는 종래의 메모리 매크로의 바닥 배치도의 일례를 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

1-1, 1-2, …, 1-L : 메모리 어레이 블록

1-1a, 1-1b, 1-2a, 1-2b : 메모리 어레이 블록

2 : 직류 전위 생성 블록

3, 3a, 3b : 입출력 데이타 버퍼 블록

3a-1～3a-64 : 입출력 데이타 버퍼

4-1, 4-2, …, 4-L : 메모리 어레이 전원 드라이버 블록

5 : 제어 블록

6a-1～6a-L, 6b-1～6b-L : 전원선 블록

7a, 7b : 전원선 블록

8a, 8b : 전원선 블록

9a : 테스트 블록

9b : 배선 블록

10 : 칩

11 : 로직부

12 : 메모리 매크로

13 : 입출력부(I/O부)

14a, 14b : 기능 블록

15a～15d, 16a～16d : 서브 메모리 매크로

17 : 제어부 매크로

18 : 배선부

19 : 배선 블록

20 : 메모리 셀 어레이

21 : 센스 앰프

22 : 로우 디코더

23 : 칼럼 디코더

24 : 입출력 데이타 버퍼

25 : 로우 어드레스 버퍼

26 : 칼럼 어드레스 버퍼

27 : 로우계 제어 회로

28 : 칼럼계 제어 회로

29 : 기판 전위 발생 회로

30 : 워드선 전위 발생 회로

31 : 비트선 전위 발생 회로

32 : S/A 드라이버 기준 전위 발생 회로

33 : 주변 회로 전원 드라이버 기준 전위 발생 회로

34a : 주변 회로 전원 드라이버 블록

34a-1～34a-64 : 주변 회로 전원 드라이버

50a～50d : 메모리 어레이 블록 제어부

51-1, 51-2 : 메모리 셀 어레이

52-1～52-3 : 센스 앰프·칼럼 스위치

61 : 센스 앰프

62 : 칼럼 스위치

63-1, 63-2 : 이퀄라이저

64-1, 64-2 : 셀 어레이 선택 게이트

71 : /RAS 버퍼

72-0～72-8, 73, 74 : 로우 어드레스 버퍼

75 : /CAS 버퍼

76-0～76-3 : 칼럼 어드레스 버퍼

77 : /WE 버퍼

78 : 입출력 데이타 버퍼 제어 회로

80a : 메탈층

80b : 콘택트층

81 : 로우 디코더

82 : 워드선 드라이버

83 : 앤드 게이트 회로

84 : 로우계 제어 회로

85 : 센스 앰프 · 이퀄라이즈 제어 회로

86 : 센스 앰프 드라이버

87 : 칼럼 디코더

91, 92 : 센스 앰프

101-1～101-32 : 서브 메모리 어레이 블록

102-1 : 서브 메모리 어레이 블록

151-1, 151-2 : 서브 메모리 어레이

152-1～152-3 : 센스 앰프 · 칼럼 스위치

502 : 제어 · 직류 전위 생성 블록

DQ0, /DQ～DQ127, /DQ127 : DQ선쌍

SW1～SW6 : 스위치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 데이타를 기억하는 메모리와 데이타에 대해 소정의 연산을 행하는 로직이 1칩에 집적된 로직 혼재 메모리의 메모리 매크로의 구성 및 설계 방법에 관한 것이다.

도 40은, 로직 혼재 메모리의 칩 위의 래이아웃을 나타내고 있다.

칩(10)은 로직부(11), 메모리부(이하, 메모리 매크로라고 칭함; 12) 및 입출력부(이하, I/O부라고 칭함; 13)에 의해 점유되어 있다. 메모리 매크로(12)는 메모리로서의 기능을 갖는 기능 블록(IP : Intellectual Property) 또는 메가 셀을 설계한 후, 이 기능 블록 또는 메가 셀을 칩(10)에 그대로 배치함으로써 형성된다.

칩(10)에는, 최저 하나의 메모리 매크로(12)가 배치된다. 도 41에 도시하는 바와 같이, 칩(10)에는 메모리 매크로(12) 외에, PLL 회로 등의 소정의 기능을 갖는 기능 블록(또는 메가 셀; 14a, 14b)을 배치해도 된다. 칩(10) 중, 메모리 매크로(12) 및 기능 블록(14a, 14b)이 배치되는 영역 이외의 영역은, 소정의 연산을 실행하기 위한 회로가 형성되는 로직부(11)를 구성하고 있다.

로직부(11)는 게이트 어레이나 스탠다드 셀 등의 설계 방법에 의해 설계된다.

메모리 매크로(12)는, 메모리 매크로(12)가 SRAM(스태틱 랜덤 액세스 메모리)로 구성될 경우, CAD 처리에 의해 소정 행수 및 소정 열수의 매트릭스상으로 메모리 셀 어레이를 자동 배치하는 자동 설계 방법에 의해 설계된다.

한편, 메모리 매크로(12)가 1메가 셀 이상인 기억 용량의 DRAM(다이나믹 랜덤 액세스 메모리)으로 구성될 경우, DRAM의 동작 마진이 비트선이나 워드선의 기생 용량에 크게 의존하는 것 때문에, 메모리 매크로(12)의 설계에는 상술의 자동 설계 방법을 채용할 수 없다.

그래서, 종래 메모리 매크로(12)가 1메가 비트 이상인 기억 용량을 갖는 DRAM으로 구성될 경우, 기억 용량의 최소 단위로 되는 메모리 매크로, 소위 서브 메모리 매크로를 미리 설계자에 의한 손 설계에 의해 설계해 두고, 로직 혼재 메모리의 사양(로우수, 칼럼수, 입출력수(I/O수), 기억 용량 등)에 따라 필요한 수만 서브 메모리 매크로를 조합시킨다는 설계 방법에 의해 형성하는 것이 일반적으로 되어 있다. 이 방법에 의하면, 서브 메모리 메모리 매크로를 조합시키는 것만으로 메모리 매크로를 형성할 수 있기 때문에, 짧은 설계 기간(TAT : 턴어라운드 타임)으로 메모리 매크로를 설계할 수 있다. 각각의 서브 메모리 매크로는, 독립한 하나의 DRAM으로서 동작하는 것으로, 예를 들어 하나의 서브 메모리 매크로를 그대로 통상의 DRAM으로서 제품화하는 것도 가능하다.

도 42는 종래의 메모리 매크로의 바닥 평면도의 일례를 나타내는 것이다.

이 메모리 매크로(12)는 각각, 예를 들어 2메가 비트 기억 용량의 DRAM으로서 기능하는 4개의 서브 메모리 매크로(15a～15d)로 구성되어 있다. 각각의 서브 메모리 매크로는 2메가 비트 기억 용량의 DRAM으로서 기능하기 때문에, 메모리 매크로(12)는 8(2×L)메가 비트 기억 용량의 DRAM으로 된다(L은 서브 메모리

매크로의 수를 의미하고, 여기서는 L=4일 경우를 예로 취하고 있다).

도 43은 도 42에 도시한 서브 메모리 매크로(15a)의 블록도를 도시한 것이다.

서브 메모리 매크로(15a) 내에는, 하나의 독립한 DRAM으로서 동작하기 때문에, DRAM에 필요한 모든 회로를 포함하고 있다. 요컨대, 서브 메모리 매크로(15a) 내에는, 메모리 셀 어레이(20), 센스 앰프(21), 로우 디코더(22), 칼럼 디코더(23), 입출력 데이타 버퍼(24), 로우 어드레스 버퍼(25), 칼럼 어드레스 버퍼(26), 로우계 제어 회로(27), 칼럼계 제어 회로(28), 기판 전위 발생 회로(29), 워드선 전위 발생 회로(30), 비트선 전위 발생 회로(31), 센스 앰프 전원 드라이버 기준 전위 발생 회로(32), 주변 회로 전원 전위 발생 회로(33) 및 센스 앰프 전원 드라이버 트랜지스터(34)가 각각 포함되어 있다.

일례로서, 외부 전원 VEXT는 약 3.3V, 기판 전위 VBB는 약 -1V, 워드선 전원 VPP는 약 4.3V, 비트선 전위 VBL은 약 1.3V, 센스 앰프 전원 전위 VAA는 약 2.5V, 주변 회로 전원 전위 VINT는 약 2.8V로 된다. 서브 메모리 매크로(15b～15d)도 모두 마찬가지로 구성되어 있다.

도 43에 도시하는 서브 메모리 매크로(15a)를 복수개 조합시켜 하나의 메모리 매크로를 구성할 경우, 각각의 서브 메모리 매크로(15a～15d)가 로우 어드레스 버퍼(25), 칼럼 어드레스 버퍼(26), 로우계 제어 회로(27), 칼럼계 제어 회로(28), 기판 전위 발생 회로(29), 워드선 전위 발생 회로(30), 비트선 전위 발생 회로(31), 센스 앰프 전원 드라이버 기준 전위 발생 회로(32), 주변 회로 전원 전위 발생 회로(33) 및 센스 앰프 전원 드라이버 트랜지스터(34)로 이루어지는 회로계를 포함하고 있기 때문에, 메모리 매크로는 이 회로계를 서브 메모리 매크로(15a)의 갯수만큼을 설치해야 한다.

요컨대, 서브 메모리 매크로(15a)의 수가 늘어나면 늘어나는 만큼, 상기 회로가 증가해 버리기 때문에, 메모리 매크로의 면적 증대를 초래하게 된다. 로우 어드레스 버퍼(25), 칼럼 어드레스 버퍼(26), 로우계 제어 회로(27), 칼럼계 제어 회로(28), 기판 전위 발생 회로(29), 워드선 전위 발생 회로(30), 비트선 전위 발생 회로(31), 센스 앰프 전원 드라이버 기준 전위 발생 회로(32), 주변 회로 전원 전위 발생 회로(33) 및 센스 앰프 전원 드라이버 트랜지스터(34)로 이루어지는 상기 회로계는 서브 메모리 매크로(15a～15d)에 각각 설계할 필요는 없고, 하나의 메모리 매크로(12)에 하나 존재하면 족하다.

이 결점을 해결하는 설계 방법으로서 이하의 방법이 제안되고 있다.

도 44의 설계 방법은 특개평7-13738호(평성7년 1월 31일 출원)에 개시되어 있는 것이다.

이 방법은, 메모리 매크로(12)를 원하는 기억 용량을 실현하기 위한 복수개, 예를 들어 4개의 서브 메모리 매크로(16a～16d), 하나의 제어부(제어 매크로; 17) 및 배선부(18)의 조합에 의해 구성하는 것이다. 이 방법에 의하면, 복수개의 서브 메모리 매크로(16a～16d)에 공통으로 이용되는 제어 매크로(17)가 존재하기 때문에, 메모리 매크로의 불필요한 면적 증대를 방지할 수 있다.

도 45에 도시되는 다른 설계 방법은, T.Watanabe et al. A Modular Architerture for a 6.4-Gbyte/s, 8-Mb DRAM-Integrated Media Chip, IEEE J.Solid-State Circuits, vol.32, pp.635-641, May 1997.에 개시되는 것이다.

이 설계 방법은, 복수개의 메모리 매크로(뱅크; 42), 소정 전위 발생 회로(43), 센스 앰프(44) 및 데이타 입출력부(45)의 조합에 의해 메모리 매크로(41)를 구성하는 것이다. 또한, 칩(40)상에는, 메모리 매크로(41) 외에, 메모리 매크로(41)의 제어부(제어 로직; 46) 및 로직부(연산 회로; 47)가 배치되어 있다. 이 방법에 의하면, 소정 전위 발생 회로(43), 센스 앰프(44), 데이타 입출력부(45) 및 제어부(46)가 복수개의 메모리 블록(뱅크; 42)의 각각에 설치되어 있기 때문이 아니라, 공통으로 하나 설치되어 있기 때문에 메모리 블록(42)의 증가에 의한 메모리 매크로의 불필요한 면적 증대를 방지할 수 있다.

도 44 및 도 45의 설계 방법에 의하면, 서브 메모리 매크로 또는 메모리 블록의 수를 조절하는 것만으로 원하는 기억 용량을 갖는 메모리 매크로를 제공할 수 있기 때문에, 로직 혼재 메모리의 설계 기간을 단축할 수 있다. 또한, 서브 메모리 매크로 또는 메모리 블록에는, 모든 서브 메모리 매크로 또는 메모리 블록에 공통화할 수 있는 회로가 포함되어 있지 않기 때문에, 서브 메모리 매크로 또는 메모리 블록의 수가 증가했을 경우에 메모리 매크로가 필요 이상으로 크게 되는 사태를 회피할 수 있다.

그러나, 로직 혼재 메모리의 사양(로우수, 칼럼수, I/O수, 기억 용량 등)에 의해 서브 메모리 매크로 또는 메모리 블록의 수가 바뀌면, 예를 들어 메모리 동작에 필요로 되는 어드레스 신호의 수도 바뀌기 때문에, 이에 맞춰 어드레스 버퍼나 어드레스 디코더 등의 소정의 회로를 바로 설계해야 한다.

또한, 종래에는, 메모리 어레이의 실질적인 확장 단위인 1메가 비트 메모리 어레이에 의해 기억 용량이 작은 메모리 매크로, 예를 들어 64킬로 비트, 32킬로 비트 메모리 매크로의 사양에 대해서는 1메가 비트 메모리 어레이를 설계 변경함으로써 실현하고 있다. 그러나, 메모리 어레이 자체의 설계 변경은 기본적 변경을 따르는 것으로 CAD 조작에 의해 자동 설계 할 수 없고, 시간이 걸린다. 또한, 설계 변경된 메모리 어레이의 DQ선쌍수에 따라 입출력 데이타 버퍼의 I/O수도 변경할 필요가 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 로직 혼재 메모리의 사양에 의해 메모리 매크로의 기억 용량이 변화해도 그에 따른 설계 변경이 간단하고, 또 자동적으로 행하도록 메모리 매크로 내의 각 회로의 배치를 제안함과 동시에, 실제로 설계 기간의 단축이나 면적 오버헤드의 축소에 공헌할 수 있는 설계 방법을 제안하는 데 있다.

상기 목적을 달성하기 위해 본 발명의 로직 혼재 메모리의 메모리 매크로는, 메모리 매크로와 로직부가 1칩으로 집적된 로직 혼재 메모리에 있어서, 상기 로직부로부터 입력된 외부 어드레스 신호를 버퍼링하여 내부 어드레스 신호를 생성하는 수단을 갖는 제어 블록과, 행렬 형태로 배치된 각각 N 비트 기억 용량의 복수의 메모리 셀 어레이, 상기 메모리 셀 어레이에 접속되어 메모리 셀의 데이타를 증폭하는 센스 앰프, 상기 제어 블록의 내부 어드레스 신호 생성 수단에 의해 생성된 내부 어드레스 신호를 받아 내부 어드레스 신호에 의해 지정되는 행렬 위 위치의 메모리 셀을 선택하는 디코더, 및 데이타선을 갖는 적어도 하나

의 메모리 어레이 블록, 상기 적어도 하나의 메모리 어레이 블록과, 상기 디코더에 의해 선택된 메모리 셀의 데이타를 상기 데이타선을 통해 받아 상기 로직부로 출력하는 입출력 데이타 버퍼 블록을 구비하고, 그로인해 상기 메모리 매크로가 N비트인 정수배의 기억 용량을 갖는다.

상기 적어도 하나의 메모리 어레이 블록은 칼럼 방향으로 복수 서로 인접하여 배치되어 있고, 상기 데이타선은 상기 복수의 메모리 어레이 블록의 상기 메모리 셀 어레이 위를 칼럼 방향으로 설치하고 있으며, 상기 복수의 메모리 어레이 블록은 상기 데이타선을 공유한다.

상기 적어도 하나의 메모리 어레이 블록은 칼럼 방향으로 복수 서로 인접하여 배치되어 있고, 상기 복수의 메모리 어레이 블록의 서로 인접하는 적어도 한쌍의 메모리 어레이 블록은 상기 센스 앰프를 공유한다.

상기 제어 블록의 상기 내부 어드레스 신호 생성 수단은 복수의 어드레스 버퍼를 구비하고, 상기 제어 블록은 상기 외부 어드레스 신호와 상기 내부 어드레스 신호의 대응 관계를 상기 메모리 어레이 블록의 어드레스 할당에 일치시키기 위한 상기 외부 어드레스 신호와 상기 복수의 어드레스 버퍼와의 사이에 대응하여 설치한 복수의 스위치를 더 구비한다.

상기 제어 블록의 상기 내부 어드레스 신호 생성 수단은 복수의 어드레스 버퍼를 구비하고, 상기 제어 블록은 더 상기 외부 어드레스 신호와 상기 내부 어드레스 신호의 대응 관계를 상기 메모리 어레이 블록의 어드레스 할당에 일치시키기 위한 원하는 갯수의 어드레스 버퍼를 활성화하도록 상기 외부 어드레스 신호와 상기 복수의 어드레스 버퍼와의 사이에 대응하여 설치된 복수의 스위치를 구비한다.

상기 메모리 매크로는 상기 메모리 어레이 블록의 갯수에 따른 갯수의 메모리 어레이 전원 드라이버 블록을 더 구비하고, 메모리 어레이 전원 드라이버 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전원을 생성하는 수단을 구비한다.

상기 메모리 어레이 블록은 외부 전원 전압을 받아 상기 메모리 셀 어레이를 동작시키는 내부 전원 전압을 생성하는 수단을 구비한다.

상기 메모리 전원 드라이버 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 전원 강압 트랜지스터를 구비한다.

상기 메모리 어레이 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 전원 전압 트랜지스터를 구비한다.

상기 메모리 매크로는 외부 전원 전압을 받아, 상기 메모리 어레이 블록, 상기 입출력 데이타 버퍼 블록, 및 상기 제어 블록으로 공급하는 직류 전원 전위를 생성하는 전원 전위 생성 블록을 구비한다.

상기 메모리 매크로는 상기 복수의 메모리 어레이 블록의 로우 방향의 단부에 인접하여 배치되고, 전원선을 포함하는 전원선 블록을 더 구비한다.

상기 복수의 스위치는 상기 대응 관계에 따라 선택적으로 접속된다.

상기 스위치는 메탈 배선층으로 되고, 상기 대응 관계에 따라 선택적으로 절단된다.

상기 스위치는 콘택트 배선층으로 되고, 상기 대응 관계에 따라 선택적으로 형성된다.

상기 메모리 셀 어레이는 행렬 형태로 배치된 DRAM으로 구성된다.

상기 복수의 메모리 어레이 블록은 로우 디코더, 칼럼 디코더 및 상기 센스 앰프를 동작시키는 드라이버를 포함하는 메모리 어레이 블록 제어부와, 적어도 상기 메모리 어레이 블록 제어부의 로우 방향의 일단에 배치되는 적어도 하나의 메모리 셀 어레이를 구비하고 있다.

본 발명의 로직 혼재 메모리의 메모리 매크로는, 메모리 매크로와 로직부가 1칩으로 집적된 로직 혼재 메모리에 있어서, 제어 블록과 적어도 하나의 메모리 어레이 블록과 복수의 입출력 데이타 버퍼 블록으로 이루어지고, 상기 제어 블록은 상기 로직부에서 입력된 외부 어드레스 신호를 버퍼링하여 내부 어드레스 신호를 생성하는 수단을 구비하며, 상기 적어도 하나의 메모리 어레이 블록은 행렬 형태로 배치된 M비트의 메모리 셀 어레이에 의한 서브 메모리 셀 어레이 블록이 로우 방향으로 P개 배치되고, 상기 제어 블록의 내부 어드레스 신호 생성 수단에 의해 생성된 내부 어드레스 신호를 받는 내부 어드레스 신호에 의해 지정되는 행렬 위 위치의 메모리 셀을 선택하는 디코더를 구비하며, 상기 서브 메모리 어레이 블록은 상기 메모리 셀에 접속되어 메모리 셀의 데이타를 증폭하는 센스 앰프와 상기 메모리 셀 어레이의 선택된 열의 데이타를 판독하기 위한 Q비트폭의 데이타선을 더 구비하고, 상기 복수의 입출력 데이타 버퍼 블록의 각각은 상기 적어도 하나의 메모리 어레이 블록의 상기 디코더에 의해 선택된 메모리 셀의 데이타를 상기 데이타선을 통해 받아 증폭해 상기 로직부로 출력하는 수단을 더 구비하며, 그로인해 상기 메모리 매크로가 MxP 비트인 정수배의 기억 용량과 QxP비트인 입출력수를 갖는다.

상기 복수의 메모리 어레이 블록의 각각은 외부 전원 전압을 받아 상기 센스 앰프의 내부 전원 전압을 생성하는 전원 강압 트랜지스터를 구비한다.

상기 적어도 하나의 메모리 어레이 블록은 칼럼 방향으로 복수 인접하여 배치되어 있고, 상기 데이타선은 상기 복수의 메모리 셀 어레이 블록의 상기 메모리 셀 어레이 위에 칼럼 방향으로 설치하고 있으며, 상기 복수의 메모리 어레이 블록은 상기 데이타선을 공유한다.

상기 적어도 하나의 메모리 어레이 블록은 칼럼 방향으로 복수 인접하여 배치되어 있고, 상기 복수의 메모리 어레이 블록의 서로 인접하는 적어도 한쌍의 메모리 어레이 블록은 상기 센스 앰프를 공유한다.

상기 제어 블록의 상기 내부 어드레스 신호 생성 수단은 복수의 어드레스 버퍼를 구비하고, 상기 제어 블록은 상기 외부 어드레스 신호와 상기 내부 어드레스 신호의 대응 관계를 상기 메모리 어레이 블록의 어드레스 할당에 일치시키기 위해 상기 외부 어드레스 신호와 상기 복수의 어드레스 버퍼 사이에 대응하여

설치된 복수의 스위치를 더 구비한다.

상기 복수의 스위치는 상기 대응 관계에 따라 선택적으로 접속된다.

상기 스위치는 메탈 배선층으로 되고, 상기 대응 관계에 따라 선택적으로 절단된다.

상기 스위치는 콘택트 배선층으로 되고, 상기 대응 관계에 따라 선택적으로 형성된다.

상기 메모리 매크로는 상기 메모리 어레이 블록의 갯수에 따른 갯수의 메모리 어레이 전원 드라이버 블록을 더 구비하고, 메모리 어레이 전원 드라이버 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 수단을 구비한다.

상기 메모리 어레이 블록은 외부 전원 전압을 받아 상기 메모리 셀 어레이를 동작시키는 내부 전원 전압을 생성하는 수단을 구비한다.

상기 메모리 어레이 전원 드라이버 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 전원 강압 트랜지스터를 구비한다.

상기 메모리 어레이 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 는 내부 전원 전압을 생성하는 전원 강압 트랜지스터를 구비한다.

상기 메모리 셀 어레이는 행렬 형태로 배치된 DRAM으로 구성된다.

본 발명의 메모리 매크로와 로직부가 1칩으로 집적된 로직 혼재 메모리의 설계 방법은, 메모리 매크로가 상기 로직부에서 입력된 외부 어드레스 신호를 버퍼링하여 내부 어드레스 신호를 생성하는 수단을 갖는 제어 블록과, 행렬 형태로 배치된 각각 N비트인 기억 용량의 복수의 메모리 셀 어레이, 상기 메모리 셀 어레이에 접속되어 메모리 셀의 데이타를 증폭하는 센스 앰프, 상기 제어 블록의 내부 어드레스 신호 생성 수단에 의해 생성된 내부 어드레스 신호를 받아 내부 어드레스 신호에 의해 지정된 행렬 위 위치의 메모리 셀을 선택하는 디코더 및 데이타선을 갖는 적어도 하나의 메모리 어레이 블록, 상기 적어도 하나의 메모리 어레이 블록의 상기 디코더에 의해 선택된 메모리 셀의 데이타를 상기 데이타선을 통해 받아 상기 로직부로 출력하는 입출력 데이타 버퍼 블록을 구비하고, 상기 메모리 매크로의 사양을 만족하는 상기 메모리 어레이 블록의 수(L; L은 자연수)를 결정하는 공정과, 결정된 L개의 상기 메모리 어레이 블록을 상기 입출력 데이타 버퍼 블록 및 상기 제어 블록에 인접하여 배치하는 래이아웃 데이타를 프로그램으로 하여 자동 처리에 의해 작성하는 공정을 포함하고, 그로인해 상기 메모리 매크로가 NxL비트의 기억 용량을 갖는다.

상기 적어도 하나의 메모리 어레이 블록은 칼럼 방향으로 복수 인접하여 배치되고, 상기 데이타선은 상기 복수의 메모리 어레이 블록의 상기 메모리 셀 어레이 위에 칼럼 방향으로 설치하며, 상기 복수의 메모리 어레이 블록은 상기 데이타선을 공유한다.

상기 제어 블록의 상기 내부 어드레스 신호 생성 수단은 복수의 어드레스 버퍼를 구비하고, 상기 제어 블록은 상기 외부 어드레스 신호와 상기 복수의 어드레스 버퍼의 사이에 대응하여 복수의 스위치를 더 구비하며, 상기 외부 어드레스 신호와 상기 내부 어드레스 신호의 대응 관계를 상기 메모리 어레이 블록의 어드레스 할당에 일치시키기 위한 상기 복수의 스위치를 선택적으로 접속한다.

상기 제어 블록의 상기 내부 어드레스 신호 생성 수단은 복수의 어드레스 버퍼를 구비하고, 상기 복수의 블록은 상기 외부 어드레스 신호와 상기 복수의 어드레스 버퍼 사이에 대응하여 복수의 스위치를 더 구비하며, 상기 외부 어드레스 신호와 상기 내부 어드레스 신호의 대응 관계를 상기 메모리 어레이 블록의 어드레스 할당에 일치시키기 위한 상기 복수의 스위치를 선택적으로 접속하여 원하는 갯수의 어드레스 버퍼를 활성화한다.

상기 메모리 매크로는 상기 메모리 어레이 블록의 갯수에 따른 갯수의 메모리 어레이 전원 드라이버 블록을 더 구비하고, 메모리 어레이 전원 드라이버 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 수단을 구비한다.

상기 메모리 매크로는 외부 전원 전압을 받아, 상기 메모리 어레이 블록, 상기 입출력 데이타 버퍼 블록 및 상기 제어 블록으로 공급되는 직류 전원 전위를 생성하는 전원 전위 생성 블록을 구비한다.

본 발명의 로직 혼재 메모리의 설계 방법은, 상기 복수의 메모리 어레이 블록의 로우 방향의 단부에 인접하여 배치되고, 전원선을 포함하는 전원선 블록을 더 구비한다.

상기 메모리 셀 어레이는 행렬 형태로 배치된 DRAM으로 구성된다.

상기 메모리 어레이 블록의 수(L)는 상기 메모리 매크로의 로우수, 칼럼수, 입출력 데이타수, 총용량의 사양 중 적어도 하나의 사양을 기초로 결정된다.

본 발명의 메모리 매크로와 로직부가 1칩으로 집적된 로직 혼재 메모리의 설계 방법은, 메모리 매크로가, 상기 메모리 매크로는 제어 블록과 적어도 하나의 메모리 어레이 블록과 복수의 입출력 데이타 버퍼 블록으로 이루어지고, 상기 제어 블록은 상기 로직부에서 입력된 외부 어드레스 신호를 버퍼링하여 내부 어드레스 신호를 생성하는 수단을 구비하며, 상기 적어도 하나의 메모리 어레이 블록은 행렬 형태로 배치된 M비트의 메모리 셀 어레이로 이루어지는 서브 메모리 셀 어레이가 로우 방향으로 P개 배치되고, 상기 제어 블록의 내부 어드레스 신호 생성 수단에 의해 생성된 내부 어드레스 신호를 받아 내부 어드레스 신호에 의해 지정되는 행렬 위 위치의 메모리 셀을 선택하는 디코더를 구비하고, 상기 서브 메모리 블록은 상기 메모리 셀에 접속되어 메모리 셀의 데이타를 증폭하는 센스 앰프와 상기 메모리 셀 어레이의 선택된 열의 데이타를 판독하기 위한 Q비트 폭의 데이타선을 더 구비하며, 상기 복수의 입출력 데이타 버퍼 블록의 각각은 상기 적어도 하나의 메모리 어레이 블록의 상기 디코더에 의해 선택된 메모리 셀의 데이타를 상기 데이타선을 통해 받아 증폭해 상기 로직부로 출력하는 수단을 구비하고, 상기 메모리 매크로의 사양을 만족하는 상기 서브 메모리 어레이 블록의 수(P)와 상기 메모리 어레이 블록의 수(L)와 상기 입출력 데이타 버퍼 블록의 수를 결정하는 공정, 결정된 수의 상기 메모리 어레이 블록(P)과 상기 입출력 데이타 버퍼

블록을 상기 제어 블록에 인접하여 배치하는 래이아웃 데이타를 프로그램으로 하여 자동 처리에 의해 작성하는 공정을 포함하며, 그로인해 상기 메모리 매크로가 MxPxL비트의 기억 용량과 QxP비트의 입출력수를 갖는다.

상기 복수의 입출력 데이타 버퍼 블록의 각각은 외부 전원 전압을 받아 상기 센스 앰프의 내부 전원 전압을 생성하는 전원 강압 트랜지스터를 구비한다.

상기 적어도 하나의 메모리 어레이 블록은 칼럼 방향으로 복수 인접하여 배치되어 있고, 상기 데이타선은 상기 복수의 메모리 어레이 블록의 상기 메모리 셀 어레이 위에 칼럼 방향으로 설치해 두며, 상기 복수의 메모리 어레이 블록은 상기 데이타선을 공유한다.

상기 제어 블록의 상기 내부 어드레스 신호 생성 수단은 복수의 어드레스 버퍼를 구비하고, 상기 제어 블록은 상기 외부 어드레스 신호와 상기 내부 어드레스 신호와의 대응 관계를 상기 메모리 어레이 블록의 어드레스 할당에 일치시키기 위한 스위치를 더 구비한다.

상기 메모리 매크로는 상기 메모리 어레이 블록의 갯수에 따른 갯수의 메모리 어레이 전원 드라이버 블록을 더 구비하고, 메모리 어레이 전원 드라이버 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 수단을 구비한다.

상기 메모리 셀 어레이는 행렬 형태로 배치된 DRAM으로 구성된다.

상기 서브 메모리 어레이 블록의 수(P)와 상기 입출력 데이타 버퍼 블록의 수는 상기 메모리 매크로의 로우수, 칼럼수, 입출력 데이타수, 총용량의 사양 중 적어도 하나의 사양을 기초로 결정된다.

발명의 구성 및 작용

이하, 도면을 참조하면서 본 발명의 로직 혼재 메모리에 대해서 상세하게 설명한다.

도 1은 로직 혼재 메모리의 바닥 평면도의 일례를 나타내고 있다. 도 2는 본 발명의 제1 실시 형태에 관한 메모리 매크로 내의 바닥 평면도를 나타내고 있다.

칩(10)은, 로직부(11), 메모리 매크로(12) 및 I/O부(13)에 의해 점유되어 있다. 메모리 매크로(12)는 메모리로서의 기능을 갖는 기능 블록(IP) 또는 메가 셀을 설계한 후, 이 기능 블록 또는 메가 셀을 칩(10)에 그대로 배치함으로써 형성된다.

칩(10)에는, 적어도 하나의 메모리 매크로(12)가 배치된다. 칩(10)에는 메모리 매크로(12)에 더하여 PLL 회로 등 소정의 기능을 갖는 기능 블록(또는 메가 셀)을 배치해도 된다. 칩(10) 중, 메모리 매크로(12)가 배치되는 영역 이외의 영역은 소정의 연산을 실행하는 로직이 형성되는 로직부(11)로 되어 있다. 로직부(11)는 게이트 어레이나 스탠다드 셀 등의 설계 방법에 의해 설계된다.

메모리 매크로(12)는, 로직부(11)와는 별개로 설계된다. 메모리 매크로(12)는 L(L는 자연수)개의 메모리 어레이 블록(1-1, 1-2, …1-L), 직류 전위 생성 블록(2), 입출력 데이타 버퍼 블록(3), 메모리 어레이 전원 드라이버 블록(4-1, 4-2, …4-L), 제어 블록(5) 및 전원선 블록(6a-1, 6a-2, …6a-L, 6b-1, 6b-2, …6b-L, 7a, 7b, 8a, 8b)에 의해 구성되어 있다.

메모리 매크로(12)의 기억 용량은 메모리 어레이 블록의 수에 의해 결정된다. 즉, 하나의 메모리 어레이 블록의 기억 용량이 K비트(예를 들어, 1메가 비트)일 경우에는, 메모리 매크로(12)의 기억 용량은 K×L비트(L은 메모리 어레이 블록의 수)로 된다.

또한, 하나의 메모리 어레이 블록의 기억 용량이 설계 단계에서의 메모리 매크로(12)의 기억 용량의 최소 단위로 된다. 요컨대, 메모리 매크로(12)의 기억 용량은 K비트를 단위로 하여 자유롭게 변경 가능하다. 또, 후술하지만, 제어 블록(5)의 구성에 따라 설계 단계에서 변경할 수 있는 기억 용량의 최대값이 정해진다.

메모리 어레이 블록(1-1, 1-2, …1-L)은 칼럼 방향(비트선이 늘어나는 방향)으로 서로 인접하여 배치된다. 메모리 어레이 블록(1-1, 1-2, …1-L)에는, 예를 들어 칼럼 방향으로 늘어나는 128쌍의 DQ선(데이타선)쌍이 배치되고, 각 메모리 어레이 블록의 DQ선쌍은 상기 메모리 어레이 블록을 인접하여 배치함으로써 서로 결합된다.

직류 전위 생성 블록(2)에는, 기판 전위(VBB), 워드선 전위(VPP), 비트선 전위(VBL), 센스 앰프 전원 드라이버용 기준 전위(VAPPA), 주변 회로용 전원 전위(VINT) 등의 일정 전위를 생성하기 위한 회로가 형성된다. 직류 전위 생성 블록(2)은 메모리 어레이 블록(1-1, 1-2, …1-L)의 칼럼 방향의 일단부에 배치되어 있다.

입출력 버퍼 블록(3)은, 메모리 어레이 블록(1-1, 1-2 …1-L)의 칼럼 방향의 다른단부에 배치되어 있다. 메모리 어레이 블록(1-1, 1-2, …1-L)의 DQ선쌍은 입출력 데이타 버퍼 블록(3)에 접속된다. 직류 전위 생성 블록(2)과 입출력 버퍼 블록(3)은 메모리 어레이 블록(1-1, 1-2, …1-L)을 사이에 두고 서로 대향하는 위치에 배치되어 있다.

메모리 어레이 전원 드라이버 블록(4-1, 4-2, …4-L)은 메모리 어레이 블록(1-1, 1-2, …, 1-L)에 대응하여 배치된다. 메모리 어레이 전원 드라이버 블록(4-1, 4-2, …, 4-L)은 센스 앰프를 구동하는 드라이버에 전원을 공급하는 회로(트랜지스터)를 포함한다.

메모리 어레이 전원 드라이버 블록(4-1, 4-2, …, 4-L)을 메모리 어레이 블록(1-1, 1-2, …, 1-L)에 대응하여 배치한 이유는, 센스 앰프를 구동하는 드라이버에 전원을 공급하는 회로(트랜지스터)의 사이즈를 메모리 셀 어레이의 규모(기억 용량)에 따라 가변할 수 있도록 하기 때문이다.

즉, 예를 들어 전원 드라이버 블록(트랜지스터)이 하나만이 아닐 경우에는 그 트랜지스터의 사이즈는 메모리 셀 어레이의 규모에 관계 없이 항상 메모리 셀 어레이의 규모가 최대일 경우에 대응시켜 만들지 않

으면 않된다. 이것에서는, 메모리 매크로의 기억 용량이 작을 경우에 있어서도 큰 사이즈의 트랜지스터가 존재하게 되고, 면적 오버헤드가 크게 되어 버린다.

메모리 어레이 전원 드라이버 블록(4-1, 4-2, …, 4-L)을 메모리 어레이 블록(1-1, 1-2, …, 1-L)에 대응하여 배치하면 센스 앰프를 구동하는 드라이버에 전원을 공급하는 회로(트랜지스터)의 사이즈를 메모리 셀 어레이의 규모(기억 용량)에 따라 가변할 수 있기 때문에, 이와 같은 사태를 회피할 수 있음과 동시에 설계 기간도 단축할 수 있다.

제어 블록(5)은, 로우 어드레스 스트롭 신호(/RAS), 칼럼 어드레스 스트롭 신호(/CAS) 및 기입 신호(/WE)의 각 버퍼를 포함하고 있다. 또한, 제어 블록(5)은, 로우 어드레스 신호(외부 로우 어드레스 신호; AR0～AR10), 칼럼 어드레스 신호(외부 칼럼 어드레스 신호; AC0～AC3)를 버퍼링하고, 내부 로우 어드레스 신호 및 내부 칼럼 어드레스 신호를 생성하는 버퍼 및 메모리 매크로의 기억 용량(메모리 어레이 블록의 수)에 따라 내부 로우 어드레스 신호의 일부(블록 선택용 어드레스 신호)를 소정값으로 고정할 수 있는 스위치를 포함하고 있다. 이 스위치는, 메탈층(배선층)이나 콘택트층의 접속 방법에 의해 자유롭게 전환되는 것으로, 설계 단계에서는 CAD 처리에 의해 자유롭게 스위치를 전환할 수 있지만, 셈플 작성 후의 스위치의 전환은 불가능하다.

전원선 블록(6a-1, 6a-2, …, 6a-L, 6b-1, 6b-2, …, 6b-L, 7a, 7b, 8a, 8b)은 메모리 어레이 블록(1-1, 1-2, …, 1-L)의 로우 방향의 단부에 배치되어 있다. 전원선 블록(6a-1, 6a-2, …, 6a-L, 6b-1, 6b-2, …, 6b-L, 7a, 7b, 8a, 8b)은 메모리 어레이 블록(1-1, 1-2, …, 1-L), 직류 전위 생성 블록(2), 입출력 데이타 버퍼 블록(3), 메모리 어레이 전원 드라이버 블록(4-1, 4-2, …, 4-L) 및 제어 블록(5)에 외부 전원(VEXT) 및 접지 전위(GND)를 공급한다.

도 3 및 도 4는 메모리 어레이 블록 내의 바닥 평면도를 나타내고 있다.

이 메모리 어레이 블록의 바닥 평면도에서는, 센스 앰프의 양측에 존재하는 메모리 셀 어레이가 그 센스 앰프를 공급하는 공유 센스 앰프 방식을 채용하고 있다.

도 3은 도 2의 메모리 어레이 블록(1-1)의 바닥 평면도를 나타내고 있다. 메모리 어레이 블록 제어부(50a)는 로우 디코더, 칼럼 디코더, 로우계 제어 회로 등을 포함하고 있다. 메모리 어레이 블록 제어부(50a)의 로우 방향의 한쪽 및 다른쪽 단부에는 각각에 2개의 메모리 셀 어레이(51-1, 51-2)가 배치되어 있다. 즉, 메모리 어레이 블록 제어부(50a)를 사이에 두고 메모리 어레이 블록 제어부(50a)의 한쪽측에 배치된 메모리 어레이 블록(1-1a)은 메모리 셀 어레이(51-1, 51-2)를 구비하고 있고, 마찬가지로 메모리 어레이 블록 제어부(50a)를 사이에 두고 메모리 어레이 블록 제어부(50a)의 다른쪽측에 배치된 메모리 어레이 블록(1-1b)도 메모리 셀 어레이(51-1, 51-2)를 구비하고 있다.

메모리 어레이 블록(1-1a)에 있어서, 메모리 셀 어레이(51-1, 51-2)는 칼럼 방향으로 인접하고 있다. 메모리 셀 어레이(51-1, 51-2)의 칼럼 방향의 인접하는 단부 사이에는 센스 앰프(칼럼 스위치를 포함; 52-2)가 배치되어 있고, 또한 메모리 셀 어레이(51-1, 51-2)의 칼럼 방향의 다른쪽 단부에는 센스 앰프(칼럼 스위치를 포함; 52-1, 52-3)가 각각 배치되어 있다. 마찬가지로, 메모리 어레이 블록(1-1b)에 있어서, 메모리 셀 어레이(51-1, 51-2)는 칼럼 방향으로 인접하고 있다. 메모리 셀 어레이(51-1, 51-2)의 칼럼 방향의 인접하는 단부 사이에는 센스 앰프(칼럼 스위치를 포함; 52-2)가 배치되어 있고, 또한 메모리 셀 어레이(15-1, 51-2)의 칼럼 방향의 다른쪽 단부에는 센스 앰프(칼럼 스위치를 포함; 52-1, 52-3)가 각각 배치되어 있다.

메모리 매크로를 구성하는 메모리 어레이 블록이 하나일 경우(도 2에 있어서 메모리 어레이 블록이 1-1 밖에 없을 경우)에는, 메모리 어레이 블록의 바닥 평면도는 도 3의 것을 채용한다. 단, 소위 공유 센스 앰프 방식을 채용하지 않을 경우에는, 센스 앰프(칼럼 스위치를 포함)는 칼럼 방향으로 인접하는 메모리 셀 어레이의 사이에만 배치하면 된다.

도 4는 도2의 메모리 어레이 블록(1-2)의 바닥 평면도를 나타내고 있다. 메모리 어레이 블록 제어부(50)는, 로우 디코더, 칼럼 디코더, 로우계 제어 회로 등을 포함하고 있다. 메모리 어레이 블록 제어부(50b)의 로우 방향의 한쪽 및 다른쪽 단부에는 각각에 2개의 메모리 셀 어레이(51-1, 51-2)가 배치되어 있다. 즉, 메모리 어레이 블록 제어부(50b)를 사이에 두고 메모리 어레이 블록 제어부(50b)의 한쪽측에 배치된 메모리 어레이 블록(1-2a)은 메모리 셀 어레이(51-1, 51-2)를 구비하고 있고, 마찬가지로 메모리 어레이 블록 제어부(50b)를 사이에 두고 메모리 어레이 블록 제어부(50b)의 다른쪽측에 배치된 메모리 어레이 블록(1-2b)도 메모리 셀 어레이(51-1, 51-2)를 구비하고 있다.

메모리 어레이 블록(1-2a)에 있어서, 메모리 셀 어레이(51-1, 51-2)는 칼럼 방향으로 인접하고 있다. 메모리 셀 어레이(51-1, 51-2)의 칼럼 방향의 인접하는 단부 사이에는 센스 앰프(칼럼 스위치를 포함; 52-1)가 배치되어 있고, 또한 메모리 셀 어레이(51-2)의 칼럼 방향의 다른쪽 단부(I/O 버퍼측)에는 센스 앰프(칼럼 스위치를 포함; 52-2)가 배치되어 있다. 마찬가지로, 메모리 어레이 블록(1-2b)에 있어서, 메모리 셀 어레이(51-1, 51-2)는 칼럼 방향으로 인접하고 있다. 메모리 셀 어레이(51-1, 51-2)의 칼럼 방향의 인접하는 단부 사이에는 52-1이 배치되어 있고, 또한 메모리 셀 어레이(51-2)의 칼럼 방향의 다른쪽 단부(I/O 버퍼측)에는 센스 앰프(칼럼 스위치를 포함; 52-2)가 배치되어 있다. 다른 메모리 어레이 블록(1-3, …, 1-L)의 바닥 평면도는 메모리 어레이 블록(1-2)의 바닥 평면도와 마찬가지이기 때문에 설명은 생략한다.

메모리 어레이 블록의 기억 용량이, 예를 들어 1메가 비트일 경우에는, 각 메모리 셀 어레이(51-1, 51-2)의 기억 용량은 256킬로 비트로 된다. 256킬로 비트의 메모리 셀 어레이는, 예를 들어 256(로우)×1024(칼럼) 구성으로 되어 있다. 또한, 16칼럼을 하나의 DQ선쌍에 접속함으로써, 동시에 입출력할 수 있는 비트수(I/O수)를 128비트(128I/O)로 할 수 있다.

도 5는 도 3의 메모리 어레이 블록(1-1)의 래이아웃을 나타내는 것이다.

도 6은 도 4의 메모리 어레이 블록(1-2)의 래이아웃을 나타내는 것이다.

본 예에서는, 메모리 어레이 블록의 기억 용량이 1메가 비트인 경우에 대해서 설명한다. 이 경우, 각 메모리 셀 어레이(51-1, 51-2)의 기억 용량은 256킬로 비트이고, 각 메모리 셀 어레이(51-1, 51-2)는, 예를 들어 256(로우)×1024(칼럼) 구성으로 되어 있다.

DQ선쌍(DQ0～DQ63, /DQ0～/DQ63)은 메모리 셀 어레이 블록 제어부(50a)의 한쪽측의 메모리 셀 어레이(51-1, 51-2)상에 배치되고, DQ선쌍(DQ64～DQ127, /DQ64～/DQ127)은 메모리 셀 어레이 블록 제어부(50a)의 다른쪽측의 메모리 셀 어레이(51-1, 51-2)상에 배치된다.

하나의 DQ선쌍에는, 16칼럼분의 비트선쌍이 접속되어 있다. 16칼럼분의 비트선쌍 중 칼럼 선택 신호에 의해 선택된 1칼럼분의 비트선쌍과 한쌍의 DQ선쌍의 데이타의 수수가 가능하게 되기 때문에, 동시에 입출력할 수 있는 비트수(I/O수)는 128비트(128I/O)로 된다. 또, 도 6에 파선으로 둘러싸 나타내는 바와 같이, 메모리 어레이 블록(1-2)의, 메모리 어레이 블록(1-1)에서의 센스 앰프(52-1)에 상당하는 센스 앰프는 메모리 어레이 블록(1-1)의, 메모리 어레이 블록(1-2)측의 센스 앰프(52-3)를 공유하고 있다. 즉, 서로 인접하는 한쌍의 메모리 어레이 블록은 그 메모리 어레이 블록 상호간에 배치되어 있는 센스 앰프를 공유한다.

상세히 설명하면, 도 5에 도시하는 바와 같이, 메모리 어레이 블록(1-1)의 메모리 어레이 블록(1-1a)은 칼럼 방향으로 배치된 2개의 256킬로 비트 서브 메모리 셀 어레이(51-1, 51-2)를 구비하고 있다. 2개의 256킬로 비트 서브 메모리 셀 어레이(51-1, 51-2)의 인접하는 단부간에는 이들 단부에 인접하여 센스 앰프·칼럼 스위치(52-2)가 배치되어 있다. 단부간에 배치되어 있는 이 센스 앰프·칼럼 스위치(52-2)는 2개의 256킬로 비트 서브 메모리 어레이(51-1, 51-2)에 공유되어 있다. 또한, 칼럼 방향에 있어서 2개의 256킬로 비트 메모리 셀 어레이(51-1, 51-2) 각각의 다른쪽 단부에 인접하여 센스 앰프·칼럼 스위치(52-1, 52-3)가 배치되어 있다. 메모리 어레이 블록(1-1)의 메모리 어레이 블록(1-1b)의 구성은 메모리 어레이 블록(1-1)의 메모리 어레이 블록(1-1a)과 마찬가지의 구성이기 때문에 설명은 생략한다.

또한, 도 6에 도시하는 바와 같이, 메모리 어레이 블록(1-2)의 메모리 어레이 블록(1-2a)은, 마찬가지로 칼럼 방향에 배치된 2개의 256킬로 비트 서브 메모리 셀 어레이(51-1, 51-2)를 구비하고 있다. 2개의 256킬로 비트 서브 메모리 셀 어레이(51-1, 51-2)는 칼럼 방향으로 배치되어 있다. 2개의 256킬로 비트 서브 메모리 셀 어레이(51-1, 51-2)의 인접하는 단부 사이에는 이들 단부에 인접하여 센스 앰프·칼럼 스위치(52-1)가 배치되어 있다. 단부 사이에 배치되어 있는 이 센스 앰프·칼럼 스위치(52-1)는 2개의 256킬로 비트 서브 메모리 셀 어레이(51-1, 51-2)에 공유되어 있다. 또한, 칼럼 방향에 있어서 256킬로 비트 서브 메모리 셀 어레이(51-2)의 다른쪽 단부에 인접하여 센스 앰프·칼럼 스위치(52-2)가 배치되어 있다. 메모리 어레이 블록(1-2a)에 있어서는, 메모리 어레이 블록(1-1a; 도 5)에서의 서브 메모리 셀 어레이(51-1)의 상기 다른쪽 단부에 인접하여 설치된 센스 앰프·칼럼 스위치(52-1)에 상당하는 센스 앰프·칼럼 스위치는 설치되지 않는다. 그 대신, 메모리 어레이 블록(1-2)의 1행상의 메모리 어레이 블록, 즉 메모리 어레이 블록(1-1)의 메모리 어레이 블록(1-1a)에서의 서브 메모리 셀 어레이(51-2; 도 5)의 상기 다른쪽 단부에 인접하여 설치된 센스 앰프·칼럼 스위치(52-3)가 공유된다. 메모리 어레이 블록(1-2)의 메모리 어레이 블록(1-2b)의 구성은 메모리 어레이 블록(1-2)의 메모리 어레이 블록(1-2a)과 마찬가지의 구성이기 때문에 설명은 생략한다. 도 2의 매크로 셀에서의 다른 메모리 어레이 블록에 대해서도 도 6에 도시하는 메모리 어레이 블록(1-2)과 마찬가지이기 때문에 설명은 생략한다.

도 7은 공유 센스 앰프 방식의 센스 앰프의 구성을 나타내고 있다.

칼럼 방향으로 인접하는 2개의 메모리 셀 어레이(51) 사이에는, 센스 앰프(61) 및 칼럼 스위치(62)가 배치되어 있다. 센스 앰프(61)는 활성화 신호(SAP, /SAN)에 의해 활성화되고, 칼럼 스위치(62)는 칼럼 선택 신호(CSW)에 의해 활성화된다.

한쪽 메모리 셀 어레이로 늘어나는 비트선쌍(BL1, /BL1)은 이퀄라이저(63-1) 및 선택 게이트(64-1)를 경유하여 센스 앰프(61) 및 칼럼 스위치(62)에 접속되어 있다. 다른쪽 메모리 셀 어레이로 늘어나는 비트선쌍(BL2, /BL2)은 이퀄라이저(63-2) 및 선택 게이트(64-2)를 경유하여 센스 앰프(61) 및 칼럼 스위치(62)에 접속되어 있다.

선택 게이트(64-1)는 선택 신호(ISO1)에 의해 활성화되고, 선택 게이트(64-2)는 선택 신호(ISO2)에 의해 활성화된다. 선택 게이트(64-1, 64-2) 중 어느 한쪽이 활성화되고, 비트선쌍(BL1, /BL1) 또는 비트선쌍(BL2, /BL2)이 센스 앰프(61) 및 칼럼 스위치(62)에 전기적으로 접속된다.

도 8은 도 2의 직류 전위 생성 블록에 형성되는 회로를 나타내고 있다.

기판 전위 발생 회로(29)는 메모리 매크로에서의 기판 전위(VBB)를 발생한다. 워드선 전위 발생 회로(30)는 로우 어드레스 신호에 의해 선택된 워드선에 인가되는 전위(VPP)를 발생한다. 비트선 전위 발생 회로(31)는 판독 데이타 또는 기입 데이타를 비트선쌍으로 도입하기 전에 비트선쌍의 전위를 소정값으로 이퀄라이즈하기 위해 설치된다.

센스 앰프 전원 드라이버 기준 전위 발생 회로(32)는, 외부 전원(VEXT)에 기초하여 전원(VPPA)을 발생한다. 전원(VPPA)는, 도 9에 도시하는 바와 같은 메모리 셀 어레이 전원 드라이버 블록(4)으로 인가된다. 메모리 셀 어레이 전원 드라이버 블록(4)은, 드래인으로 외부 전원 전압(VEXT)을 받고, 또는 게이트로 전원(VPPA)을 받아 내부 전원 전압(센스 앰프 드라이버(예를 들어, 도 14 참조) 및 메모리 어레이 블록의 전원(VAA))을 생성하는 전원 전압 강하 트랜지스터를 구비하고 있다. 센스 앰프 드라이버는, 센스 앰프에 인가되는 신호(SAP, /SAN)를 발생한다.

주변 회로 전원 전위 발생 회로(33)는 메모리 매크로에서의 주변 회로를 구동하기 위한 내부 전원(VINT)을 발생한다.

주변 회로 전원 드라이버 기준 전위 발생 회로(33)는, 외부 전원(VEXT)이 인가되어 전원(VPPI)을 발생한다.

주변 회로 전원 드라이버(34)는 외부 전원(VEXT)이 구동 전원으로서 인가되고, 또 주변 회로 전원 드라이

버 기준 전위 발생 회로(33)에서 전원(VPPI)이 인가되어 메모리 매크로에서의 주변 회로를 구동하기 위한 내부 전원(VINT)을 발생한다.

주변 회로 전원 드라이버의 상세한 구성은, 예를 들어 도 8에 도시되는 바와 같이, MOS 트랜지스터로 구성되어 있다. MOS 트랜지스터의 드래인으로 외부 전원(VEXT)이 구동 전원으로서 인가되고, 또는 게이트로 주변 회로 전원 드라이버 기준 전위 발생 회로(33)에서 전원(VPPI)이 제어 신호로서 인가되어 내부 전원(VINT)을 발생한다.

도 10은 도 2의 입출력 데이타 버퍼 블록 내의 구성을 나타내고 있다.

입출력 데이타 버퍼 블록은 128개의 입출력 데이타 버퍼(3-0～3-127)를 갖고 있다. 즉, 도 2에 도시하는 바와 같은 메모리 매크로일 경우, 메모리 매크로로서는, 예를 들어 2048(로우)×2048(칼럼)의 4메가 비트의 기억 용량을 갖고 있다. 또한, 하나의 메모리 어레이 블록은, 512(로우)×2048(칼럼)의 1메가 비트의 기억 용량을 갖고, 하나의 메모리 셀 어레이는 256(로우)×1024(칼럼)의 256킬로 비트의 기억 용량을 갖고 있다.

각 메모리 셀 어레이에서는, 16칼럼(16개의 비트선쌍)에 대해 1개의 DQ선쌍을 설치하고 있기 때문에 2048 칼럼에서는 128개의 DQ선쌍이 필요로 된다.

따라서, 이와 같은 128 비트의 데이타 I/O0～I/O127를 동시에 판독할 수 있는 구성일 경우, 입출력 데이타 버퍼도 당연히 128개 필요로 된다. 각각의 입출력 데이타 버퍼(3-0～3-127)는 데이타의 판독시에 활성화되는 판독 활성화 신호 RDEN 및 데이타 기입시에 활성화되는 기입 활성화 신호 WTEN에 의해 제어된다.

도 11은 도 2의 제어 블록 내의 구성을 나타내는 것이다.

제어 블록(5)은, /RAS 버퍼(71), 로우 어드레스 버퍼(72-0～72-8, 73, 74, /CAS 버퍼(75), 칼럼 어드레스 버퍼(76-0～76-3), /WE 버퍼(77) 및 입출력 데이타 버퍼 제어 회로(78)를 포함하고 있다.

/RAS 버퍼(71)는 메모리 매크로의 외부에서 인가되는 로우 어드레스 스트롭 신호(/RAS)에 기초하여 메모리 매크로의 내부에서 사용하는 로우 어드레스 스트롭 신호 RASint를 발생한다.

로우 어드레스 버퍼(72-0～72-8)는 로우 어드레스 스트롭 신호(RASint)에 동기하여 로우 어드레스 신호(외부 로우 어드레스 신호; AR0～AR8)를 메모리 매크로 내부로 취입하고, 내부 로우 어드레스 신호(AR0int～AR8int, /AR0int～/AR8int)를 발생한다. 이 내부 로우 어드레스 신호(AR0int～AR8int, /AR0int～/AR8int)는 로우 디코더로 인가되며, 선택된 메모리 어레이 블록 내의 512 로우 중 하나의 로우를 선택한다.

로우 어드레스 버퍼(73, 74)는, 로우 어드레스 스트롭 신호(RASint)에 동기하여 로우 어드레스 신호(외부 로우 어드레스 신호; AR9, AR10)를 메모리 매크로 내부로 취입하고, 내부 로우 어드레스 신호(AR9int～AR10int, /AR9int～/AR10int)를 발생한다. 이 내부 로우 어드레스 신호(AR9int～AR10int, /AR9int～/AR10it)는 복수의 메모리 어레이 블록(예를 들어, 4개)에서 하나의 메모리 어레이 블록을 선택한다.

메모리 어레이 블록을 선택하기 위한 로우 어드레스 신호(블록 선택용 로우 어드레스 신호)의 수는 메모리 매크로 내의 메모리 어드레스 블록의 수에 따라 변한다. 요컨대, 메모리 매크로 내의 메모리 어레이 블록의 수(M)와 블록 선택용 로우 어드레스 신호의 수(m)는 $M \leq 2^m$의 관계가 있다.

본 예에서는, 메모리 어드레스 블록은 최대로 4개 설치할 수 있는 설정이기 때문에, 블록 선택용 로우 어드레스 신호는 AR9, AR10의 2개로 되어 있다. 또, 메모리 어레이 블록의 수가 하나일 경우에는, 블록 선택용 어드레스 신호(AR9, AR10)의 값을 소정값(여기서는, GND)으로 고정하기 때문에 SW1, SW4를 각각 접점 91, 92에 접속하도록 전환되면 된다.

여기서, 중요한 점은 변경 가능한 메모리 어레이 블록수(기억 용량)의 최대값에 대응시켜 미리 제어 블록(5)이 설계되어 있는 점이다. 요컨대, 메모리 매크로 내에 배치할 수 있는 최대 메모리 어레이 블록수를 Lmax로 했을 경우에, 이들 메모리 어레이 블록을 선택하기 위한 블록 선택용 로우 어드레스 신호(외부 로우 어드레스 신호)의 수(n)는 $\log_2 Lmax$ 이상 설치해 두도록 한다.

또한, 메모리 어레이 블록을 최대수 이용할 때(메모리 매크로의 기억 용량을 최대로 할 때)는 모든 블록 선택용 로우 어드레스 신호를 사용하도록 스위치(SW1～SW6)를 전환한다.

또, 2개의 메모리 어레이 블록을 이용할 때는, 예를 들어 하나의 블록 선택용 로우 어드레스 신호(외부 로우 어드레스 신호(AR9))를 내부 로우 어드레스 신호 AR9int, /AR9int로서 사용하고, 다른 블록 선택용 로우 어드레스 신호(외부 로우 어드레스 신호(AR10))를 차단하며, 내부 로우 어드레스 신호(AR10int, /AR10int)를 함께 소정값(예를 들어, 전원 전위(VINT))으로 고정하도록 스위치(SW1～SW6)를 전환한다.

또한, 메모리 어레이 블록을 하나 밖에 사용하지 않을 때는, 도 12에 도시하는 바와 같이 스위치(SW1, SW4)를 GND측으로 전환하여 모든 블록 선택용 로우 어드레스 신호(외부 로우 어드레스 신호(AR9, AR10))를 차단하고, 또한 스위치(SW2, SW3, SW5, SW6)를 전환해 내부 로우 어드레스 신호(AR9int, /AR9int, AR10int, /AR10int)를 함께 소정값(예를 들어, 전원 전위 VINT)으로 고정한다.

즉, 예를 들어 메모리 어레이 블록이 하나일 경우, 로우 어드레스 버퍼(73, 74)의 입력을 접지로 하면, 로우 어드레스 버퍼(73, 74)는 항상 비활성화 상태로 된다. 한편, 블록 선택용 로우 어드레스 신호(AR9int, AR10int, /AR9int, /AR10int)를 전원(VINT)으로 고정하면 메모리 어레이 블록은 항상 선택 상태로 된다.

스위치(SW1～SW6)를 상기와 같이 전환함으로써, 외부 어드레스 신호(RA9, RA10)와 내부 어드레스 신호(AR9int, AR10int, /AR9int, /AR10int)의 대응 관계를 메모리 어레이 블록의 어드레스 할당에 일치시킬 수 있다. 즉, 원하는 갯수의 로우 어드레스 버퍼(73, 74)를 활성화시켜 외부 어드레스 신호(AR9, AR10)

와 내부 어드레스 신호(AR9int, AR10int, /AR9int, /AR10int)의 대응 관계를 메모리 어레이 블록의 어드레스 할당에 일치시킬 수 있다.

스위치(SW1～SW6)는, 전기적으로 전환 가능한 것으로도 좋지만, 실제는 설계시에만 CAD 처리에 의해 전환 가능한 것이고, 제품 혹은 샘플을 작성한 후에는 전환 불가능하게 된다. 요컨대, 메모리 매크로 설계시에 있어서, 메모리 매크로의 기억 용량(메모리 어레이 블록수)이 정해지면, 스위치(SW1～SW6)의 접속 관계도 결정된다.

이 스위치(SW1～SW6)는 도 13의 (a), 도 13의 (b), 도 13의 (c), 도 13의 (d)에 각각 나타내는 바와 같이, 메탈층(80a) 또는 콘택트층(80b)을 배치함으로써 구성된다.

예를 들어, 같은 높이 면상에 형성되어 있는 라인 A와 라인 B를 접속할 경우에는 도 13의 (a), 도 13의 (b)에 있어서 파선으로 둘러싼 상자 I 내에 도시하는 바와 같이, 라인 A와 라인 B를 접속하는 메탈층(80a)을 CAD에 의해 배치하면 된다. 마찬가지로, 같은 높이 면상에 형성되어 있는 라인 B와 라인 C(전원선)를 접속할 경우에는 도 13의 (c), 도 13의 (d)에 있어서 파선으로 둘러싼 상자 I 내에 도시하는 바와 같이, 라인 B와 라인 C를 접속하는 메탈층(80a)을 CAD에 의해 배치하면 된다.

한편, 다층 구조로 형성되어 있는 라인 A와 라인 B를 접속할 경우에는, 도 13의 (a), 도 13의 (b)에 있어서 파선으로 둘러싼 상자 II 내에 나타내는 바와 같이, 라인 A와 라인 B를 접속하는 콘택트층(80b)을 CAD에 의해 배치하면 된다. 또한, 다층 구조로 형성되어 있는 라인 B와 라인 C(전원선)를 접속할 경우에는, CAD에 의해 도 13의 (c), 도 13의 (d)에 있어서 파선으로 둘러싼 상자 II 내에 나타내는 바와 같이, 라인 B와 라인 C를 접속하는 콘택트층(80b)을 CAD에 의해 배치하면 된다.

또, 실제의 웨이퍼 공정에 의해 메탈층(80a) 또는 콘택트층(80b)을 형성한 후에는 스위치(SW1～SW6)의 전환은 불가능하다.

이와 같은 스위치(SW1～SW6)를 설치한 이유는, 메모리 매크로의 설계를 용이하게 하기 때문이다. 요컨대, 메모리 매크로의 사양(로우수, 칼럼수, I/O수, 기억 용량 등)에 따라 그때마다 제어 블록을 설계해야 할 필요가 없고, 도 13에 도시하는 바와 같이 미리 설계된 제어 블록에 따라 메탈층 또는 콘택트층의 패턴을 CAD처리에 의해 변경하는 것만으로 메모리 매크로의 사양에 일치한 제어 블록을 얻을 수 있다.

/CAS 버퍼(75)는, 메모리 매크로의 외부에서 인가되는 칼럼 어드레스 스트롭 신호(/CAS)에 기초하여 메모리 매크로의 내부에서 사용하는 칼럼 어드레스 스트롭 신호(CASint)를 발생한다.

칼럼 어드레스 버퍼(76-0～76-3)는 칼럼 어드레스 스트롭 신호(CASint)에 동기하여 칼럼 어드레스 신호(AC0～AC3)를 메모리 매크로 내부로 취입하고, 내부 로우 어드레스 신호(AC0int～AC3int, /AC0int～/AC3int)를 발생한다. 이 내부 로우 어드레스 신호(AC0int～AC3int, /AC0int～/AC3int)는 칼럼 디코더에 인가되고 한쌍의 DQ선쌍에 접속된 16칼럼 중 한 칼럼을 선택한다.

/WE 버퍼(77)는 메모리 매크로의 외부에서 인가되는 기입 신호(/WE)에 기초하여 메모리 매크로의 내부에서 사용하는 기입 신호(WEint)를 발생한다. 입출력 데이타 버퍼 제어 신호(78)는 칼럼 어드레스 스트롭 신호(CASint)와 기입 신호(WEint)에 기초하여 도 10의 입출력 데이타 버퍼 블록(3)에 인가되는 판독 활성화 신호(RDEN) 및 기입 활성화 신호(WTEN)를 발생한다.

도 14는 도 2의 메모리 매크로(12)의, 특히 전원선 블록(6a-1～6a-L, 6b-1～6b-L)의 구성을 상세히 나타내는 것이다.

전원선 블록(6a-1～6a-L, 7a, 8a)은 메모리 매크로(12)의 칼럼 방향의 일단에서 늘어나는 제1 메인 전원선과, 제1 메인 전원선에서 메모리 어레이 블록(1-1～1-L), 직류 전위 생성 블록(2), 및 입출력 버퍼 블록(3)에 전원(VDD, VSS)을 인가하기 위한 복수의 제1 서브 전원선과, 메모리 매크로(12)의 칼럼 방향의 다른단에서 늘어나는 제2 메인 전원선, 제2 메인 전원선에서 메모리 어레이 전원 드라이버 블록(4-1～4-L), 직류 전위 생성 블록(2) 및 제어 블록(5)에 전원(VDD, VSS)을 인가하기 위한 복수의 제2 서브 전원선으로 구성된다.

도 15는 도 3 및 도 4의 메모리 어레이 블록 제어부(50a)의 구성을 나타내는 것이다.

메모리 어레이 블록(6a-1)의 기억 용량이 1메가 비트일 경우는, 예를 들어 512(로우)×1024(칼럼) 구성을 갖고 있기 때문에, 그 메모리 어레이 블록(6a-1) 내의 워드선은, 로우 어드레스 신호의 하위 9비트(AR0int～AR8int, /AR0int～/AR8int)에 의해 선택된다.

로우 디코더(81)에는 도 11 또는 도 12의 제어 블록(5)에서 내부 로우 어드레스 신호의 하위 9비트(ARoint～AR8int, /AR0int～/AR8int)가 공급된다. 로우 디코더(81)의 출력은 워드선 드라이버(82)에 인가된다. 워드선 드라이버(82)는 내부 로우 어드레스 신호(AR0int～AR8int, /AR0int～/AR8int)에 의해 선택된 한개의 워드선으로 소정의 전위를 공급한다.

내부 로우 어드레스 신호의 상위 2비트(AR9int, AR10int, /AR9int～/AR10int)는 메모리 매크로가 복수의 메모리 어레이 블록으로 구성될 경우에 하나의 블록을 선택하기 위해 사용된다.

블록 선택용 내부 로우 어드레스 신호(AR9int, AR10int, /AR9int～/AR10int)는 내부 로우 어드레스 스트롭 신호(RASint)와 함께 AND 회로(83)로 입력된다. AND 회로(38)의 출력은 메모리 어레이 블록 활성화 신호(BEN)로 되고, 로우계 제어 회로(84)는 이 메모리 어레이 블록 활성화 신호(BEN)에 의해 활성화된다.

로우계 제어 회로(84)의 출력은, 센스 앰프·이퀄라이즈 제어 회로(85)로 인가된다. 센스 앰프·이퀄라이즈 제어 회로(85)는 이퀄라이즈 제어 신호(EQL1, 2)을 출력하고, 비트선쌍의 이퀄라이즈 타이밍을 결정한다. 또한, 센스 앰프·이퀄라이즈 제어 회로(85)는 센스 앰프 제어 신호(SEN)를 센스 앰프 드라이버(86)로 인가한다. 센스 앰프 드라이버(86)는 센스 앰프 활성화 제어 신호(SAP0～SAP2)를 출력하고, 센스 앰프의 활성화의 타이밍을 결정한다.

칼럼 디코더(87)에는, 블록 선택의 유무를 나타내는 메모리 어레이 블록 활성화 신호(BEN), 내부 로우 어

드레스 신호(AR0int～AR8int, /AR0int～/AR8int) 및 내부 칼럼 어드레스 신호(AC0int～AC3int, /AC0int～/AC3int)가 입력된다. 칼럼 디코더(87)는 칼럼 선택 신호(CSW0-1, 2-1, …14-1, CSW1-2, 3-2, …15-2, CSW1-5, 3-5, …15-5)의 활성화를 제어한다.

예를 들어, 내부 로우 어드레스 신호(AR8int)가 "H", 내부 로우 어드레스 신호(/AR8int)가 "L"일 경우, 칼럼 선택 신호(CSW0-1, 2-1, …14-1, CSW1-5, 3-5, …15-5)의 활성화가 내부 칼럼 어드레스 신호(AC0int～AC3int, /AC0int～/AC3int)에 의해 제어된다.

도 16은 4개의 메모리 어레이 블록(6a-1～6a-4)을 갖는 메모리 매크로를 나타내고, 도 17은 하나의 메모리 어레이 블록(6a)만을 갖는 메모리 매크로를 나타내고 있다.

이들 두 종류의 메모리 매크로에 관해, 메모리 어레이 블록은 기본적으로 모두 같은 구성의 것을 이용하기 때문에, 도 16의 메모리 매크로는 도 17의 메모리 매크로에 대해 4배의 기억 용량을 갖고 있는 것으로 된다. 요컨대, K비트의 메모리 어레이 블록을 L개 조합시킴으로써 K×L비트의 기억 용량의 메모리 매크로를 용이하게 제공할 수 있다.

단, 비트선 공유 방식을 채용할 경우에는, 최초의 하나의 메모리 어레이 블록(메모리 어레이 블록이 하나일 경우는 그 블록)은 센스 앰프·칼럼 스위치의 배치가 도 3과 같이 되고, 남은 메모리 어레이 블록은 센스 앰프·칼럼 스위치의 배치가 도 4와 같이 된다. 뱅크 구성을 채용할 경우에는, 각 메모리 어레이 블록은 모두 도 3의 구성으로 된다.

또한, 서로 기억 용량이 다른 메모리 매크로에 있어서도 어느 하나도 미리 설계된 각 블록을 조합시키는 것만으로 용이하게 메모리 매크로의 설계를 행할 수 있다. 또, 본 발명에서는 설계시에 CAD 처리에 의해 제어 블록(5) 내의 스위치를 전환하는 것만으로 메모리 매크로의 기억 용량에 따라 블록 선택용 로우 어드레스 신호의 수를 조절할 수 있다.

도 18은 본 발명에 관한 메모리 매크로의 설계 플로우차트를 나타내는 것이다.

먼저, 메모리 매크로를 구성하기 위한 기본 요소로 되는 블록을 설계한다. 여기서, 설계할 블록에는, 직류 전위 발생 블록, 메모리 어레이 블록(K비트), 입출력 데이타 버퍼 블록, 메모리 어레이 전원 드라이버 블록, 제어 블록 및 전원선 블록이 포함된다. 제어 블록의 설계에 임해서는 상술과 같이 메모리 매크로의 최대 용량에 기초하여 블록 선택용 로우 어드레스 신호를 입력하는 어드레스 버퍼 수를 결정한다.

다음에, 이것에서 설계하고자 하는 메모리 매크로의 사양(기억 용량, 로우수, 칼럼수, I/O수 등)의 확인을 한다. 즉, 기억 용량, 로우수, 칼럼수, I/O수에 대해서, 예를 들어 기억 용량=로우수 x 칼럼수 x I/O수로 되는 식이 성립하는지의 여부를 조절하고, 성립하는 것을 확인한다. 성립이 확인된 경우에는, 사양에서 결정된 그들 기억 용량, 로우수, 칼럼수, I/O수 등을 입력한다. 따라서, 메모리 매크로의 기억 용량(또는 로우 수, 칼럼 수; N) 및 메모리 어레이 블록의 기억 용량(K)에 기초하여 메모리 어레이 블록수 L=(N/K)을 계산한다. 메모리 어레이 블록수(L)가 결정되면서 CAD 처리에 의해 자동적으로 각 블록을 조합시켜 메모리 매크로를 구성한다. 동시에, 제어 블록 내의 블록 어드레스용 스위치의 전환을, 메모리 어레이 블록수(L)에 기초하여 CAD 처리에 의해 자동적으로 행한다.

이상에 의해, 메모리 매크로의 설게가 종료한다. 이 후, 게이트 어레이 또는 스탠다드 셀에 의해 구성된 로직부와 메모리 매크로를 조합시키고, 로직 혼재 메모리의 설계가 완료한다.

이와 같은 설계 방법에 의하면, 메모리 매크로의 기억 용량(또는 로우수, 칼럼수)이 정해지면, CAD 처리에 의해 자동적으로 각 블록을 조합시켜 메모리 매크로를 구성한다. 동시에, 제어 블록 내의 블록 어드레스용 스위치의 전환을, 메모리 어레이 블록수 L에 기초하여 CAD 처리에 의해 자동적으로 행한다. 따라서, 짧은 설계 기간으로 또 면적 오버헤드가 작은 메모리 매크로를 제공할 수 있다.

도 19는 본 발명의 제2 실시 형태에 관한 메모리 매크로 내의 바닥 평면도를 나타내고 있다. 도 20은 도 19의 메모리 어레이 블록(1-1) 내의 바닥 평면도를 상세하게 나타내고 있다.

이 메모리 매크로는, 상술의 제1 실시 형태와 마찬가지로, 도 1에 도시하는 칩(10) 내에 로직부와 함께 집적되는 것으로 8메가 비트, 4뱅크 구성을 갖고 있다.

즉, 메모리 매크로는, 8개의 메모리 어레이 블록(1-1, 1-2, …, 1-8), 직류 전위 생성 블록(2), 입출력 데이타 버퍼 블록(3), 메모리 어레이 전원 드라이버 블록(4a, 4b), 제어 블록(5), 전원선 블록(6a-1, 6a-2, …6a-4, 6b-1, 6b-2, …6b-4, 7a, 7b, 8a, 8b), 테스트 블록(9a) 및 배선 블록(9b)에 의해 구성되어 있다.

메모리 매크로의 기억 용량은 메모리 매크로의 수에 의해 결정된다. 본 예에서는, 하나의 메모리 어레이 블록(1-1)의 기억 용량이, 예를 들어 1메가 비트이기 때문에, 이 경우에는 메모리 매크로의 기억 용량은 메모리 어레이 블록의 수가 8개이면서 8메가 비트로 된다.

또, 하나의 메모리 어레이 블록(1-1)의 기억 용량이 설계 단계에서의 메모리 매크로의 기억 용량의 최소 단위로 되는 것은, 상술의 제1 실시 형태와 마찬가지이다. 요컨대, 메모리 매크로의 기억 용량은, 예를 들어 1비트를 단위로 하여 자유롭게 변경 가능하다.

메모리 어레이 블록(1-1, 1-2, …1-4)은, 칼럼 방향(칼럼 수가 늘어나는 방향)으로 서로 인접하여 배치된다. 메모리 어레이 블록(1-1, 1-2, …, 1-4)에는, 예를 들어 칼럼 방향으로 늘어나는 128쌍의 DQ선쌍이 배치되고, 각 메모리 어레이 블록의 DQ선쌍은 메모리 어레이 블록(1-1, 1-2, …1-4)을 서로 인접하여 배치함으로써 서로 결합된다.

마찬가지로, 메모리 어레이 블록(1-5, 1-6, …1-8)은, 칼럼 방향으로 서로 인접하여 배치된다. 메모리 어레이 블록(1-5, 1-6, …1-8)에는, 예를 들어 칼럼 방향으로 늘어나는 128쌍의 DQ선쌍이 배치되고, 각 메모리 어레이 블록의 DQ선쌍은 메모리 어레이 블록(1-5, 1-6, …1-8)을 서로 인접하여 배치함으로써 서로 결합된다.

직류 전위 생성 블록(2)에는, 기판 전위 VBB, 워드선 전위 VPP, 비트선 전위 VBL, 센스 앰프 전원 드라이버용 기준 전위 VPPA, 주변 회로용 전원 전위 VINT 등의 일정 전위를 생성하기 위한 회로가 형성된다. 직류 전위 생성 블록(2)은 메모리 어레이 블록(1-1, 1-2, …1-8)의 칼럼 방향의 한단부에 배치되어 있다.

입출력 데이타 버퍼 블록(3)은, 메모리 어레이 블록(1-1, 1-2, …1-8)의 칼럼 방향의 다른단부에 배치되어 있다. 메모리 어레이 블록(1-1, 1-2, …1-8)의 DQ선쌍은 입출력 데이타 버퍼 블록(3)에 접속된다. 직류 전위 생성 블록(2)과 입출력 데이타 버퍼 블록(3)은 메모리 어레이 블록(1-1, 1-2, …1-8)을 사이에 두고 서로 대향하는 위치에 배치되어 있다.

메모리 어레이 전원 드라이버 블록(4a, 4b)은, 각 메모리 어레이 블록(1-1, 1-2, …1-8)에 인접하여 배치된다. 메모리 어레이 전원 드라이버 블록(4a, 4b)은 센스 앰프 전원을 센스 앰프에 공급하기 위한 드라이버(트랜지스터)를 포함한다.

제어 블록(5)은, 외부 로우 어드레스 신호(AR0～AR10), 외부 칼럼 어드레스 신호(AC0～AC3), 외부 로우 어드레스 스트롭 신호(/RAS), 외부 칼럼 어드레스 스트롭 신호/외부 CAS 및 기입 신호/외부 WE의 각 버퍼와, 메모리 매크로의 기억 용량(메모리 어레이 블록의 수)에 따라 외부 로우 어드레스 신호(AR0～AR10)의 일부(블록 선택 신호)의 사용의 유무를 전환하는 스위치를 포함하고 있다. 이 스위치는, 메탈층(배선층)이나 콘택트층의 접속 방법에 의해 자유롭게 전환되는 것으로, 설계 단계에서는 자유롭게 스위치를 전환할 수 있지만 샘플 작성 후의 스위치의 전환은 불가능하다.

전원선 블록(6a-1, 6a-2, …6a-4, 6b-1, 6b-2, …6b-4, 7a, 7b, 8a, 8b)은 메모리 어레이 블록(1-1, 1-2, …1-8)의 로우 방향의 단부에 배치되어 있다.

메모리 어레이 블록 제어부(50a)는, 로우 디코더, 칼럼 디코더, 로우계 제어 회로 등을 포함하고 있다. 메모리 어레이 블록 제어부(50a)의 로우 방향의 한쪽 및 다른쪽 단부에는 각각에 2개의 메모리 셀이 배치되어 있다. 즉, 메모리 어레이 블록 제어부(50a)을 사이에 두고 메모리 어레이 블록 제어부(50a)의 한쪽측에 배치된 메모리 어레이 블록(1-1a)은 메모리 셀 어레이(51-1, 51-2)를 구비하고 있고, 마찬가지로 메모리 어레이 블록 제어부(50a)를 사이에 두고 메모리 어레이 블록 제어부(50a)의 다른쪽측에 배치된 메모리 어레이 블록(1-1b)도 메모리 셀 어레이(51-1, 51-2)를 구비하고 있다.

메모리 어레이 블록(1-1a)에 있어서, 메모리 셀 어레이(51-1, 51-2)는 칼럼 방향으로 인접하고 있다. 메모리 셀 어레이(51-1, 51-2)의 칼럼 방향의 인접하는 단부 사이에는 센스 앰프(칼럼 스위치를 포함; 52-1)가 배치되어 있다. 마찬가지로, 메모리 어레이 블록(1-1b)에 있어서, 메모리 셀 어레이(51-1, 51-2)는 칼럼 방향에 인접하고 있다. 메모리 셀 어레이(51-1, 51-2)의 칼럼 방향의 인접하는 단부 사이에는 센스 앰프(칼럼 스위치를 포함; 52-1)가 배치되어 있다. 다른 메모리 어레이 블록(1-2, …1-8)의 바닥 평면도도 메모리 어레이 블록(1-1)의 바닥 평면도와 마찬가지이기 때문에 설명은 생략한다.

이상과 같은 메모리 매크로의 바닥 평면도에 의하면, 기억 용량의 증대(메모리 어레이 블록 수의 증가)가 있어도 각 블록을 적절하게 또 단시간에 배치할 수 있기 때문에 면적 오버헤드가 작게 됨과 동시에 짧은 TAT(턴어라운드 타임)으로 설계가 가능하다.

또, 상기 실시 형태에 있어서는, 메모리 매크로의 기억 용량이 일정하다는 조건 하에서, 로우 어드레스수(또는 로우수), 칼럼 어드레스 수(또는 칼럼 수)를 설계 시간의 대폭적인 증가 없이, 자유롭게 변경하는 것이 가능하다. 왜냐하면, 예를 들어 로우 어드레스 수를 설계 단계에서 변경해도 로우 어드레스 버퍼나 로우 어드레스 디코더의 구성은 그대로(재설계 하지 않음) 내부 로우 어드레스 신호의 일부를 고정할지의 여부를 결정하는 스위치 전환만 행하지 않아도 되기 때문이다.

그런데, 이 경우, 메모리 매크로의 기억 용량이 일정하기 때문에, 로우 어드레스 수와 칼럼 어드레스 수는 반비례의 관계에 있다. 즉, 로우 어드레스 수가 감소하면 칼럼 어드레스 수는 증가한다.

이와 같이, 상기예에 의하면, 로직 혼재 메모리의 사양(로우수, 칼럼 수, I/O 수, 기억 용량 등)에 의해 메모리 어레이 블록의 수가 바뀌면, 어드레스 신호의 수도 바뀌지만, /RAS 버퍼 등의 회로를 설계해야 할 필요는 없다. 또한, 상술과 같이, 본원 발명에 의하면, 어드레스 수의 변경에 따른 회로 설계의 변경을 CAD 설계에 의해 자동적으로 행할 수 있도록 구성되어 있기 때문에, TAT(턴어라운드 타임)를 단축할 수 있다.

또한, 로직 혼재 메모리의 사양(로우수, 칼럼수, I/O수, 기억 용량 등)에 따라 메모리를 실현할 경우, 미리 손 설계에 의해 설계하고 있던 서브 메모리 어레이 블록을 자동 처리에 의해 조합시켜 실현함으로써 사람 손에 의한 설계 변경을 필요로 하지 않는다. 또한, I/O 수의 변경에 맞춰, 입출력 데이타 버퍼 블록의 설계를 변경할 경우에도, 미리 사람 손으로 설계에 의해 설계해 두었던 서브 메모리 어레이 블록을 CAD 처리에 의해 조합시킴으로써 자동적으로 단시간에 행할 수 있다.

도 21은 본 발명의 제3 실시 형태에 관한 것으로, 1메가 비트의 메모리 어레이 블록을 4개, 즉 메모리 어레이 블록(1-1～1-4)을, 칼럼 방향으로 배열하여 되는 4메가 비트의 매크로 셀의 바닥 평면도를 나타내고 있는 것이다. 도 21에 도시되는 바와 같이, 실제의 래이아웃에 맞춰 메모리 어레이 블록 제어부(50a～50d)가 메모리 어레이 블록(1-1～1-4)의 중앙에 칼럼 방향으로 배치되어 있다. 메모리 어레이 블록 제어부(50d)에는 칼럼 방향으로 인접하여 또 배선 블록(19)이 배치되어 있다. 메모리 어레이 블록 제어부(50a～50d)를 사이에 두고 메모리 어레이 블록 제어부(50a～50d)의 한쪽측에는 512킬로 비트의 메모리 어레이 블록(1-1a～1-4a)이 칼럼 방향에 인접하여 배치되어 있다. 또한, 메모리 어레이 블록 제어부(50a～50d)를 사이에 두고 메모리 어레이 블록 제어부(50a～50d)의 다른쪽측에는 512킬로 비트의 메모리 어레이 블록(1-1b～1-4b)이 칼럼 방향으로 인접하여 배치되어 있다. 배선 블록(19)을 사이에 두고 배선 블록(19)의 한쪽측에는 입출력 데이타 버퍼 블록(3a) 및 주변 회로 전원 드라이버 블록(34a)이 배치되어 있다. 입출력 데이타 버퍼 블록(3a) 및 주변 회로 전원 드라이버 블록(34a)은 메모리 어레이 블록(1-4a)에 인접하여 순차 칼럼 방향으로 배치되어 있다. 또한, 배선 블록(19)을 사이에 두고 배선 블록(19)의 다른쪽측에는 입출력 데이타 버퍼 블록(3b) 및 주변 회로 전원 드라이버 블록(34b)이 배치되어 있다. 입출력 데이타 버퍼 블록(3b) 및 주변 회로 전원 드라이버 블록(34b)은 메모리 어레이 블록(1-4b)에 인접

하여 순차 칼럼 방향으로 배치되어 있다. 입출력 데이타 버퍼 블록(3a)은 메모리 어레이 블록(1-1a～1-4a)에 공통으로 설치된 DQ선쌍(DQ0-DQ63～/DQ0-/DQ63)에 대응하여 설치되어 있다. 또한, 입출력 데이타 버퍼 블록(3b)은 메모리 어레이 블록(1b-1～1-4b)에 공통으로 설치된 DQ선쌍(DQ64-DQ127～/DQ64-DQ127)에 대응하여 설치되어 있다. 또, 직류 전위 생성 회로(2)는, 도 2, 도 16에서는, 메모리 어레이 블록(1-1)의 칼럼 방향의 일단에 인접하여 배치되어 있지만, 본 예에서는 도 21에 도시되는 바와 같이 제어 블록에 인접하여 배치되어 있고, 제어 블록과 맞춰 제어·직류 전위 생성 블록(502)으로서 형성되어 있다.

도 22는 512킬로 비트의 메모리 어레이 블록을 4개, 즉 메모리 어레이 블록(1-1～1-4)을 칼럼 방향으로 배열하여 이루어지는 4메가 비트의 매크로 셀의 바닥 평면도를 나타내고 있는 것이다. 도 22에 도시되는 바와 같이, 실제의 래이아웃에 맞춰 메모리 어레이 블록 제어부(50a～50d)가 메모리 어레이 블록(1-1～1-4)의 중앙에 칼럼 방향으로 배치되어 있다. 메모리 어레이 블록 제어부(50d)에는 칼럼 방향에 인접하여 또 배선 블록(19)이 배치되어 있다. 메모리 어레이 블록 제어부(50a～50d)를 사이에 두고 메모리 어레이 블록 제어부(50a～50d)의 한쪽측에는 256킬로 비트의 메모리 어레이 블록(1-1a～1-4a)이 칼럼 방향으로 인접하여 배치되어 있다. 또한, 메모리 어레이 블록 제어부(50a～50d)를 사이에 두고 메모리 어레이 블록 제어부(50a～50d)의 다른쪽측에는 256킬로 비트의 메모리 어레이 블록(1-1b～1-4b)이 칼럼 방향으로 인접하여 배치되어 있다. 배선 블록(19)을 사이에 두고 배선 블록(19)의 한쪽측에는 입출력 데이타 버퍼 블록(3a) 및 주변 회로 전원 드라이버 블록(34a)이 배치되어 있다. 입출력 데이타 버퍼 블록(3a) 및 주변 회로 전원 드라이버 블록(34a)은 메모리 어레이 블록(1-4a)에 인접하여 순차 칼럼 방향으로 배치되어 있다. 또한, 배선 블록(19)을 사이에 두고 배선 블록(19)의 다른쪽측에는 입출력 데이타 버퍼 블록(3b) 및 주변 회로 전원 드라이버 블록(34b)이 배치되어 있다. 입출력 데이타 버퍼 블록(3b) 및 주변 회로 전원 드라이버 블록(34b)은 메모리 어레이 블록(1-4b)에 인접하여 순차 칼럼 방향으로 배치되어 있다. 입출력 데이타 버퍼 블록(3a)은 메모리 어레이 블록(1-1a～1-4a)에 공통으로 설치된 DQ선쌍(DQ0-DQ31～/DQ0-/DQ31에 대응하여 설치되어 있다. 또는, 입출력 데이 버퍼 블록(3b)은 메모리 어레이 블록(1b-1～1-4b)에 공통으로 설치된 DQ선쌍(DQ32-DQ63～/DQ32-/DQ63)에 대응하여 설치되어 있다. 또, 직류 전위 생성 회로(2)는, 도 2, 도 16에서는, 메모리 어레이 블록(1-1)의 칼럼 방향의 일단에 인접하여 배치되어 있지만, 본 예에서는 도 22에 도시되는 바와 같이 제어 블록에 인접하여 배치되어 있고, 제어 블록과 맞춰 제어·직류 전위 생성 블록(502)으로서 형성되어 있다.

도 23은 도 21에 도시되는 바닥 평면도에서의 매크로 셀의 메모리 어레이 블록(1-1a), 메모리 어레이 블록 제어부(50a) 및 메모리 어레이 블록(1-1b)을 나타내고 있다. 또, 메모리 어레이 전원 드라이버 블록(4-1), 전원선 블록(6a-1, 6b-1)은 도시 생략되어 있다. 도 23에 도시되는 바와 같이, 512킬로 비트의 메모리 어레이 블록(1-1a, 1-1b)의 바닥 평면도에 있어서, 메모리 어레이 블록 제어부(50a)은 도 3에서의 것과 마찬가지로, 로우 디코더, 칼럼 디코더, 로우계 제어 회로 등을 포함하고 있다. 메모리 어레이 블록 제어부(50)의 로우 방향의 각측에 메모리 어레이 블록(1-1a, 1-1b)이 각각 배치되어 있다.

메모리 어레이 블록(1-1a)은 16개의 32킬로 비트 서브 메모리 어레이 블록(101-1～101-16)으로 이루어져 있고, 서브 메모리 어레이 블록(101-1～101-16)은 로우 방향에 인접하여 배치되어 있다. 메모리 어레이 블록(1-1b)도 마찬가지로 16개의 32킬로 비트 서브 메모리 어레이 블록(101-17～101-32)으로 이루어져 있고, 서브 메모리 어레이 블록(101-7～101-32)은 로우 방향에 인접하여 배치되어 있다.

32킬로 비트 서브 메모리 어레이 블록(101-1～101-32)의 각각에 있어서 16쌍의 비트선쌍(BL, /BL) 쌍마다에 한쌍의 데이타선쌍(DQ)이 설치되어 있고, 32킬로 비트 서브 메모리 어레이 블록(101-1～101-16)의 각각은 4쌍의 DQ선쌍을 구비하고 있다. 즉, 32킬로 비트 서브 메모리 어레이 블록(101-1, 101-2, …101-16)은 각각 4쌍의 DQ선쌍(DQ0, /DQ0～DQ3/DQ3, DQ4, /DQ4～DQ7, /DQ7, …, DQ59, /DQ59～DQ63, /DQ63)을 구비하고 있다. 따라서, 메모리 어레이 블록(1-1a)은 64쌍의 DQ선쌍, 즉 DQ0, /DQ0～DQ63, /DQ63을 구비하고 있다. 마찬가지로, 32킬로 비트 서브 메모리 어레이 블록(101-17, 101-18, …, 101-32)은 각각 4쌍의 DQ선쌍 DQ32, /DQ32～DQ35, /DQ35, DQ36, /DQ36～DQ39, /DQ39, …DQ124, /DQ124～DQ127, /DQ127을 구비하고 있다. 따라서, 메모리 어레이 블록(1-1b)는 64쌍의 DQ선쌍, 즉 DQ32, /DQ32～DQ127, /DQ127을 구비하고 있다. 다라서, 1메가 비트 메모리 어레이 블록은 전체로서 128쌍의 DQ선쌍, 즉 DQ0, /DQ0～DQ127, /DQ127을 구비하고 있다.

이와 같이, 하나의 메모리 어레이 서브 블록의 기억 용량이 설계 단계에서의 메모리 매크로의 기억 용량의 최소 단위, 즉 메모리 매크로의 기억 용량의 확장 기본 단위로 된다. 따라서, 본 예에 의하면, 메모리 매크로의 기억 용량은 서브 메모리 어레이 블록(101-1)의 기억 용량을 기본 단위로서 변경 가능하다.

32킬로 비트 서브 메모리 어레이 블록의 갯수 p개는 메모리 매크로의 사양에 따라서 적당 선택할 수 있는 것이고, 8xp쌍의 DQ선쌍을 메모리 어레이 블록상에 설치할 수 있다. 즉, 일반적으로는, DQ선쌍의 비트폭을 Q, 서브 메모리 어레이 블록의 갯수를 P로 하면, QxP쌍의 DQ선쌍을 메모리 어레이 블록상에 설치할 수 있다.

기억 용량의 기본 단위를 결정하는 서브 메모리 어레이 블록의 설계는 수작업에 의한 것이기 때문에 상응의 설계 시간이 요구되지만, 한번 서브 메모리 어레이 블록을 설계하여 라이브러리에 등록하고 있으면, 메모리 매크로의 사양에서 정해지는 서브 메모리 어레이 블록의 설계는 손으로 한 설계에 의해 전부 준비되어 있는 메모리 어레이 서브 블록을 CAD 조작에 의해 라이브러리에서 취하여 서브 메모리 어레이 블록의 래이아웃을 자동 처리함으로써 용이하면서 단시간에 실현할 수 있다.

도 24는 도 22에 도시되는 바닥 평면도에서의 매크로 셀의 메모리 어레이 블록(1-1a), 메모리 어레이 블록 제어부(50a), 및 메모리 어레이 블록(1-1b)을 나타내고 있다. 또, 메모리 어레이 전원 드라이버 블록(4-1), 전원선 블록(6a-1, 6b-1)은 도시 생략되어 있다. 도 24에 도시되는 바와 같이, 256킬로 비트의 메모리 어레이 블록(1-1a, 1-1b)의 바닥 평면도에 있어서, 메모리 어레이 블록 제어부(50a)는 도 3에서의 것과 마찬가지로, 로우 디코더, 칼럼 디코더, 로우계 제어 회로 등을 포함하고 있다. 메모리 어레이 블록 제어부(50a)의 로우 방향의 각측에 메모리 어레이 블록(1-1a, 1-1b)이 각각 배치되어 있다.

메모리 어레이 블록(1-1a)은 8개의 32킬로 비트 서브 메모리 어레이 블록(101-1～101-8)으로 이루어져 있고, 서브 메모리 어레이 블록(101-1～101-8)은 로우 방향으로 인접하여 배치되어 있다. 메모리 어레이

블록(1-1b)도 마찬가지로 8개의 32킬로 서브 메모리 어레이 블록(101-9～101-16)으로 이루어져 있고, 서브 메모리 어레이 블록(101-9～101-16)은 로우 방향에 인접하여 배치되어 있다.

32킬로 비트 서브 메모리 어레이 블록(101-1～101-16)의 각각에 있어서는 16쌍의 비트선쌍(BL, /BL; 칼럼쌍) 마다 한쌍의 DQ선쌍이 설치되어 있고, 32킬로 비트 서브 메모리 어레이 블록(101-1～101-16)의 각각은 4쌍의 DQ선쌍을 구비하고 있다. 즉, 32킬로 비트 서브 메모리 어레이 블록(101-1, 101-2, …101-8)은 각각 4쌍의 DQ선쌍 DQ0, /DQ0～DQ3, /DQ3, DQ4, /DQ4～DQ7, /DQ7, …, DQ28, /DQ28～DQ31, /DQ31을 구비하고 있다. 따라서, 메모리 어레이 블록(1-1a)은 32쌍의 DQ선쌍, 즉 DQ0, /DQ0～DQ31, /DQ31을 구비하고 있다. 마찬가지로, 32킬로 비트 서브 메모리 어레이 블록(101-9, 101-10, …, 101-16)은 각각 4쌍의 DQ선쌍 DQ32, /DQ32～DQ35, /DQ35, DQ36, /DQ36～DQ39, /DQ39, …, DQ59, /DQ59～DQ63, /DQ63을 구비하고 있다. 따라서, 메모리 어레이 블록(1-1b)은 32쌍의 DQ선쌍, 즉 DQ32, /DQ32～DQ63, /DQ63을 구비하고 있다. 따라서, 512킬로 비트의 메모리 어레이 블록은 전체로서 64쌍의 DQ선쌍, 즉 DQ0, /DQ0～DQ63, /DQ63을 구비하고 있다.

도 25는, 도 23, 도 24에 도시되는 메모리 어레이 블록(1-1)의 32킬로 비트 서브 메모리 어레이 블록(101-1)의 구성을 개략적으로 나타내고 있고, 2개의 16킬로 비트 서브 메모리 셀 어레이(151-1, 151-2)가 칼럼 방향에 배치되어 있다. 2개의 16킬로 비트 서브 메모리 셀 어레이(151-1, 1512)의 인접하는 단부 사이에는 이들 단부에 인접하여 센스 앰프·칼럼 스위치(152-2)가 배치되어 있다. 단부 사이에 배치되어 있는 이 센스 앰프·칼럼 스위치(152-2)는 2개의 16킬로 비트 서브 메모리 셀 어레이(151-1, 151-2)에 공유되고 있다. 또한, 칼럼 방향에서 2개의 16킬로 비트 메모리 셀 서브 어레이(151-1, 151-2)의 각각의 다른쪽의 단부에 인접하여 센스 앰프·칼럼 스위치(152-1, 152-3)가 배치되어 있다.

도 26은, 도 25와 마찬가지의 도면으로, 도 21, 도 22의 매크로 셀의 메모리 어레이 블록(1-2)의 32킬로 비트 서브 메모리 어레이 블록(102-1)의 개략적인 구성을 도시하고 있다. 메모리 어레이 블록(1-2)의 32킬로 비트 서브 메모리 어레이 블록(102-1)은 메모리 어레이 블록(1-1)의 32킬로 비트 서브 메모리 어레이 블록(101-1)에 칼럼 방향에서 인접하여 배치되어 있다. 메모리 어레이 블록(1-2)의 32킬로 비트 서브 메모리 어레이 블록(102-1)에 있어서는 2개의 16킬로 비트 서브 메모리 셀 어레이(151-1, 151-2)가 칼럼 방향으로 배치되어 있다. 2개의 16킬로 비트 서브 메모리 셀 어레이(151-1, 151-2)의 인접하는 단부 사이에는 이들 단부에 인접하여 센스 앰프·칼럼 스위치(152-1)가 배치되어 있다. 단부 사이에 배치되어 있는 이 센스 앰프·칼럼 스위치(151-1)는 2개의 16킬로 비트 서브 메모리 셀 어레이(151-1, 151-2)에 공유되어 있다. 또한, 칼럼 방향에 있어서 16킬로 비트 서브 메모리 셀 어레이(151-2)의 다른쪽 단부에 인접하여 센스 앰프·칼럼 스위치(152-2)가 배치되어 있다. 메모리 어레이 블록(102-1)에 있어서는 그러나, 32킬로 비트 서브 메모리 어레이 블록(101-1(도 25))에 있어서 16킬로 비트 서브 메모리 셀 어레이(151-1)의 상기 다른족의 단부에 인접하여 설치된 센스 앰프·칼럼 스위치(152-1)에 상당하는 센스 앰프·칼럼 스위치는 설치되어 있지 않는다. 그 대신, 메모리 어레이 블록(101-1(도 25))에서의 서브 메모리 셀 어레이(151-2)의 상기 다른쪽 단부에 인접하여 설치된 센스 앰프·칼럼 스위치(152-3)가 점유된다. 메모리 어레이 블록(102-1)에서의 서브 메모리 셀 어레이(151-1)는 메모리 어레이 블록(101-1(도 25))에서의 센스 앰프·칼럼 스위치(152-3)에 칼럼 방향에 인접하여 배치되어 있다. 도 21, 도 22의 매크로 셀의 다른 메모리 어레이 블록(1-3, 1-4)의 32킬로 비트 서브 메모리 어레이 블록에 대해서도 도 26에 도시하는 32킬로 비트 서브 메모리 어레이 블록(102-1)과 마찬가지이기 때문에 설명은 생략한다.

도 27은 도 32의 1메가 비트의 메모리 어레이 블록 전체, 특히 메모리 어레이 블록(1-1a)에서의 32킬로 비트 서브 메모리 어레이 블록(101-1)의 DQ0, /DQ0에 관련하는 부분의 구성을 상세하게 나타내고 있다. 32킬로 비트 서브 메모리 어레이 블록(101-1)의 회로 구성은 도 5의 메모리 어레이 블록의 회로 구성과 비교하면 명확해지는 바와 같이 기본적으로 마찬가지이다. 그러나, 구비하고 있는 DQ선쌍의 쌍수가 다르게 되어 있다. 즉, 도 5의 메모리 어레이 블록(1-1a)은 DQ0, /DQ0～DQ63, /DQ63의 64쌍의 DQ선쌍을 구비하고 있는데 대해 도 27의 메모리 어레이 블록(1-1a)의 서브 메모리 어레이 블록(101-1)은 DQ0, /DQ0～DQ3, /DQ3의 4쌍의 DQ선쌍을 구비하고 있다. 즉, 도 27의 서브 메모리 어레이 블록(101-1～101-32)의 각각의 구비하는 DQ선쌍의 쌍의 수는 도 5의 메모리 어레이 블록의 구비하는 DQ선쌍의 쌍의 수에 대해 1/16으로 되어 있다. DQ선쌍의 쌍의 수는 1/16으로 감소한 데는 기억 용량의 확장 단위를 32킬로 비트로 하고, 또 16칼럼분의 비트선쌍 마다 1쌍의 DQ선쌍을 설치한 구성으로 했기 대문이다. DQ선쌍의 쌍의 수는 1/16인 것에 의해 32킬로 비트 서브 메모리 어레이 블록의 행방향의 배치 갯수를 선택하는 것만으로 메모리 매크로의 사양에 정해져 있는 I/O수를 4비트 단위로 용이하게 실현할 수 있다. 또, 도 27의 메모리 어레이 블록(1-1)은 32개의 32킬로 비트 서브 메모리 어레이 블록을 구비하고 있고, 따라서 전체로서는 DQ0, /DQ0～DQ127, /DQ127의 128쌍의 DQ선쌍을 갖고 있다.

도 28은 도 27과 마찬가지의 도면으로, 도 21의 매크로 셀의 메모리 어레이 블록(1-2)의 전체, 특히 메모리 어레이 블록(1-2)에서의 32킬로 비트 서브 메모리 어레이 블록(102-1)의 DQ, /DQ0에 관련하는 부분의 구성을 상세하게 나타내고 있다. 도 28의 구성은 도 27의 구성과 거의 마찬가지이다. 다른 점은, 도 28에 있어서 명혀진 바와 같이, 메모리 어레이 블록(102-1)에 있어서는, 메모리 어레이 블록(1-1)의 32킬로 비트 서브 메모리 어레이 블록(101-1(도 27))에서의 센스 앰프·칼럼 스위치(152-1)에 상당하는 센스 앰프·칼럼 스위치는 설치되지 않는다. 그 대신, 메모리 어레이 블록(1-1a)의 메모리 어레이 블록(101-1(도 27))에서의 서브 메모리 셀 어레이(151-2)의 상기 다른쪽 단부에 인접하여 설치된 센스 앰프·칼럼 스위치(152-3)가 공유된다. 도, 이해를 용이하게 하는 관점에서, 도 28에는 메모리 어레이 블록(1-1a)의 메모리 어레이 블록(101-1(도 27))에서의 서브 메모리 셀 어레이(151-2)의 상기 다른쪽의 단부에 인접하여 설치된 센스 앰프·칼럼 스위치(152-3)가 나타내어져 있다. 도 21의 매크로 셀의 다른 메모리 어레이 블록(1-3, 1-4)의 32비트 킬로 비트 서브 메모리 셀 어레이 블록에 대해서도 도 28에 도시하는 32킬로 비트 서브 메모리 어레이 블록(102-1)과 마찬가지이기 때문에 설명은 생략한다.

한쌍의 DQ선쌍에는, 16칼럼분의 비트선쌍이 접속되어 있다. 16칼럼분의 비트선쌍 중, 칼럼 선택 신호에 의해 선택된 1칼럼분의 비트선상과 한쌍의 DQ선쌍 사이에서 데이타의 수수가 가능하게 되기 때문에 동시에 입출력 할 수 있는 4비트(4I/O), 또는 1메가 비트 메모리 어레이 블록당에서는 128비트(128I/O)로 된다.

도 29는 도 24의 512킬로 비트의 메모리 어레이 블록의 전체, 특히 메모리 어레이 블록(1-1a)에서의 32킬로 비트 서브 메모리 어레이 블록(101-1)의 DQ0, /DQ0에 관련하는 부분의 구성을 상세히 나타내고 있다. 32킬로 비트 서브 메모리 어레이 블록(101-1)의 회로 구성은, 도 5의 메모리 어레이 블록의 회로 구성과 비교하면 명확해지는 바와 같이 기본적으로는 마찬가지이다. 그러나, 구비하고 있는 DQ선쌍의 쌍의 수가 달라져 있다. 즉, 도 5의 메모리 어레이 블록(1-1a)은 DQ0, /DQ0～Dq63, /DQ63의 64상의 DQ선쌍을 구비하고 있는데 대해, 도 29의 메모리 어레이 블록(1-1a)의 서브 메모리 어레이 블록(101-1)은 DQ0, /DQ0～DQ3, /DQ3의 4쌍의 DQ선쌍을 구비하고 있다. 즉, 도 29의 서브 메모리 어레이 블록(101-1～101-16)의 각각의 구비하는 DQ선쌍의 쌍의 수는 도 5의 메모리 어레이 블록의 구비하는 DQ선쌍의 쌍의 수에 대해 1/16이다. DQ선쌍의 쌍의 수는 1/16인 것에 의해 도 27, 도 28에 관련하여 서술한 1메가 비트 메모리일 경우와 마찬가지로, 32킬로 비트 서브 메모리 어레이 블록의 행방향의 배치 갯수를 선택하는 것만으로 메모리 매크로의 사양에서 정해지는 I/O수를 4비트 단위로 용이하게 실현할 수 있다. 또, 도 29의 메모리 어레이 블록(1-1)은 16개의 32킬로 비트 서브 메모리 어레이 블록을 구비하고 있고, 따라서 전체로서는 DQ0, /DQ0～DQ63, /DQ63의 64쌍의 DQ선쌍을 갖고 있다.

도 30은, 도 28과 마찬가지의 도면이고, 도 22의 매크로 셀의 메모리 어레이 블록(1-2)의 전체, 특히 메모리 어레이 블록(1-2)에서의 32킬로 비트 서브 메모리 어레이 블록(102-1)의 DQ0, /DQ0에 관련하는 부분의 구성을 상세하게 나타내고 있다. 도 30의 구성은 도 28의 구성과 거의 마찬가지이다. 다른 점은 도 30에 있어서 명확해지는 바와 같이, 메모리 어레이 블록(102-1)에 있어서는, 메모리 어레이 블록(1-1)의 32킬로 비트 서브 메모리 어레이 블록(101-1(도 29))에서의 센스 앰프·칼럼 스위치(152-1)에 상당하는 센스 앰프·칼럼 스위치는 설치되지 않는다. 그 대신, 메모리 어레이 블록(1-1a)의 메모리 어레이 블록(101-1(도 29))에서의 메모리 어레이 블록(1-2a)측에 설치되어 있는 센스 앰프·칼럼 스위치(152-3)가 공유된다. 또, 이해를 용이하게 하는 관점에서 도 30에는 메모리 어레이 블록(1-1a)의 메모리 어레이 블록(101-1(도 29))에서의 메모리 어레이 블록(1-2a)측에 설치되어 있는 센스 앰프·칼럼 스위치(152-3)가 나타나 있다. 도 22의 매크로 셀의 다른 메모리 어레이 블록(1-3, 1-4)의 32킬로 비트 서브 메모리 어레이 블록에 대해서도 도 30에 도시하는 32킬로 비트 서브 메모리 어레이 블록(102-1)과 마찬가지이기 때문에 설명은 생략한다.

한쌍의 DQ선쌍에는, 16칼럼분의 비트선쌍이 접속되어 있다. 16칼럼분의 비트선쌍 중, 칼럼 선택 신호에 의해 선택된 1칼럼분의 비트선쌍과 한쌍의 DQ선쌍 사이에서 데이타의 수수가 가능하게 되기 때문에, 동시에 입출력할 수 있는 비트수(I/O수)는 32킬로 비트 서브 메모리 어레이 블록당에서는 4비트(4I/O) 또는 512킬로 비트 메모리 어레이 블록당에서는 64비트(64I/O)로 된다.

도 27～도 30의 메모리 어레이 블록에서의 센스 앰프·칼럼 스위치의 상세한 구성은 도 7에 도시하는 것과 마찬가지이다.

도 31은 도 21, 도 22의 바닥 평면도에서의 제어 블록(502)의 구성을 나타내는 것이다. 도 31의 제어 블록(502)은 도 2에 도시되는 제어 블록(5)과 마찬가지의 구성의 제어 블록(5)과 도 2에 도시되는 전위 생성 블록(2)과 마찬가지의 구성의 전위 생성 블록(2)을 포함하고 있다. 도 31에서의 제어 블록(502)의 구성은, 도 2의 바닥 평면도에서의 제어 블록(5)의 구성과 비교하면, 도 31의 제어 블록(502)의 구성은 직류 전위 생성 블록(2)을 더 구비하고 있는 점이 다르게 되어 있다. 이에 대해서, 도 2의 바닥 평면도에서는 직류 전위 생성 블록(2)은 1메가 비트 메모리 어레이 블록(1-1)의 상단에 인접하여 배치되어 있다. 도 2의 바닥 평면도의 구성은 이 점이 도 21, 도 22의 바닥 평면도의 구성과 다르다.

도 21, 도 22의 바닥 평면도에 있어서, 직류 전위 생성 블록(2)의 배치를, 도 2의 바닥 평면도에서와 같이 1메가 비트 메모리 어레이 블록(1-1)의 상단의 배치에서, 제어 블록 내에서 변경한 이유는 혹 제어 블록을 메모리 블록의 상단에 배치했을 경우, 로우 방향에서의 메모리 어레이 블록(1-1)의 폭이 배치되는 복수의 32킬로 비트 서브 메모리 어레이 블록의 갯수에 의해 변화해 버리고, 메모리 어레이 블록의 로우 방향에서의 폭과 직류 전위 생성 블록(2)의 로우 방향에서의 폭이 반드시 같게 되어 버리지는 않기 때문이다. 이를 피하기 위해, 도 21, 도 22의 바닥 평면도에 있어서는, 직류 전위 생성 블록(2)의 배치를, 도 2의 바닥 평면도에서와 같이 1메가 비트 메모리 어레이 블록(1-1)의 상단에서 제어 블록 내에서 변경되어 있다.

도 32 및 도 33은 도 31에서의 제어 및 직류 전위 생성 블록(502)의 상세한 구성을 나타내는 것이다.

도 32 및 도 33에 도시하는 바와 같이, 제어 및 직류 전위 생성 블록(502)은 /RAS 버퍼(71), 로우 어드레스 버퍼(72-0～72-8, 73, 74), /CAS버퍼(75), 칼럼 어드레스 버퍼(76-9～76-3), 및 /WE 버퍼(77) 및 입출력 데이타 버퍼 제어 회로(78)로 이루어지는 도 11에 도시하는 것과 마찬가지의 구성의 제어계 블록(5)과, 여러가지 전위 발생 회로로 되는 직류 전위 생성 블록(2)을 포함하고 있다.

/RAS 버퍼(71)는, 메모리 매크로의 외부에서 인가되는 로우 어드레스 스트롭 신호(/RAS)에 기초하여 메모리 매크로의 내부에서 사용하는 로우 어드레스 스트롭 신호(RASint)를 발생한다.

로우 어드레스 버퍼(72-0～72-8)는, 로우 어드레스 스트롭 신호(RASint)에 동기하여 로우 어드레스 신호(외부 로우 어드레스 신호; AR0～AR8)를 메모리 매크로 내부에 취입하고, 내부 로우 어드레스 신호(AR0int～AR8int, /AR0int～/AR8int)를 발생한다. 이 내부 로우 어드레스 신호(AR0int～AR8int, /ARoint～/AR8int)는 로우 디코더로 인가되고, 선택된 메모리 어레이 블록 내의 512개의 행 중 한개의 행을 선택한다.

로우 어드레스 버퍼(73, 74)는, 로우 어드레스 스트롭 신호(RASint)에 동기하여 로우 어드레스 신호(외부 로우 어드레스 신호; AR9, AR10)를 메모리 매크로 내부에 취입하고, 내부 로우 어드레스 신호(AR9int～AR10int, /AR9int～/AR10int)를 발생한다. 이 내부 로우 어드레스 신호(AR9int～AR10int, /AR9int～/AR10int)는 복수의 메모리 어레이 블록(예를 들어, 4개)에서 하나의 메모리 어레이 블록을 선택한다.

메모리 어레이 블록을 선택하기 위한 로우 어드레스 신호(블록 선택용 로우 어드레스 신호)의 수는 메모리 매크로 내의 메모리 어레이 블록의 수에 따라 바뀐다.

도 32 및 도 33에 도시되는 바와 같이, 제어 및 직류 전위 생성 블록(502)에서의 제어 블록(5)의 구성은 도 11에 도시하는 제어 블록(5)의 구성과 마찬가지이고, 따라서 도 11, 도 12에 관련하여 서술되어 있는 설명, 예를 들어 메모리 어레이 블록의 선택에 관한 스위치(SW1～SW6)의 전환에 대해서의 설명은 본 예에서도 마찬가지로 적용할 수 있는 것이다.

직류 전위 생성 블록(2)은, 기판 전위 발생 회로(29), 워드선 전위 발생 회로(30), 비트선 전위 발생 회로(31), 센스 앰프 전원 드라이버 기준 전위 발생 회로(32), 주변 회로 전원 기준 전위 발생 회로(33)를 구비하고 있다.

기판 전위 발생 회로(29)는, 메모리 매크로에서의 기판 전위(VBB)를 발생한다. 워드선 전위 발생 회로(30)는, 로우 어드레스 신호에 의해 선택된 워드선에 인가되는 전위(VPP)를 발생한다. 비트선 전위 발생 회로(31)는, 판독 데이타 또는 기입 데이타를 비트선쌍에 도입하기 전에 비트선쌍의 전위를 소정값으로 이퀄라이즈하기 위해 설치된다.

센스 앰프 전원 드라이버 기준 전위 발생 회로(32)는, 외부 전원(VEXT)에 기초하여 전원(VPPA)을 발생한다.

주변 회로 전원 전위 발생 회로(33)는, 외부 전원(VEXT)이 인가되어 전원(VPPI)를 발생하는 주변 회로 전원 전위 발생 회로(34)와, 전원(VPPI)가 게이트에 인가되어 메모리 매크로에서의 주변 회로를 구동하기 위한 내부 전원(VINT)을 발생하는 주변 회로 전원으로 되어 있다.

전원(VPPI)은, 도 21, 도 22의 바닥 평면도에서의 메모리 셀 어레이 전원 드라이버 블록(4)에 인가된다. 메모리 셀 어레이 전원 드라이버 블록(4)은 센스 앰프 드라이버(예를 들어, 도 15 참조)의 전원(VAA)을 발생한다. 메모리 셀 어레이 전원 드라이버 블록(4)은 MOS 트랜지스터로 되고, 전원(VPPA)은 이 MOS 트랜지스터의 게이트로 입력된다. 이 MOS 트랜지스터의 드래인은 외부 전원(VEXT)에 접속되고, 소스로부터 전원(VAA)이 추출되며, 센스 앰프 드라이버에 인가된다. 센스 앰프 드라이버는 센스 앰프에 인가되는 신호 SAP, /SAN을 발생한다.

도 34는 도 21의 메모리 매크로의 바닥 평면도에서의 입출력 데이타 버퍼 블록(3a) 및 주변 회로 전원 드라이버 블록(34a)의 구성을 상세하게 나탄고 있다. 도시되어 있지 않지만, 입출력 데이타 버퍼 블록(3b) 및 주변 회로 전원 드라이버 블록(34b)의 구성도 마찬가지이다.

도 34에 도시하는 바와 같이, 입출력 데이타 버퍼 블록(3a)은 로우 방향으로 인접하여 배치된 64개의 입출력 데이타 버퍼(3a-1～3a-64)로 이루어져 있다. 64개의 입출력 데이타 버퍼(3a-1～3a-64)는 64쌍의 DQ선쌍(DQ0, /DQ0～DQ63, /DQ63)에 대응하여 설치되어 있다.

예를 들어, DQ선쌍 DQ0, /DQ0쌍, DQ선쌍 DQ1, /DQ1쌍, DQ2, /DQ2쌍, …에 대응하여 각각 입출력 버퍼(3a-1, 3a-2, 3a-3, …)가 배치되어 있다.

또한, 64개의 입출력 단자(I/O0～I/O63)가 64개의 입출력 데이타 버퍼(3a-1～3a-6)에 대응하여 설치되어 있고, 64개의 입출력 데이타 버퍼(3a-1～3a-64)가 각각 64개의 입출력 단자 I/O0～I/O64에 접속되어 있다.

이와 같이, 입출력 데이타 버퍼 블록을 복수의 입출력 데이타 버퍼로 구성하기 위해서는, 미리 입출력 데이타 버퍼를 설계해 둘 필요가 있다. 입출력 데이타 버퍼의 설계는 수작업에 의한 것이고 상당한 설계 시간이 요구되지만, 한번 입출력 데이타 버퍼를 설계하여 라이브러리에 등록해 두면 메모리 매크로의 사양에서 정해지는 입출력 데이타 버퍼 블록의 설계는, 사람에 의한 설계에 의해 모두 준비되어 있는 입출력 데이타 버퍼를 CAD 조작에 의해 라이브러리로부터 취하면서 입출력 데이타 버퍼의 래이아웃을 자동 처리함으로써 용이하게 게다가 단시간에 설계할 수 있다.

주변 회로 전원 드라이버 블록(3a)은 입출력 데이타 버퍼(3a)에 인접하여 설치되어 있다. 즉, 서로 인접하여 로우 방향으로 배치된 64개의 입출력 데이타 버퍼(3a-1～3a-64)에 인접하고 또 대응하여 64개의 주변 회로 전원 드라이버(34a-1～34a-64)가 로우 방향으로 인접하여 배치되어 있다. 예를 들어, 입출력 데이타 버퍼(3a-1, 3a-2, 3a-3, …)에 대응하여 각각 주변 회로 전원 드라이버(34a-1, 34a-2, 34a-3, …)가 배치되어 있다. 입출력 데이타 버퍼 블록(3b) 및 주변 회로 전원 드라이버 블록(34b)의 구성도 마찬가지이기 때문에 간단하게 설명한다.

즉, 입출력 데이타 버퍼 블록(3b)은, 입출력 버퍼 블록(3a)과 마찬가지로, 로우 방향으로 인접하여 배치된 64개의 입출력 데이타 버퍼로 이루어져 있다. 주변 회로 전원 드라이버(34b)도 로우 방향으로 인접하여 배치된 64개의 주변 회로 전원 드라이버로 되어 있다. 그리고, 주변 회로 전원 드라이버(34b)가 입출력 데이타 버퍼(3b)에 대응하여 배치되어 있다. 즉, 주변 회로 전원 드라이버(34b)의 64개의 주변 회로 전원 드라이버가 입출력 데이타 버퍼 블록(3b)의 64개의 입출력 데이타 버퍼에 대응하여 배치되어 있다.

각 주변 회로 전원 드라이버는, 외부 전원(VEXT)이 구동 전원으로서 인가되고, 또한 주변 회로 전원 드라이버 기준 전위 발생 회로(33(도 8))에서 전원(VPPI)가 제어 신호로서 인가되어 내부 전원(VINT)를 발생한다. 내부 전원(VINT)은 각 입출력 데이타 버퍼에 구동 전원으로서 인가되고, 또 다른 회로, 예를 들어 드라이버 버퍼, 로우 디코더, 칼럼 디코더 등에도 구동 전원으로서 인가되어 있다. 각 주변 회로 전원 드라이버의 구성은, 예를 들어 도 8의 제어 블록(5) 내의 직류 전위 생성 블록(2)에서의 주변 회로 전원 드라이버(34)와 같이, MOS 트랜지스터로 구성되어 있다. MOS 트랜지스터의 드래엔에 외부 전원(VEXT)이 구동 전원으로서 인가되고, 또 게이트에 주변 회로 전원 드라이버 기준 전원 발생 회로(33)에서 전원(VPPI)가 제어 신호로서 제공되어 내부 전원(VINT)을 발생한다. 내부 전원(VINT)은 각 입출력 버퍼에 구동 전원으로서 인가된다.

이와 같이, 주변 회로 전원 드라이버를 복수의 주변 회로 전원 드라이버로 구성하기 위해서는, 미리 주변 회로 전원 드라이버를 설계해 둘 필요가 있다. 주변 회로 전원 드라이버의 설계는 수작업에 의한 것이고 상당의 설계 시간이 요구되지만, 한번 주변 회로 전원 드라이버를 설계하여 라이브러리에 저장해 두면 메모리 매크로의 사양에서 정해지는 주변 회로 전원 드라이버의 설계는 사람이 설계에 의해 모두 준비되어

있는 주변 회로 전원 드라이버를 CAD 조작에 의해 라이브러리에서 취하여 주변 회로 전원 드라이버의 래이아웃을 프로그램했기에 자동 처리함으로써 보다 용이하게 게다가 단시간으로 설계할 수 있다.

도 34에 도시하는 바닥 평면도에서는, 또한 64개의 입출력 데이타 버퍼(3a-1～3a-64)와 64개의 주변 회로 전원 드라이버(34a-1～34a-64)가 로우 방향으로 서로 개략 같은 피치로 배열되어 있다. 64개의 입출력 데이타 버퍼(3a-1～3a-64) 및 64개의 주변 회로 전원 드라이버(34a-1～34a-64)는 64쌍의 DQ0, /DQ0～DQ63, /DQ64쌍에 대응하여 설치되어 있고, 64쌍의 DQ0, /DQ0～DQ63, /DQ63쌍은 4쌍마다 각 32킬로 비트 서브 메모리 어레이 블록에 설치되어 있기 때문에, 입출력 데이타 버퍼(3a-1～3a-64) 및 주변 회로 전원 드라이버(34a-1～34a-64)의 피치는 32킬로 비트 서브 메모리 어레이 블록의 로우 방향의 피치의 1/4이다. 따라서, 도 34에 도시되는 바와 같이, 64개의 입출력 데이타 버퍼(3a-1～3a-64) 및 64개의 주변 회로 전원 드라이버(34a-1～34a-64)의 로우 방향의 배열 갯수를 32킬로 비트 서브 메모리 어레이 블록의 로우 방향의 배열 갯수의 4배로 할 수 있고, 다(多)비트 출력에 적당한 것으로 된다.

도 35에, 입출력 데이타 버퍼의 구체적인 구성예가 나타나 있다. 입출력 데이타 버퍼는 판독 버퍼(111)와 기입 버퍼(112)로 되어 있다. 판독 버퍼(111)는 판독 제어 신호(RDEN)에 의해 제어되고, DQ선쌍, 예를 들어 DQ0, /DQ0상의 데이타를 I/0부로 출력한다. 기입 버퍼(111)는 제어 신호(WTEN)에 의해 제어되고, I/0부로 입력되는 기입 데이타를 DQ선쌍 DQ0, /DQ0으로 출력한다.

도 36은, 도 22의 메모리 매크로의 바닥 평면도에서의, 도 34와 마찬가지의 도면을 나타내고 있다. 즉, 도 36은 도 21의 메모리 매크로의 바닥 평면도에서의 입출력 데이타 버퍼 블록(3a) 및 주변 회로 전원 드라이버 블록(34a)의 구성을 상세히 나타내고 있다. 도시되어 있지 않지만, 입출력 데이타 버퍼 블록(3b) 및 주변 회로 전원 드라이버 블록(34b)의 구성도 같다.

도 36에 도시되는 바와 같이, 입출력 버퍼 블록(3a)은 로우 방향으로 인접하여 배치된 32개의 입출력 데이타 버퍼(3a-1～3a-32)로 되어 있다. 32개의 입출력 데이타 버퍼(3a-1～3a-32)는 32쌍의 DQ선쌍 DQ0, /DQ0～DQ31, /DQ31에 대응하여 설치되어 있다.

도 34에 도시하는 입출력 데이타 버퍼 블록에서와 마찬가지로, 예를 들어 DQ선쌍 DQ0, /DQ0쌍, DQ선쌍 DQ1, /DQ1쌍, DQ2, /DQ2쌍, …에 대응하여 각각 입출력 데이타 버퍼(3a-1, 3a-2, 3a-3, …)가 배치되어 있다.

주변 회로 전원 드라이버 블록(34a)은 입출력 데이타 버퍼(3a)에 인접하여 설치되어 있다. 즉, 서로 인접하여 로우 방향으로 배치된 32개의 입출력 데이타 버퍼(3a-1～3a-32)에 인접하고, 또 대응하여 32개의 주변 회로 전원 드라이버(34a-1～34a-32)가 로우 방향으로 인접하여 배치되어 있다. 예를 들어, 입출력 데이타 버퍼(3a-1, 3a-2, 3a-3, …)에 대응하여 각각 주변 회로 전원 드라이버(34a-1, 34a-2, 34a-3, …)가 배치되어 있다. 입출력 버퍼 블록(3b) 및 주변 회로 전원 드라이버 블록(34b)의 구성도 마찬가지이기 때문에 간단하게 설명한다.

즉, 입출력 데이타 버퍼 블록(3b)은, 입출력 데이타 버퍼 블록(3a)과 마찬가지로, 로우 방향으로 인접하여 배치된 32개의 입출력 데이타 버퍼로 되어 있다. 주변 회로 전원 드라이버(34)도 로우 방향으로 인접하여 배치된 32개의 주변 회로 전원 드라이버로 되어 있다. 그리고, 주변 회로 전원 드라이버(34b)가 입출력 데이타 버퍼(3b)에 대응하여 배치되어 있다. 즉, 주변 회로 전원 드라이버(34b)의 32개의 주변 회로 전원 드라이버가 입출력 데이타 버퍼 블록(3b)의 32개의 입출력 데이타 버퍼에 대응하여 배치되어 있다.

또한, 32개의 입출력 단자(I/00～I/031)가 32개의 입출력 데이타 버퍼(3a-1～3a-32)에 대응하여 설치되어 있고, 32개의 입출력 데이타 버퍼(3a-1～3a-32)가 각각 32개의 입출력 단자(I/00～I/031)에 접속되어 있다.

도 36에 도시하는 바닥 평면도에서는, 또한 32개의 입출력 데이타 버퍼(3a-1～3a-32)와 32개의 주변 회로 전원 드라이버(34a-1～34a-32)가 로우 방향으로 서로 개략 같은 피치로 배열되어 있다. 32개의 입출력 데이타 버퍼(3a-1～3a-32) 및 32개의 주변 회로 전원 드라이버(34a-1～34a-32)는 32쌍의 DQ0, /DQ0쌍～DQ31, /DQ31에 대응하여 설치되어 있고, 32쌍의 DQ0, /DQ0쌍～DQ31, /DQ31은 4쌍마다 각 32킬로 비트 서브 메모리 어레이 블록에 설치되어 있기 때문에, 입출력 데이타 버퍼(3a-1～3a-32) 및 주변 회로 전원 드라이버(34a-1～34a-32)의 피치는 32킬로 비트 서브 메모리 어레이 블록의 로우 방향의 피치의 1/4이다.

도 34의 입출력 데이타 버퍼 블록이 64개의 입출력 데이타 버퍼(3a-1～3a-64) 및 64개의 주변 회로 전원 드라이버(34a-1～34a-64)로 이루어지는 구성인 것에 대해, 도 36의 입출력 데이타 버퍼 블록은 32개의 입출력 데이타 버퍼 블록(3a-1～3a-32) 및 32개의 주변 회로 전원 드라이버(34a-1～34a-32)로 구성되어 있다. 이 점을 배고 도 36의 바닥 평면도의 구성은 도 34의 바닥 평면도의 구성과 마찬가지이다.

도 37은 도 34의 입출력 데이타 버퍼 블록의 변형예의 구성을 나타내는 도면이다. 즉, 본 예에서는, 입출력 데이타 버퍼(3a-1～3a-64)의 피치는 도 34에 도시하는 예로 변하지 않지만, 주변 회로 전원 드라이버의 피치가 입출력 데이타 버퍼(3a-1～3a-64)의 피치의 8배로 되어 있고, 주변 회로 전원 드라이버 블록(34a)은 8개의 주변 회로 전원 드라이버(34a-1～34a-8)로 구성되어 있다. 즉, 주변 회로 전원 드라이버(34a-1～34a-8)의 피치가 32킬로 비트 서브 메모리 어레이 블록(101-1～101-8)의 피치의 2배와 같게 되어 있다.

도, 도 34에서의 경우와 마찬가지로, 64개의 입출력 단자(I/00～I/063)가 64개의 입출력 데이타 버퍼(3a-1～3a-64)에 대응하여 설치되어 있고, 64개의 입출력 데이타 버퍼(3a-1～3a-64)가 각각 64개의 입출력 단자(I/00～I/064)에 접속되어 있다.

도 38은, 도 36의 입출력 데이타 버퍼 블록의 변형예의 구성을 나타내는 도면이다. 즉, 본 예에서는, 입출력 데이타 버퍼(3a-1～3a-32)의 피치는 도 36에 도시하는 에로 변하지 않지만 주변 회로 전원 드라이버의 피치가 입출력 데이타 버퍼(3a-1～3a-32)의 피치의 8배로 되어 있고, 주변 회로 전원 드라이버 블록(34a)는 4배의 주변 회로 전원 드라이버(34a-1～34a-4)로 구성되어 있다. 즉, 주변 회로 전원 드라이버(34a-1～34a-4)의 피치가 32킬로 비트 서브 메모리 어레이 블록(101-1～101-4)의 피치의 2배와 같게 되어

있다.

또, 도 36에서의 경우와 마찬가지로, 32개의 입출력 단자(I/00～I/031)이 32개의 입출력 데이타 버퍼(3a-1～3a-32)에 대응하여 설치되어 있고, 32개의 입출력 데이타 버퍼(3a-1～3a-32)가 각각 32개의 입출력 단자 I/00～I/031에 접속되어 있다.

다비트 출력의 DRAM 매크로에 있어서 입출력 데이타 버퍼부 및 주변 회로 전원 드라이버에서의 소비 전류는 대단히 크고, DRAM 매크로에 있어서 소비되는 전류의 50% 이상이 입출력 데이타 버퍼부 및 주변 회로 전원 드라이버에서 소비된다. 상기 구성에서는 입출력 데이타 버퍼 및 주변 회로 전원 드라이버가 DQ선쌍마다 배치되는 방법이 취해져 있기 때문에, DQ선쌍의 쌍수에 따라 설치되는 I/O 입출력 데이타 버퍼 및 주변 회로 전원 드라이버 갯수가 바뀌기 때문에, 입출력 데이타 버퍼부에서의 무궁한 전류 소비와 칩 사이즈의 증대를 막는다. 그것은, DQ선쌍의 쌍수에 따라 설치되는 I/O 입출력 데이타 버퍼 및 주변 회로 전원 드라이버의 갯수가 변하게 됨으로써, I/O 입출력 데이타 버퍼 및 주변 회로 전원 드라이버에서의 트랜지스터 사이즈의 합계값을 필요한 최소값으로 설정할 수 있기 때문이다. 상기 구성에 의하면 도한 I/O수가 작고 소비 전류가 작을 경우에 있어서 주변 회로 전원 드라이버의 트랜지스터 사이즈의 필요 면적이 작게 된다. 상기 구성에 의하면 또한 주변 회로 전원 드라이버가 전류가 많고, 소비하는 입출력 데이타 버퍼에 인접하여 배치되어 있기 때문에 입출력 데이타 버퍼와 주변 회로 전원 드라이버의 사이의 전원 버스 저항에 의해 생기는 입출력 데이타 버퍼 전원의 전위 강하가 작게 된다.

도 39는 본 발명에 따른 메모리 매크로의 설계 플로우차트를 나타내고 있는 것이다.

먼저, 메모리 매크로를 구성하기 위한 기본 요소로 되는 블록을 설계한다. 여기서, 설계할 블록에는, 직류 전위 생성 블록, 메모리 어레이 블록(K비트), 입출력 데이타 버퍼 블록, 메모리 어레이 전원 드라이버 블록, 제어 블록 및 전원선 블록이 포함된다. 제어 블록의 설게에 당면해서는 상술과 같이 메모리 매크로의 최대 용량에 기초하여 블록 선택용 로우 어드레스 신호를 입력하는 어드레스 버퍼수를 결정한다.

다음에, 이들 설계할 메모리 매크로의 사양(기억 용량, 로우수, 칼럼수, I/O수 등)에 대해서 확인한다. 즉, 이들로부터 설계하고자 하는 메모리 매크로의 사양(기억 용량, 로오수, 칼럼수, I/O수 등)의 확인을 한다. 즉, 기억 용량, 로우수, 칼럼수, I/O수에 대해서, 예를 들어 기억 용량=로우수×칼럼수×I/O수로 되는 식이 성립하는지의 여부를 조정하고, 성립하는 것을 확인한다. 성립이 확인된 경우에는, 사양에서 정해진 그들 기억 용량, 로우수, 칼럼수, I/O수 등을 입력한다. 따라서, 서브 메모리 어레이 블록당 DQ선쌍수(Q)와 I/O수(R)에 기초하여 서브 메모리 어레이 블록수 P=(R/Q)를 계산한다. 또한, 입출력 데이타 버퍼수를 P와 같게 설정한다. 따라서, 메모리 매크로의 기억 용량(또는, 로우수, 칼럼수) N 및 서브 메모리 어레이 블록의 기억 용량 M 및 P에 기초하여 메모리 어레이 블록수 L=(M×P)를 계산한다. 이들이 결정됨으로, CAD 처리에 의해 자동적으로 서브 메모리 어레이 블록 및 입출력 데이타 버퍼를 조합하여 사양에 일치한 메모리 어레이 블록 및 입출력 데이타 버퍼 블록을 형성해 메모리 매크로를 구성한다. 동시에, 제어 블록 내의 블록 어드레스용 스위치의 전환을, 메모리 어레이 블록수 L에 기초하여 CAD 처리에 의해 자동적으로 행한다.

이상에 의해, 메모리 매크로의 설계가 종료한다. 이 후, 게이트 어레이 또는 스탠다드 셀에 의해 구성된 로직부와 메모리 매크로를 조합시켜 로직 혼재 메모리의 설계를 완료한다.

이와 같은 설계 방법에 의하면, 메모리 매크로의 사양이 정해지면, CAD 처리에 의해 자동적으로 서브 메모리 어레이 블록을 소정수, 및 바람직하게는 또 입출력 데이타 버퍼, 주변 회로 기준 드라이버를 소정수 조합시켜 메모리 매크로를 구성한다. 동시에, 제어 블록 내의 블록 어드레스용 스위치의 전환을 메모리 어레이 스위치 블록수 L에 기초하여 CAD 처리에 의해 자동적으로 행한다. 따라서, 짧은 설계 기간에서 면적 오버헤드가 작은 메모리 매크로를 제공할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명의 로직 혼재 메모리에 의하면, 다음과 같은 효과를 크게 한다.

CAD 처리에 의해, M비트의 서브 메모리 어레이 블록을 P×L개 조합시키는 것만으로, M×L 비트의 메모리 매크로를 설계할 수 있다. 그러나, 센스 앰프·칼럼 스위치는 그 양단에 존재하는 두개의 메모리 셀 어레이에 공유되어 있기 때문에 메모리 매크로의 기억 용량이 커도 면적 오버헤드가 작다. 또한, DQ선쌍 및 입출력 데이타 버퍼 블록을 복수의 메모리 어레이 블록에 공통으로 설치해도 메모리 매크로의 면적 축소에 공헌한다.

또한, 기억 용량 증감의 최소 단위로 되는 메모리 어레이 블록 마다, 메모리 어레이 전원 드라이버를 배치하도록 하고 있기 때문에, 기억 용량이 작을 경우 과잉 크기의 메모리 어레이 전원 드라이버가 존재한다는 사태를 회피할 수 있다. 또한, 다른 기억 용량의 메모리 매크로를 실현함에 따라서는 CAD 처리에 의해 스위치를 전환하여 블록 선택용 어드레스 신호의 수를 조절하는 것만으로도 된다.

또, 손에 의한 설계에 의해 서브 메모리 어레이 블록을 준비해 두고, 필요한 기억 용량에 따른 수의 서브 메모리 어레이 블록의 래이아웃을 CAD 조작에 의해 자동 처리함으로써, 손에 의한 복잡한 설계 변경을 필요로 하는 일 없이 단시간에 사양에 따른 메모리 매크로를 실현할 수 있다.

또한, 기본 단위의 입출력 데이타 버퍼를 준비해 두고, 필요한 기억 용량에 따른 수의 입출력 데이타 버퍼 서브 블록의 래이아웃을 CAD 조작에 의해 자동적으로 처리함으로써, 손에 의한 복잡한 설계 변경을 필요로 하는 일 없이 I/O수의 입출력 데이타 버퍼 블록을 용이하게 실현할 수 있다.

게다가, 입출력 데이타 버퍼 블록에 병렬 배치하고, 도 입출력 데이타 버퍼 블록의 로우 방향의 폭에 맞춰 주변 회로 전원 드라이버를 기본 단위의 주변 회로 전원 드라이버를 준비해 두고, 필요한 수의 주변 회로 전원 드라이버를 이용해 CAD 조작에 의해 자동적으로 처리함으로써 손에 의한 복잡한 설계 변경을 필요로 하는 일 없이 용이하게 실현할 수 있다.

이상에 의해, 메모리 매크로의 사양에 변경이 있어도 손에 의한 설계 변경을 필요로 하는 일 없이 CAD 조

자에 의한 자동 설계에 의해 면적 오버헤드가 작은 메모리 매크로를 짧은 기간에 공급하는 것이 가능하게 된다. 즉, 복잡하고 장시간의 설계 기간을 필요로 하는 기본 설계를 사람 손으로 행하고, 또 메모리 매크로의 사양의 변경에 대해서는 기본 설계를 이용해 CAD 조작에 의해 용이하게 자동 처리함으로써 단기간에 면적 오버헤드가 작은 메모리 매크로를 실현할 수 있다.

(57) 청구의 범위

청구항 1

메모리 매크로와 로직부가 1칩에 집적된 로직 혼재 메모리에 있어서,

상기 메모리 매크로는 상기 로직부에서 입력된 외부 어드레스 신호를 버퍼링하여 내부 어드레스 신호를 생성하는 수단을 갖는 제어 블록과,

행렬 형태로 배치된 각각 N비트의 기억 용량의 복수의 메모리 셀 어레이, 상기 메모리 셀 어레이에 접속되어 메모리 셀의 데이타를 증폭하는 센스 앰프, 상기 제어 블록의 내부 어드레스 신호 생성 수단에 의해 생성된 내부 어드레스 신호를 받아 내부 어드레스 신호에 의해 지정된 행렬 위 위치의 메모리 셀을 선택하는 디코더, 및 데이타선을 갖는 적어도 하나의 메모리 메모리 어레이 블록과,

상기 적어도 하나의 메모리 어레이 블록의 상기 디코더에 의해 선택된 메모리 셀의 데이타를 기억 데이타선을 통해 받아 상기 로직부로 출력하는 입출력 데이타 버퍼 블록

을 구비하고,

그로인해 상기 메모리 매크로가 N비트인 정수배의 기억 용량을 갖는 것을 특징으로 하는 로직 혼재 메모리.

청구항 2

제1항에 있어서, 상기 적어도 하나의 메모리 어레이 블록은 칼럼 방향으로 복수 상호 인접하여 배치되어 있고, 상기 데이타선은 상기 복수의 메모리 어레이 블록의 상기 메모리 셀 어레이 위에 칼럼 방향으로 설치되어 있고, 상기 복수의 메모리 어레이 블록은 상기 데이타선을 공유하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 3

제1항에 있어서, 상기 적어도 하나의 메모리 어레이 블록은 칼럼 방향으로 복수 상호 인접하여 배치되어 있고, 상기 복수의 메모리 어레이 블록의 상호 인접하는 적어도 한쌍의 메모리 어레이 블록은 상기 센스 앰프를 공유하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 4

제1항에 있어서, 상기 제어 블록의 상기 내부 어드레스 신호 생성 수단은 복수의 어드레스 버퍼를 구비하고, 상기 제어 블록은 상기 외부 어드레스 신호와 상기 내부 어드레스 신호와의 대응 관계를 상기 메모리 어레이 블록의 어드레스 할당에 일치시키기 위해 상기 외부 어드레스 신호와 상기 복수의 어드레스 버퍼와의 사이에 대응하여 설치된 복수의 스위치를 더 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 5

제1항에 있어서, 상기 제어 블록의 상기 내부 어드레스 신호 생성 수단은 복수의 어드레스 버퍼를 구비하고, 상기 제어 블록은 상기 외부 어드레스 신호와 상기 내부 어드레스 신호와의 대응 관계를 상기 메모리 어레이 블록의 어드레스 할당에 일치시키기 위해 소정 갯수의 어드레스 버퍼를 활성화하도록 상기 외부 어드레스 신호와 상기 복수의 어드레스 버퍼와의 사이에 대응하여 설치된 복수의 스위치를 더 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 6

제1항에 있어서, 상기 메모리 매크로는 상기 메모리 어레이 블록의 갯수에 따른 갯수의 메모리 어레이 전원 드라이버 블록을 더 구비하고, 상기 메모리 어레이 전원 드라이버 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 수단을 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 7

제1항에 있어서, 상기 메모리 어레이 블록은 외부 전원 전압을 받아 상기 메모리 셀 어레이를 동작시키는 내부 전원 전압을 생성하는 수단을 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 8

제6항에 있어서, 상기 메모리 어레이 전원 드라이버 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 전원 강압 트랜지스터를 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 9

제7항에 있어서, 상기 메모리 어레이 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 전원 강압 트랜지스터를 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 10

제1항에 있어서, 상기 메모리 매크로는 외부 전원 전압을 받아 상기 메모리 어레이 블록, 상기 입출력 데이타 버퍼 블록, 및 상기 제어 블록으로 공급하는 직류 전원 전위를 생성하는 전원 전위 생성 블록을 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 11

제1항에 있어서, 상기 복수의 메모리 어레이 블록의 로우 방향의 단부에 인접하여 배치되고, 전원선을 포함하는 전원선 블록을 더 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 12

제4항 또는 제5항에 있어서, 상기 복수의 스위치는 상기 대응 관계에 따라 선택적으로 접속되는 것을 특징으로 하는 로직 혼재 메모리.

청구항 13

제12항에 있어서, 상기 스위치는 메탈 배선층으로 이루어지고, 상기 대응 관계에 따라 선택적으로 절단되는 것을 특징으로 하는 로직 혼재 메모리.

청구항 14

제12항에 있어서, 상기 스위치는 콘택트 배선층으로 이루어지고, 상기 대응 관계에 따라 선택적으로 형성되는 것을 특징으로 하는 로직 혼재 메모리.

청구항 15

제1항에 있어서, 상기 메모리 셀 어레이는 행렬 형태로 배치된 DRAM으로 구성되는 것을 특징으로 하는 로직 혼재 메모리.

청구항 16

제1항에 있어서, 상기 복수의 메모리 어레이 블록은 로우 디코더, 칼럼 디코더 및 상기 센스 앰프를 동작시키는 드라이버를 포함하는 메모리 어레이 블록 제어부; 및

적어도 상기 메모리 어레이 블록 제어부의 로우 방향의 일단에 배치되는 적어도 하나의 메모리 셀 어레이를 구비하고 있는 것을 특징으로 하는 로직 혼재 메모리.

청구항 17

메모리 매크로와 로직부가 1칩에 집적된 로직 혼재 메모리에 있어서,

상기 메모리 매크로는 제어 블록과 적어도 하나의 메모리 어레이 블록과 복수의 입출력 데이타 버퍼 블록으로 이루어지고,

상기 제어 블록은 상기 로직부에서 입력된 외부 어드레스 신호를 버퍼링하여 내부 어드레스 신호를 생성하는 수단을 구비하며,

상기 적어도 하나의 메모리 어레이 블록은 행렬 형태로 배치된 M비트의 메모리 셀 어레이로 이루어지는 서브 메모리 셀 어레이 블록이 로우 방향으로 P개 배치되고, 상기 제어 블록의 내부 어드레스 신호 생성 수단에 의해 생성된 내부 어드레스 신호를 받아 상기 내부 어드레스 신호에 의해 지정된 행렬 위 위치의 메모리 셀을 선택하는 디코더를 구비하며,

상기 서브 메모리 어레이 블록은 상기 메모리 셀에 접속되어 메모리 셀의 데이타를 증폭하는 센스 앰프와 상기 메모리 셀 어레이의 선택된 열의 데이타를 판독하기 위한 Q비트폭의 데이타선을 구비하며,

상기 복수의 입출력 데이타 버퍼 블록의 각각은 상기 적어도 하나의 메모리 어레이 블록의 상기 디코더에 의해 선택된 메모리 셀의 데이타를 상기 데이타선을 통해 받아 증폭하며, 상기 로직부로 출력하는 수단을 구비하고,

그로인해 상기 메모리 매크로가 MxP비트의 정수배의 기억 용량과 QxP 비트의 입출력수를 갖는 것을 특징으로 하는 로직 혼재 메모리.

청구항 18

제17항에 있어서, 상기 복수의 메모리 어레이 블록의 각각은 외부 전원 전압을 받아 상기 센스 앰프의 내부 전원 전압을 생성하는 전원 강압 트랜지스터를 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 19

제17항에 있어서, 상기 적어도 하나의 메모리 어레이 블록은 칼럼 방향으로 복수 인접하여 배치되어 있고, 상기 데이타선은 상기 복수의 메모리 어레이 블록의 상기 메모리 셀 어레이 위에 칼럼 방향으로 설치되어 있고, 상기 복수의 메모리 어레이 블록은 상기 데이타선을 공유하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 20

제17항에 있어서, 상기 적어도 하나의 메모리 어레이 블록은 칼럼 방향으로 복수 인접하여 배치되어 있고, 상기 복수의 메모리 어레이 블록의 상호 인접하는 적어도 한쌍의 메모리 어레이 블록은 상기 센스 앰프를 공유하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 21

제17항에 있어서, 상기 제어 블록의 상기 내부 어드레스 신호 생성 수단은 복수의 어드레스 버퍼를 구비하고, 상기 제어 블록은 상기 외부 어드레스 신호와 상기 내부 어드레스 신호와의 대응 관계를 상기 메모리 어레이 블록의 어드레스 할당에 일치시키기 위해 상기 외부 어드레스 신호와 상기 복수의 어드레스 버퍼와의 사이에 대응하여 설치된 복수의 스위치를 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 22

제21항에 있어서, 상기 복수의 스위치는 상기 대응 관계에 따라 선택적으로 접속되는 것을 특징으로 하는 로직 혼재 메모리.

청구항 23

제22항에 있어서, 상기 스위치는 메탈 배선층으로 이루어지고, 상기 대응 관계에 따라 선택적으로 절단되는 것을 특징으로 하는 로직 혼재 메모리.

청구항 24

제22항에 있어서, 상기 스위치는 콘택트 배선층으로 이루어지고, 상기 대응 관계에 따라 선택적으로 형성되는 것을 특징으로 하는 로직 혼재 메모리.

청구항 25

제17항에 있어서, 상기 메모리 매크로는 상기 메모리 어레이 블록의 갯수에 따른 갯수의 메모리 어레이 전원 드라이버 블록을 더 구비하고, 상기 메모리 어레이 전원 드라이버 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 수단을 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 26

제17항에 있어서, 상기 메모리 어레이 블록은 외부 전원 전압을 받아 상기 메모리 셀 어레이를 동작시키는 내부 전원 전압을 생성하는 수단을 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 27

제26항에 있어서, 상기 메모리 어레이 전원 드라이버 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 전원 강압 트랜지스터를 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 28

제27항에 있어서, 상기 메모리 어레이 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 전원 강압 트랜지스터를 구비하는 것을 특징으로 하는 로직 혼재 메모리.

청구항 29

제17항에 있어서, 상기 메모리 셀 어레이는 행렬 형태로 배치된 DRAM으로 구성되는 것을 특징으로 하는 로직 혼재 메모리.

청구항 30

메모리 매크로와 로직부가 1칩에 집적된 로직 혼재 메모리의 설계 방법에 있어서,

상기 메모리 매크로는 상기 로직부에서 입력된 외부 어드레스 신호를 버퍼링하여 내부 어드레스 신호를 생성하는 수단을 갖는 제어 블록과,

행렬 형태로 배치된 각각 N비트의 기억 용량의 복수의 메모리 셀 어레이, 상기 메모리 셀 어레이에 접속된 메모리 셀의 데이타를 증폭하는 센스 앰프, 상기 제어 블록의 내부 어드레스 신호 생성 수단에 의해 생성된 내부 어드레스 신호를 받아 상기 내부 어드레스 신호에 의해 지정된 행렬 위 위치의 메모리 셀을 선택하는 디코더, 및 데이타선을 갖는 적어도 하나의 메모리 어레이 블록과,

상기 적어도 하나의 메모리 어레이 블록의 상기 디코더에 의해 선택된 메모리 셀의 데이타를 상기 데이타선을 통해 받아 상기 로직부로 출력하는 입출력 데이타 버퍼 블록

을 구비하고,

상기 방법이 상기 메모리 매크로의 사양을 만족하는 상기 메모리 어레이 블록의 수 L(L은 자연수)을 결정하는 공정; 및

상기 결정된 L개의 상기 메모리 어레이 블록을 상기 입출력 데이타 버퍼 블록 및 상기 제어 블록에 인접하여 배치하는 래이아웃 데이타를 프로그램으로 하여 자동 처리에 의해 작성하는 공정을 포함하며,

그로인해 상기 메모리 매크로가 NxL비트의 기억 용량을 갖는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 31

제30항에 있어서, 상기 적어도 하나의 메모리 어레이 블록은 칼럼 방향으로 복수 인접하여 배치되고, 상기 데이타선은 상기 복수의 메모리 어레이 블록의 상기 메모리 셀 어레이 위에 칼럼 방향으로 설치되며, 상기 복수의 메모리 어레이 블록은 상기 데이타선을 공유하는 것을 특징으로 하는 로직 혼재 메모리의 설

계 방법.

청구항 32

제30항에 있어서, 상기 제어 블록의 상기 내부 어드레스 신호 생성 수단은 복수의 어드레스 버퍼를 구비하고, 상기 제어 블록은 상기 외부 어드레스 신호와 상기 복수의 어드레스 버퍼와의 사이에 대응하여 복수의 스위치를 더 구비하며, 상기 외부 어드레스 신호와 상기 내부 어드레스 신호와의 대응 관계를 상기 메모리 어레이 블록의 어드레스 할당에 일치시키기 위해 상기 복수의 스위치를 선택적으로 접속하는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 33

제30항에 있어서, 상기 제어 블록의 상기 내부 어드레스 신호 생성 수단은 복수의 어드레스 버퍼를 구비하고, 상기 제어 블록은 상기 외부 어드레스 신호와 상기 복수의 어드레스 버퍼와의 사이에 대응하여 복수의 스위치를 더 구비하며, 상기 외부 어드레스 신호와 상기 내부 어드레스 신호와의 대응 관계를 상기 메모리 어레이 블록의 어드래스 할당에 일치시키기 위해 상기 복수의 스위치를 선택적으로 접속하여 소정 갯수의 어드레스 버퍼를 활성화하는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 34

제30항에 있어서, 상기 메모리 매크로는 상기 메모리 어레이 블록의 갯수에 따른 갯수의 메모리 어레이 전원 드라이버 블록을 더 구비하고, 상기 메모리 어레이 전원 드라이버 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 수단을 구비하는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 35

제30항에 있어서, 상기 메모리 매크로는 외부 전원 전압을 받아, 상기 메모리 어레이 블록, 상기 입출력 데이타 버퍼 블록, 및 상기 제어 블록으로 공급하는 직류 전원 전위를 생성하는 전원 전위 생성 블록을 구비하는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 36

제30항에 있어서, 상기 복수의 메모리 어레이 블록의 로우 방향의 단부에 인접하여 배치되고, 전원선을 포함하는 전원선 블록을 더 구비하는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 37

제30항에 있어서, 상기 메모리 셀 어레이는 행렬 형태로 배치된 DRAM으로 구성되는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 38

제30항에 있어서, 상기 메모리 어레이 블록의 수 L은 상기 메모리 매크로의 로우수, 칼럼수, 입출력 데이타수, 총용량의 사양 중 적어도 하나의 사양을 기초로 결정되는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 39

메모리 매크로와 로직부가 1칩에 집적된 로직 혼재 메모리에서,

상기 메모리 매크로는 제어 블록과 적어도 하나의 메모리 어레이 블록과 복수의 입출력 데이타 버퍼 블록으로 이루어지고,

상기 제어 블록은 상기 로직부에서 입력된 외부 어드레스 신호를 버퍼링하여 내부 어드레스 신호를 생성하는 수단을 구비하며,

상기 적어도 하나의 메모리 어레이 블록은 행렬 형태로 배치된 M비트의 메모리 셀 어레이로 이루어지는 서브 메모리 셀 어레이가 로우 방향으로 P개 배치되고, 상기 제어 블록의 내부 어드레스 신호 생성 수단에 의해 생성된 내부 어드레스 신호를 받아 상기 내부 어드레스 신호에 의해 지정된 행렬 위 위치의 메모리 셀을 선택하는 디코더를 구비하며,

상기 서브 메모리 어레이 블록은 상기 메모리 셀에 접속되어 메모리 셀의 데이타를 증폭하는 센스 앰프와 상기 메모리 셀 어레이의 선택된 열의 데이타를 접속하기 위한 Q비트폭의 데이타선을 구비하고,

상기 복수의 입출력 데이타 버퍼 블록의 각각은 상기 적어도 하나의 메모리 어레이 블록의 상기 디코더에 의해 선택된 메모리 셀의 데이타를 상기 데이타선을 통해 받아 증폭하여 상기 로직부로 출력하는 수단을 구비하며,

상기 메모리 매크로의 사양을 만족하는 상기 서브 메모리 어레이 블록의 수 P와 상기 메모리 어레이 블록의 수 L과 상기 입출력 데이타 버퍼 블록의 수를 결정하는 공정과,

상기 결정된 수의 상기 메모리 어레이 블록 P와 상기 입출력 데이타 버퍼 블록을 상기 제어 블록에 인접하여 배치하는 래이아웃 데이타를 프로그램으로 하여 자동 처리에 의해 작성하는 공정을 포함하고,

그로인해 상기 메모리 매크로가 MxPxL 비트의 기억 용량과 QxP 비트의 입출력수를 갖는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 40

제39항에 있어서, 상기 복수의 입출력 데이타 버퍼 블록의 각각은 외부 전원 전압을 받아 상기 센스 앰프의 내부 전원 전압을 생성하는 전원 강압 트랜지스터를 구비하는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 41

제39항에 있어서, 상기 적어도 하나의 메모리 어레이 블록은 칼럼 방향으로 복수 인접하여 배치되어 있고, 상기 데이타선은 상기 복수의 메모리 어레이 블록의 상기 메모리 셀 어레이 위에 칼럼 방향으로 설치되어 있으며, 상기 복수의 메모리 어레이 블록은 상기 데이타선을 공유하는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 42

제39항에 있어서, 상기 제어 블록의 상기 내부 어드레스 신호 생성 수단은 복수의 어드레스 버퍼를 구비하고, 상기 제어 블록은 상기 외부 어드레스 신호와 상기 내부 어드레스 신호와의 대응 관계를 상기 메모리 어레이 블록의 어드레스 할당에 일치시키기 위한 스위치를 더 구비하는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 43

제39항에 있어서, 상기 메모리 매크로는 상기 메모리 어레이 블록의 갯수에 따른 갯수의 메모리 어레이 전원 드라이버 블록을 더 구비하고, 상기 메모리 어레이 전원 드라이버 블록은 외부 전원 전압을 받아 메모리 어레이를 동작시키는 내부 전원 전압을 생성하는 수단을 구비하는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 44

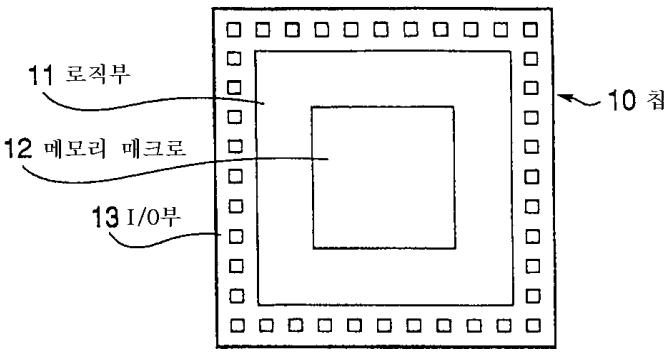
제39항에 있어서, 상기 메모리 셀 어레이는 행렬 형태로 배치된 DRAM으로 구성되는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

청구항 45

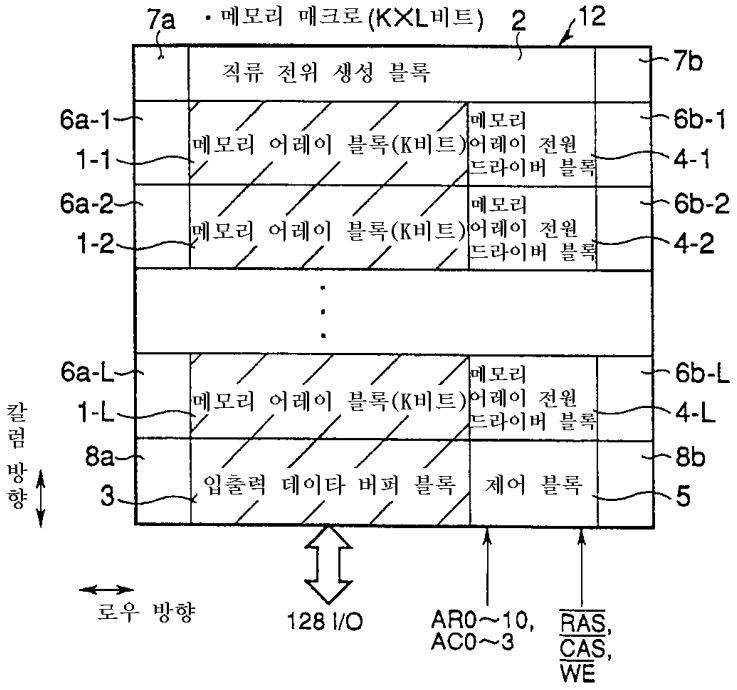
제39항에 있어서, 상기 서브 메모리 어레이 블록의 수 P와 상기 입출력 데이타 버퍼 블록의 수는 상기 메모리 매크로의 로우수, 칼럼수, 입출력 데이타수, 총용량의 사양 중 적어도 하나의 사양을 기초로 결정되는 것을 특징으로 하는 로직 혼재 메모리의 설계 방법.

도면

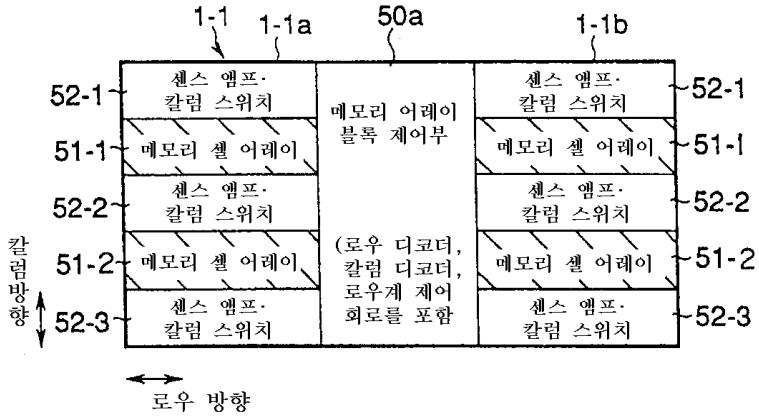
도면1



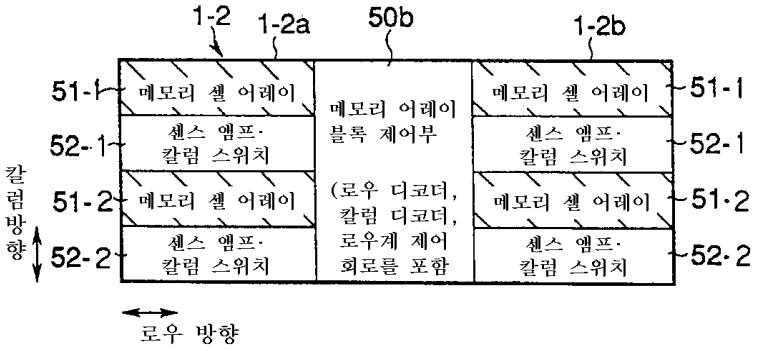
도면2


7a
·메모리 매크로(K×L비트)
2
12
직류 전위 생성 블록
7b
6a-1
1-1
메모리 어레이 블록(K비트)
메모리 어레이 전원 드라이버 블록
6b-1
4-1
6a-2
1-2
메모리 어레이 블록(K비트)
메모리 어레이 전원 드라이버 블록
6b-2
4-2
6a-L
1-L
메모리 어레이 블록(K비트)
메모리 어레이 전원 드라이버 블록
6b-L
4-L
8a
3
입출력 데이타 버퍼 블록
제어 블록
8b
5
칼럼 방향
로우 방향
128 I/O
AR0~10, AC0~3
RAS, CAS, WE

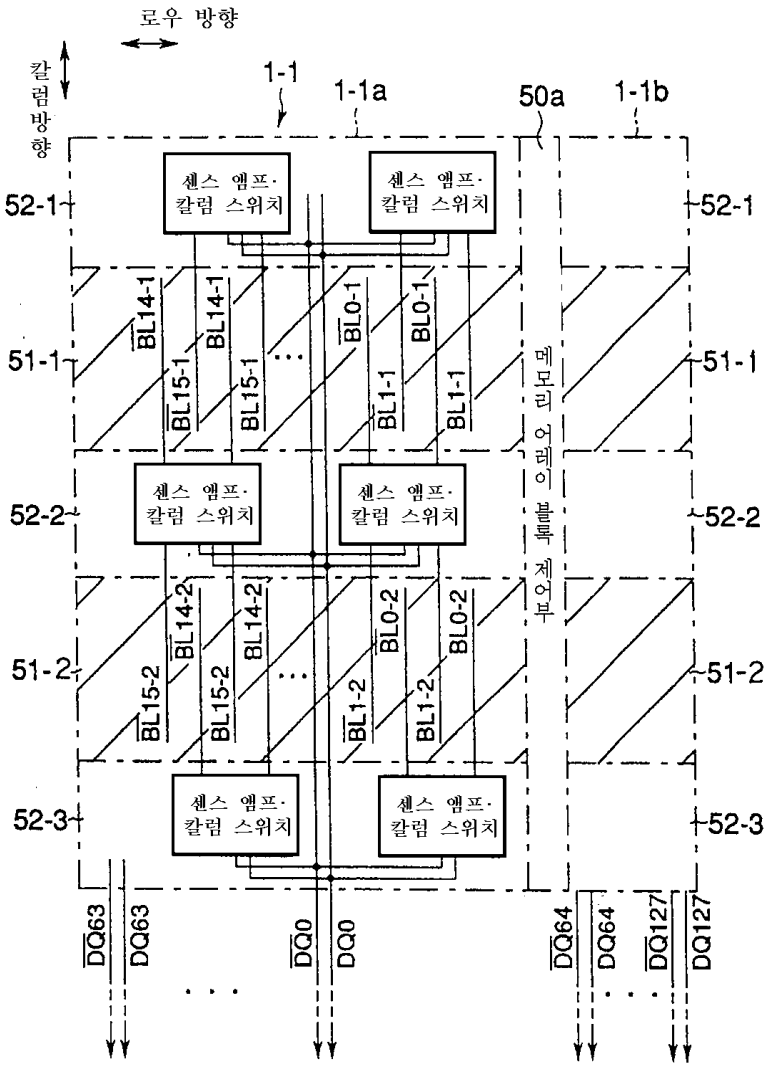
도면3


1-1
1-1a
50a
1-1b
52-1
센스 앰프·칼럼 스위치
메모리 어레이 블록 제어부
센스 앰프·칼럼 스위치
52-1
51-1
메모리 셀 어레이
메모리 셀 어레이
51-1
52-2
센스 앰프·칼럼 스위치
센스 앰프·칼럼 스위치
52-2
51-2
메모리 셀 어레이
(로우 디코더, 칼럼 디코더, 로우계 제어 회로를 포함)
메모리 셀 어레이
51-2
52-3
센스 앰프·칼럼 스위치
센스 앰프·칼럼 스위치
52-3
칼럼 방향
로우 방향

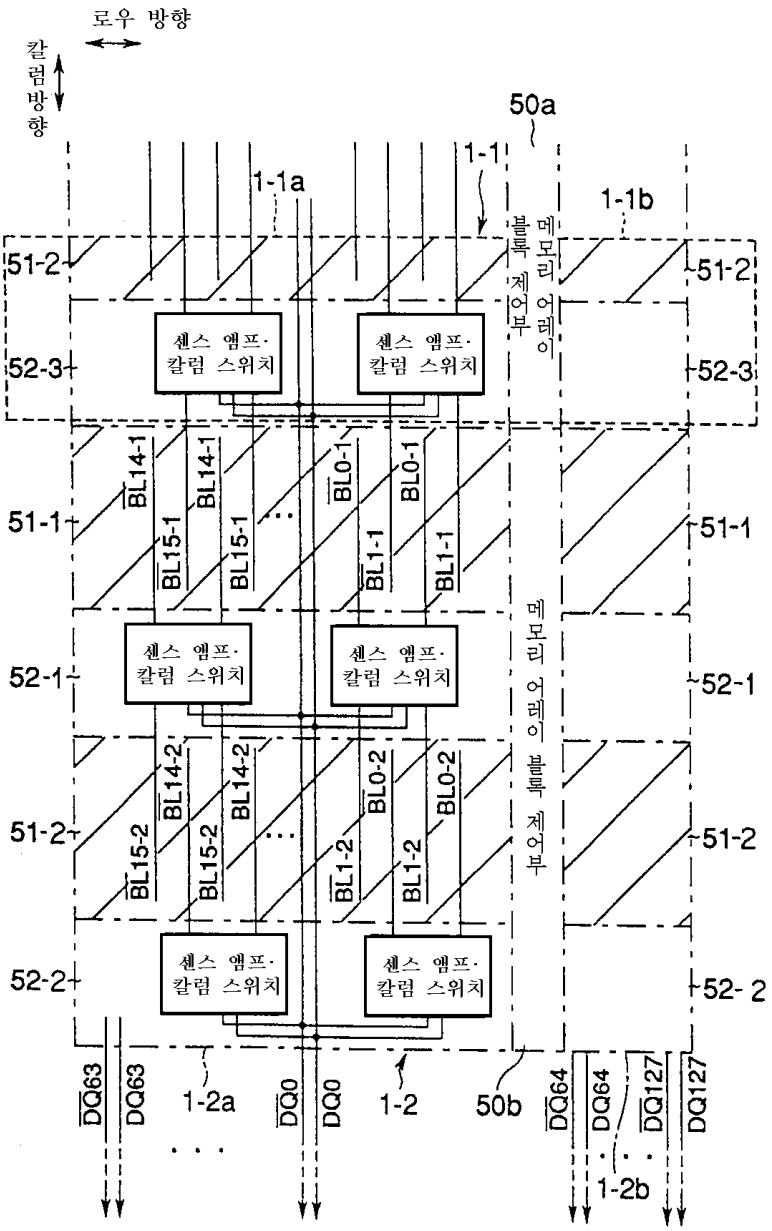
도면4


1-2
1-2a
50b
1-2b
51-1
메모리 셀 어레이
메모리 어레이 블록 제어부
메모리 셀 어레이
51-1
52-1
센스 앰프·칼럼 스위치
센스 앰프·칼럼 스위치
52-1
51-2
메모리 셀 어레이
(로우 디코더, 칼럼 디코더, 로우계 제어 회로를 포함)
메모리 셀 어레이
51-2
52-2
센스 앰프·칼럼 스위치
센스 앰프·칼럼 스위치
52-2
칼럼 방향
로우 방향

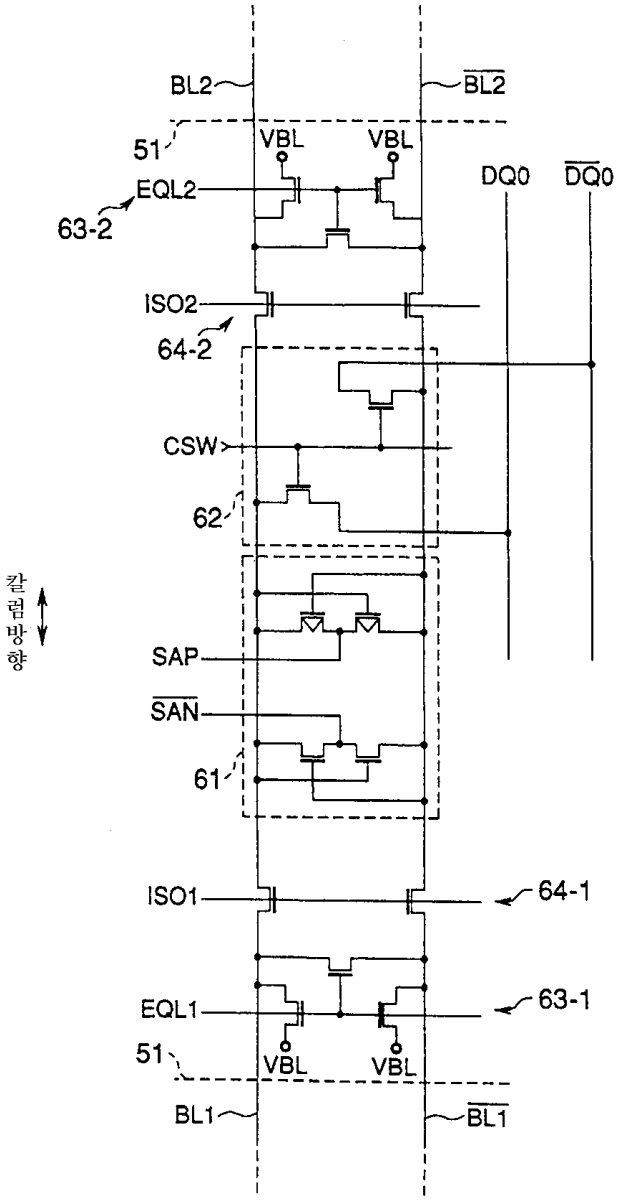
도면5


로우 방향
칼럼 방향
1-1
1-1a
50a
1-1b
센스 앰프·칼럼 스위치
52-1
51-1
52-2
51-2
52-3
메모리 어레이 블록 제어부
DQ63
DQ0
DQ64
DQ127

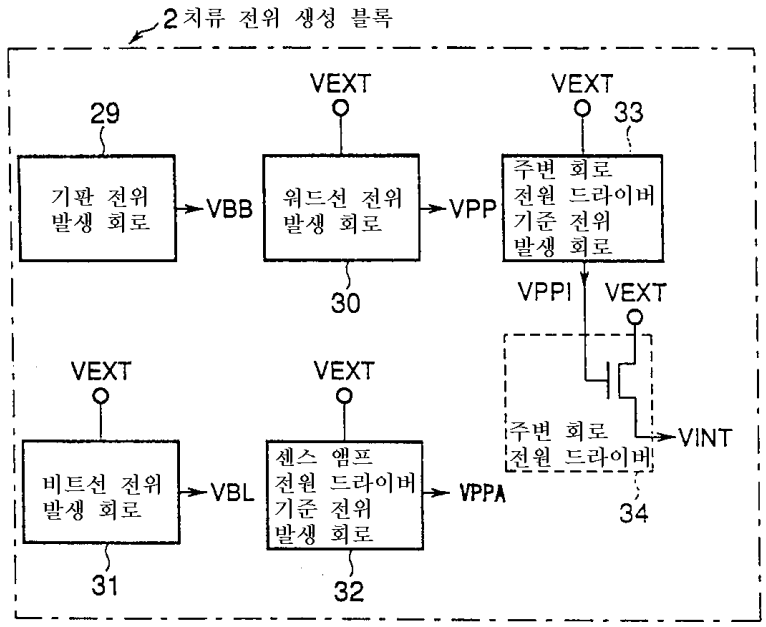
도면6


로우 방향
칼럼방향
50a
1-1
1-1a
1-1b
메모리 어레이 블록 제어부
51-2
52-3
센스 앰프·칼럼 스위치
51-1
52-1
51-2
52-2
BL14-1
BL15-1
BL0-1
BL1-1
BL14-2
BL15-2
BL0-2
BL1-2
DQ63
1-2a
DQ0
1-2
50b
DQ64
DQ127
1-2b

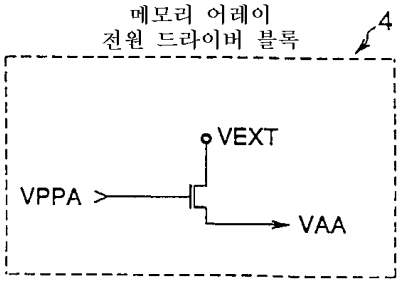
도면7


BL2
$\overline{BL2}$
51
VBL
VBL
DQ0
$\overline{DQ0}$
EQL2
63-2
ISO2
64-2
CSW
62
칼럼방향
SAP
$\overline{SAN}$
61
ISO1
64-1
EQL1
63-1
51
VBL
VBL
BL1
$\overline{BL1}$

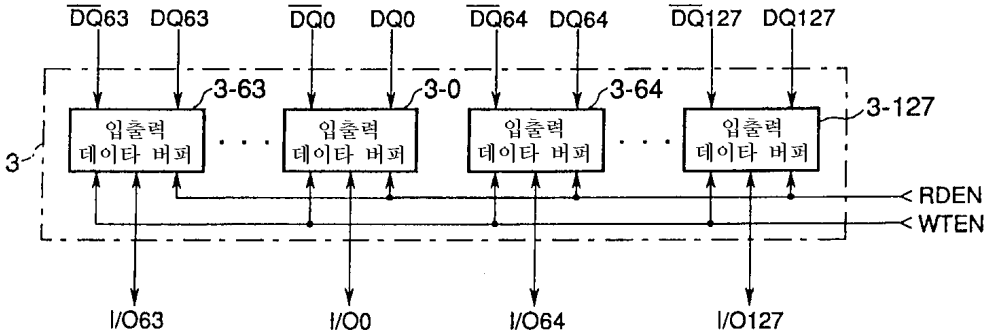
도면8


2 치류 전위 생성 블록
29
기판 전위 발생 회로
VBB
VEXT
워드선 전위 발생 회로
30
VPP
VEXT
33
주변 회로 전원 드라이버 기준 전위 발생 회로
VPPI
VEXT
주변 회로 전원 드라이버
VINT
34
VEXT
비트선 전위 발생 회로
VBL
31
VEXT
센스 앰프 전원 드라이버 기준 전위 발생 회로
VPPA
32

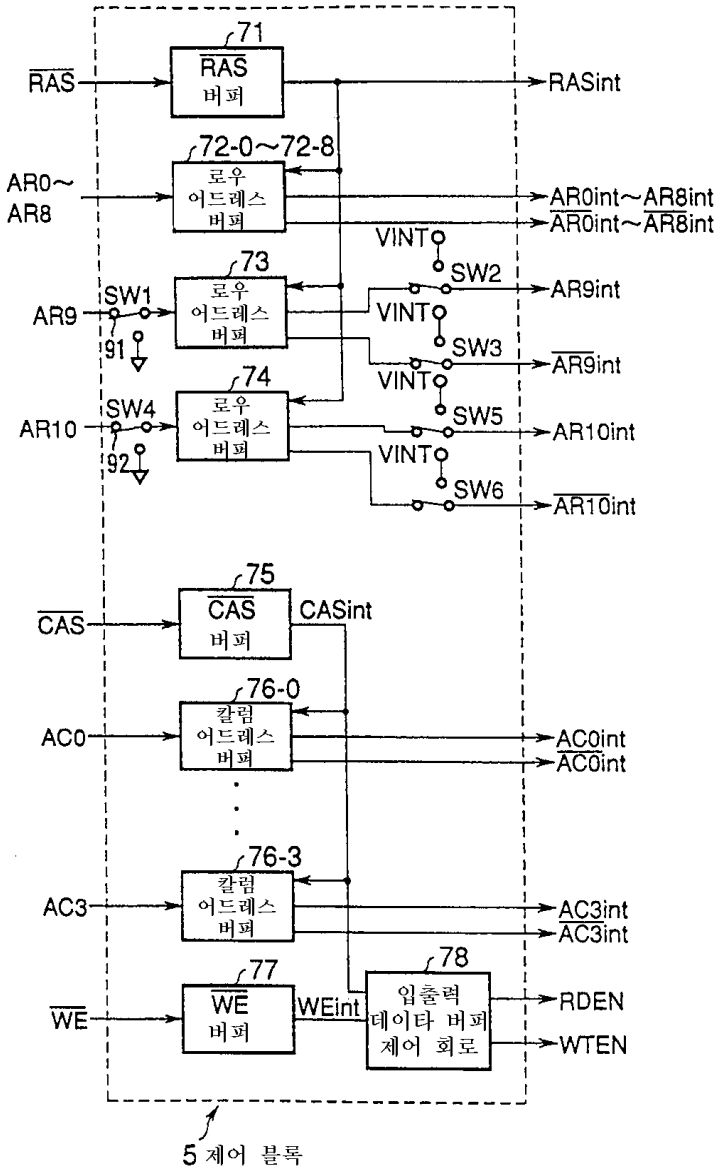
도면9


메모리 어레이 전원 드라이버 블록
4
VEXT
VPPA
VAA

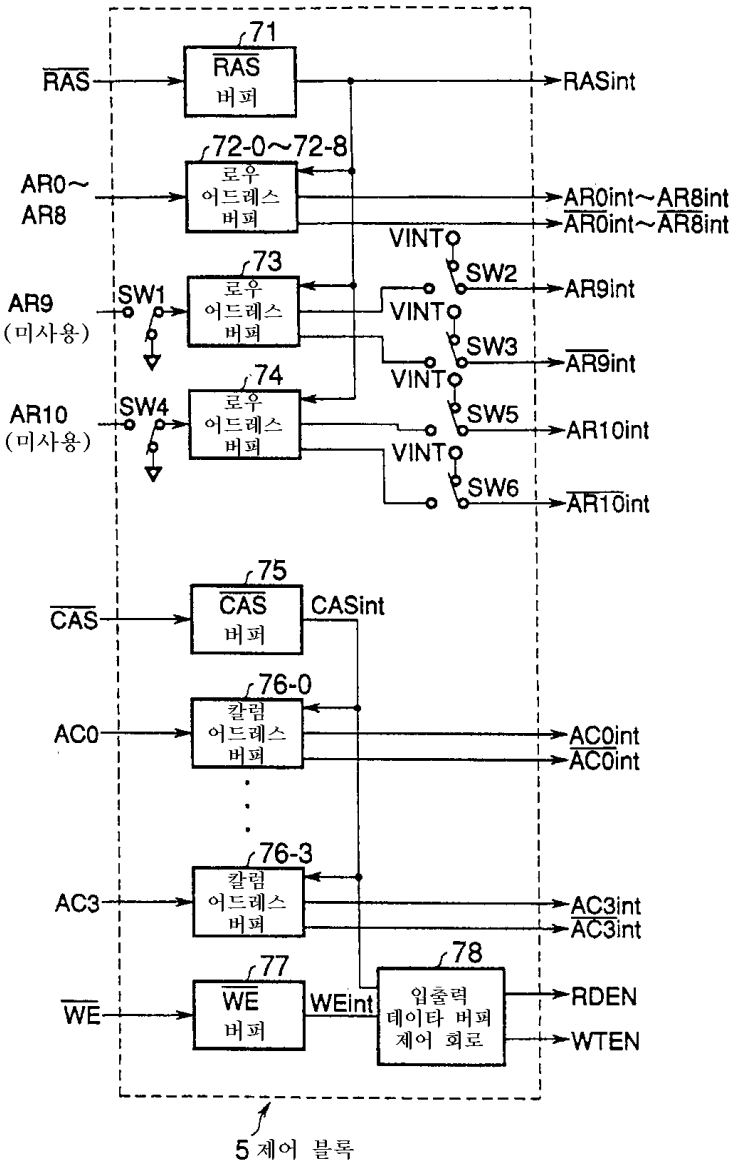
도면10


DQ63
DQ63
DQ0
DQ0
DQ64
DQ64
DQ127
DQ127
3-63
3-0
3-64
3-127
3
입출력 데이타 버퍼
RDEN
WTEN
I/O63
I/O0
I/O64
I/O127

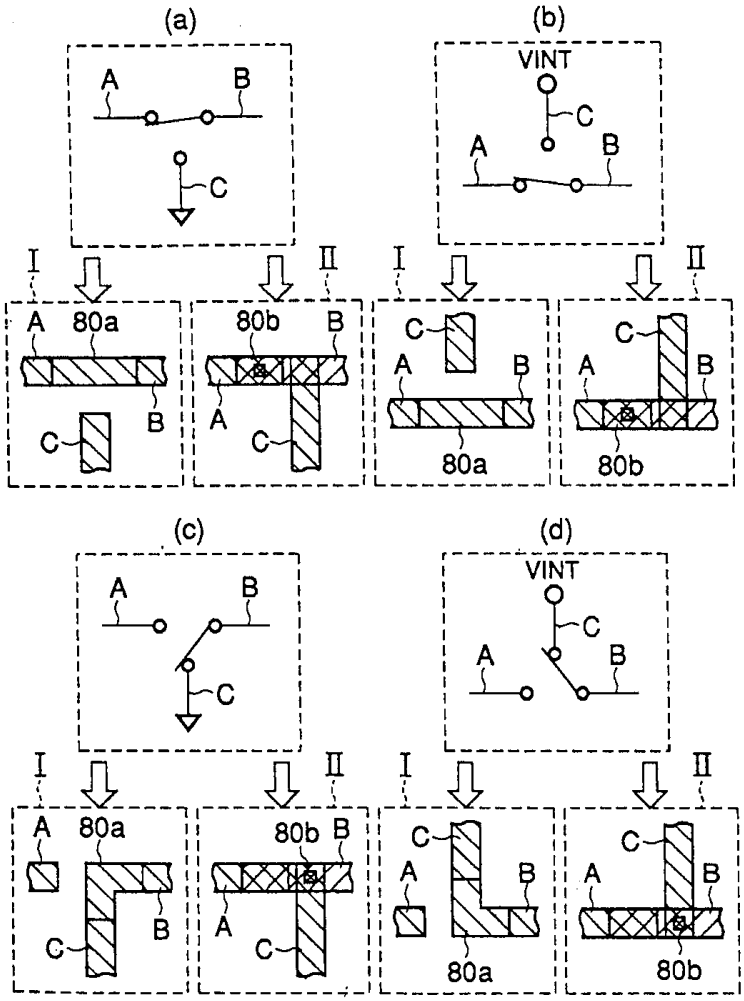
도면11


71
RAS
버퍼
RAS
RASint
72-0~72-8
로우
어드레스
버퍼
AR0~
AR8
AR0int~AR8int
AR0int~AR8int
VINT
SW2
73
로우
어드레스
버퍼
AR9
SW1
91
AR9int
VINT
SW3
AR9int
VINT
74
로우
어드레스
버퍼
AR10
SW4
92
SW5
AR10int
VINT
SW6
AR10int
75
CAS
버퍼
CAS
CASint
76-0
칼럼
어드레스
버퍼
AC0
AC0int
AC0int
76-3
칼럼
어드레스
버퍼
AC3
AC3int
AC3int
77
WE
버퍼
WE
WEint
78
입출력
데이타 버퍼
제어 회로
RDEN
WTEN
5 제어 블록

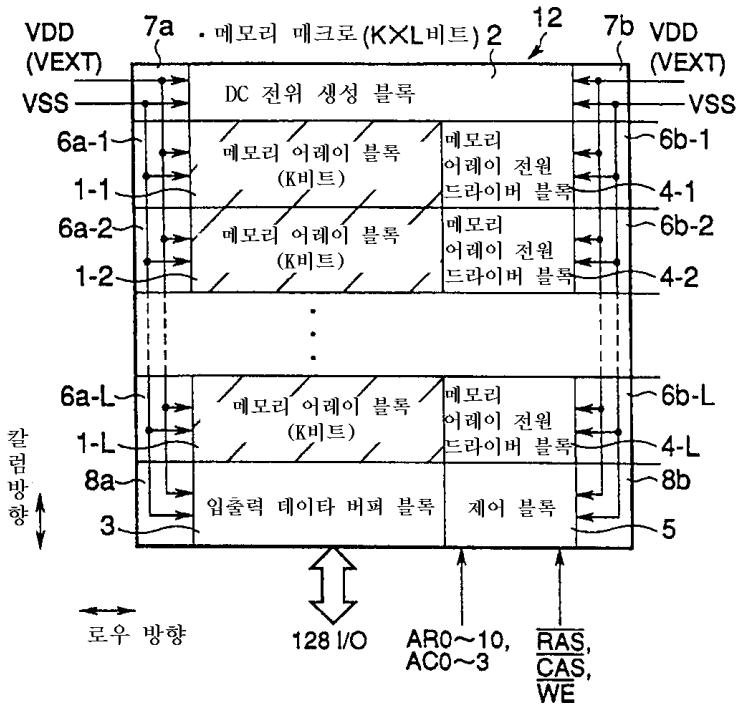
도면12


71
RAS 버퍼
RAS
RASint
72-0~72-8
로우 어드레스 버퍼
AR0~ AR8
AR0int~AR8int
AR0int~AR8int
VINT
SW2
AR9int
73
로우 어드레스 버퍼
AR9 (미사용)
SW1
VINT
SW3
AR9int
VINT
74
로우 어드레스 버퍼
AR10 (미사용)
SW4
SW5
AR10int
VINT
SW6
AR10int
75
CAS 버퍼
CAS
CASint
76-0
칼럼 어드레스 버퍼
AC0
AC0int
AC0int
76-3
칼럼 어드레스 버퍼
AC3
AC3int
AC3int
77
WE 버퍼
WE
WEint
78
입출력 데이터 버퍼 제어 회로
RDEN
WTEN
5 제어 블록

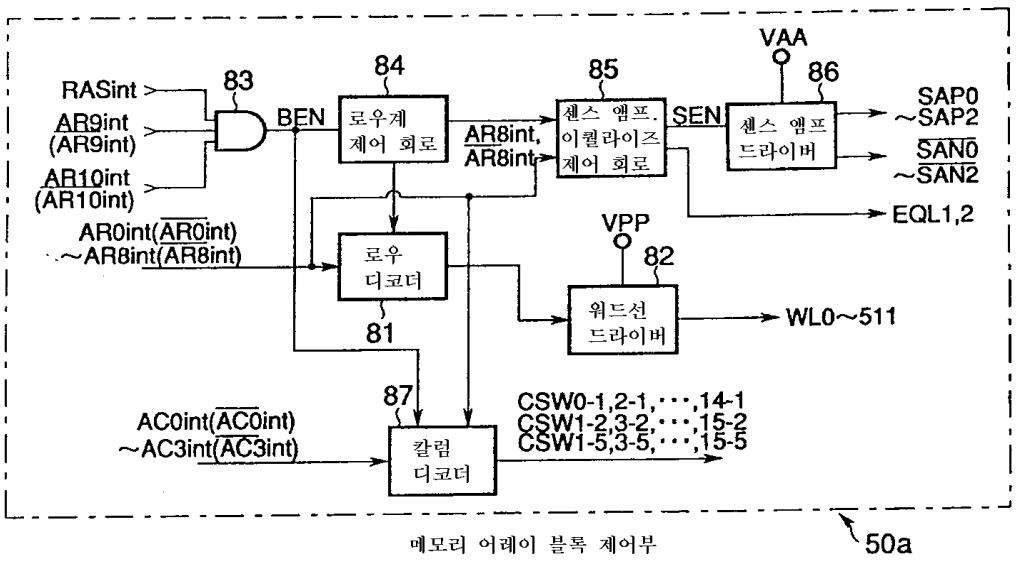
도면13


(a)
(b)
(c)
(d)
VINT
A
B
C
I
II
80a
80b

도면14

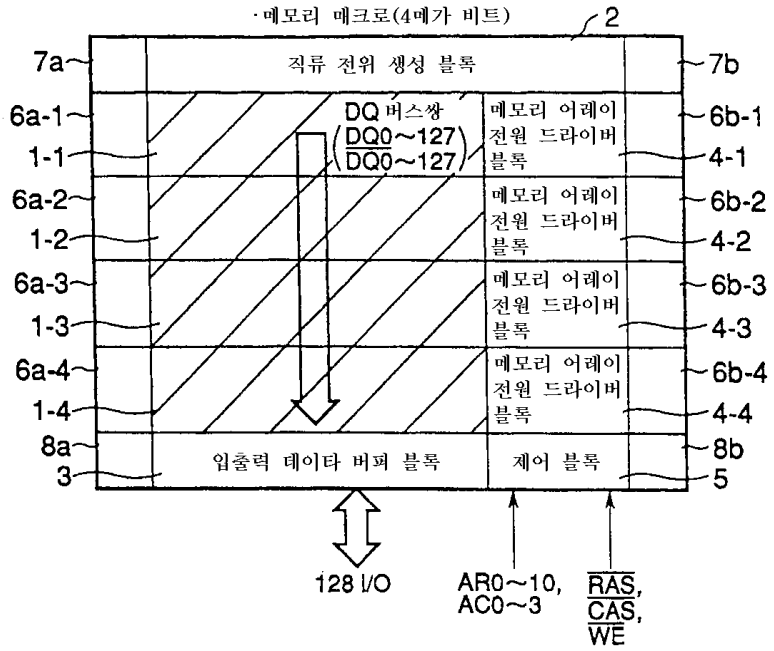

VDD (VEXT)
VSS
7a
메모리 매크로(K×L비트) 2
12
7b
DC 전위 생성 블록
메모리 어레이 블록 (K비트)
메모리 어레이 전원 드라이버 블록
6a-1
1-1
6a-2
1-2
6a-L
1-L
6b-1
4-1
6b-2
4-2
6b-L
4-L
8a
3
입출력 데이타 버퍼 블록
제어 블록
8b
5
칼럼 방향
로우 방향
128 I/O
AR0~10, AC0~3
RAS, CAS, WE

도면15

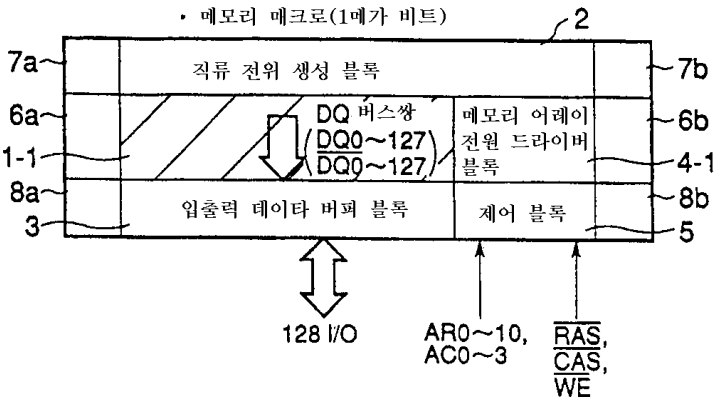


메모리 어레이 블록 제어부

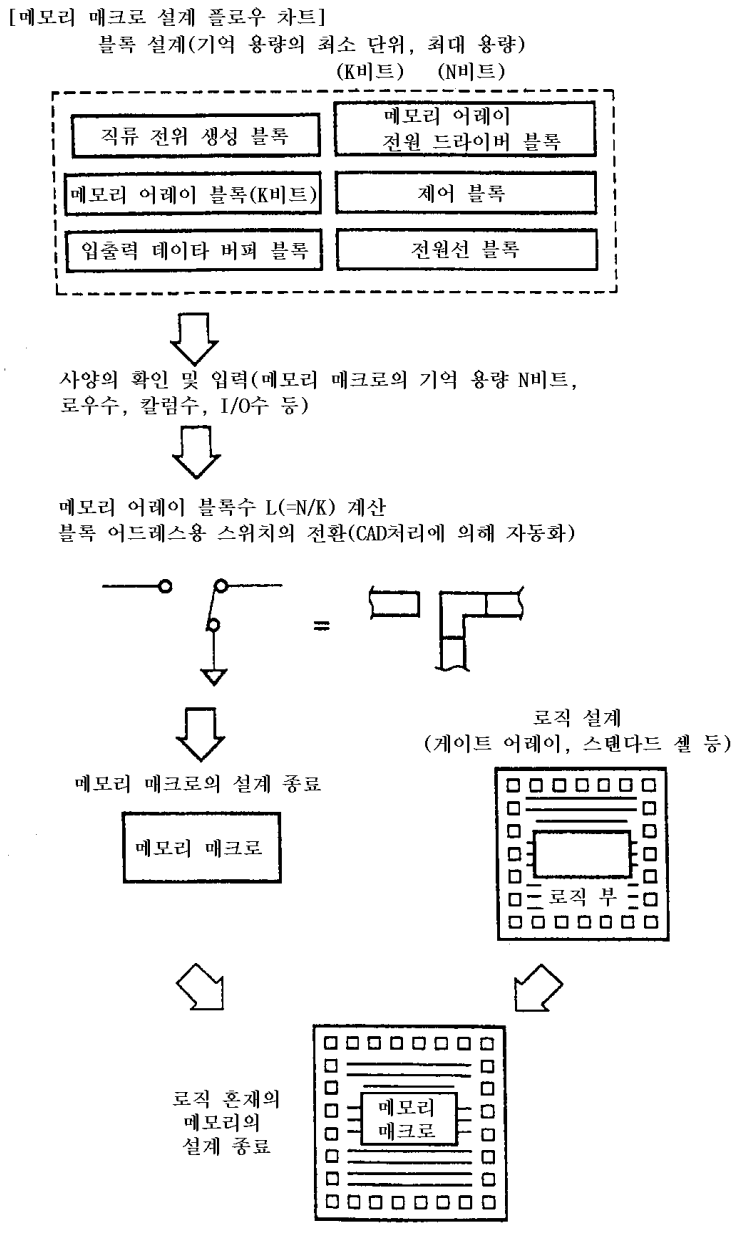
도면16



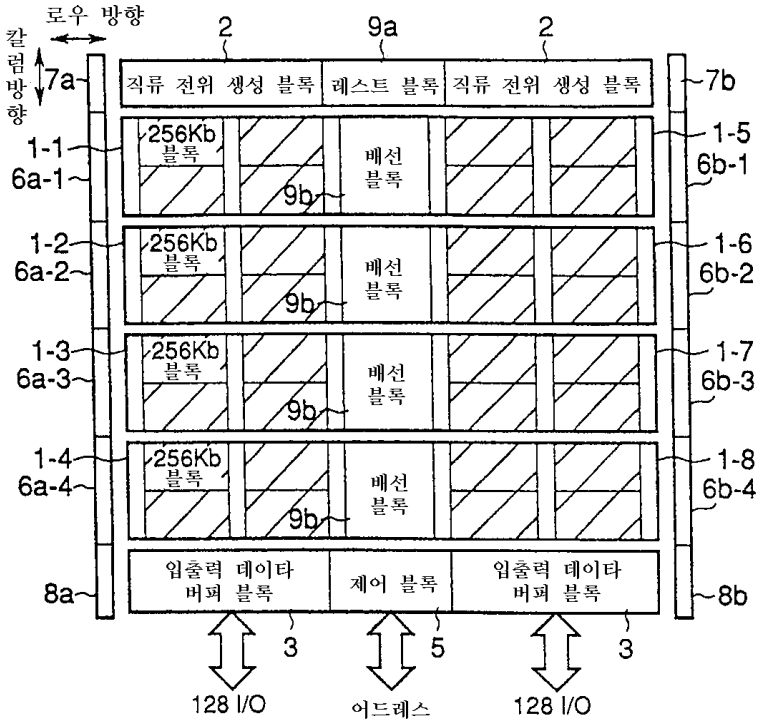
도면17


• 메모리 매크로(1메가 비트)
2
7a
직류 전위 생성 블록
7b
6a
DQ 버스쌍
(DQ0~127
DQ0~127)
메모리 어레이
전원 드라이버
블록
6b
1-1
4-1
8a
입출력 데이타 버퍼 블록
제어 블록
8b
3
5
128 I/O
AR0~10,
AC0~3
RAS,
CAS,
WE

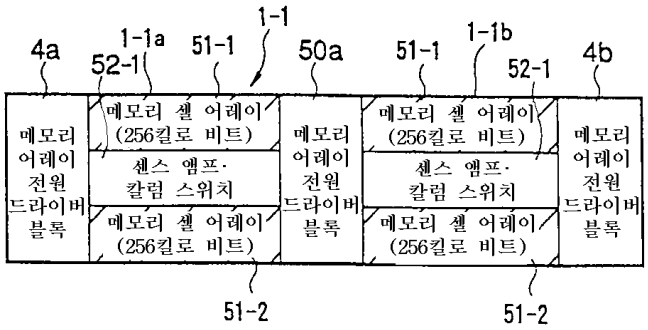
도면18


[메모리 매크로 설계 플로우 차트]
블록 설계(기억 용량의 최소 단위, 최대 용량)
(K비트) (N비트)
직류 전위 생성 블록
메모리 어레이
전원 드라이버 블록
메모리 어레이 블록(K비트)
제어 블록
입출력 데이타 버퍼 블록
전원선 블록
사양의 확인 및 입력(메모리 매크로의 기억 용량 N비트,
로우수, 칼럼수, I/O수 등)
메모리 어레이 블록수 L(=N/K) 계산
블록 어드레스용 스위치의 전환(CAD처리에 의해 자동화)
=
로직 설계
(게이트 어레이, 스텐다드 셀 등)
메모리 매크로의 설계 종료
메모리 매크로
로직 부
로직 혼재의
메모리의
설계 종료
메모리
매크로

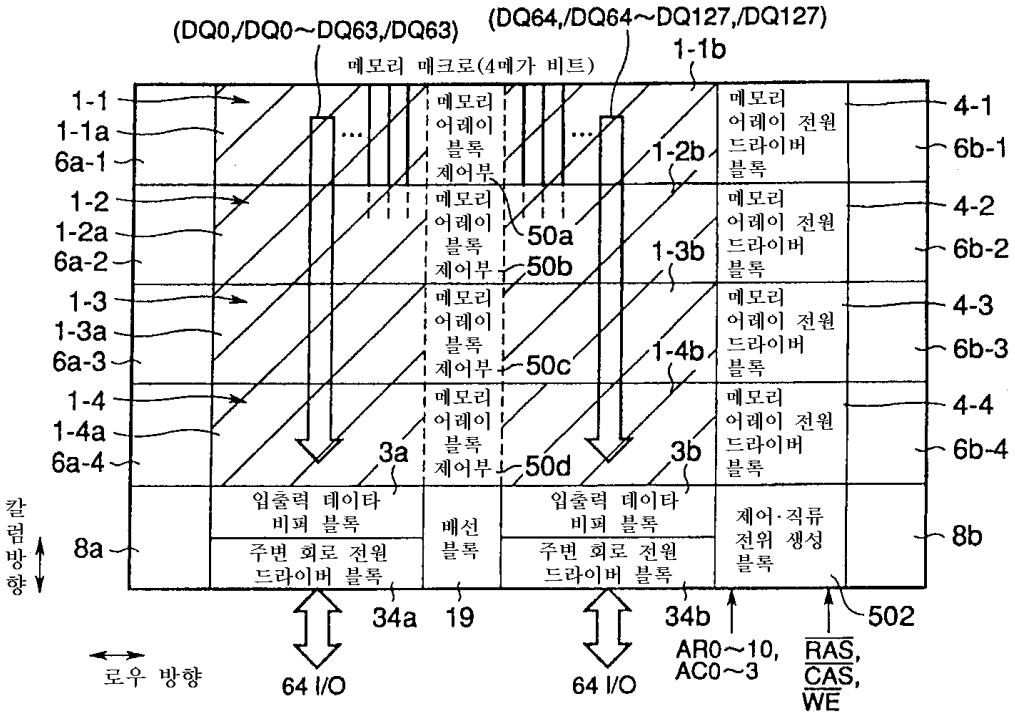
도면19


로우 방향
칼럼 방향
2
9a
2
7a
직류 전위 생성 블록
레스트 블록
직류 전위 생성 블록
7b
1-1
6a-1
256Kb 블록
9b
배선 블록
1-5
6b-1
1-2
6a-2
256Kb 블록
9b
배선 블록
1-6
6b-2
1-3
6a-3
256Kb 블록
9b
배선 블록
1-7
6b-3
1-4
6a-4
256Kb 블록
9b
배선 블록
1-8
6b-4
8a
입출력 데이타 버퍼 블록
제어 블록
입출력 데이타 버퍼 블록
8b
3
5
3
128 I/O
어드레스
128 I/O

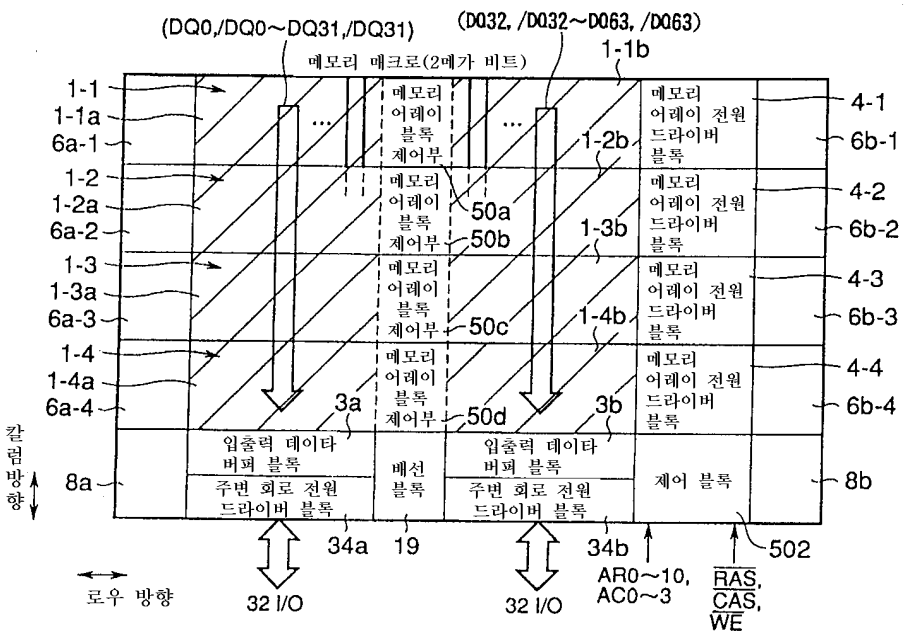
도면20


1-1
4a
1-1a
52-1
51-1
50a
51-1
1-1b
52-1
4b
메모리 어레이 전원 드라이버 블록
메모리 셀 어레이 (256킬로 비트)
센스 앰프·칼럼 스위치
메모리 셀 어레이 (256킬로 비트)
메모리 어레이 전원 드라이버 블록
메모리 셀 어레이 (256킬로 비트)
센스 앰프·칼럼 스위치
메모리 셀 어레이 (256킬로 비트)
메모리 어레이 전원 드라이버 블록
51-2
51-2

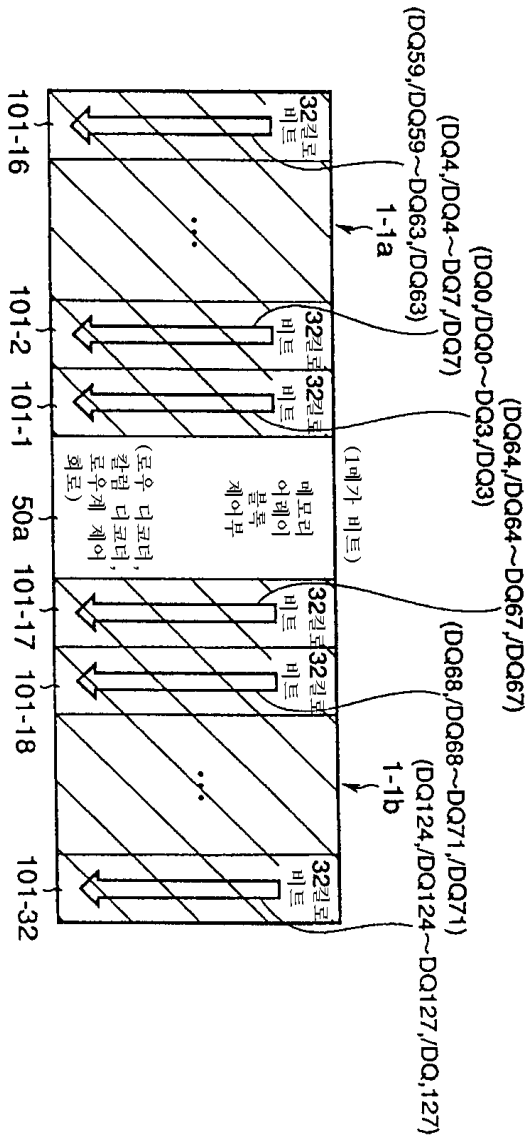
도면21


(DQ0,/DQ0~DQ63,/DQ63)
(DQ64,/DQ64~DQ127,/DQ127)
메모리 매크로(4메가 비트)
1-1b
1-1
1-1a
6a-1
1-2
1-2a
6a-2
1-3
1-3a
6a-3
1-4
1-4a
6a-4
메모리 어레이 블록 제어부
50a
50b
50c
50d
1-2b
1-3b
1-4b
메모리 어레이 전원 드라이버 블록
4-1
6b-1
4-2
6b-2
4-3
6b-3
4-4
6b-4
3a
3b
입출력 데이타 버퍼 블록
주변 회로 전원 드라이버 블록
배선 블록
제어·직류 전위 생성 블록
8a
8b
칼럼 방향
로우 방향
34a
19
34b
502
64 I/O
64 I/O
AR0~10,
AC0~3
RAS,
CAS,
WE

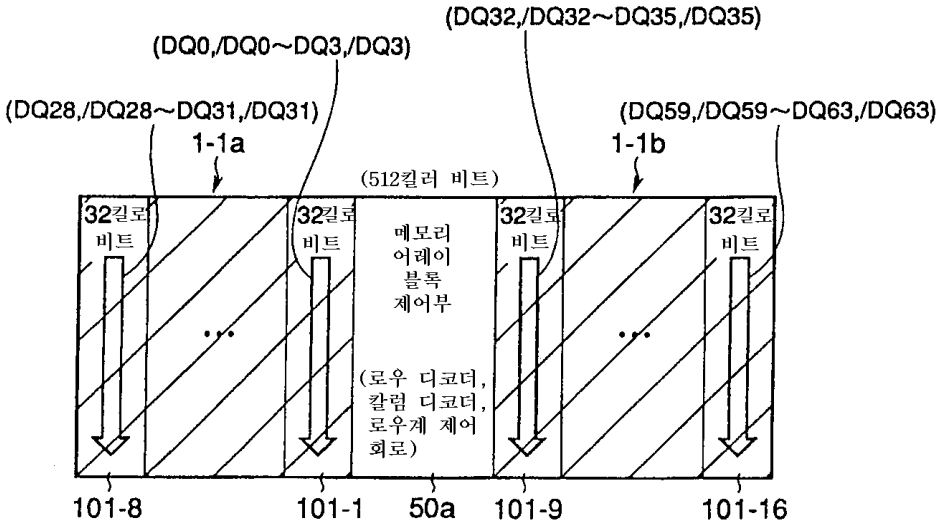
도면22


(DQ0,/DQ0~DQ31,/DQ31)
(DQ32, /DQ32~DQ63, /DQ63)
메모리 매크로(2메가 비트)
1-1b
1-1
1-1a
6a-1
1-2
1-2a
6a-2
1-3
1-3a
6a-3
1-4
1-4a
6a-4
메모리 어레이 블록 제어부
50a
50b
50c
50d
1-2b
1-3b
1-4b
메모리 어레이 전원 드라이버 블록
4-1
6b-1
4-2
6b-2
4-3
6b-3
4-4
6b-4
3a
3b
입출력 데이타 버퍼 블록
주변 회로 전원 드라이버 블록
배선 블록
제어 블록
8a
8b
칼럼 방향
로우 방향
34a
19
34b
502
32 I/O
32 I/O
AR0~10,
AC0~3
RAS,
CAS,
WE

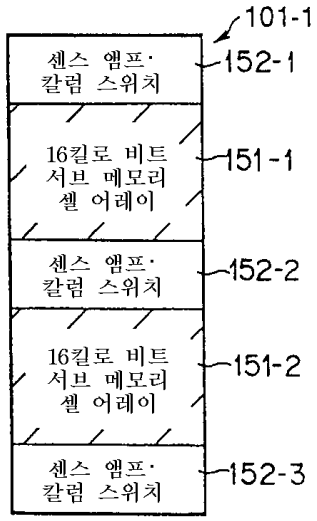
도면23


(DQ59,/DQ59~DQ63,/DQ63)
(DQ4,/DQ4~DQ7,/DQ7)
(DQ0,/DQ0~DQ3,/DQ3)
(DQ64,/DQ64~DQ67,/DQ67)
(DQ68,/DQ68~DQ71,/DQ71)
(DQ124,/DQ124~DQ127,/DQ,127)
1-1a
1-1b
32칼로 비트
메모리 어레이 블록 제어부
(로우 디코더, 칼럼 디코더, 로우계 제어 회로)
(1메가 비트)
101-16
101-2
101-1
50a
101-17
101-18
101-32

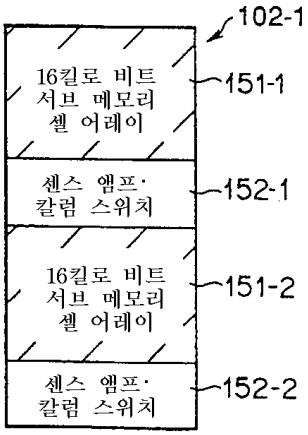
도면24


(DQ0,/DQ0~DQ3,/DQ3)
(DQ32,/DQ32~DQ35,/DQ35)
(DQ28,/DQ28~DQ31,/DQ31)
(DQ59,/DQ59~DQ63,/DQ63)
1-1a
1-1b
(512칼러 비트)
32칼로 비트
메모리 어레이 블록 제어부
(로우 디코더, 칼럼 디코더, 로우계 제어 회로)
101-8
101-1
50a
101-9
101-16

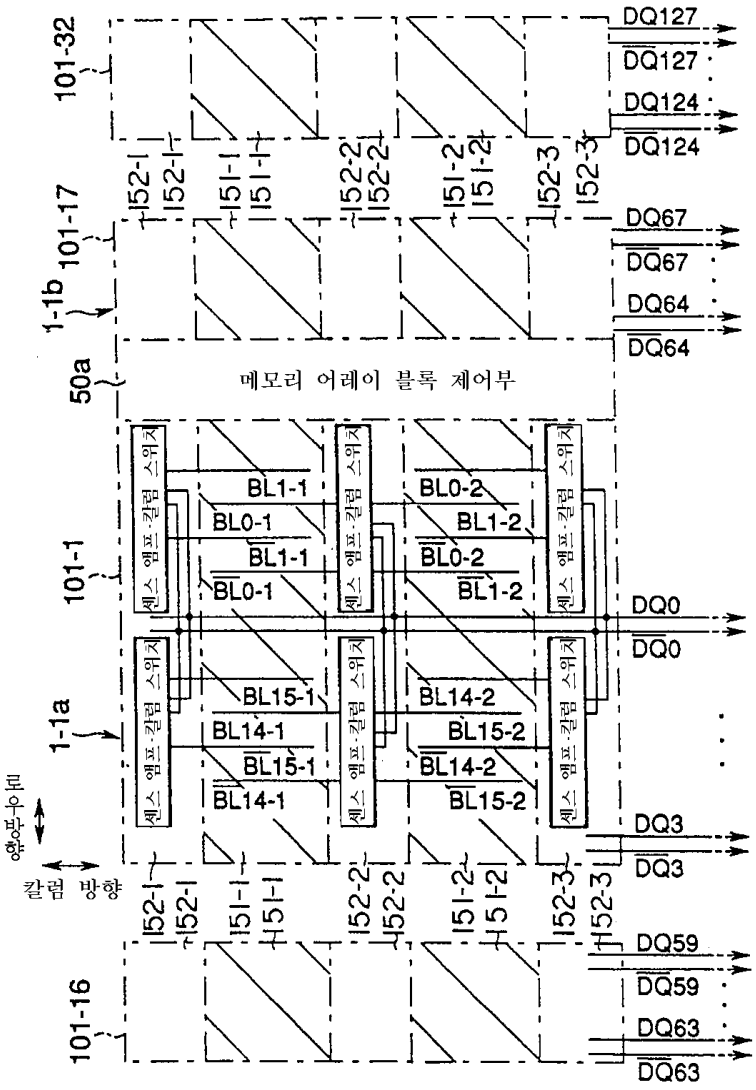
도면25


101-1
센스 앰프·
칼럼 스위치
152-1
16킬로 비트
서브 메모리
셀 어레이
151-1
센스 앰프·
칼럼 스위치
152-2
16킬로 비트
서브 메모리
셀 어레이
151-2
센스 앰프·
칼럼 스위치
152-3

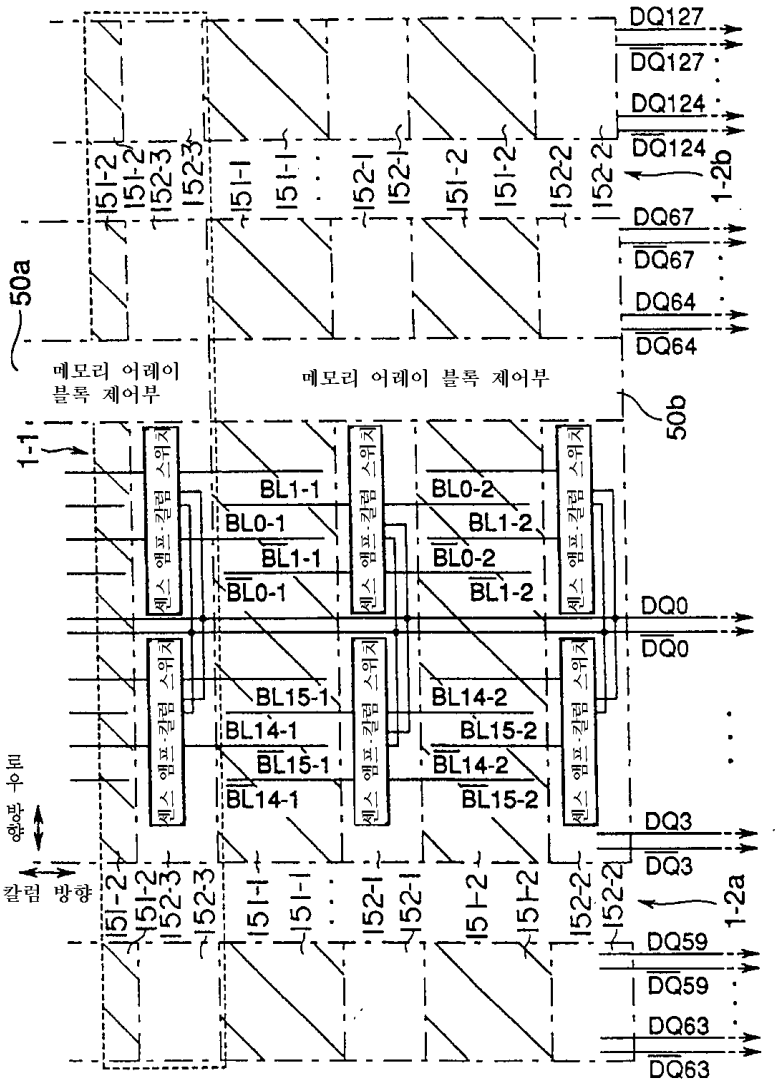
도면26


102-1
16킬로 비트
서브 메모리
셀 어레이
151-1
센스 앰프·
칼럼 스위치
152-1
16킬로 비트
서브 메모리
셀 어레이
151-2
센스 앰프·
칼럼 스위치
152-2

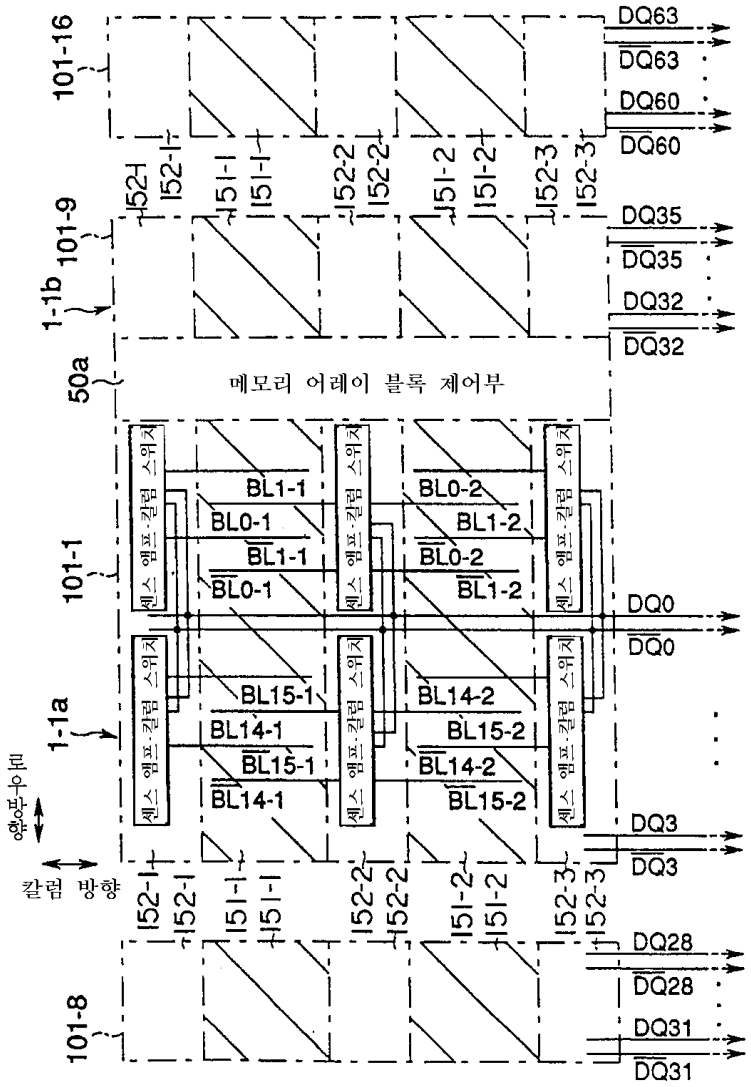
도면27


101-32
101-17
1-1b
50a
101-1
1-1a
101-16
메모리 어레이 블록 제어부
센스 앰프·칼럼 스위치
BL1-1
BL0-1
BL1-1
BL0-1
BL0-2
BL1-2
BL0-2
BL1-2
BL15-1
BL14-1
BL15-1
BL14-1
BL14-2
BL15-2
BL14-2
BL15-2
DQ127
DQ127
DQ124
DQ124
DQ67
DQ67
DQ64
DQ64
DQ0
DQ0
DQ3
DQ3
DQ59
DQ59
DQ63
DQ63
152-1
151-1
152-2
151-2
152-3
워드선 방향
칼럼 방향

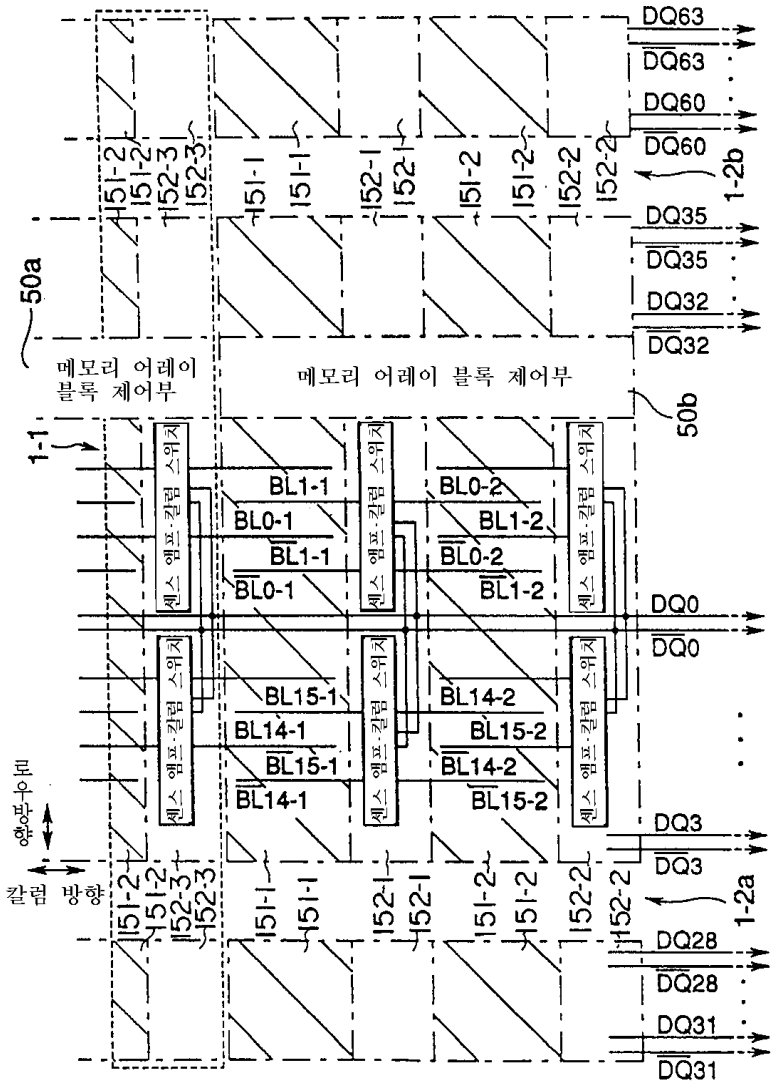
도면28


DQ127
DQ127
DQ124
DQ124
DQ67
DQ67
DQ64
DQ64
50a
메모리 어레이 블록 제어부
메모리 어레이 블록 제어부
50b
1-1
1-2b
1-2a
BL1-1
BL0-1
BL1-1
BL0-1
BL0-2
BL1-2
BL0-2
BL1-2
BL15-1
BL14-1
BL15-1
BL14-1
BL14-2
BL15-2
BL14-2
BL15-2
DQ0
DQ0
DQ3
DQ3
DQ59
DQ59
DQ63
DQ63
센스 앰프·칼럼 스위치
151-2
151-2
152-3
152-3
151-1
151-1
152-1
152-1
151-2
151-2
152-2
152-2
워드 라인 방향
칼럼 방향

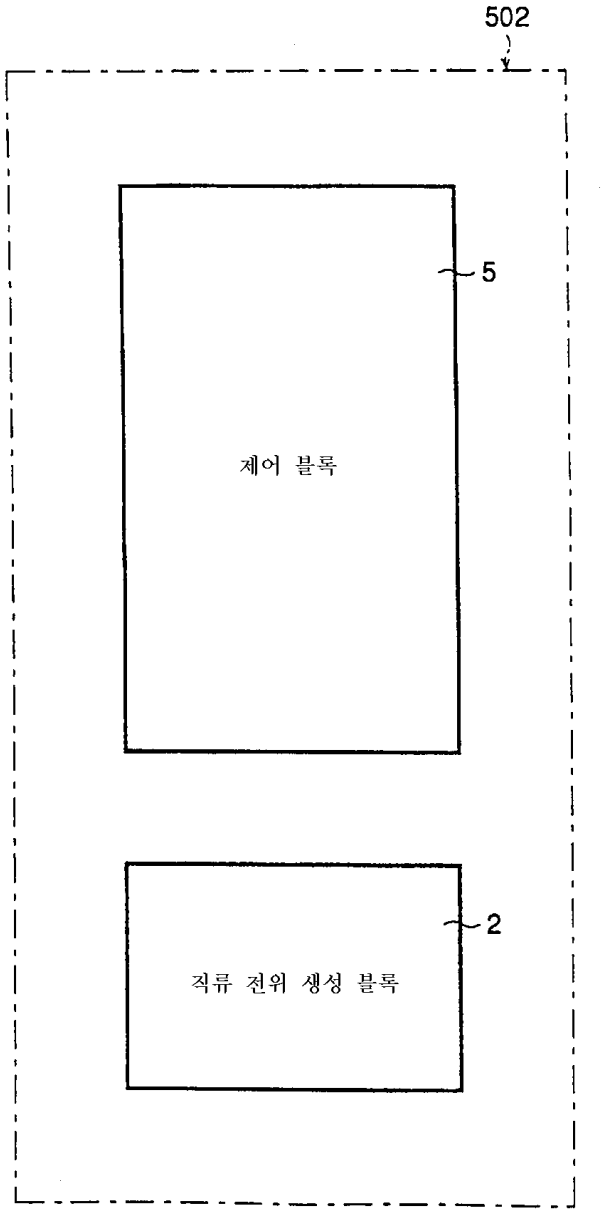
도면29


101-16
101-9
1-1b
50a
메모리 어레이 블록 제어부
101-1
1-1a
101-8
로우 방향
칼럼 방향
152-1
151-1
152-2
151-2
152-3
센스 앰프·칼럼 스위치
BL1-1
BL0-1
BL0-2
BL1-2
BL15-1
BL14-1
BL14-2
BL15-2
DQ63
DQ60
DQ35
DQ32
DQ0
DQ3
DQ28
DQ31

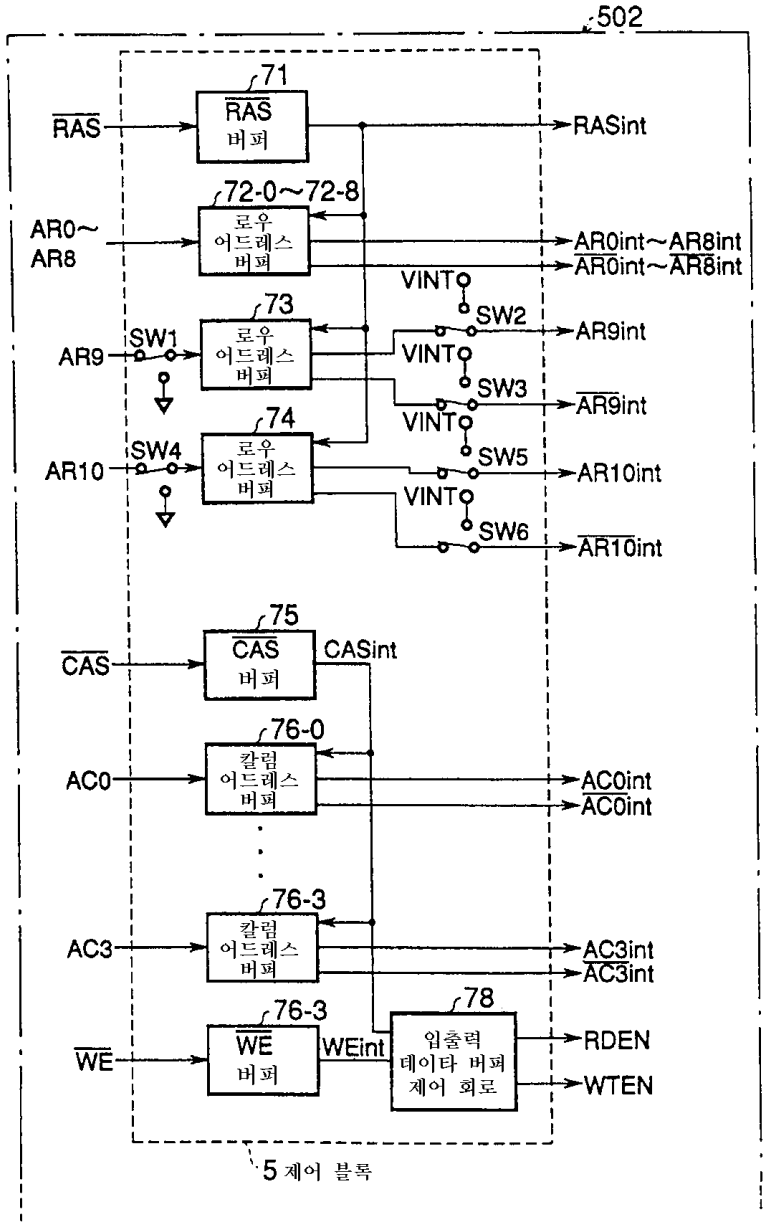
도면30


DQ63
DQ63
DQ60
DQ60
DQ35
DQ35
DQ32
DQ32
DQ0
DQ0
DQ3
DQ3
DQ28
DQ28
DQ31
DQ31
1-2b
1-2a
50a
50b
1-1
메모리 어레이 블록 제어부
메모리 어레이 블록 제어부
센스 앰프·칼럼 스위치
BL1-1
BL0-1
BL0-2
BL1-2
BL15-1
BL14-1
BL14-2
BL15-2
151-1
151-2
152-1
152-2
152-3
로우 방향
칼럼 방향

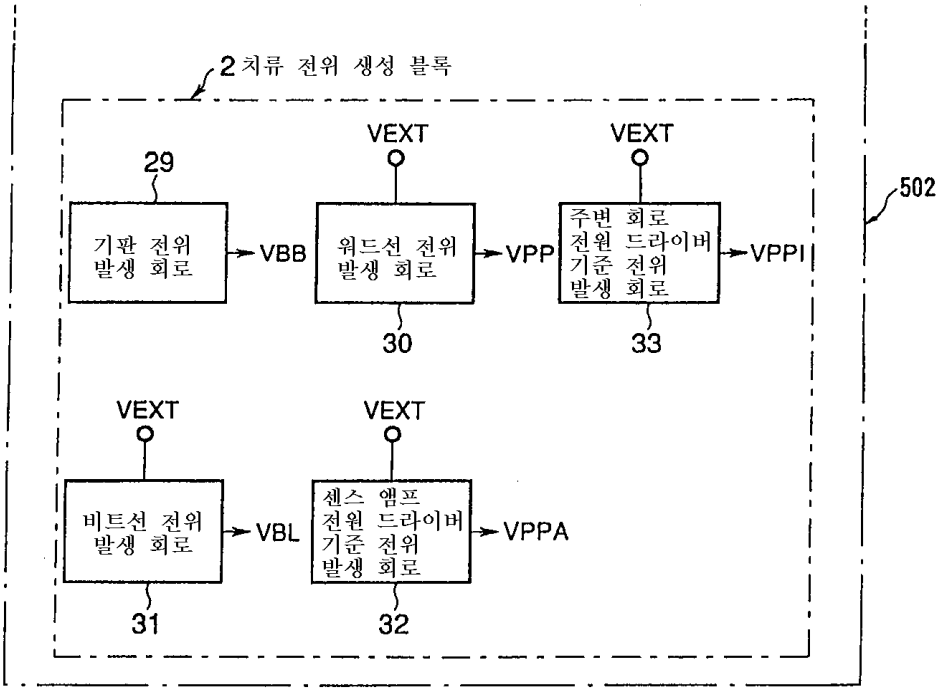
도면31



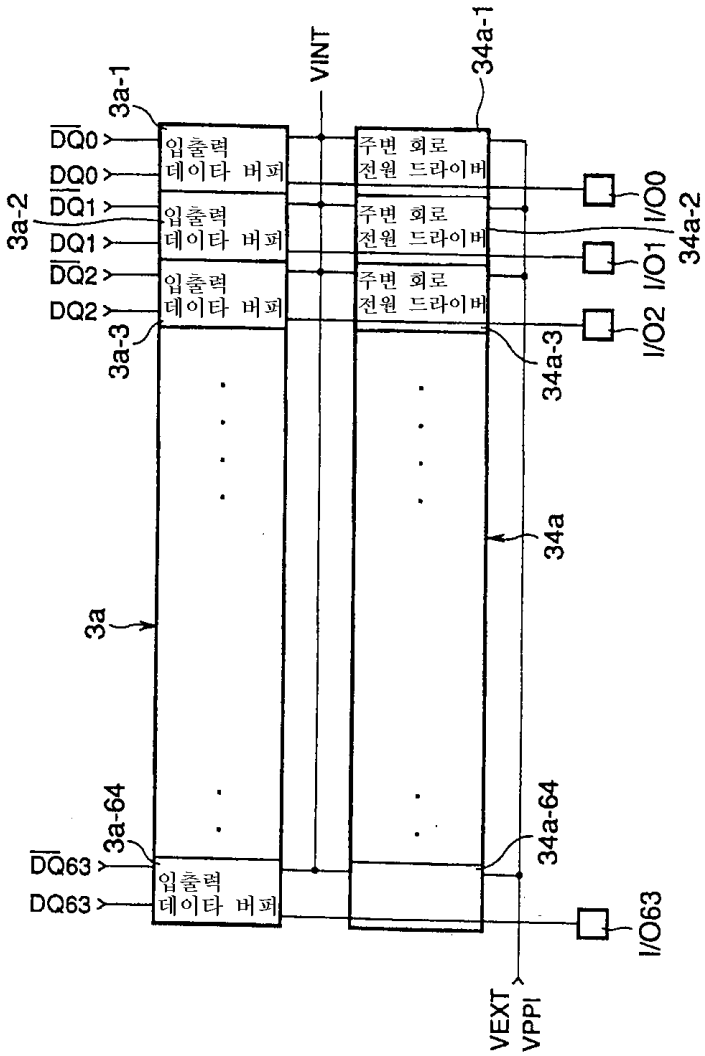
도면32


502
71
RAS
버퍼
RAS
RASint
72-0~72-8
로우
어드레스
버퍼
AR0~
AR8
AR0int~AR8int
AR0int~AR8int
VINT
SW2
73
로우
어드레스
버퍼
AR9
SW1
AR9int
VINT
SW3
AR9int
VINT
74
로우
어드레스
버퍼
SW4
AR10
SW5
AR10int
VINT
SW6
AR10int
75
CAS
버퍼
CAS
CASint
76-0
칼럼
어드레스
버퍼
AC0
AC0int
AC0int
76-3
칼럼
어드레스
버퍼
AC3
AC3int
AC3int
76-3
WE
버퍼
WE
WEint
78
입출력
데이타 버퍼
제어 회로
RDEN
WTEN
5 제어 블록

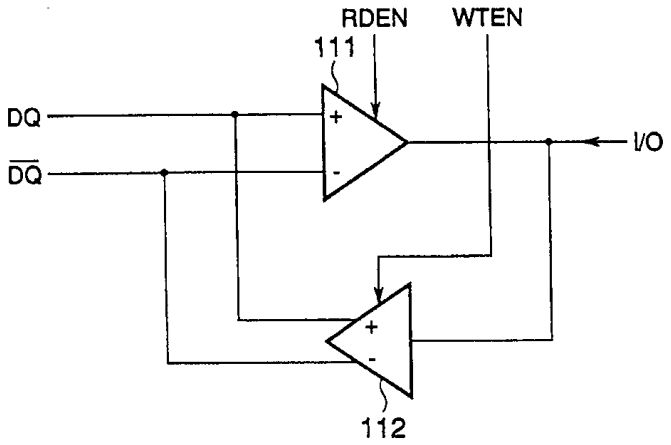
도면33


2 치류 전위 생성 블록
29
기판 전위
발생 회로
VBB
VEXT
워드선 전위
발생 회로
30
VPP
VEXT
주변 회로
전원 드라이버
기준 전위
발생 회로
33
VPPI
502
VEXT
비트선 전위
발생 회로
31
VBL
VEXT
센스 앰프
전원 드라이버
기준 전위
발생 회로
32
VPPA

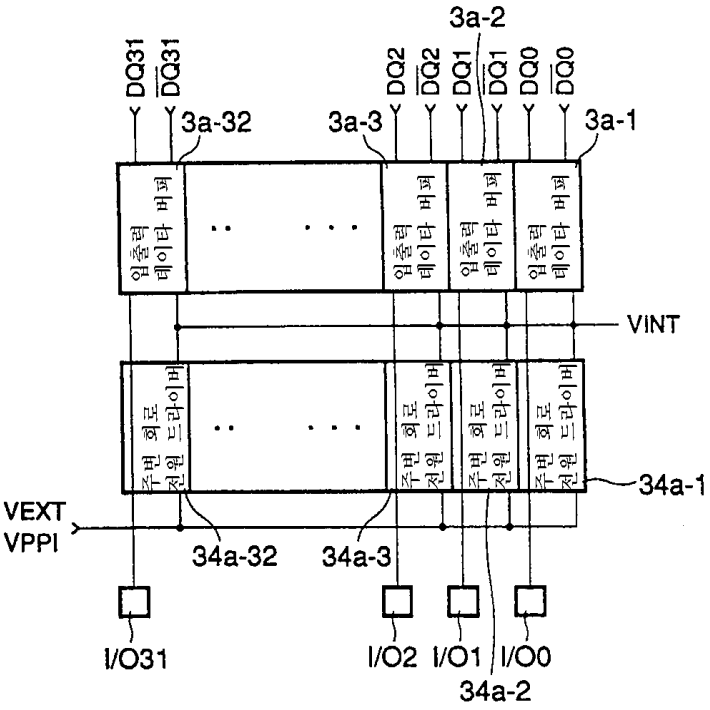
도면34


3a-1
VINT
34a-1
DQ0
DQ0
DQ1
DQ1
DQ2
DQ2
입출력 데이타 버퍼
주변 회로 전원 드라이버
3a-2
3a-3
34a-3
I/O0
I/O1
I/O2
34a-2
34a
3a
3a-64
34a-64
DQ63
DQ63
I/O63
VEXT
VPPI

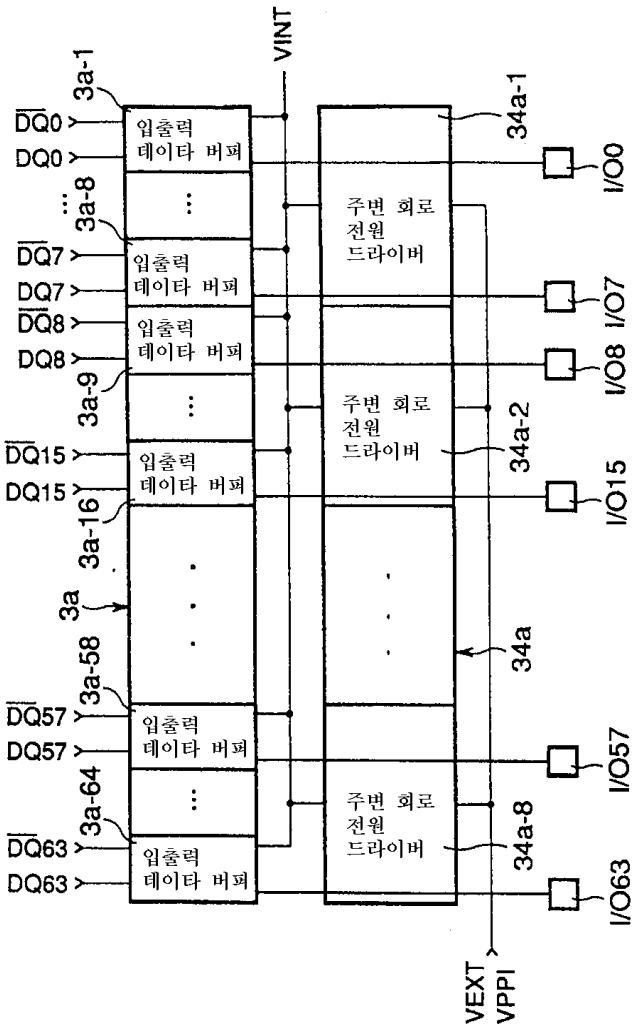
도면35


RDEN
WTEN
111
DQ
DQ
I/O
+
-
+
-
112

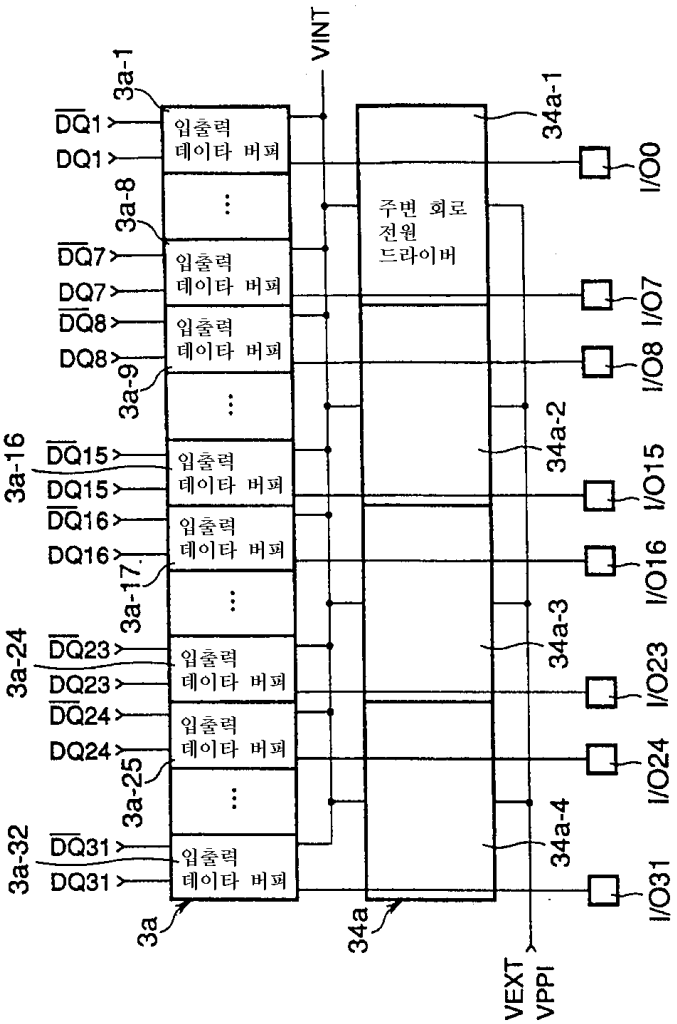
도면36


3a-2
DQ31
DQ31
DQ2
DQ2
DQ1
DQ1
DQ0
DQ0
3a-32
3a-3
3a-1
입출력 데이타 버퍼
VINT
주변 회로 전원 드라이버
34a-1
VEXT
VPPI
34a-32
34a-3
I/O31
I/O2
I/O1
I/O0
34a-2

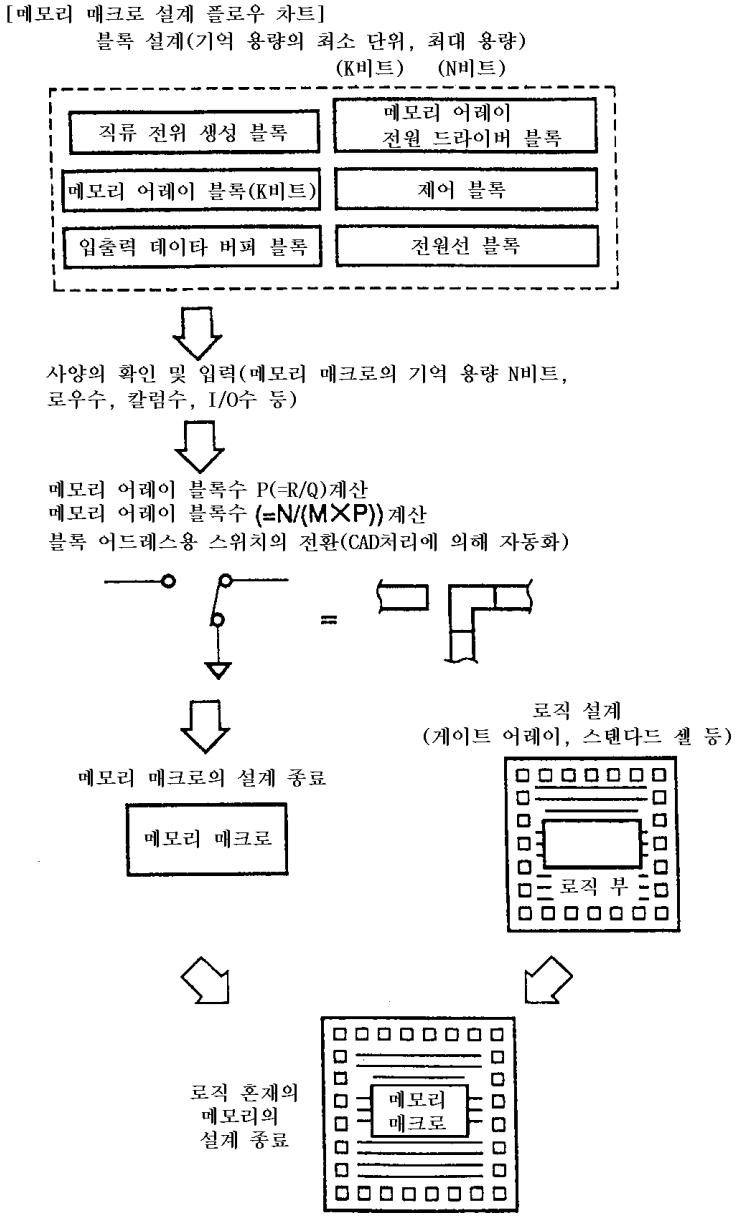
도면37


VINT
3a-1
DQ0
DQ0
입출력 데이타 버퍼
3a-8
DQ7
DQ7
입출력 데이타 버퍼
DQ8
DQ8
입출력 데이타 버퍼
3a-9
DQ15
DQ15
입출력 데이타 버퍼
3a-16
3a
3a-58
DQ57
DQ57
입출력 데이타 버퍼
3a-64
DQ63
DQ63
입출력 데이타 버퍼
주변 회로 전원 드라이버
주변 회로 전원 드라이버
주변 회로 전원 드라이버
34a-1
34a-2
34a
34a-8
I/O0
I/O7
I/O8
I/O15
I/O57
I/O63
VEXT
VPPI

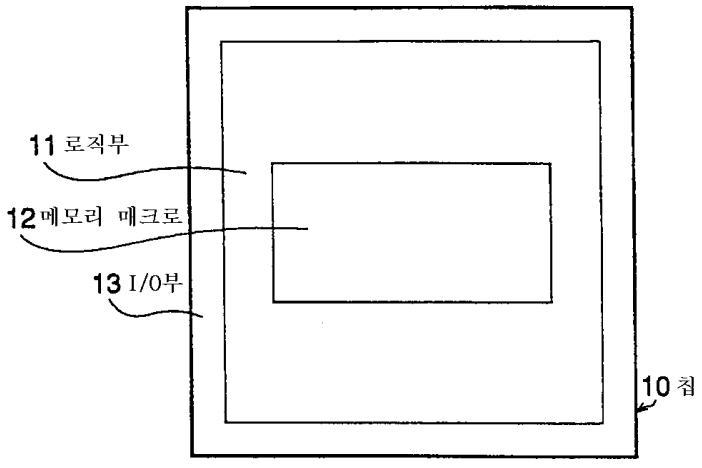
도면38


VINT
3a-1
DQ1
DQ1
입출력 데이타 버퍼
3a-8
DQ7
DQ7
입출력 데이타 버퍼
DQ8
DQ8
입출력 데이타 버퍼
3a-9
3a-16
DQ15
DQ15
입출력 데이타 버퍼
DQ16
DQ16
입출력 데이타 버퍼
3a-17
3a-24
DQ23
DQ23
입출력 데이타 버퍼
DQ24
DQ24
입출력 데이타 버퍼
3a-25
3a-32
DQ31
DQ31
입출력 데이타 버퍼
3a
주변 회로 전원 드라이버
34a
34a-1
34a-2
34a-3
34a-4
I/O0
I/O7
I/O8
I/O15
I/O16
I/O23
I/O24
I/O31
VEXT
VPPI

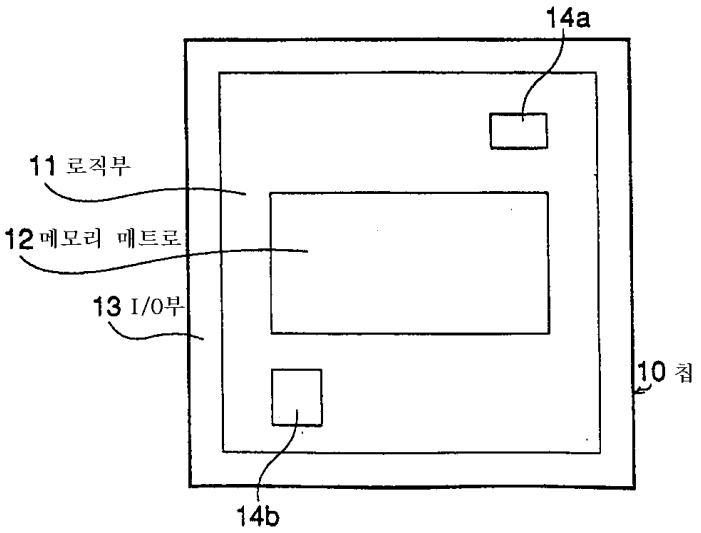
도면39


[메모리 매크로 설계 플로우 차트]
블록 설계(기억 용량의 최소 단위, 최대 용량)
(K비트) (N비트)
직류 전위 생성 블록
메모리 어레이 전원 드라이버 블록
메모리 어레이 블록(K비트)
제어 블록
입출력 데이타 버퍼 블록
전원선 블록
사양의 확인 및 입력(메모리 매크로의 기억 용량 N비트, 로우수, 칼럼수, I/O수 등)
메모리 어레이 블록수 P(=R/Q)계산
메모리 어레이 블록수 (=N/(M×P))계산
블록 어드레스용 스위치의 전환(CAD처리에 의해 자동화)
=
로직 설계
(게이트 어레이, 스탠다드 셀 등)
메모리 매크로의 설계 종료
메모리 매크로
로직 부
로직 혼재의 메모리의 설계 종료
메모리 매크로

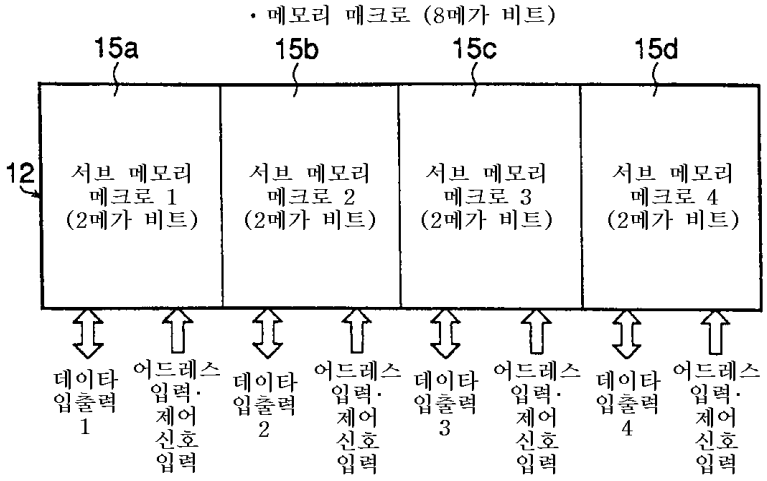
도면40


11 로직부
12 메모리 매크로
13 I/O부
10 칩

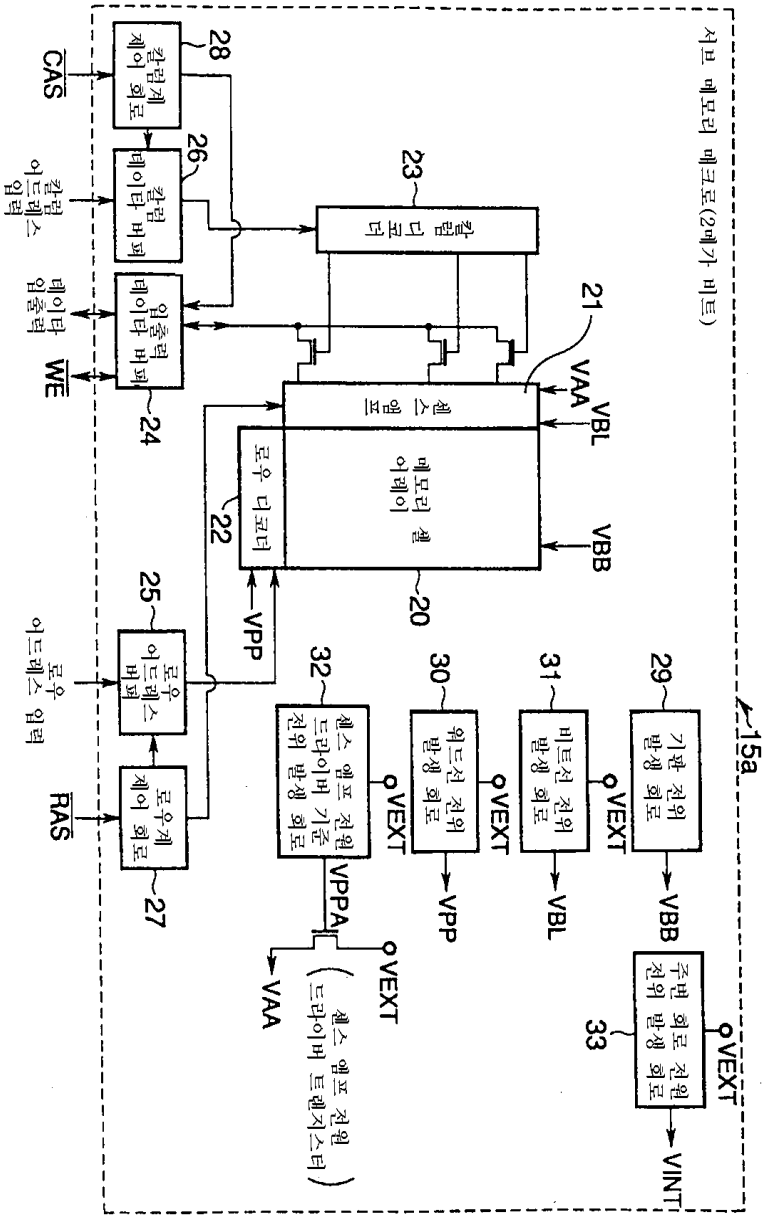
도면41


14a
11 로직부
12 메모리 매트로
13 I/O부
10 칩
14b

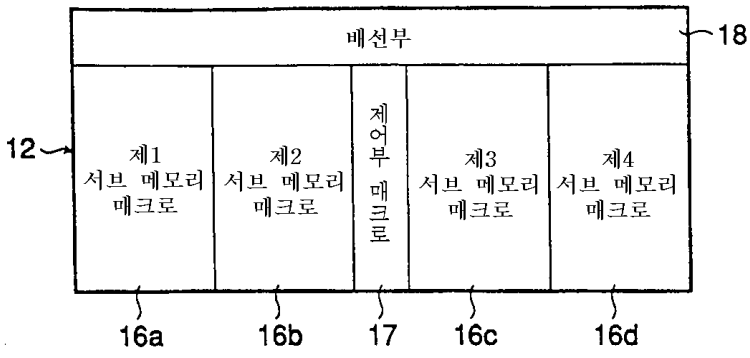
도면42


• 메모리 매크로 (8메가 비트)
15a
15b
15c
15d
12
서브 메모리 메크로 1 (2메가 비트)
서브 메모리 메크로 2 (2메가 비트)
서브 메모리 메크로 3 (2메가 비트)
서브 메모리 메크로 4 (2메가 비트)
데이타 입출력 1
어드레스 입력·제어 신호 입력
데이타 입출력 2
어드레스 입력·제어 신호 입력
데이타 입출력 3
어드레스 입력·제어 신호 입력
데이타 입출력 4
어드레스 입력·제어 신호 입력

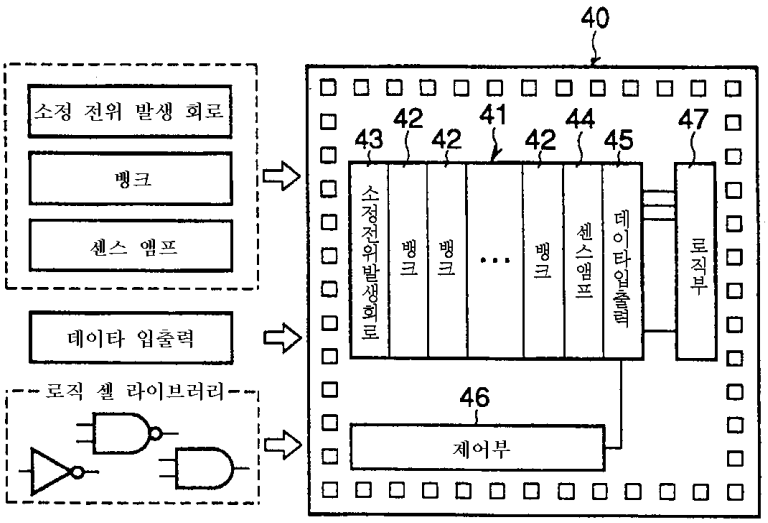
도면43


서브 메모리 매크로(2메가 비트)
15a
CAS
칼럼계 제어 회로
28
칼럼 어드레스 입력
칼럼 버퍼
26
칼럼 디코더
23
데이타 입출력
입출력 데이타 버퍼
24
WE
21
VAA
VBL
VBB
센스 앰프
메모리 셀 어레이
로우 디코더
22
20
VPP
25
로우 어드레스 입력
로우 어드레스 버퍼
RAS
로우계 제어 회로
27
32
셀스 앰프 전원 드라이버 기준 전위 발생 회로
30
워드선 전위 발생 회로
31
비트선 전위 발생 회로
29
기판 전위 발생 회로
VEXT
VPPA
VPP
VBL
VBB
VAA
셀스 앰프 전원 드라이버 트랜지스터
33
쿠변 회로 전원 전위 발생 회로
VINT

도면44


배선부
18
12
제1 서브 메모리 매크로
제2 서브 메모리 매크로
제어부 덤피로
제3 서브 메모리 매크로
제4 서브 메모리 매크로
16a
16b
17
16c
16d

도면45


40
소정 전위 발생 회로
뱅크
센스 앰프
데이타 입출력
로직 셀 라이브러리
43
42
42
41
42
44
45
47
소정전위발생회로
뱅크
뱅크
...
뱅크
센스앰프
데이타입출력
로직부
46
제어부