

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 531 790

②1 N° d'enregistrement national :

83 13225

⑤1 Int Cl³ : G 06 F 3/04.

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 11 août 1983.

③0 Priorité US, 16 août 1982, n° 408,480.

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 7 du 17 février 1984.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : Société dite : ANALOG DEVICES, IN-
CORPORATED. — US.

⑦2 Inventeur(s) : Adrian Paul Brokaw.

⑦3 Titulaire(s) :

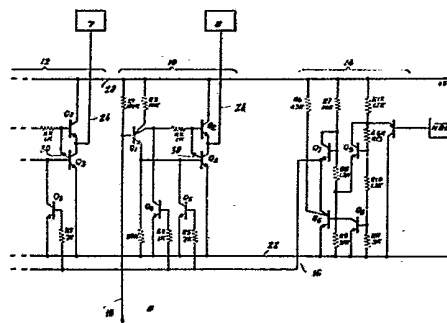
⑦4 Mandataire(s) : Lavoix.

⑤4 Tampon de sortie à trois états, à étages multiples.

⑤7 L'invention concerne un tampon de sortie à trois états qui
délivre des signaux numériques à une ligne omnibus.

Chaque étage du tampon comporte deux transistors symétri-
ques de sortie Q2, Q3 et deux transistors de commande
individuels Q4, Q5 qui sont commandés par un circuit de
commande 14 commun à tous les étages du tampon. L'un des
transistors de sortie comporte un collecteur auxiliaire 30 en
mode inversé qui réduit l'attaque de base et la saturation afin
d'accélérer le fonctionnement.

L'invention s'applique notamment à la sortie d'un convertis-
seur analogique-numérique.



La présente invention se rapporte aux tampons de sortie pour des composants électriques numériques comme des convertisseurs analogiques-numériques. Plus particulièrement, l'invention concerne un tampon de 5 sortie à trois états pour communiquer avec une ligne omnibus à conducteurs multiples.

Il existe de nombreux composants électroniques qui doivent transférer un signal de sortie à plusieurs bits sur une ligne omnibus à conducteurs multiples par 10 laquelle des signaux numériques provenant d'autres équipements doivent circuler sur une base de temps partagé. Pour répondre à cet autre trafic, il est de pratique courante d'utiliser un tampon de sortie qui a trois états avec le composant qui transfère des données. Dans son 15 "troisième état", un tel tampon présente à la ligne omnibus une impédance de sortie élevée de sorte que le trafic sur la ligne provenant d'un autre équipement n'est pas modifié. Lorsqu'il est nécessaire que le composant délivre un signal numérique sur la ligne omnibus, le tampon est 20 commuté de son troisième état à l'état de données dans lequel des données de sortie sont délivrées par le composant à la ligne omnibus sous la forme de "1" ou "0". Après la fourniture des données, le tampon de sortie est ramené à son état de haute impédance.

25 Pour l'efficacité des transmissions de données, il importe que le passage entre les états soit effectué à grande vitesse. En général, ce résultat est obtenu en utilisant des transistors qui ont été optimisés pour une commutation rapide, comme ceux réalisés pour la logique 30 TTL (logique à transistor-transistor). Mais certains composants sont réalisés par des processus de circuits intégrés qui produisent des transistors incapables de cette commutation rapide. Par exemple, des procédés ont été développés pour produire à la fois des transistors linéaires et 35 des transistors en modes inversés (appelés transistors I²L) sur la même pastille, et selon ces procédés compatibles,

les transistors ont, de par leur nature, des temps d'emmagasinement relativement longs ralentissant leur fonctionnement. Ainsi, le besoin est apparu d'un tampon de sortie à trois états qui utilisent les transistors relativement lents produits par ces procédés, tout en permettant un fonctionnement rapide dans le transfert des données vers une ligne omnibus de transmission.

Dans un mode de réalisation qui sera décrit en détail par la suite, l'invention concerne donc un tampon de sortie à trois états comportant des transistors linéaires courants et possédant des caractéristiques spéciales pour assurer une commutation rapide entre le troisième état et l'état de données. Selon un aspect de ce mode de réalisation, des transistors spéciaux de commande sont prévus pour forcer de façon active les deux transistors de sortie du tampon dans leur état bloqué, produisant ainsi une impédance de sortie élevée. Selon un autre aspect de ce mode de réalisation, les transistors de commande sont attaqués de façon active à la fois au déblocage et au blocage pour améliorer leur vitesse de fonctionnement. Selon un autre aspect encore, un collecteur auxiliaire en mode inversé est incorporé dans l'un des transistors de sortie pour réduire la charge emmagasinée dans ce transistor et pour assurer que l'autre transistor de sortie soit maintenu de façon positive dans l'état bloqué.

Un tampon de sortie à trois états selon l'invention permet une commutation rapide entre le troisième état, ou état de haute impédance et l'état de sortie de données, dans un sens et dans l'autre. Il n'est pas nécessaire que le passage entre les états de données de niveau haut et de niveau bas se fasse à une vitesse élevée car cette commutation de données se produit quand le tampon se trouve dans le troisième état, isolé de la ligne omnibus.

D'autres caractéristiques et avantages de l'invention apparaîtront au cours de la description qui va suivre.

Sur le dessin annexé, donné uniquement à titre d'exemple nullement limitatif :

La figure unique représente le schéma d'un étage d'un tampon de sortie à trois états et à étages multiples 5 avec le circuit commun de commande de tous les étages du circuit tampon.

Le circuit représenté sur la figure est un tampon de sortie à trois états utilisé avec un convertisseur analogique-numérique tel que celui décrit dans la demande 10 de brevet des Etats-Unis d'Amérique n° 931.960 déposée le 8 août 1978 au nom de M.A. Maidique et A.P. Brokaw. Ce type de convertisseur comporte à la fois des transistors linéaires en mode normal et des transistors en modes inversés (appelés des transistors I^2L) qui sont formés 15 ensemble sur une même pastille de circuits intégrés par un processus linéaire compatible $-I^2L$. Les transistors linéaires réalisés selon ce procédé ne sont pas optimisés pour une commutation rapide et tendent à avoir des temps d'emmagasinement relativement longs ralentissant leur 20 fonctionnement, par exemple par rapport aux transistors généralement fabriqués pour des circuits logiques TTL.

Un convertisseur analogique-numérique comporte un nombre prédéterminé de bits de sortie (par exemple 8 bits ou 12 bits) et le tampon de sortie de ce convertisseur 25 comporte un étage tampon pour chaque bit de sortie. Le circuit représenté sur la figure comporte un tel étage tampon 10 et une partie d'un second étage tampon 12 identique pour un autre bit. Les deux étages peuvent passer au troisième état ou état de sortie à haute impédance par un 30 circuit de commande commun désigné par 14 et destiné à produire un signal de commande de troisième état sur une ligne de commande commune 16.

L'étage tampon de sortie 10 reçoit son bit de donnée de sortie d'une ligne de données 18 connectée au 35 convertisseur analogique-numérique (non-représenté). Cette ligne est connectée dans le tampon à la base d'un transistor

haut est appliqué par deux résistances R4, R5 aux bases des transistors de commande respectifs, Q4, Q5. Le collecteur de Q4 est connecté au collecteur de Q1 et le collecteur de Q5 est connecté à l'émetteur de Q1. Quand
5 Q4 est débloqué, il assure l'attaque de Q2 pour abaisser le niveau de la base de ce transistor. Simultanément, Q5 est débloqué pour abaisser la base de Q3. Ainsi, Q2 et Q3 sont bloqués de façon active par les sorties Q4 et Q5 qui sont prioritaires sur les signaux de données de Q2 et Q3.
10 Une transition rapide se produit sur la ligne de sortie 24 d'un état de données ou l'autre (1 ou 0) à l'état de haute impédance.

Quand le tampon 10 se trouve à l'état de haute impédance, la base de Q1 peut être amenée au niveau haut
15 ou au niveau bas sans affecter la ligne de sortie de tampon 24. Quand la ligne de commande 16 passe au niveau bas, Q4 et Q5 sont bloqués, libérant les bases de Q2 et Q3 et ramenant le tampon en condition de sortie de données.

Si la base de Q1 est négative quand la ligne
20 de commande 16 passe au niveau bas, aucune attaque n'est appliquée à la base de Q3 et la jonction de R2 et R3 n'est plus maintenue au niveau bas. Etant donné que R3 est connectée à la ligne d'alimentation positive 20, la tension à la jonction de R2 et R3 s'élève et la base de
25 Q2 est amenée à être positive. Il en résulte que la ligne de sortie est attaquée dans le sens positif pour produire une sortie "1".

Par contre, si la base de Q1 est attaquée dans le sens positif quand la ligne de commande commune 16 passe
30 au niveau bas, l'attaque de base entraîne le déblocage de Q1. Le courant provenant de R3, libéré par Q4 passe par Q1 vers la base de Q3 qui est alors libéré par Q5. Il en résulte que Q3 est est débloqué et la ligne de sortie 24 indique une sortie "0".

35 Comme cela ressort de façon évidente de la description ci-dessus, au passage à l'état de haute impédance,

les transistors qui doivent être bloqués sont attaqués de façon active à l'état bloqué. Il faut également noter que le temps d'emmagasinement charge Q1 (qui n'a pas d'attaque de blocage autre que le niveau logique intérieur) n'est pas un facteur car il n'est pas nécessaire de le bloquer pour terminer toutes les opérations de commutation en temps critique.

Une autre caractéristique importante du tampon 10 est qu'il comporte un collecteur de détection de saturation pour le transistor Q3 de sortie inférieure. Ce collecteur de détection de saturation est indiqué sur la figure par l'émetteur supplémentaire 30 qui est dirigé vers le haut. Ce collecteur est en effet un transistor en mode inversé intégré avec Q3 et il est prévu pour éviter un problème qui pourrait autrement apparaître à l'état de sortie "0", c'est-à-dire lorsque Q3 est débloquent et Q2 doit être bloqué.

Le problème résulte du fait que dans ces conditions, la tension de collecteur de Q1 (qui attaque la base de Q2) est plus positive que la base de Q3, en raison de la tension de saturation de Q1. Si R2 n'était pas présente, la jonction base-émetteur de Q2 pourrait être polarisée dans le sens direct si la tension de collecteur de Q3 était suffisamment basse sous l'effet d'une charge légère. Par conséquent, un courant indésirable pourrait circuler dans ces conditions depuis la ligne d'alimentation positive 20 vers la ligne commune 22 par les transistors Q2, Q3, connectés en série.

Pour éviter ce problème, le transistor de sortie inférieur Q3 est formé avec une région N⁺ supplémentaire 30, avec une diffusion normale d'émetteur. Cette région se comporte comme un collecteur en mode inversé pour certains des électrons injectés dans la base quand la tension de collecteurs en mode normal de Q3 commence à décroître au-dessous de la tension de base. Ce collecteur 30 en mode inversé est débloquent à l'approche de la saturation de tension de Q3 et produit un courant dans R2

de manière à développer aux bornes de cette résistance une chute de tension correspondante. Cette chute de tension réduit la tension de base de Q2 et l'empêche d'être polarisée dans le sens direct suffisamment pour permettre
5 qu'un courant substantiel circule dans les deux transistors de sortie Q2 et Q3.

L'utilisation du collecteur 30 en mode inversé est supérieure à une disposition courante dans laquelle un transistor en connexion Darlington est utilisé comme
10 la partie supérieure du circuit symétrique. Le circuit Darlington présente l'inconvénient qu'il est difficile de bloquer le transistor de sortie réelle en attaquant la base de ce circuit Darlington en raison du β élevé et des fortes capacités parasites de base du composant
15 linéaire. Elle est également supérieure aux autres circuits qui utilisent une diode en série avec un seul composant de sortie.

La supériorité du présent mode de réalisation est particulièrement évidente au passage du troisième
20 état à l'état de données "1". Lorsque Q5 libère la partie inférieure de R3, il suffit que sa tension s'élève d'environ une tension base-émetteur (V_{BE}) pour polariser Q2 dans le sens direct et transmettre la tension croissante à la sortie. Dans des circuits courants, l'attaque du
25 transistor symétrique supérieur doit s'élever environ au double avant que la sortie ne réagisse. Cette différence est particulièrement importante dans le cas d'utilisation des transistors linéaires dont les fortes capacités parasites limitent sévèrement la fréquence de transistion
30 de noeuds intérieurs et par conséquent de la sortie.

Une autre fonction encore est remplie par R2 en combinaison avec le collecteur 30 en mode inversé. Quand le circuit passe à l'état de données "0", une attaque nettement plus élevée est prévue pour Q3 afin
35 d'assurer une commutation rapide. Cette attaque plus élevée conduit à une charge de base excessive qui, dans des conditions normales, ralentirait le blocage du

transistor Q3 quand le circuit revient au troisième état. Mais, quand Q3 commence à se saturer et débloquent le collecteur 30 en mode inversé, son attaque de base est réduite de la valeur du courant de collecteur. Grâce à
5 un choix approprié de la valeur de R2, il peut être assuré que Q2 est maintenu bloqué avec sécurité sans permettre la saturation du collecteur 30 en mode inversé. Il en résulte l'élimination du courant d'attaque de base provenant de R3 dépassant celle qui est nécessaire pour main-
10 tenir Q3 simplement saturé. Par conséquent, la charge excessive de base est réduite et le temps de commutation de l'état de données "0" au troisième état est réduit.

La ligne 16 qui commande l'état d'un certain nombre d'étages tampon (dont l'étage 10 en est un) est
15 activée par le collecteur de Q6 faisant partie du circuit commun de commande 14. Ce circuit reçoit un signal d'entrée désigné par $\overline{HBE}$ servant à déclencher le passage au troisième état.

Quand le transistor de sortie Q6 du circuit de
20 commande est bloqué, la résistance R6 connectée à la ligne d'alimentation positive 20 fait passer à l'état positif le collecteur de Q6 et la ligne de commande. Cela entraîne que les paires de transistors de commande dans chaque étage tampon, par exemple Q4 et Q5 sont débloquentées et
25 que tous les étages tampons passent au troisième état de haute impédance.

Si Q6 est débloquenté, il dérive le courant provenant de R6 et attaque au niveau la ligne commune de commande 16. Cela abaisse le potentiel des bases de Q4,
30 Q5 et des paires correspondantes de transistors dans les autres étages tampons. Ce blocage élimine rapidement les charges de base emmagasinées de sorte que les transistors de commande se bloquent et libèrent le tampon pour émettre des données vers la sortie.

35 Il est souhaitable de commuter rapidement Q6, aussi bien au blocage qu'au débloquentage. Quand Q6 est débloquenté, il est souhaitable d'attaquer fortement la

base pour une commutation rapide. Un courant d'attaque est fourni par la ligne positive 20, par l'intermédiaire de R7 et R8. Quand le collecteur de Q6 passe au niveau bas, il est souhaitable de réduire l'attaque de base à
5 une valeur juste suffisante pour maintenir la sortie au niveau bas. Cela réduit au minimum la charge de base emmagasinée et permet à Q6 d'être bloqué rapidement à la transition de l'état de données au troisième état.

La diode d'écrétage Q7 contrôle l'attaque de
10 Q6. Quand le collecteur de Q6 passe à saturation, Q7 est polarisé dans le sens direct et reçoit le courant d'attaque de R7. La chute de tension aux bornes de R8 est stabilisée comme une fraction de V_{BE} en fonction de V_{BE} par la présence de R9. Il en résulte que la tension de
15 collecteur saturée de Q6 peut être contrôlée de façon à être suffisamment basse pour attaquer à l'état de blocage les transistors de commande mais sans imposer une pénalité substantielle de temps d'emmagasinage au blocage ultérieur de Q6.

20 L'attaque de Q6 est commandée par Q8. Quand Q8 est bloqué, Q6 passe à la saturation contrôlée comme décrit ci-dessus. Quand Q8 est débloquent, il assure l'attaque de Q6 qui est bloqué. L'attaque au déblocage de Q8 est limitée d'une manière assez analogue à celle
25 dont Q7 commande Q6. Le rapport entre R10 et R11 est choisi pour produire une fraction de V_{BE} de Q8 aux bornes de R10 quand Q8 est débloquent. Il en résulte que la jonction base-émetteur Q9 est polarisée dans le sens direct quand la tension du collecteur Q8 décroît. Cela
30 fait circuler à son tour un courant de R12 qui est la source de courant d'attaque de base depuis la ligne positive 20 vers Q8.

La chute de tension aux bornes de R10 est choisie de manière que lorsque le collecteur de Q8
35 décroît jusqu'à une tension qui assure que Q6 soit bloqué, Q9 soit débloquent, limitant l'attaque de base et évitant la saturation complète de Q8. Cela a pour effet

de réduire au minimum le temps d'emmagasinement de Q8 et de réduire également la plage d'excursion de tension de base appliquée à Q6. Grâce à la réduction de cette excursion, le temps nécessaire pour que Q6 soit débloquent après le blocage de Q8 est réduit.

En outre, Q9 aide à établir le niveau seuil de tension d'entrée pour l'entrée de commande à trois états. Le rapport entre R13 et R11 est choisi de manière que lorsque Q8 est débloquent, mais non attaqué de façon excessive, la tension en haut de R13 soit de V_{BE} supérieure à la tension seuil voulue. Quand Q9 est polarisé dans le sens direct, prélevant un courant d'attaque excessif de R12, il réduit automatiquement la tension à cette valeur.

Quand la base de Q10 est au-dessus du seuil, ce transistor est bloqué et le courant provenant de R12 attaque la base de Q8 par les résistances. Les valeurs des résistances sont choisies de manière que la tension en haut de R13 soit stabilisée par Q9 à une valeur égale au seuil voulu plus une fois V_{BE} . Quand la tension appliquée à la base de Q10 à l'entrée $\overline{HBE}$ est réduite vers le seuil, Q10 est polarisé dans le sens direct et commence à recevoir le courant de R12. Quand $\overline{HBE}$ passe au-dessous du seuil, Q10 conduit plus que l'excès d'attaque et l'attaque de base de Q8 est réduite. Enfin, quand $\overline{HBE}$ passe par le niveau logique inférieur (zéro), l'attaque de Q8 est réduite de manière que R11 le bloque. Ensuite, Q6 est débloquent et le tampon passe du troisième état à l'état de données, de la manière déjà décrite.

Les transistors qui fonctionnent à saturation ou au voisinage sont également prévus avec un recouvrement isolant de diffusion de base, agencé pour suivre étroitement le contour de diffusion normale de base. Il existe une étroite région épitaxiale intermédiaire de manière que la base NPN et le recouvrement forment respectivement l'émetteur et le collecteur d'un transistor PNP latéral dont la base est le collecteur NPN. Cela entraîne

des trous injectés dans la région épitaxiale N par un courant de base NPN excessif dans le mode saturé. Ce recouvrement aide à accélérer le blocage de Q4 et Q5 pour lesquels n'est prévue aucune autre disposition anti-saturation et apporte une certaine amélioration dans le temps de blocage de Q3, Q6 et Q8.

Si cela est souhaité, le fonctionnement des transistors Q4 et Q5 peut encore être accéléré en les agaçant avec des écrêteurs de saturation sous la forme d'un collecteur inversé supplémentaire. Un tel collecteur, comme le collecteur 30 de Q3, pourrait être connecté directement à la base du transistor respectif et utilisé pour réduire un excès d'attaque.

Il faut noter en regard de la figure que les collecteurs de Q1 et Q6 comportent deux contacts séparés prévus pour améliorer les performances. Ces contacts séparés permettent que la résistance en série associée avec le contact du collecteur réel par l'intermédiaire de la couche encastrée et la résistance de couche épitaxiale soit isolée en série avec la résistance chutrice R3, R6 respectivement. De cette manière, une tension plus proche de la tension réelle au collecteur du transistor impliqué peut être utilisée pour attaquer les charges respectives.

Un seul mode de réalisation a été décrit en détail ci-dessus, mais il est bien évident que de nombreuses variantes et modifications peuvent y être apportées sans sortir du cadre ni de l'esprit de l'invention.

REVENDICATIONS

1. Tampon de sortie à trois états, à étages multiples destiné à coupler un composant électronique produisant une sortie numérique à plusieurs bits avec
5 une ligne monibus à plusieurs conducteurs par laquelle circulent également des signaux numériques provenant d'autres dispositifs, caractérisé en ce que chaque étage du tampon comporte des transistors de sortie (Q2, Q3) connectés entre des potentiels d'alimentation supérieur
10 et inférieur (20,22), une ligne de sortie (24) connectée auxdits transistors, un circuit logique de données (10) comprenant une entrée (18) pour recevoir un bit de données correspondant provenant dudit composant et un circuit de sortie produisant des signaux de données correspondant à
15 l'état dudit bit de données, un dispositif (Q1) couplant lesdits signaux de données avec lesdits transistors de sortie pour produire un bit de sortie correspondant à ladite ligne de sortie, une ligne de commande (16) commune pour tous les étages du tampon et commutable dans un
20 état de commande prédéterminé produisant un signal de commande pour établir une sortie du tampon à haute impédance et des transistors de commande (Q4, Q5) comprenant un dispositif d'entrée couplé avec ladite ligne de commande et un dispositif de sortie connecté auxdits
25 transistors de sortie, lesdits transistors de commande étant normalement bloqués et isolés effectivement desdits transistors de sortie quand ledit signal de commande est au niveau "0" afin de permettre que lesdits transistors de sortie réagissent auxdits signaux de données en correspondance avec l'état dudit bit de données du composant,
30 lesdits transistors de commande ayant pour fonction, en réponse audit signal de commande, de débloquer lesdits transistors de sortie de manière à surmonter lesdits signaux de données et produire une transition rapide à l'état
35 de sortie du tampon à haute impédance.

2. Tampon de sortie selon la revendication 1, caractérisé en ce que lesdits transistors de sortie consistent en deux transistors de sortie (Q2,Q3) connectés en série entre lesdits potentiels d'alimentation, ladite
5 ligne de sortie (24) étant connectée au point commun entre lesdits transistors, ledit circuit logique de données comprenant des première et seconde sorties produisant les signaux de données directs et inversés, ledit dispositif de couplage (Q1) servant à coupler lesdits
10 signaux de données directs et inversés aux bases desdits transistors de sortie respectivement pour débloquer l'un ou l'autre en fonction de l'état du bit de données, ledit dispositif de sortie des transistors de commande (Q4,Q5) étant connecté aux bases des deux transistors de sortie,
15 lesdits transistors de sortie servant, quand lesdits transistors de commande sont bloqués, à réagir de façon complémentaire auxdits signaux de données directs et inversés, lesdits transistors de commande ayant pour fonction, en réponse audit signal de commande, d'abaisser
20 les bases des deux transistors de sortie simultanément de manière à surmonter celui desdits signaux de données qui est au niveau "1".

3. Tampon de sortie selon la revendication 2, caractérisé en ce que lesdits transistors de commande
25 consistent en un premier et un second transistors de commande (Q4, Q5) dont les bases sont attaquées par ladite ligne de commande commune, un premier dispositif connectant le collecteur dudit premier transistor de commande à une ligne aboutissant à la base de l'un desdits tran-
30 sistors de sortie et un second dispositif connectant le collecteur dudit second transistor de commande à une ligne aboutissant à la base de l'autre transistor.

4. Tampon de sortie selon la revendication 3, caractérisé en ce que ledit circuit logique de données,
35 comporte un transistor de données (Q1) dont la base est connectée à une ligne de données, le collecteur dudit transistor de données étant connecté à la base de l'un

desdits transistors de sortie, l'émetteur dudit transistor de données étant connecté à la base de l'autre desdits transistors de sortie.

5. Tampon de sortie selon la revendication 3, caractérisé en ce qu'un premier desdits premiers transistors de sortie (Q2, Q3) comporte un élément de détection de saturation (30) qui développe la circulation d'un courant quand ce transistor de sortie approche de la saturation et un circuit réagissant à ladite circulation d'un courant en réduisant l'attaque dudit premier transistor de sortie pour obtenir un fonctionnement plus rapide lorsqu'il est ensuite bloqué.

6. Tampon de sortie selon la revendication 5, caractérisé en ce que ledit élément (30) est couplé avec ledit circuit logique de données pour en recevoir une partie du courant qui sert normalement à l'attaque dudit premier transistor de sortie.

7. Tampon de sortie selon la revendication 3, caractérisé en ce qu'un premier desdits transistors de sortie (Q2, Q3) est formé avec un élément de détection de saturation (30) qui développe la circulation d'un courant quand ce transistor de sortie approche de la saturation et un circuit réagissant à ladite circulation d'un courant en réduisant l'attaque de l'autre transistor de sortie pour assurer qu'il soit à l'état bloqué quand ledit premier transistor de sortie est débloqué.

8. Tampon de sortie selon la revendication 7, caractérisé en ce que ledit circuit comporte une résistance (R2) connectée entre ledit circuit logique de données et l'électrode de commande dudit autre transistor de sortie, ladite circulation d'un courant passant par ladite résistance et réduisant la tension de ladite électrode de commande de manière à assurer que l'autre transistor de sortie reste bloqué.

9. Tampon de sortie selon la revendication 3, caractérisé en ce que lesdits transistors de commande (Q4, Q5) sont prévus avec un dispositif qui accélère le

blocage.

10. Tampon de sortie selon la revendication 9, caractérisé en ce que ledit dispositif d'accélération consiste en un recouvrement d'isolant à diffusion de
5 base.

11. Tampon de sortie selon la revendication 9, caractérisé en ce que ledit dispositif d'accélération consiste en des écréteurs à saturation sous la forme d'un collecteur en mode inversé.

10 12. Tampon de sortie selon la revendication 11, caractérisé en ce que le collecteur en mode inversé est connecté à la base du transistor respectif.

13. Tampon de sortie selon la revendication 2, caractérisé en ce qu'il comporte un circuit de commande
15 commun (14) connecté à ladite ligne de commande (16) pour produire des signaux de commande desdits transistors de commande (Q4, Q5), ledit circuit de commande comprenant un dispositif (Q6, Q7) qui développe des signaux d'attaque active à la fois pour l'état débloqué et l'état
20 bloqué desdits transistors de commande afin de réduire les temps d'emmagasinement de ces transistors et améliorer ainsi la vitesse de commutation.

14. Tampon de sortie selon la revendication 13, caractérisé en ce que ledit circuit de commande (14)
25 comporte un transistor de signaux d'attaque (Q7) dont le collecteur est connecté à ladite ligne de commande, une résistance (R6) connectée entre ce collecteur et la ligne d'alimentation, le courant dans ladite résistance attaquant lesdits transistors de commande à l'état débloqué quand
30 ledit transistor de signaux d'attaque est bloqué, et ledit transistor de signaux d'attaque servant, lorsqu'il est débloqué, à écouler le courant par ladite résistance.

15. Tampon de sortie à trois états, à étages multiples destiné à coupler un composant d'électronique
35 produisant une sortie numérique à plusieurs bits, avec une ligne omnibus à plusieurs conducteurs par laquelle doivent également circuler des signaux numériques provenant

d'autres dispositifs, caractérisé en ce que chaque étage du tampon comporte des transistors de sortie (Q2, Q3) connectés entre des potentiels d'alimentation supérieur et inférieur (20,22) une ligne de sortie (24) connectée

5 auxdits transistors de sortie, un circuit logique de données (10) couplé avec lesdits transistors de sortie pour produire un bit de sortie correspondant sur ladite ligne de sortie, une ligne de commande (16) commune à tous les étages du tampon et produisant un signal de commande "1"

10 ou "0" pour établir une sortie du tampon à haute impédance et des transistors de commande (Q4, Q5) comprenant un dispositif d'entrée couplé avec ladite ligne de commande et un dispositif de sortie couplé avec lesdits transistors de sortie pour bloquer lesdits transistors de sortie, un

15 circuit de commande commun (14) couplé avec ladite ligne de commande pour la faire passer entre les temps "1" et les temps "0", ledit circuit de commande commun comprenant un dispositif (Q6, Q7) pour développer des signaux d'attaque active pour les états "1" et "0" de ladite ligne de

20 commande.

16. Tampon de sortie selon la revendication 15, caractérisé en ce que lesdits de sortie consistent en deux transistors de sortie (Q2, Q3) connectés en série entre lesdits potentiels d'alimentation, ladite ligne de

25 sortie étant connectée au point commun entre lesdits transistors, ledit circuit logique de données comprenant les première et seconde sorties produisant des signaux de données directs et inversés et servant à débloquer l'un ou l'autre desdits transistors de sortie en fonction de

30 l'état dudit bit de données, lesdits transistors de commande étant couplés avec lesdits transistors de sortie pour les bloquer.

17. Tampon de sortie selon la revendication 16, caractérisé en ce que ledit circuit de commande (14)

35 comporte un transistor de signaux d'attaque (Q7) dont les collecteur est connecté à ladite ligne de commande et

une résistance (R6) connectée entre ce collecteur et la ligne d'alimentation, le courant dans ladite résistance attaquant lesdits transistors de commande à l'état débloqué quand ledit transistor de signaux d'attaque est bloqué et ledit transistor de signaux d'attaque servant, lorsqu'il est débloqué, à écouler le courant par ladite résistance.

18. Tampon de sortie selon la revendication 17, caractérisé en ce qu'il comporte un circuit connecté entre la base du transistor de signaux d'attaque et la ligne d'alimentation pour appliquer une attaque substantielle à cette base et effectuer une commutation rapide à l'état débloqué, ledit circuit comprenant un dispositif supplémentaire qui, après que le transistor de signaux d'attaque a été débloqué, réduit l'attaque de base, afin de réduire au minimum la charge emmagasinée.

19. Tampon de sortie selon la revendication 17, caractérisé en ce que ledit dispositif supplémentaire consiste en un transistor dont la sortie est connectée au collecteur dudit transistor de signaux d'attaque de manière que le collecteur prélève un courant audit transistor supplémentaire pour réduire le courant d'attaque dudit transistor de signaux d'attaque.

20. Tampon de sortie selon la revendication 19, caractérisé en ce que ledit transistor supplémentaire est connecté comme une diode, une résistance de chute de tension étant connectée entre la base dudit transistor ou diode et la base dudit transistor de signaux d'attaque et un dispositif étant connecté à ladite résistance de chute de tension pour produire une chute de tension qui est une fraction de la tension V_{BE} dudit transistor de signaux d'attaque quand ce transistor est débloqué.

21. Tampon de sortie selon la revendication 16, caractérisé en ce que ledit circuit de commande commun (14) comporte un transistor de signaux d'attaque (Q7) pour débloquent lesdits transistors de commande, un transistor de commande d'attaque qui commande ledit transistor

de signaux d'attaque, un circuit connecté entre la base dudit transistor de commande d'attaque et la ligne d'alimentation pour fournir l'attaque de cette base, ledit circuit comprenant un dispositif supplémentaire
5 qui, après que ledit transistor de commande d'attaque a été débloqué, réduit l'attaque de base de ce transistor de manière à réduire au minimum la charge emmagasinée.

22. Tampon de sortie selon la revendication 21, caractérisé en ce que ledit dispositif supplémentaire
10 consiste en un transistor supplémentaire dont la sortie est connectée au collecteur dudit transistor de commande d'attaque.

23. Tampon de sortie selon la revendication 22, caractérisé en ce qu'il comporte une résistance de chute
15 de tension connectée entre la base du transistor supplémentaire et la base dudit transistor de commande d'attaque pour produire une chute de tension qui est une fraction de la tension V_{BE} dudit transistor de commande d'attaque.

24. Tampon de sortie selon la revendication 22, caractérisé en ce qu'il comporte une résistance de chute
20 de tension connectée entre le collecteur et la base dudit transistor supplémentaire, un transistor à seuil dont l'émetteur est connecté à ladite résistance de chute de tension et dont la base est connectée à une borne d'entrée
25 dudit circuit de commande commun, ladite résistance de chute de tension servant, quand ledit transistor de commande d'attaque est débloqué, à polariser ledit émetteur à une valeur prédéterminée de la tension seuil voulu dudit transistor à seuil.

25. Tampon de sortie selon la revendication 22, caractérisé en ce que ladite polarisation d'émetteur
30 est réglée à une valeur V_{BE} supérieure à la tension seuil voulue.

