



(12) 发明专利

(10) 授权公告号 CN 111095570 B

(45) 授权公告日 2023.07.25

(21) 申请号 201880058896.5

(22) 申请日 2018.08.30

(65) 同一申请的已公布的文献号

申请公布号 CN 111095570 A

(43) 申请公布日 2020.05.01

(30) 优先权数据

2017-173804 2017.09.11 JP

(85) PCT国际申请进入国家阶段日

2020.03.11

(86) PCT国际申请的申请数据

PCT/JP2018/032086 2018.08.30

(87) PCT国际申请的公布数据

W02019/049764 JA 2019.03.14

(73) 专利权人 TDK株式会社

地址 日本东京都

(72) 发明人 有马润 平林润 藤田实
川崎克己 井之口大辅

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322

专利代理人 杨琦 黄浩

(51) Int.CI.

H01L 29/872 (2006.01)

H01L 21/28 (2006.01)

H01L 29/06 (2006.01)

H01L 29/47 (2006.01)

(56) 对比文件

CN 107026209 A, 2017.08.08

JP 2009105200 A, 2009.05.14

JP 2010147399 A, 2010.07.01

JP 2014078561 A, 2014.05.01

JP 2014090140 A, 2014.05.15

JP 2016081946 A, 2016.05.16

US 2010276732 A1, 2010.11.04

Kohei Sasaki;Daiki Wakimoto;Quang Tu

Thieu;and et al..First Demonstration of
Ga203 Trench MOS-Type Schottky Barrier
Diodes.《IEEE Electron Device Letters》
.2017,783-785.

审查员 刘鑫晶

权利要求书1页 说明书6页 附图8页

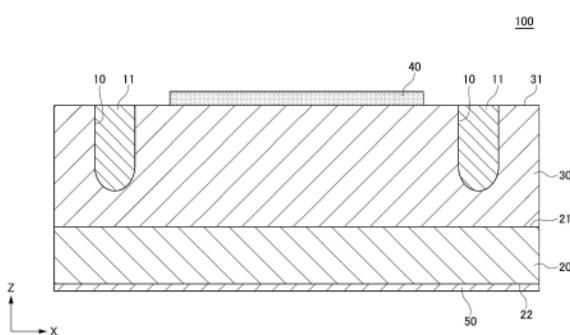
(54) 发明名称

肖特基势垒二极管

(57) 摘要

本发明提供一种肖特基势垒二极管，其难以产生因电场集中而引起的绝缘破坏。该肖特基势垒二极管具备：由氧化镓构成的半导体基板(20)；设置于半导体基板(20)上的由氧化镓构成的漂移层(30)；与漂移层(30)肖特基接触的阳极电极(40)；以及与半导体基板(20)欧姆接触的阴极电极(50)。漂移层(30)具有在俯视时设置于包围阳极电极(40)的位置的外周沟道(10)。如此，当在漂移层(30)设置外周沟道(10)时，电场因外周沟道(10)的存在而被分散。由此，由于缓和了阳极电极(40)的角部中的电场集中，因此难以产生绝缘破坏。

CN 111095570 B



1. 一种肖特基势垒二极管, 其特征在于,
具备:

由氧化镓构成的半导体基板;

设置于所述半导体基板上的由氧化镓构成的漂移层;

与所述漂移层肖特基接触的阳极电极; 以及

与所述半导体基板欧姆接触的阴极电极,

所述漂移层具有在俯视时设置于与所述阳极电极重叠的位置的多个中心沟道和在俯视时设置于包围所述阳极电极的位置的外周沟道, 由此, 定义位于所述多个中心沟道之间的第一台面区域和位于所述外周沟道和距离所述外周沟道最近的所述多个中心沟道的一个之间的第二台面区域,

所述外周沟道的内部被绝缘体填满,

所述第一台面区域的表面被所述阳极电极覆盖,

所述第二台面区域的表面不存在所述阳极电极。

2. 根据权利要求1所述的肖特基势垒二极管, 其特征在于,

所述多个中心沟道的内壁被绝缘膜覆盖。

3. 根据权利要求1所述的肖特基势垒二极管, 其特征在于,

所述外周沟道的宽度比所述中心沟道的宽度宽。

4. 根据权利要求2所述的肖特基势垒二极管, 其特征在于,

所述外周沟道的宽度比所述中心沟道的宽度宽。

5. 根据权利要求1~4中任一项所述的肖特基势垒二极管, 其特征在于,

所述外周沟道的深度比所述中心沟道的深度深。

6. 根据权利要求1~4中任一项所述的肖特基势垒二极管, 其特征在于,

所述第二台面区域的台面宽度比所述第一台面区域的台面宽度小。

7. 根据权利要求5所述的肖特基势垒二极管, 其特征在于,

所述第二台面区域的台面宽度比所述第一台面区域的台面宽度小。

肖特基势垒二极管

技术领域

[0001] 本发明涉及一种肖特基势垒二极管,特别地,涉及一种使用了氧化镓的肖特基势垒二极管。

背景技术

[0002] 肖特基势垒二极管是通过利用了金属和半导体的接合而产生的肖特基势垒的整流元件,与具有PN接合的通常的二极管相比,具有正向电压低,并且开关速度快的特征。因此,肖特基势垒二极管被用作为功率器件用的开关元件。

[0003] 在将肖特基势垒二极管用作为功率器件用的开关元件的情况下,由于需要确保足够的反向耐压,因此,取代硅(Si)而使用带隙大的碳化硅(SiC)、氮化镓(GaN)、氧化镓(Ga₂O₃)等。其中,由于氧化镓的带隙为非常大的4.8~4.9eV,其绝缘破坏电场也为较大的7~8MV/cm,因此,使用氧化镓的肖特基势垒二极管非常有望被用于功率器件用的开关元件。在专利文献1和非专利文献1中公开有使用了氧化镓的肖特基势垒二极管的例子。

[0004] 非专利文献1中公开的肖特基势垒二极管具有在俯视时设置于与阳极电极重叠的位置的多个沟道,并且以绝缘膜覆盖沟道的内壁的结构。根据这种结构,由于当施加反向电压时,位于沟道之间的台面区域成为耗尽层,因此漂移层的通道区域被夹断。由此,可以大幅地抑制在施加反向电压的情况下泄漏电流。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本特开第2017-045969号公报

[0008] 非专利文献

[0009] 非专利文献1:设置了沟道MOS结构的Ga₂O₃肖特基势垒二极管2017年第64届应用物理学会春季学术演讲会[15p-315-13]

发明内容

[0010] 发明想要解决的技术问题

[0011] 然而,专利文献1和非专利文献1中公开的肖特基势垒二极管,由于电场集中于阳极电极的端部,因此当施加高电压时,在该部分中引起绝缘破坏。例如,在非专利文献1中公开的肖特基势垒二极管中,电场集中于位于端部的沟道的边缘部分。

[0012] 因此,本发明的目的在于,提供一种使用了氧化镓的肖特基势垒二极管,该肖特基势垒二极管难以产生因电场集中而引起的绝缘破坏。

[0013] 用于解决技术问题的技术手段

[0014] 根据本发明的肖特基势垒二极管,其特征在于,具备:由氧化镓构成的半导体基板;设置于半导体基板上的由氧化镓构成的漂移层;与漂移层肖特基接触的阳极电极;以及与半导体基板欧姆接触的阴极电极,漂移层具有在俯视时设置于包围阳极电极的位置的外周沟道。

[0015] 根据本发明,由于在漂移层设置外周沟道,因此电场因外周沟道的存在而被分散。由此,由于缓和了阳极电极的角部中的电场集中,因此难以产生绝缘破坏。

[0016] 根据本发明的肖特基势垒二极管可以进一步具备埋入于外周沟道的绝缘体。据此,提高了电场的分散效果。

[0017] 在本发明中,漂移层可以进一步具有在俯视时设置于与阳极电极重叠的位置的多个中心沟道。在这种情况下,多个中心沟道的内壁被绝缘膜覆盖。据此,由于当施加反向电压时,位于中心沟道之间的台面区域成为耗尽层,漂移层的通道区域被夹断,因此,可以大幅地抑制在施加反向电压的情况下泄漏电流。

[0018] 在这种情况下,外周沟道的宽度可以比中心沟道的宽度宽,外周沟道的深度可以比中心沟道的深度深,外周沟道与最靠近外周沟道的中心沟道之间的台面宽度可以比多个中心沟道之间的台面宽度小。根据这些结构,由于进一步缓和了电场集中,因此难以进一步产生绝缘破坏。

[0019] 发明的效果

[0020] 如上所述,根据本发明,能够提供一种使用了难以产生绝缘破坏的氧化镓的肖特基势垒二极管。

附图说明

[0021] 图1是示出根据本发明的第一实施方式的肖特基势垒二极管100的结构的俯视图。

[0022] 图2是沿图1的A-A线的截面图。

[0023] 图3是示出根据本发明的第二实施方式的肖特基势垒二极管200的结构的截面图。

[0024] 图4是示出根据本发明的第三实施方式的肖特基势垒二极管300的结构的截面图。

[0025] 图5是示出比较例1的模拟结果的图。

[0026] 图6是示出实施例1的模拟结果的图。

[0027] 图7是示出比较例2的模拟结果的图。

[0028] 图8是示出实施例2的模拟结果的图。

[0029] 图9是示出外周沟道的深度与电场强度之间的关系的图。

[0030] 符号说明

[0031] 10 外周沟道

[0032] 11 绝缘体

[0033] 20 半导体基板

[0034] 21 半导体基板的上表面

[0035] 22 半导体基板的背面

[0036] 30 漂移层

[0037] 31 漂移层的上表面

[0038] 40 阳极电极

[0039] 50 阴极电极

[0040] 60 中心沟道

[0041] 60a 位于端部的中心沟道

[0042] 61 绝缘膜

[0043] 100、200、300 肖特基势垒二极管

[0044] M1、M2 台面区域

具体实施方式

[0045] 在下文中,一边参照附图,一边对本发明的优选实施方式进行详细地说明。

[0046] <第一实施方式>

[0047] 图1是示出根据本发明的第一实施方式的肖特基势垒二极管100的结构的俯视图。另外,图2是沿图1的A-A线的截面图。

[0048] 如图1和图2所示,根据本实施方式的肖特基势垒二极管100具备由氧化镓(β -Ga₂O₃)构成的半导体基板20和漂移层30。在半导体基板20和漂移层30,导入有作为n型掺杂(Dopant)的硅(Si)或锡(Sn)。半导体基板20的掺杂的浓度比漂移层30高,由此,半导体基板20起到n⁺层的作用,漂移层30起到n⁻层的作用。

[0049] 半导体基板20是将使用熔体生长法等形成的块状晶体进行切割加工而成的,其厚度(Z方向上的高度)约为250μm。对半导体基板20的平面尺寸没有特别限定,一般地,根据流过元件的电流量来选择,如果正方向的最大电流量约为20A,则X方向和Y方向上的宽度可以设为约2.4mm左右。

[0050] 半导体基板20具有在安装时位于上表面侧的上表面21,和作为上表面21的相反侧,并且在安装时位于下表面侧的背面22。在上表面21的整个面上形成有漂移层30。漂移层30是在半导体基板20的上表面21使用反应性溅射、PLD法、MBE法、MOCVD法、HVPE法等来使氧化镓外延生长的薄膜。对漂移层30的膜厚没有特别限定,一般地,根据元件的反向耐压来选择,为了确保约600V的耐压,例如可以设为约7μm的程度。

[0051] 在漂移层30的上表面31,形成有与漂移层30肖特基接触的阳极电极40。阳极电极40例如由铂(Pt)、钯(Pd)、金(Au)、镍(Ni)等的金属构成。阳极电极40可以是层叠了不同的金属膜的多层结构,例如,Pt/Au、Pt/Al、Pd/Au、Pd/Al、Pt/Ti/Au或Pd/Ti/Au。另一方面,在半导体基板20的背面22,设置有与半导体基板20欧姆接触的阴极电极50。阴极电极50例如由钛(Ti)等的金属构成。阴极电极50可以是层叠了不同的金属膜的多层结构,例如,Ti/Au或Ti/Al。

[0052] 再者,在漂移层30,在俯视时(从Z方向观察),在与阳极电极40不重叠的位置,且包围阳极电极40的位置,设置有外周沟道10。外周沟道10可以通过从上表面31侧蚀刻漂移层30来形成。

[0053] 外周沟道10是为了缓和集中于阳极电极40的端部的电场而设置的,在本实施方式中,外周沟道10的内部被绝缘体11埋入。在本发明中,通过绝缘体11埋入外周沟道10的内部不是必须的,也可以使外周沟道10的内部保持空洞,也可以通过导电体埋入一部分或全部。然而,在将导电体埋入于外周沟道10的内部的情况下,需要先将该导电体从阳极电极40绝缘。当外周沟道10的内部被绝缘体11埋入时,与外周沟道10的内部保持空洞的情况相比,提高了电场的分散效果。

[0054] 如上所述,根据本实施方式的肖特基势垒二极管100,由于在漂移层30设置有外周沟道10,因此,集中于阳极电极40的端部的电场被外周沟道10缓和。由此,能够防止因电场集中而引起的绝缘破坏。

[0055] <第二实施方式>

[0056] 图3是示出根据本发明的第二实施方式的肖特基势垒二极管200的结构的截面图。

[0057] 如图3所示,在根据第二实施方式的肖特基势垒二极管200中,在漂移层30设置有多个中心沟道60。中心沟道60中的任一个均设置于在俯视时与阳极电极40重叠的位置,并且其内壁被由 HfO_2 等构成的绝缘膜61覆盖。中心沟道60的内部被与阳极电极40相同的材料埋入。在如本实施方式那样设置中心沟道60的情况下,作为阳极电极40的材料,可以是钼(Mo)或铜(Cu)等的功函数低的材料。另外,在本实施方式中,漂移层30的掺杂浓度提高到 $5 \times 10^{16} \text{ cm}^{-3}$ 左右。由于其它的结构与根据第一实施方式的肖特基势垒二极管100基本相同,因此,对相同的要素赋予相同的符号,并省略重复的说明。

[0058] 在漂移层30中的位于中心沟道60之间的部分构成台面区域M1。由于当在阳极电极40和阴极电极50之间施加反向电压时,台面区域M1变成耗尽层,因此漂移层30的通道区域被夹断。由此,大幅地抑制了在施加反向电压的情况下的泄漏电流。

[0059] 在具有这种结构的肖特基势垒二极管中,电场集中于位于端部的中心沟道60a的底部,并且该部分变为容易绝缘破坏。然而,在根据本实施方式的肖特基势垒二极管200中,由于在多个中心沟道60的更外周位置设置有外周沟道10,以包围多个中心沟道60,因此,缓和了位于端部的中心沟道60a的电场。

[0060] 如图3所示,在漂移层30中,位于端部的中心沟道60a与外周沟道10之间的部分构成台面区域M2。对上述的台面区域M1的台面宽度W1和台面区域M2的台面宽度W2之间的关系没有特别限制,但是优选为:

[0061] $W1 \geq W2$,

[0062] 更优选为:

[0063] $W1 > W2$ 。

[0064] 这是因为为了降低导通电阻,需要一定程度地确保台面区域M1的台面宽度W1,并且,对于台面区域M2,台面宽度W2越窄,则使电场分散的效果越高。但是,台面区域M2的台面宽度W2的下限被加工精度限制。

[0065] 另外,对中心沟道60的宽度W3与外周沟道10的宽度W4之间的关系没有特别限制,但是优选为:

[0066] $W3 \leq W4$,

[0067] 最更优选为:

[0068] $W3 < W4$ 。

[0069] 这是因为为了降低导通电阻,需要一定程度地使中心沟道60的宽度W3变窄,并且,对于外周沟道10,宽度W4越大,则使电场分散的效果越高。

[0070] 如上所述,根据本实施方式的肖特基势垒二极管200除了具有根据第一实施方式的肖特基势垒二极管100的效果之外,还具有可以削减在施加反向电压的情况下的泄漏电流的效果。另外,在本实施方式中,外周沟道10和中心沟道60的深度相同,因此,能够通过同一工序形成它们。

[0071] 另外,在本实施方式中,中心沟道60的内壁被绝缘膜61覆盖,并且中心沟道60的内部被与阳极电极40相同的材料埋入,也可以不使用绝缘膜61,而由逆导电型(在本实施方式中为p型)的半导体材料埋入。

[0072] <第三实施方式>

[0073] 图4是示出根据本发明的第三实施方式的肖特基势垒二极管300的结构的截面图。

[0074] 如图4所示,在根据第三实施方式的肖特基势垒二极管300中,外周沟道10的深度D2比中心沟道60的深度D1深。其它的结构与根据第二实施方式的肖特基势垒二极管200基本相同,因此,对相同的要素赋予相同的符号,并省略重复的说明。

[0075] 如果外周沟道10的深度D2浅,则不能充分得到使电场分散的效果,但是如果将外周沟道10的深度D2设定为比中心沟道60的深度D1深,则可以提高使电场分散的效果。

[0076] 以上,对本发明的优选实施方式进行了说明,但是本发明不限于上述的实施方式,在不脱离本发明的主旨的范围内可以进行各种变更,不用说,这些也是包含于本发明的范围内的实施方式。

[0077] 实施例1

[0078] 假定一种具有与图1和图2所示的肖特基势垒二极管100相同的结构的实施例1的模拟模型,并对在阳极电极40和阴极电极50之间施加了反向电压的情况下电场强度进行模拟。设半导体基板20的掺杂浓度为 $1 \times 10^{18} \text{ cm}^{-3}$,设漂移层30的掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 。设漂移层30的厚度为7μm。另外,为了进行比较,假定一种具有从实施例1的模拟模型中削除了外周沟道10和绝缘体11的结构的比较例1的模拟模型,并对在阳极电极40和阴极电极50之间施加了反向电压的情况下电场强度进行模拟。

[0079] 图5是示出比较例1的模拟结果的图。在比较例1的模拟模型中,电场集中于阳极电极40的角部,其最大值为8.3MV/cm。

[0080] 图6是示出实施例1的模拟结果的图。在实施例1的模拟模型中,电场集中于阳极电极40的角部,但是由于电场被外周沟道10分散,结果,其最大值降低至6.8MV/cm。

[0081] 实施例2

[0082] 假定一种具有与图3所示的肖特基势垒二极管200相同的结构的实施例2的模拟模型,并对在阳极电极和阴极电极之间施加了正向电压的情况下电场强度进行模拟。在此,分别设中心沟道60的深度D1和宽度W3为3μm和1μm,设台面区域M1的台面宽度W1为2μm,设形成于中心沟道60的内壁的绝缘膜61为厚度为50nm的HfO₂膜。另一方面,分别设外周沟道10的深度D2和宽度W4为3μm和5μm,设台面区域M2的台面宽度W2为2μm。设漂移层30的掺杂浓度为 $5 \times 10^{16} \text{ cm}^{-3}$ 。其它的条件与实施例1的模拟模型相同。

[0083] 另外,为了进行比较,假定一种具有从实施例2的模拟模型中削除了外周沟道10和绝缘体11的结构的比较例2的模拟模型,并对在阳极电极40和阴极电极50之间施加了反向电压的情况下电场强度进行模拟。

[0084] 图7是示出比较例2的模拟结果的图。在比较例2的模拟模型中,电场集中于位于端部的中心沟道60a的底部,其最大值为12.1MV/cm。

[0085] 图8是示出实施例2的模拟结果的图。在实施例2的模拟模型中,电场集中于位于端部的中心沟道60a的底部,但是由于电场被外周沟道10分散,结果,其最大值降低至11.6MV/cm。

[0086] 另一方面,在除端部以外的中心沟道60的底部也一定程度地集中有电场,但是在实施例2和比较例2之间未观察到差异,其最大值中任一个均为9.4MV/cm。

[0087] 实施例3

[0088] 假定一种具有与图4所示的肖特基势垒二极管300相同的结构的实施例3的模拟模型，并对在阳极电极40和阴极电极50之间施加了反向电压的情况下电场强度进行模拟。在实施例3的模拟模型中，外周沟道10的深度D2为5μm。其它的条件与实施例2的模拟模型相同。

[0089] 图9是示出外周沟道的深度与电场强度之间的关系的图。在图9中，符号E1表示施加于端部以外的中心沟道60的附近的漂移层30上的最大电场，符号E2表示施加于端部的中心沟道60a的附近的漂移层30上的最大电场，符号E3表示施加于覆盖端部以外的中心沟道60的内壁的绝缘膜61的最大电场，符号E4表示施加于覆盖端部的中心沟道60a的内壁的绝缘膜61的最大电场。

[0090] 如图9所示，关于施加于位于端部的中心沟道60a的附近的漂移层30和绝缘膜61的电场，外周沟道10的深度越深，则越缓和了电场强度。相对于此，对于施加于端部以外的中心沟道60的附近的漂移层30和绝缘膜61上的电场，不管外周沟道10的深度如何，都是恒定的。

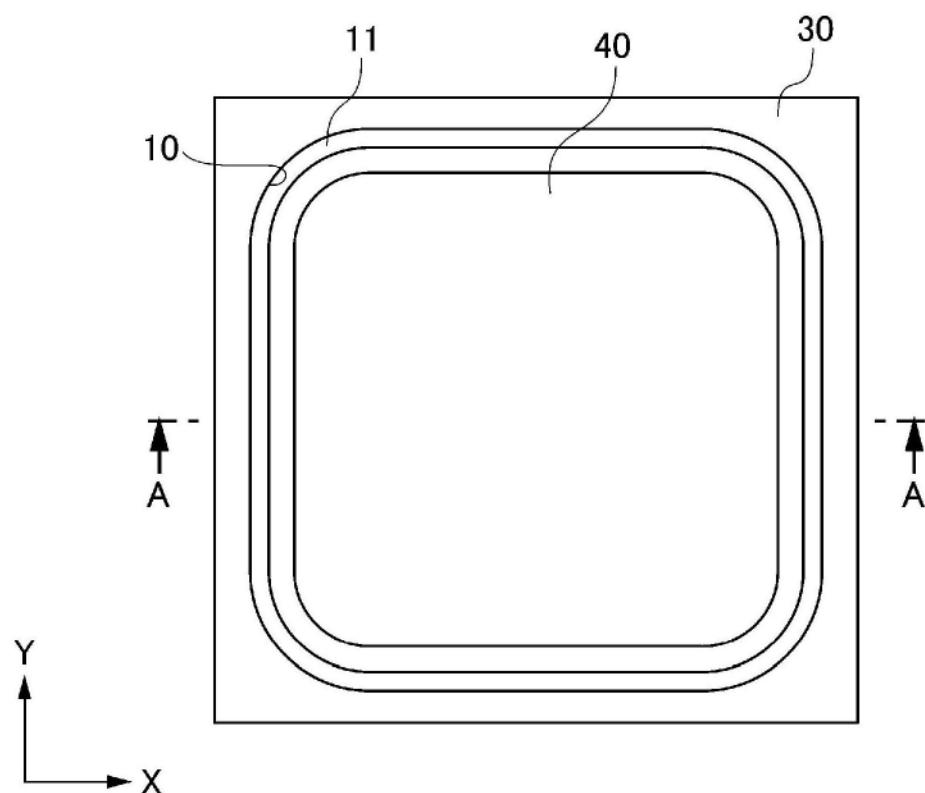
100

图1

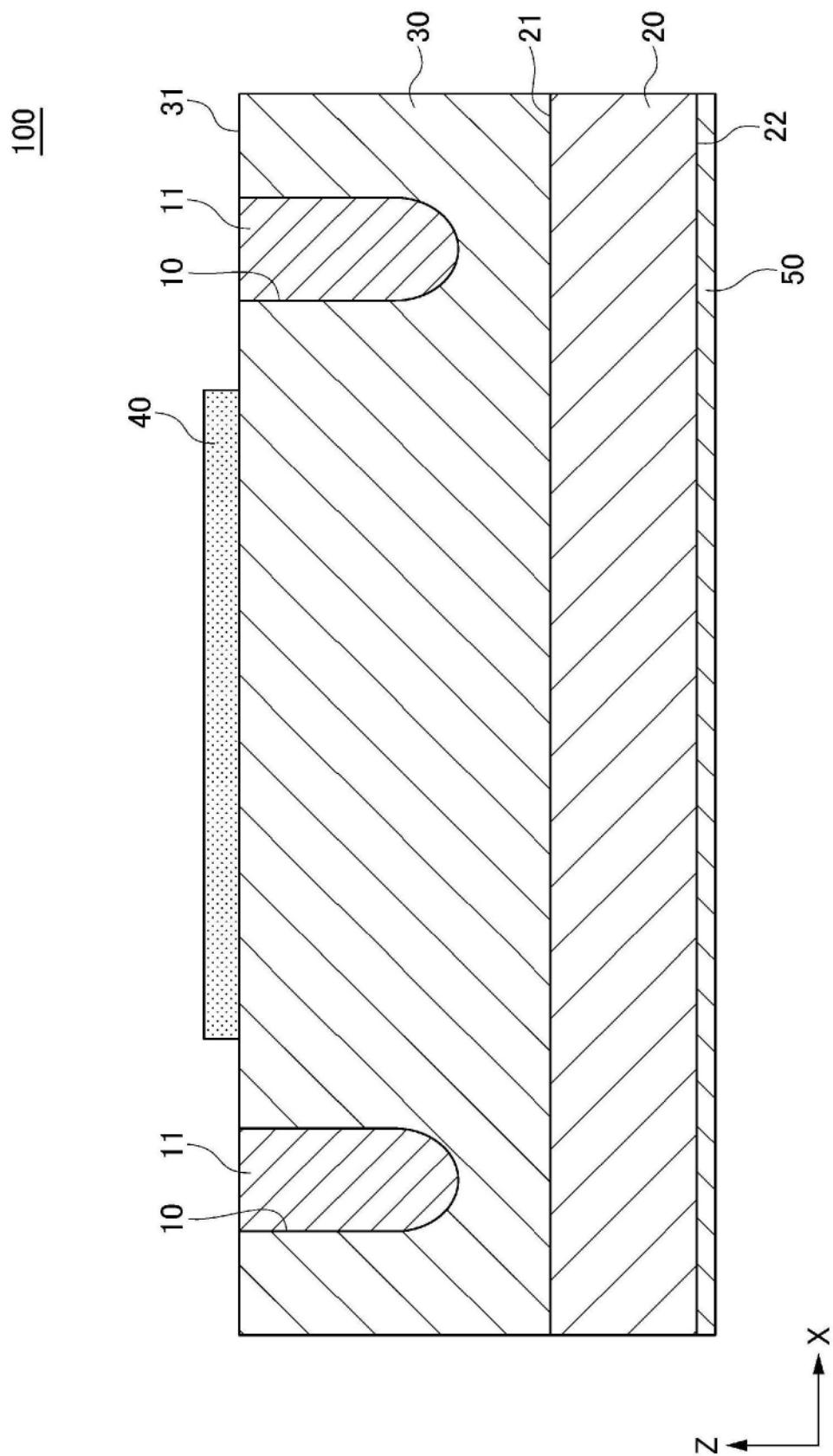


图2

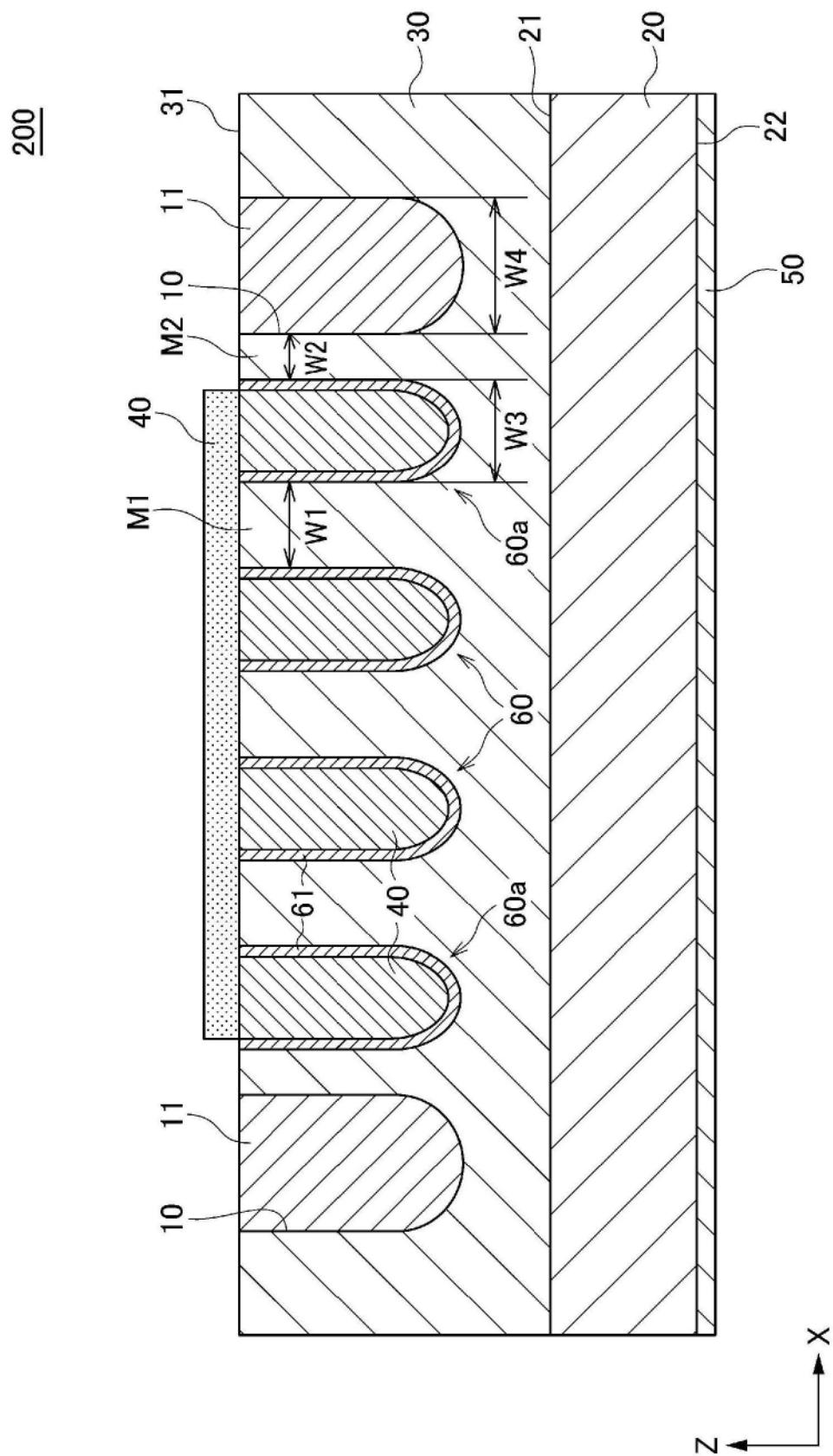


图3

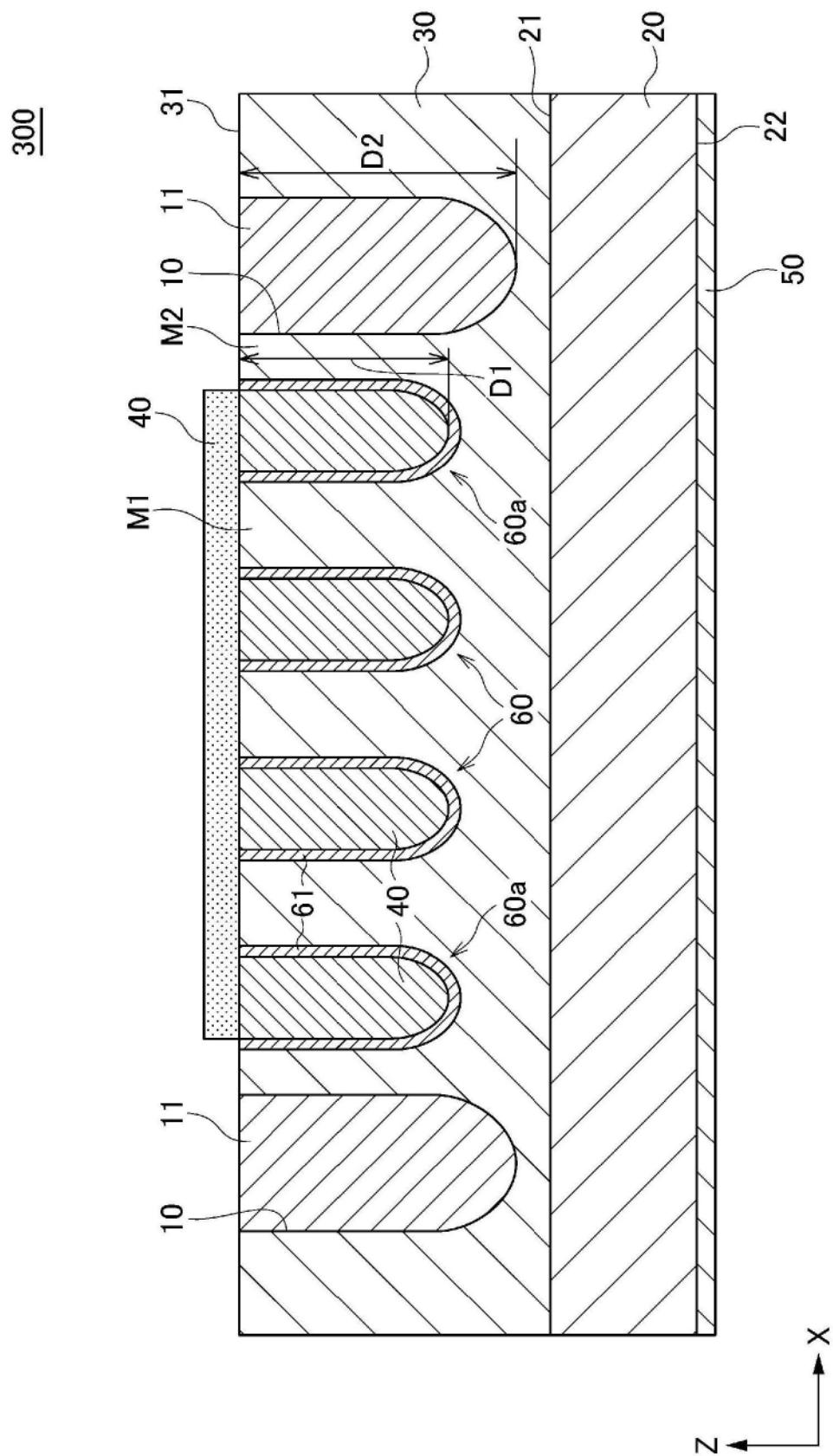


图4

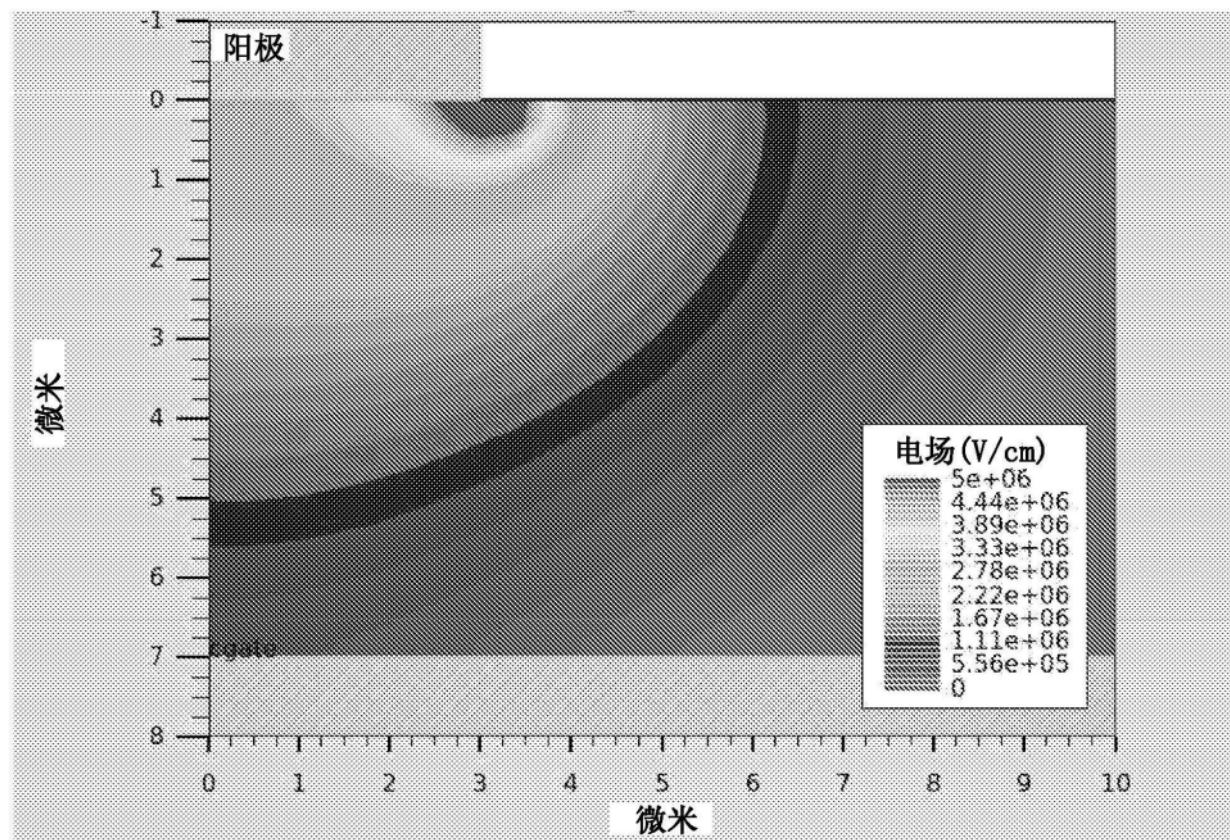


图5

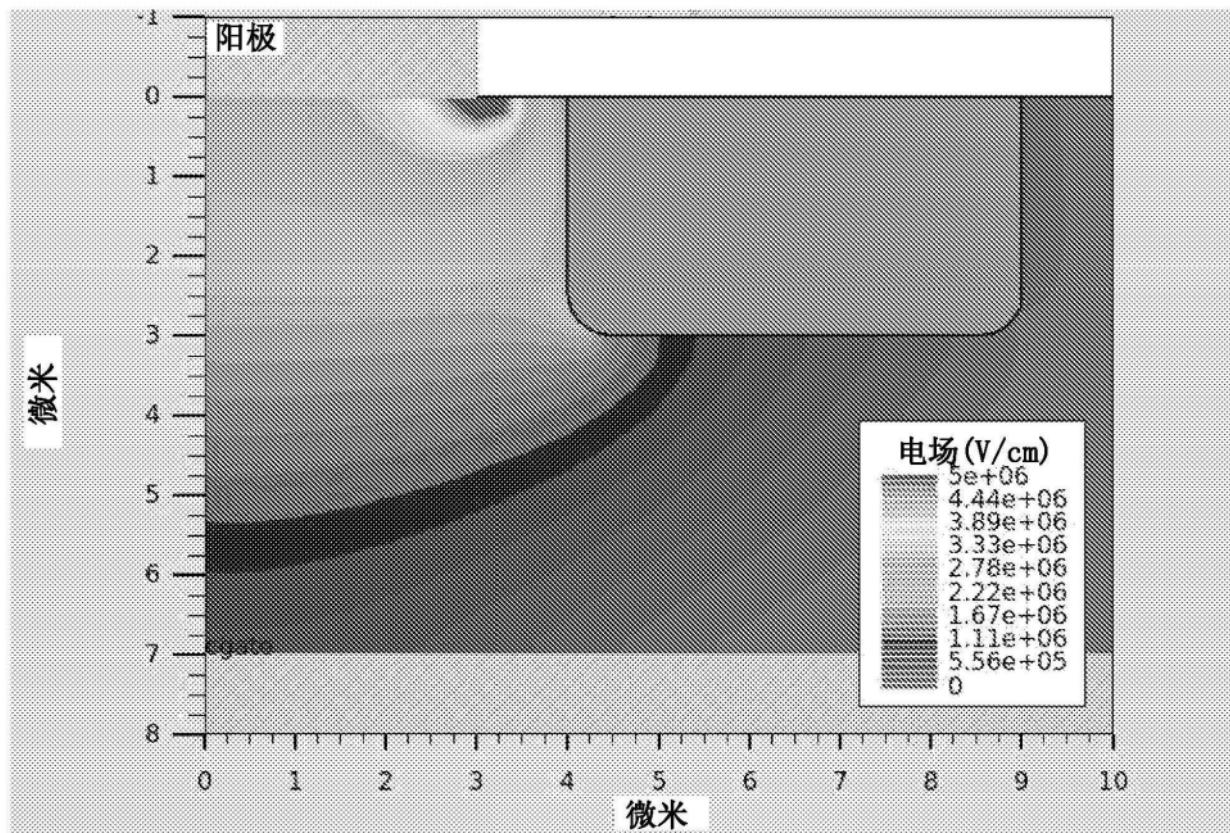


图6

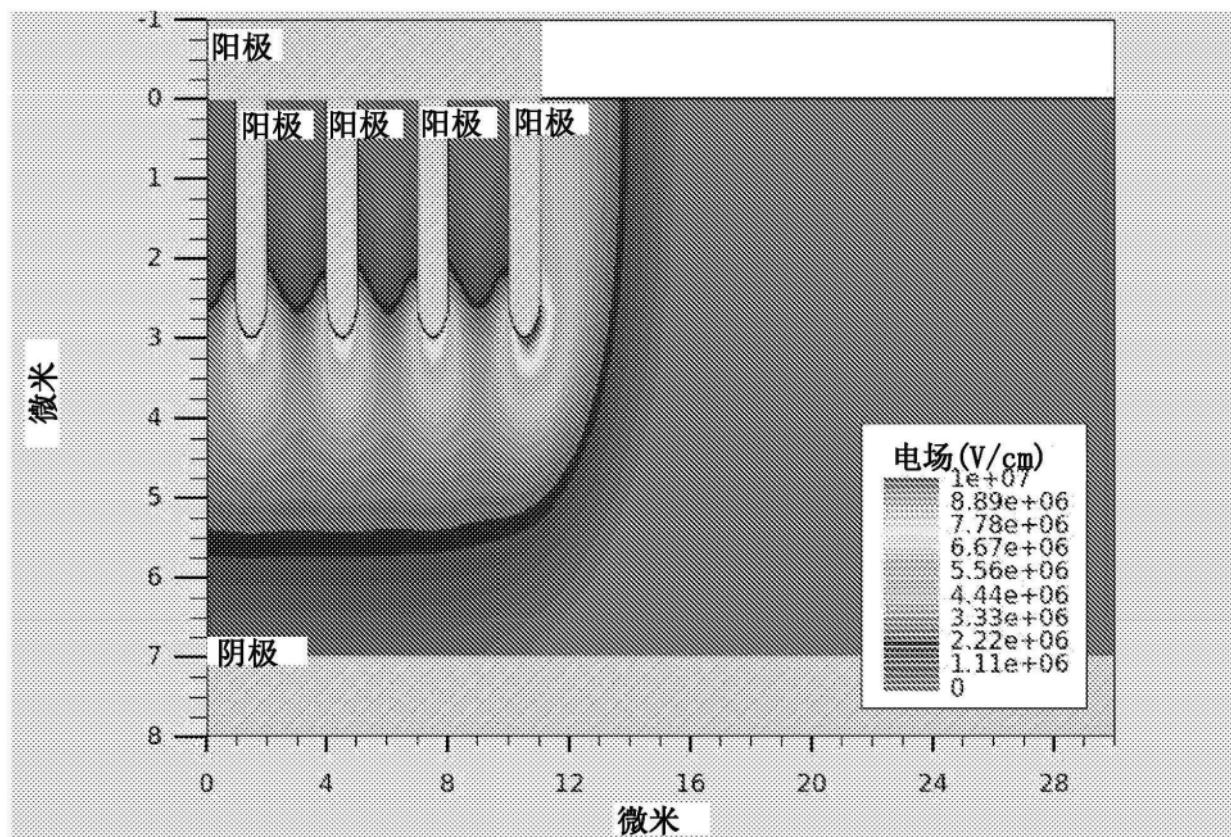


图7

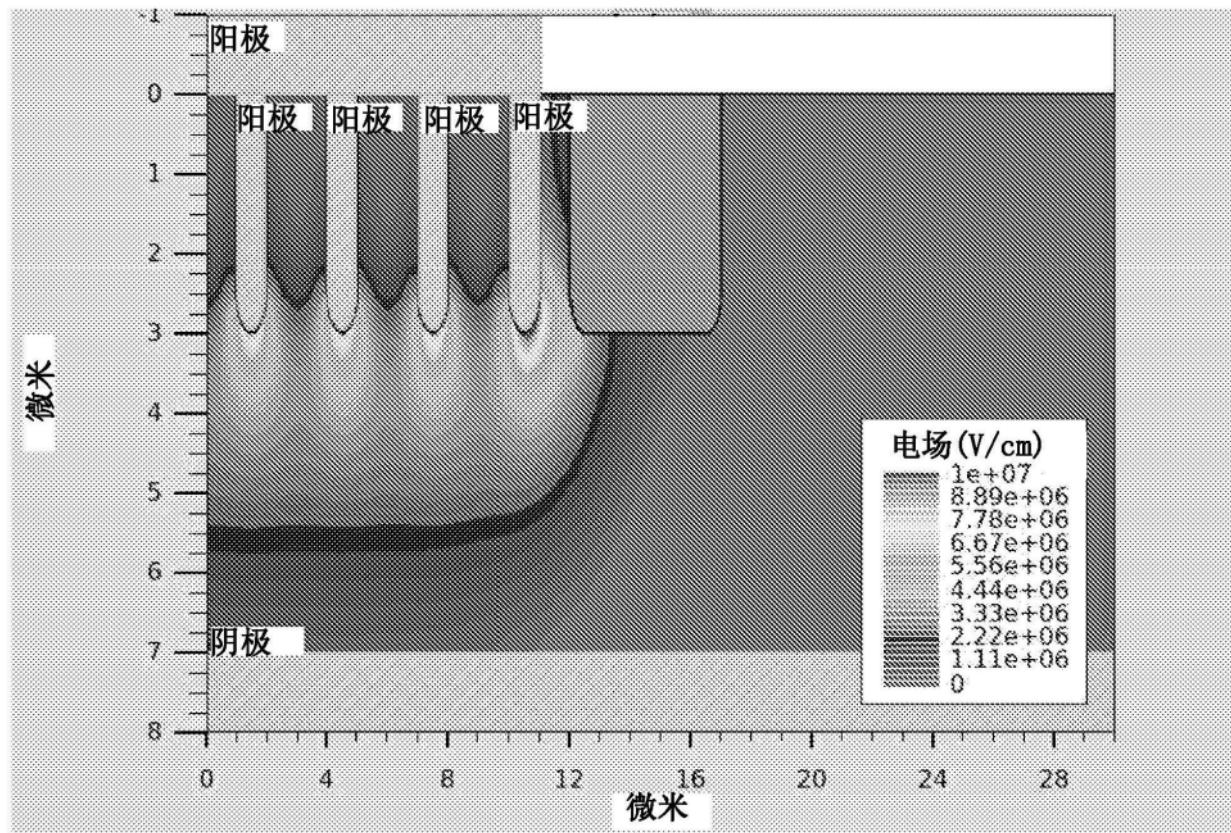


图8

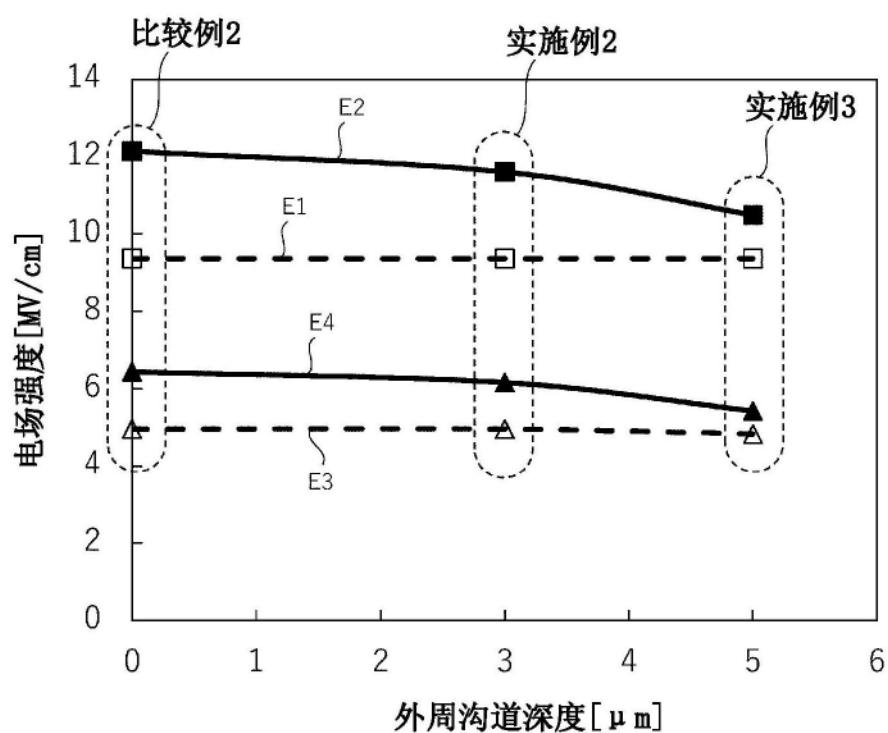


图9