(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 106558601 B
(45)授权公告日 2019.09.27

(21)申请号 201610847818.6

(22)申请日 2016.09.23

(65)同一申请的已公布的文献号
申请公布号 CN 106558601 A

(43)申请公布日 2017.04.05

(30)优先权数据
2015-186744 2015.09.24 JP

(73)专利权人 三菱电机株式会社
地址 日本东京

(72)发明人 仓桥健一郎 南条拓真 吹田宗义 今井章文 柳生荣治 冈崎拓行

(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112
代理人 何立波 张天舒

(51)Int.Cl.
H01L 29/06(2006.01)
H01L 29/20(2006.01)
H01L 29/778(2006.01)
H01L 21/335(2006.01)

(56)对比文件
CN 104681617 A,2015.06.03,
US 2014/0097469 A1,2014.04.10,
CN 104681617 A,2015.06.03,

审查员 梁庆然

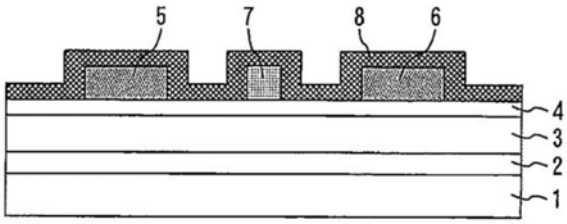
权利要求书2页 说明书7页 附图7页

(54)发明名称

半导体装置及其制造方法

(57)摘要

得到一种能够再现性优异地抑制电流崩塌的半导体装置及其制造方法。在衬底(1)之上形成有氮化物半导体层(3、4)。在氮化物半导体层(3、4)之上形成有源极电极(5)、栅极电极(7)以及漏极电极(6)。SiN表面保护膜(8)覆盖氮化物半导体层(3、4)。SiN表面保护膜(8)的形成Si-N键的Si与N的构成比Si/N为0.751～0.801。



CN 106558601 B

1.一种半导体装置,其特征在于,具有:

衬底;

氮化物半导体层,其形成于所述衬底之上;

源极电极、漏极电极以及栅极电极,它们形成于所述氮化物半导体层之上;以及

SiN表面保护膜,其覆盖所述氮化物半导体层,

所述SiN表面保护膜具有形成Si-N键的Si与N以及与杂质能级或界面态结合的其他Si与N,所述形成Si-N键的Si与N的构成比Si/N为0.751～0.801。

2.根据权利要求1所述的半导体装置,其特征在于,

所述氮化物半导体层具有GaN沟道层和在所述GaN沟道层之上形成的AlGaN阻挡层,

所述AlGaN阻挡层与所述SiN表面保护膜直接接触而形成界面,

所述半导体装置为异质构造场效应晶体管。

3.根据权利要求1或2所述的半导体装置,其特征在于,

所述栅极电极与所述氮化物半导体层肖特基接合而形成了MES即金属-半导体构造。

4.根据权利要求1或2所述的半导体装置,其特征在于,

具有绝缘膜,该绝缘膜设置于所述SiN表面保护膜之上,与所述SiN表面保护膜相比带隙较大。

5.根据权利要求1或2所述的半导体装置,其特征在于,

所述栅极电极的一部分配置于所述SiN表面保护膜之上而形成了场板构造。

6.根据权利要求1或2所述的半导体装置,其特征在于,

所述栅极电极形成于所述SiN表面保护膜之上而形成了MIS即金属-绝缘物-半导体构造。

7.根据权利要求6所述的半导体装置,其特征在于,

具有绝缘膜,该绝缘膜设置于所述SiN表面保护膜之上,与所述SiN表面保护膜相比带隙较大。

8.根据权利要求7所述的半导体装置,其特征在于,

所述栅极电极的一部分配置于所述绝缘膜之上而形成了场板构造。

9.一种半导体装置的制造方法,其特征在于,具有下述工序:

在衬底之上形成氮化物半导体层的工序;

在所述氮化物半导体层之上形成源极电极、漏极电极以及栅极电极的工序;以及

形成将所述氮化物半导体层覆盖的SiN表面保护膜的工序,

所述SiN表面保护膜具有形成Si-N键的Si与N以及与杂质能级或界面态结合的其他Si与N,所述形成Si-N键的Si与N的构成比Si/N为0.751～0.801。

10.根据权利要求9所述的半导体装置的制造方法,其特征在于,

作为所述氮化物半导体层而依次形成GaN沟道层及AlGaN阻挡层,

所述AlGaN阻挡层与所述SiN表面保护膜直接接触而形成界面,

所述半导体装置为异质构造场效应晶体管。

11.根据权利要求9或10所述的半导体装置的制造方法,其特征在于,

使所述栅极电极与所述氮化物半导体层肖特基接合而形成MES即金属-半导体构造。

12.根据权利要求9或10所述的半导体装置的制造方法,其特征在于,具有下述工序:

在所述SiN表面保护膜之上，形成与所述SiN表面保护膜相比带隙较大的绝缘膜的工序。

13.根据权利要求9或10所述的半导体装置的制造方法，其特征在于，具有下述工序：

在所述SiN表面保护膜形成开口的工序；以及

在所述开口内和所述SiN表面保护膜之上形成所述栅极电极的工序，

将所述栅极电极的一部分配置于所述SiN表面保护膜之上而形成场板构造。

14.根据权利要求9或10所述的半导体装置的制造方法，其特征在于，

将所述栅极电极形成于所述SiN表面保护膜之上而形成MIS即金属-绝缘体-半导体构造。

15.根据权利要求14所述的半导体装置的制造方法，其特征在于，具有下述工序：

在所述SiN表面保护膜之上，形成与所述SiN表面保护膜相比带隙较大的绝缘膜的工序。

16.根据权利要求15所述的半导体装置的制造方法，其特征在于，具有下述工序：

在所述绝缘膜形成开口的工序；以及

在所述开口内和所述绝缘膜之上形成所述栅极电极的工序，

将所述栅极电极的一部分配置于所述绝缘膜之上而形成场板构造。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及一种具有SiN表面保护膜的半导体装置及其制造方法。

背景技术

[0002] GaN具有比Si或者GaAs高的绝缘破坏耐压,因此氮化物半导体装置(GaN类晶体管)是预期会实现高电压及高输出动作的器件。关于氮化物半导体装置的构造,作为代表性的构造,已知AlGaN/GaN异质结构造。

[0003] 但是,在氮化物半导体装置的动作电压高的区域,会发生高频动作时的电流大幅地减少的被称为电流崩塌的现象。如果发生电流崩塌,则得不到根据DC特性而预期的输出电力,因此需要抑制电流崩塌。

[0004] 作为电流崩塌的主要原因,认为是在高电压动作时,电子会暂时地被在AlGaN的晶体、GaN的晶体中或者在AlGaN的表面等形成的杂质能级及界面态所捕获,发生电流的收缩。

[0005] 已知通过将SiN用于表面保护膜,从而大幅地抑制电流崩塌(例如,参照非专利文献1)。但是,仅通过应用SiN并不能充分地抑制电流崩塌,因此公开有对SiN的组成、成膜方法及条件、与其他绝缘膜的组合等进行了规定的技术(例如,参照专利文献1、2、3)。在专利文献1中,使用以药液的蚀刻速率为主要指标的氮(N)过剩的SiN。另一方面,在专利文献2、3中,着眼于Si/N比,使用硅(Si)过剩区域的SiN。

[0006] 专利文献1:日本特开2009-10107号公报

[0007] 专利文献2:日本特开2013-115323号公报

[0008] 专利文献3:日本专利第4912604号公报

[0009] 非专利文献1:长谷川文夫、吉川明彦编著,“ワイドギャップ半導体光・電子デバイス”,森北出版株式会社,2006年,p.245-246

[0010] 但是,在专利文献1～3中,未规定为了抑制电流崩塌而从本质上应该满足的SiN表面保护膜的条件,因此存在抑制电流崩塌的效果得不到充分的再现性这样的问题。

发明内容

[0011] 本发明就是为了解决上述课题而提出的,其目的在于得到一种能够再现性优异地抑制电流崩塌的半导体装置及其制造方法。

[0012] 本发明涉及的半导体装置的特征在于,具有:衬底;氮化物半导体层,其形成于所述衬底之上;源极电极、漏极电极以及栅极电极,它们形成于所述氮化物半导体层之上;以及SiN表面保护膜,其覆盖所述氮化物半导体层,所述SiN表面保护膜的形成Si-N键的Si与N的构成比Si/N为0.751～0.801。

[0013] 发明的效果

[0014] 在本发明中,SiN表面保护膜的形成Si-N键的Si与N的构成比Si/N为0.751～0.801。由此,SiN/半导体界面的能量下降,因此能够再现性优异地抑制电流崩塌。

附图说明

[0015] 图1是表示本发明的实施方式1涉及的半导体装置的剖视图。

[0016] 图2是表示本发明的实施方式1涉及的半导体装置的制造工序的剖视图。

[0017] 图3是作为电流崩塌的指标而示出DC动作时的最大电流值与脉冲动作时的最大电流值的比率的图。

[0018] 图4是将SiN/AlGaN界面处的Al及Ga的芯能级(core level)的键能进行对比的图。

[0019] 图5是表示本发明的实施方式2涉及的半导体装置的剖视图。

[0020] 图6是表示本发明的实施方式3涉及的半导体装置的剖视图。

[0021] 图7是表示本发明的实施方式3涉及的半导体装置的制造工序的剖视图。

[0022] 图8是表示本发明的实施方式3涉及的半导体装置的制造工序的剖视图。

[0023] 图9是表示本发明的实施方式3涉及的半导体装置的制造工序的剖视图。

[0024] 图10是表示本发明的实施方式4涉及的半导体装置的剖视图。

[0025] 图11是表示本发明的实施方式4涉及的半导体装置的制造工序的剖视图。

[0026] 图12是表示本发明的实施方式4涉及的半导体装置的制造工序的剖视图。

[0027] 图13是表示本发明的实施方式5涉及的半导体装置的剖视图。

[0028] 图14是表示本发明的实施方式5涉及的半导体装置的制造工序的剖视图。

[0029] 图15是表示本发明的实施方式5涉及的半导体装置的制造工序的剖视图。

[0030] 图16是表示本发明的实施方式6涉及的半导体装置的剖视图。

[0031] 图17是表示本发明的实施方式6涉及的半导体装置的制造工序的剖视图。

[0032] 图18是表示本发明的实施方式6涉及的半导体装置的制造工序的剖视图。

[0033] 图19是表示本发明的实施方式6涉及的半导体装置的制造工序的剖视图。

[0034] 标号的说明

[0035] 1衬底,3GaN沟道层(氮化物半导体层),4AlGaN阻挡层(氮化物半导体层),5源极电极,6漏极电极,7栅极电极,8SiN表面保护膜,9绝缘膜,10、14开口

具体实施方式

[0036] 参照附图,对本发明的实施方式涉及的半导体装置进行说明。对相同或对应的结构要素标注相同的标号,有时省略重复说明。

[0037] 实施方式1.

[0038] 图1是表示本发明的实施方式1涉及的半导体装置的剖视图。该半导体装置为异质构造场效应晶体管。

[0039] 在衬底1之上依次形成有缓冲层2、GaN沟道层3、以及AlGaN阻挡层4。衬底1为SiC衬底、蓝宝石衬底、或者硅衬底等,但只要能够在其之上形成GaN沟道层3,则可以是任意的衬底。缓冲层2为GaN或者AlN等,但只要能够在其之上形成GaN沟道层3,则可以是任意的缓冲层。例如,只要成功形成了GaN沟道层3,则也可以为双异质构造。半导体最表面层为AlGaN阻挡层4,但也可以为InAlN阻挡层。另外,根据需要,也可以在AlGaN阻挡层4之上形成GaN帽层。

[0040] 在最表面层即AlGaN阻挡层4之上形成有源极电极5、漏极电极6以及栅极电极7。源极电极5及漏极电极6隔着栅极电极7而彼此分离。

[0041] 源极电极5及漏极电极6与AlGaN阻挡层4欧姆接合。作为代表性的构造，源极电极5及漏极电极6为Ti/Al构造，例如通过形成Ti(20nm)/Al(100nm)/Ti(40nm)/Au(30nm)，进行大于或等于600℃的退火处理，由此实现欧姆接合。另外，根据需要，能够应用任意的电极构造及欧姆形成工艺。

[0042] 栅极电极7与AlGaN阻挡层4肖特基接合而形成了MES(Metal-Semiconductor)构造。作为代表性的构造，栅极电极7为Ni/Au构造，例如对Ni(50nm)/Au(300nm)进行蒸镀或者使用溅射剥离工艺而形成。另外，根据需要，也能够应用肖特基势垒高的Pt或者Pd类电极材料等。

[0043] SiN表面保护膜8覆盖AlGaN阻挡层4。AlGaN阻挡层4与SiN表面保护膜8直接接触而形成界面。SiN表面保护膜8的形成Si-N键的Si与N的构成比Si/N为0.751～0.801。

[0044] 下面，对本实施方式涉及的半导体装置的制造方法进行说明。图2是表示本发明的实施方式1涉及的半导体装置的制造工序的剖视图。

[0045] 首先，如图2所示，在半绝缘性SiC的衬底1之上，形成由GaN或者AlN构成的缓冲层2。然后，在缓冲层2之上依次形成GaN沟道层3及AlGaN阻挡层4(AlGaN/GaN构造)。然后，在AlGaN阻挡层4之上，形成由Ti(20nm)/Al(100nm)/Ti(40nm)/Au(30nm)构成的源极电极5及漏极电极6、由Ni(50nm)/Au(300nm)构成的栅极电极7。

[0046] 然后，如图1所示，以覆盖AlGaN阻挡层4的表面的方式形成SiN表面保护膜8。SiN表面保护膜8的膜厚例如设为80nm。作为SiN表面保护膜8的成膜方法，例如使用成膜时的气体流量的调整自由度高的ECR(Electron Cyclotron Resonance)溅射法。关于成膜时气体流量条件，在将用于对化学计量学上的Si_3N_4膜进行成膜的气体流量作为基准时，例如仅将N_2气体流量设为90％。由此，能够形成构成Si-N键的Si与N的构成比Si/N落在0.751～0.801的SiN，即，作为固体而形成Si过剩的SiN表面保护膜8。通过以上的工序而得到本实施方式涉及的半导体装置。

[0047] 在这里，如果以抑制电流崩塌为目的而着眼于SiN表面保护膜8，则在SiN与半导体表面的界面所形成的电子构造主要地支配着该区域的特性，本质上被认为是重要的。例如，在考虑最表面层为AlGaN层的体系的情况下，形成SiN/AlGaN界面的基本电子构造的物质主要是作为固体的SiN和AlGaN。但是，在实际的体系中，依赖于成膜方法/条件而会产生对形成SiN之外作出贡献的Si及N、即与杂质结合的Si及N，且它们能够形成杂质能级及界面态。因此，仅依靠形成由含量比规定的SiN，无法规定对作为固体的SiN的形成作出贡献的Si及N，不能再现SiN/AlGaN界面的电子构造。

[0048] 在这里应该注意的点在于，认为电子以有限的寿命被杂质能级及界面态所捕获而发生电流崩塌这一点。这些杂质能级及界面态位于在无偏置状态下没有被电子填满，且在施加高偏置时能够激发电子的能量范围。因此能够推定出，伴随着施加高偏置，电子以有限的寿命而被捕获。另一方面，实际上这些杂质能级及界面态的降低存在极限。因此，发明人想到，通过将这些杂质能级及界面态即使在无偏置状态下也能够存在电子的能量位置、即体系的能量减少，从而抑制电流崩塌。这样，以电子构造的观点而进行了实验和验证后发现，通过应用形成Si-N键的Si与N的构成比Si/N为0.751～0.801的SiN，能够使SiN/半导体界面处的体系的能量下降，抑制电流崩塌。

[0049] 图3是作为电流崩塌的指标而示出DC动作时的最大电流值与脉冲动作时的最大电

流值的比率的图。可知，关于形成Si-N键的Si与N的构成比Si/N，Si越过剩则最大电流值的比率变得越高。

[0050] 另一方面，可知在Si不足的范围、即Si/N小于0.751的情况下，最大电流值的比率显著地降低。即，在Si/N小于0.751的情况下，电流崩塌现象变得显著。因此，鉴于原本是为了抑制电流崩塌现象而应用SiN，则可知Si不足的范围不适于作为应用范围。

[0051] 图4是将SiN/AlGaN界面处的Al及Ga的芯能级的键能进行对比的图。可知，形成Si-N键的Si与N的构成比Si/N成为Si过剩，从而Al和Ga的芯能级偏移至高键能侧，SiN/AlGaN界面的体系的能量下降。

[0052] 但是，随着SiN成为Si过剩，折射率呈变高的倾向，变得容易在晶片面内发生膜剥离，因此不适用。因此，如图3及图4所示，如果通过实验而进行元件特性的确认，考虑到实际能够制作的范围，则形成Si-N键的Si与N的构成比Si/N以0.801为上限水平。

[0053] 根据这些结果可知，通过应用形成Si-N键的Si与N的构成比Si/N为0.751～0.801，即作为固体来说Si过剩的SiN，从而降低SiN/氮化物半导体界面的体系的能量，得到抑制电流崩塌的效果。

[0054] 如上所述，在本实施方式中，SiN表面保护膜8的形成Si-N键的Si与N的构成比Si/N为0.751～0.801。由此，SiN/AlGaN界面的能量下降，因此能够再现性优异地抑制电流崩塌。另外，伴随着电流崩塌的抑制，实现高频高输出化。

[0055] 实施方式2.

[0056] 图5是表示本发明的实施方式2涉及的半导体装置的剖视图。与SiN表面保护膜8相比带隙较大的Al_2O_3绝缘膜9设置于SiN表面保护膜8之上。与实施方式1相同，SiN表面保护膜8的形成Si-N键的Si与N的构成比Si/N为0.751～0.801。SiN表面保护膜8的膜厚例如为80nm，Al_2O_3绝缘膜9的膜厚例如为50nm。其他的结构与实施方式1相同。

[0057] 下面，对本实施方式涉及的半导体装置的制造方法进行说明。首先，在衬底1之上依次形成缓冲层2、GaN沟道层3以及AlGaN阻挡层4。然后，在AlGaN阻挡层4之上形成源极电极5、漏极电极6、以及栅极电极7。这些制造方法与实施方式1相同。

[0058] 然后，如图1所示，以覆盖AlGaN阻挡层4的表面的方式形成SiN表面保护膜8(例如80nm)。然后，在SiN表面保护膜8之上形成Al_2O_3绝缘膜9(例如50nm)。作为SiN表面保护膜8及Al_2O_3绝缘膜9的成膜方法，使用例如ECR-溅射法、或者膜厚控制性优异的ALD(Atomic Layer Deposition)法。由此，能够形成构成Si-N键的Si与N的构成比Si/N为0.751～0.801的SiN表面保护膜8，形成比SiN表面保护膜8带隙大的Al_2O_3绝缘膜9。

[0059] 如上所述，在本实施方式中，与SiN表面保护膜8相比带隙较大的Al_2O_3绝缘膜9形成于SiN表面保护膜8之上。由此，能够形成具有比SiN高的绝缘破坏耐压的表面保护膜，而不提高SiN表面保护膜8的能量。由此，能够在确保电流崩塌的抑制效果的同时，得到比仅应用SiN的情况更高的绝缘破坏耐压。因此，与实施方式1相比，能够提高半导体装置的可靠性。

[0060] 此外，在本实施方式中，对层叠2层(SiN表面保护膜8及Al_2O_3绝缘膜9)而形成表面保护膜的情况进行了说明，但不限于此，也可以为大于或等于3层。在该情况下，为了得到电流崩塌的抑制效果，最下层是形成Si-N键的Si与N的构成比Si/N为0.751～0.801的SiN表面保护膜8，最下层以外的层为比最下层带隙大的绝缘膜即可。

[0061] 实施方式3.

[0062] 图6是表示本发明的实施方式3涉及的半导体装置的剖视图。栅极电极7的一部分配置于SiN表面保护膜8之上而形成了场板构造。具体地说，SiN表面保护膜8以覆盖AlGaN阻挡层4的表面的方式而形成，且在应该形成栅极电极7的部位具有开口。栅极电极7填充SiN表面保护膜8的开口，且一部分以覆盖SiN表面保护膜8的方式而形成。栅极电极7由Ni(50nm)/Au(300nm)构成。其他的结构与实施方式1相同。

[0063] 下面，对本实施方式涉及的半导体装置的制造方法进行说明。图7～9是表示本发明的实施方式3涉及的半导体装置的制造工序的剖视图。

[0064] 首先，如图7所示，在衬底1之上依次形成缓冲层2、GaN沟道层3、以及AlGaN阻挡层4，在AlGaN阻挡层4之上形成源极电极5及漏极电极6。这些制造方法与实施方式1相同。此外，在该时刻不形成栅极电极7。

[0065] 然后，如图8所示，以覆盖AlGaN阻挡层4的表面的方式形成SiN表面保护膜8(例如80nm)。在应该形成栅极电极7的部位，使用光刻及干蚀刻而在SiN表面保护膜8形成开口10(栅极开口图案)。然后，如图9所示，与SiN表面保护膜8的开口部相匹配地通过光刻法而形成用于形成栅极电极7的图案11。

[0066] 然后，使用与实施方式1相同的Ni(50nm)/Au(300nm)，应用蒸镀剥离法，由此在开口10内和SiN表面保护膜8之上形成栅极电极7。其结果，如图6所示，将栅极电极7的一部分配置于SiN表面保护膜8之上而形成场板构造。

[0067] 如上所述，在本实施方式中，在与实施方式1相同地得到电流崩塌的抑制效果的同时，利用场板构造而缓和电场集中。因此，能够抑制与电场集中相伴的电子向杂质能级及界面态的捕获，并且抑制经由这些杂质能级及界面态的反向漏电流。即，与本实施方式相比能够进一步地增强电流崩塌的抑制效果，且抑制反向漏电流，因此与实施方式1相比，能够提高电气特性及可靠性。

[0068] 此外，在本实施方式中对表面保护膜为1层的情况进行了说明，但不限于此，也可以如实施方式2那样表面保护膜是层叠了多层的表面保护膜。在该情况下，为了得到电流崩塌的抑制效果，最下层是形成Si-N键的Si与N的构成比Si/N为0.751～0.801的SiN表面保护膜8，最下层以外的层为比最下层带隙大的绝缘膜即可。

[0069] 实施方式4.

[0070] 图10是表示本发明的实施方式4涉及的半导体装置的剖视图。栅极电极7形成于SiN表面保护膜8之上，由栅极电极7、SiN表面保护膜8、以及AlGaN阻挡层4(氮化物半导体层)形成了MIS(Metal-Insulator-Semiconductor)构造。即，SiN表面保护膜8兼具保护半导体装置的表面的功能和作为MIS构造中的绝缘膜的功能。SiN表面保护膜8的膜厚例如为5nm。栅极电极7由Ni(50nm)/Au(300nm)构成。其他的结构与实施方式1相同。

[0071] 下面，对本实施方式涉及的半导体装置的制造方法进行说明。图11、12是表示本发明的实施方式4涉及的半导体装置的制造工序的剖视图。

[0072] 首先，如图11所示，在衬底1之上依次形成缓冲层2、GaN沟道层3、以及AlGaN阻挡层4，在AlGaN阻挡层4之上形成源极电极5及漏极电极6。这些制造方法与实施方式1相同。此外，在该时刻不形成栅极电极7。然后，以覆盖AlGaN阻挡层4、源极电极5、以及漏极电极6的表面的方式形成SiN表面保护膜8(例如5nm)。

[0073] 然后，如图12所示，在SiN表面保护膜8之上，通过光刻法而形成用于形成栅极电极

7的图案12。然后，针对图案12，通过使用与实施方式1相同的Ni(50nm)/Au(300nm)，应用蒸镀剥离法，由此形成栅极电极7。其结果，如图10所示，得到具有MIS构造的半导体装置。

[0074] 对于具有MIS构造的半导体装置来说，表面保护膜也形成于在MES构造中形成栅极电极7的氮化物半导体表面的区域。因此，由表面保护膜/氮化物半导体表面的界面引起的电流崩塌更具支配性。另外，具有MIS构造的半导体装置因为其构造，与MES构造的半导体装置相比，是反向漏电流少、可靠性高的构造。因此，通过本实施方式，对于MIS构造的半导体装置，能够在确保可靠性的同时，得到抑制电流崩塌的效果。

[0075] 实施方式5.

[0076] 图13是表示本发明的实施方式5涉及的半导体装置的剖视图。与SiN表面保护膜8相比带隙较大的Al_2O_3绝缘膜9设置于SiN表面保护膜8之上。SiN表面保护膜8的形成Si-N键的Si与N的构成比Si/N为0.751～0.801。SiN表面保护膜8的膜厚例如为5nm，Al_2O_3绝缘膜9的膜厚例如为5nm。与实施方式4相同，栅极电极7形成于SiN表面保护膜8之上。与实施方式4相同，栅极电极7由Ni(50nm)/Au(300nm)构成。其他的结构与实施方式4相同。

[0077] 下面，对本实施方式涉及的半导体装置的制造方法进行说明。图14、15是表示本发明的实施方式5涉及的半导体装置的制造工序的剖视图。

[0078] 首先，与实施方式4相同，在衬底1之上依次形成缓冲层2、GaN沟道层3、以及AlGaN阻挡层4，在AlGaN阻挡层4之上形成源极电极5及漏极电极6。此外，在该时刻不形成栅极电极7。

[0079] 然后，如图14所示，以覆盖AlGaN阻挡层4的表面的方式形成SiN表面保护膜8(例如5nm)。然后，在SiN表面保护膜8之上形成Al_2O_3绝缘膜9(例如5nm)。作为SiN表面保护膜8及Al_2O_3绝缘膜9的成膜方法，使用例如ECR-溅射法、或者膜厚控制性优异的ALD法。

[0080] 然后，如图15所示，在Al_2O_3绝缘膜9之上，通过光刻法而形成用于形成栅极电极7的图案13。然后，针对图案13，通过使用与实施方式4相同的Ni(50nm)/Au(300nm)，应用蒸镀剥离法，由此形成栅极电极7。其结果，如图13所示，得到具有MIS构造的半导体装置。

[0081] 如上所述，在本实施方式中，与SiN表面保护膜8相比带隙较大的Al_2O_3绝缘膜9形成于SiN表面保护膜8之上。由此，能够在确保电流崩塌的抑制效果的同时，得到比仅应用SiN的情况更高的绝缘破坏耐压。另外，与实施方式4相同，对于MIS构造的半导体装置，能够在确保可靠性的同时，得到抑制电流崩塌的效果。

[0082] 此外，在本实施方式中，对层叠2层(SiN表面保护膜8及Al_2O_3绝缘膜9)而形成表面保护膜的情况进行了说明，但不限于此，也可以为大于或等于3层。在该情况下，为了得到电流崩塌的抑制效果，最下层是形成Si-N键的Si与N的构成比Si/N为0.751～0.801的SiN表面保护膜8，最下层以外的层为比最下层带隙大的绝缘膜即可。

[0083] 实施方式6.

[0084] 图16是表示本发明的实施方式6涉及的半导体装置的剖视图。栅极电极7形成于SiN表面保护膜8之上，由栅极电极7、SiN表面保护膜8、以及AlGaN阻挡层4(氮化物半导体层)形成了MIS构造。另外，与SiN表面保护膜8相比带隙较大的Al_2O_3绝缘膜9设置于SiN表面保护膜8之上。SiN表面保护膜8的形成Si-N键的Si与N的构成比Si/N为0.751～0.801。SiN表面保护膜8的膜厚例如为5nm，Al_2O_3绝缘膜9的膜厚例如为5nm。

[0085] 在Al_2O_3绝缘膜9，在应该形成栅极电极7的部位形成有开口。栅极电极7填充Al_2O_3

绝缘膜9的开口，且一部分以覆盖Al_2O_3绝缘膜9的方式而形成。栅极电极7由Ni(50nm)/Au(300nm)构成。这样，栅极电极7的一部分配置于Al_2O_3绝缘膜9之上而形成了场板构造。其他的结构与实施方式5相同。

[0086] 下面，对本实施方式涉及的半导体装置的制造方法进行说明。图17～19是表示本发明的实施方式6涉及的半导体装置的制造工序的剖视图。

[0087] 首先，与实施方式5相同，在衬底1之上依次形成缓冲层2、GaN沟道层3、以及AlGaN阻挡层4，在AlGaN阻挡层4之上形成源极电极5及漏极电极6。此外，在该时刻不形成栅极电极7。

[0088] 然后，如图17所示，以覆盖AlGaN阻挡层4的表面的方式形成SiN表面保护膜8(例如5nm)。然后，在SiN表面保护膜8之上形成Al_2O_3绝缘膜9(例如5nm)。作为SiN表面保护膜8及Al_2O_3绝缘膜9的成膜方法，使用例如ECR-溅射法、或者膜厚控制性优异的ALD法。

[0089] 然后，如图18所示，在应该形成栅极电极7的部位，使用光刻及干蚀刻而在Al_2O_3绝缘膜9形成开口14(栅极开口图案)。作为在Al_2O_3绝缘膜9形成开口14的方法，具有由使用了氯气、甲烷、或者氩气的干蚀刻，或者使用了强碱性的显影液的湿蚀刻等而实现的方法。

[0090] 然后，如图19所示，在Al_2O_3绝缘膜9之上，通过光刻法而形成用于形成栅极电极7的图案15。然后，针对图案15，通过使用与实施方式5相同的Ni(50nm)/Au(300nm)，应用蒸镀剥离法，由此在开口14内和Al_2O_3绝缘膜9之上形成栅极电极7。其结果，如图16所示，得到具有MIS构造及场板构造的半导体装置。

[0091] 如上所述，根据本实施方式，能够在实施方式5的效果的基础上，还得到由场板构造带来的抑制电流崩塌的效果和提高可靠性的效果。

[0092] 此外，在本实施方式中，对层叠2层(SiN表面保护膜8及Al_2O_3绝缘膜9)而形成表面保护膜的情况进行了说明，但不限于此，也可以为大于或等于3层。在该情况下，为了得到电流崩塌的抑制效果，最下层是形成Si-N键的Si与N的构成比Si/N为0.751～0.801的SiN表面保护膜8，最下层以外的层为比最下层带隙大的绝缘膜即可。

[0093] 此外，在本发明的范围内，能够对各实施方式进行自由组合，对各实施方式适当进行变形、省略。

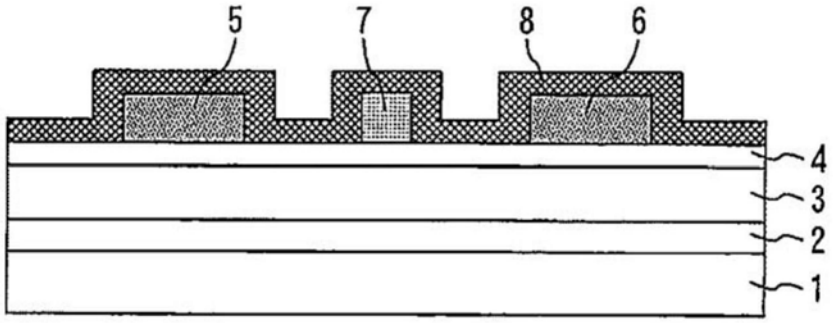

5
7
8
6
4
3
2
1

图1

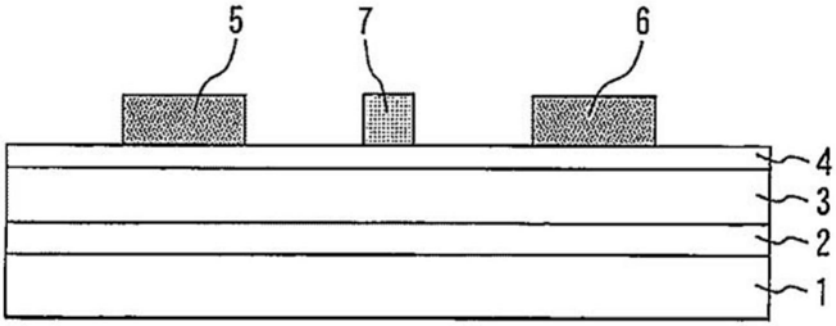

5
7
6
4
3
2
1

图2

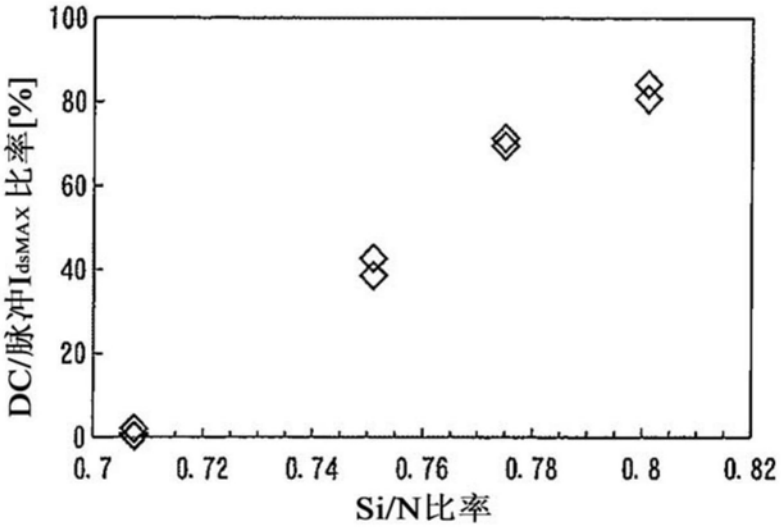

100
80
60
40
20
0
DC/脉冲IdsMAX 比率[%]
0.7
0.72
0.74
0.76
0.78
0.8
0.82
Si/N比率

图3

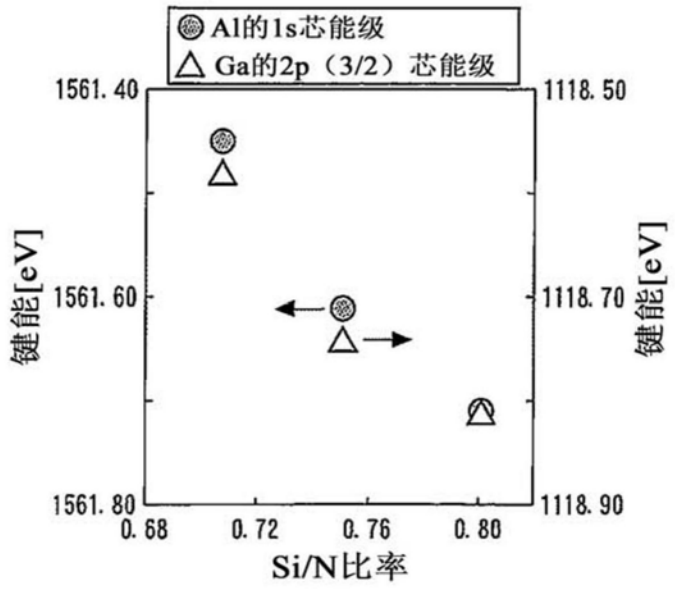

Al的1s芯能级
Ga的2p（3/2）芯能级
1561.40
1561.60
1561.80
1118.50
1118.70
1118.90
键能[eV]
键能[eV]
0.68
0.72
0.76
0.80
Si/N比率

图4

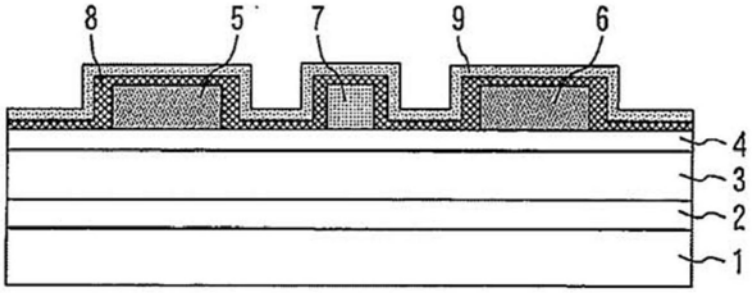

8
5
7
9
6
4
3
2
1

图5

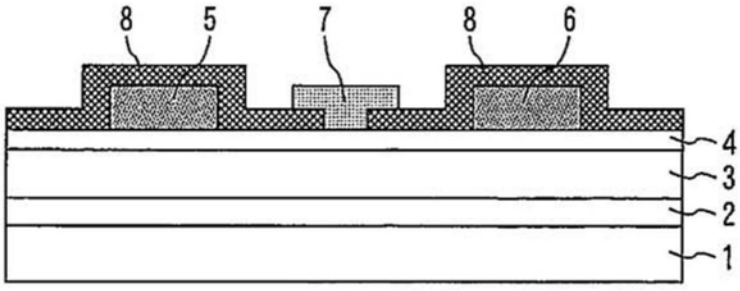

8
5
7
8
6
4
3
2
1

图6

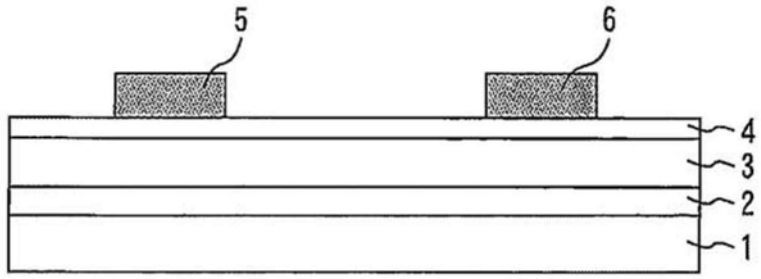


图7

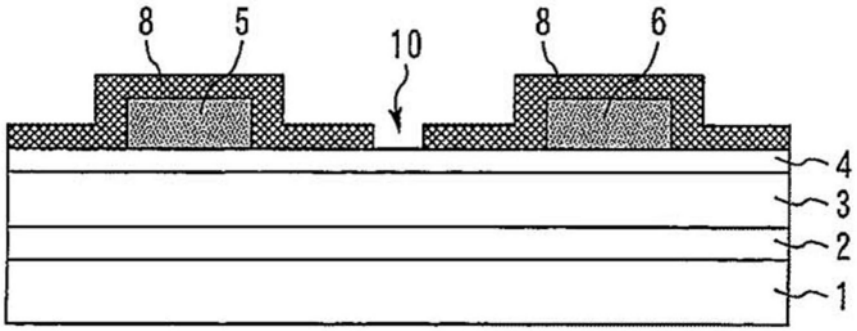


图8

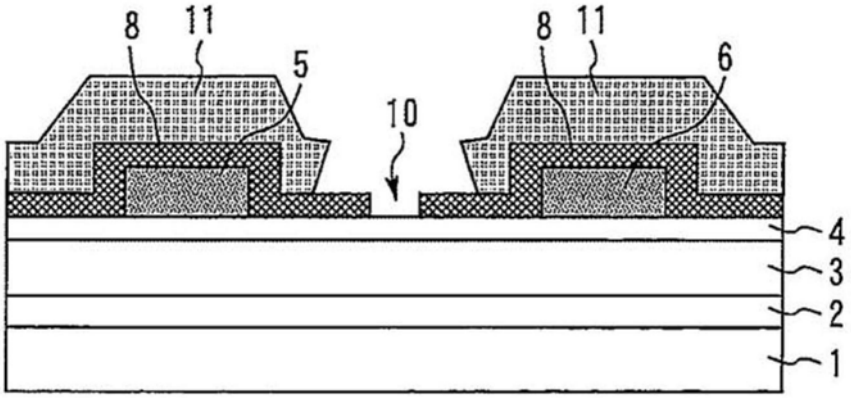


图9

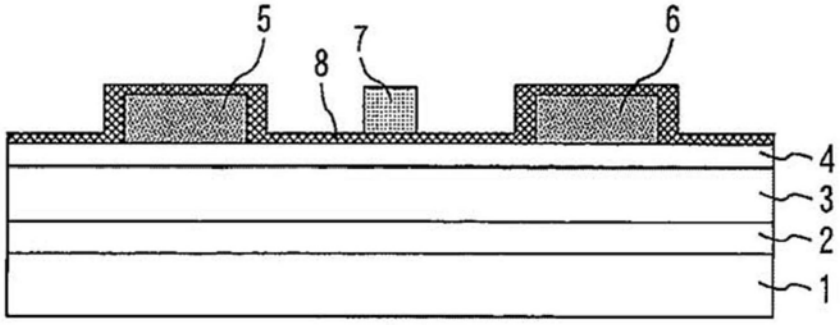


图10

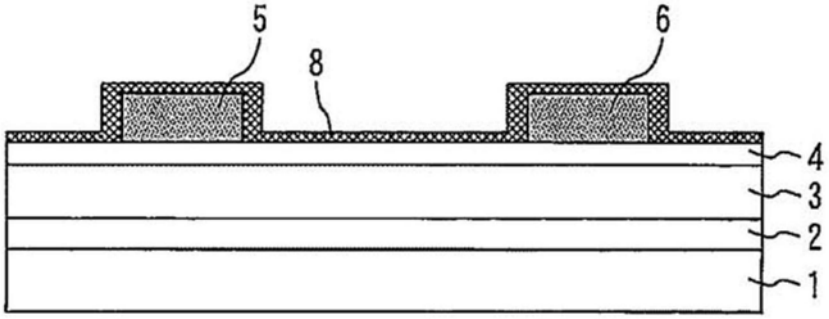


图11

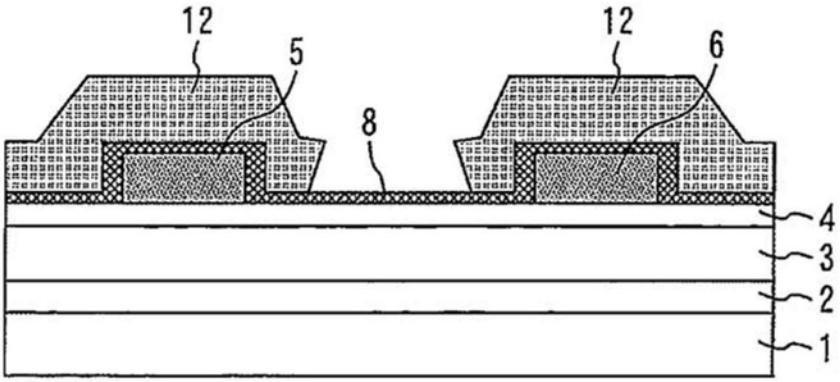


图12

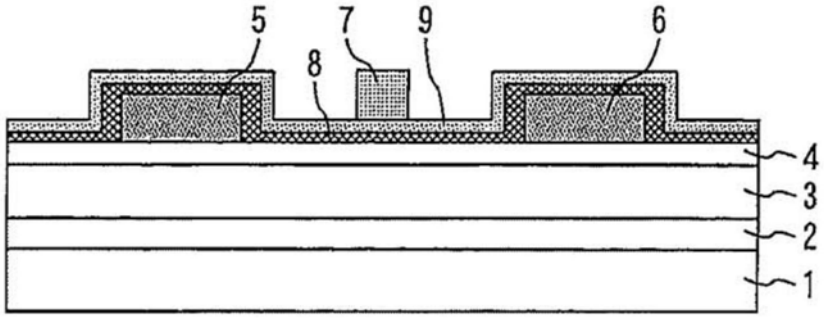


图13

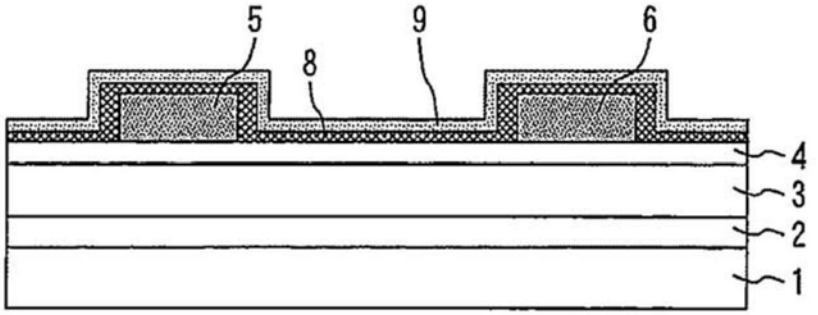


图14

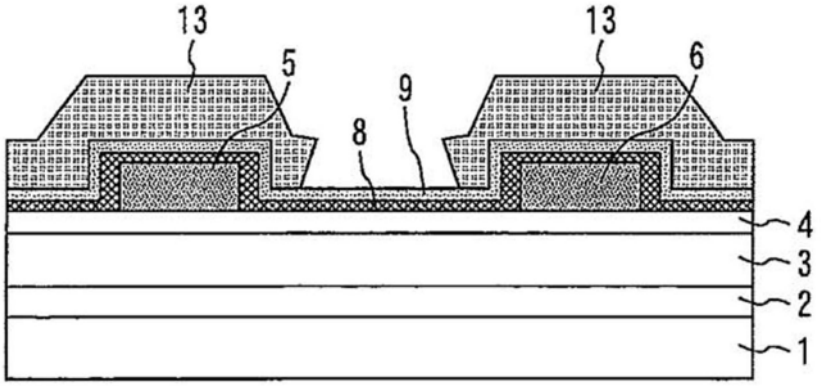


图15

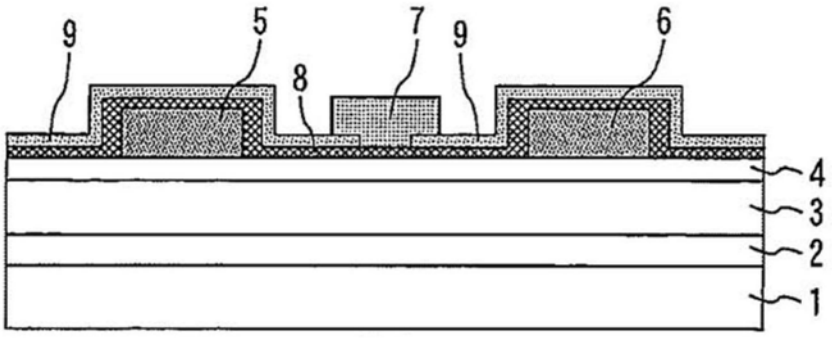


图16

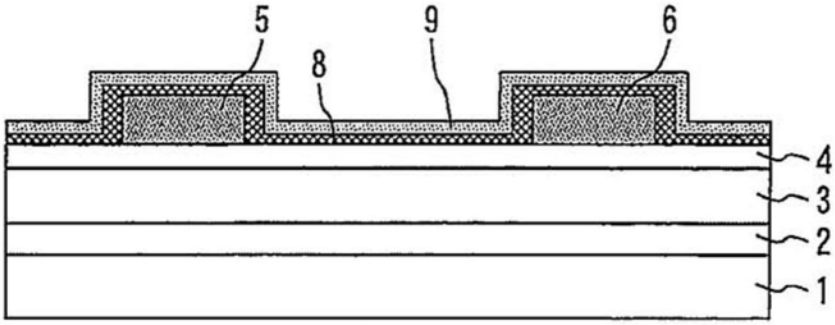


图17

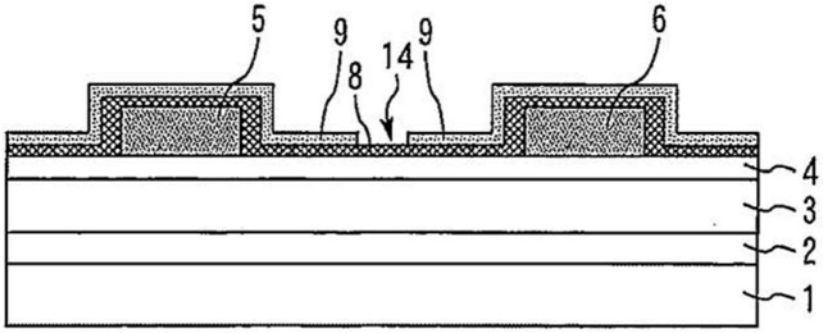


图18

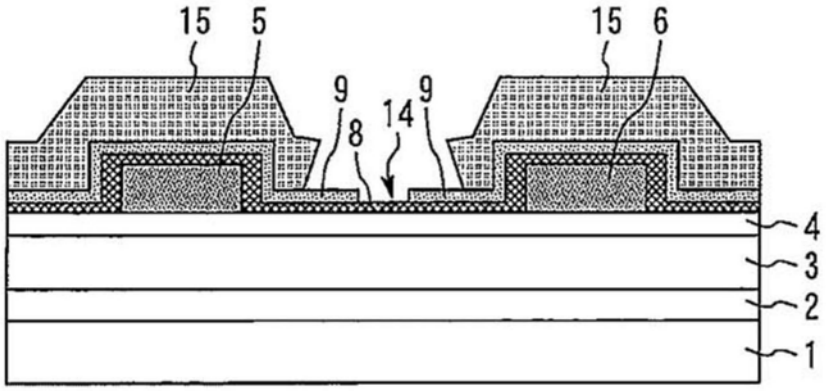


图19