

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5376839号  
(P5376839)

(45) 発行日 平成25年12月25日 (2013.12.25)

(24) 登録日 平成25年10月4日 (2013.10.4)

|                         |                       |
|-------------------------|-----------------------|
| (51) Int. Cl.           | F I                   |
| G 1 1 C 16/02 (2006.01) | G 1 1 C 17/00 6 1 2 D |
| G 1 1 C 16/04 (2006.01) | G 1 1 C 17/00 6 2 2 E |
|                         | G 1 1 C 17/00 6 2 4   |

請求項の数 16 (全 15 頁)

|              |                               |           |                                       |
|--------------|-------------------------------|-----------|---------------------------------------|
| (21) 出願番号    | 特願2008-153152 (P2008-153152)  | (73) 特許権者 | 390019839                             |
| (22) 出願日     | 平成20年6月11日 (2008.6.11)        |           | 三星電子株式会社                              |
| (65) 公開番号    | 特開2008-305536 (P2008-305536A) |           | S a m s u n g E l e c t r o n i c s   |
| (43) 公開日     | 平成20年12月18日 (2008.12.18)      |           | C o . , L t d .                       |
| 審査請求日        | 平成23年6月10日 (2011.6.10)        |           | 大韓民国京畿道水原市靈通区三星路129                   |
| (31) 優先権主張番号 | 10-2007-0056792               |           | 129, S a m s u n g - r o , Y e o n    |
| (32) 優先日     | 平成19年6月11日 (2007.6.11)        |           | g t o n g - g u , S u w o n - s i , G |
| (33) 優先権主張国  | 韓国 (KR)                       |           | y e o n g g i - d o , R e p u b l i c |
|              |                               |           | o f K o r e a                         |
|              |                               | (74) 代理人  | 100086368                             |
|              |                               |           | 弁理士 萩原 誠                              |
|              |                               | (72) 発明者  | 金 杜 坤                                 |
|              |                               |           | 大韓民国京畿道華城市盤松洞21番地 示                   |
|              |                               |           | 範ヘッピンマウル韓化クムエグリンアパー                   |
|              |                               |           | ト235棟2302号                            |
|              |                               |           | 最終頁に続く                                |

(54) 【発明の名称】 不揮発性メモリ装置の消去方法

(57) 【特許請求の範囲】

【請求項 1】

N A N D 型メモリセルアレイを有する不揮発性メモリ装置の消去された複数のメモリセルに対するポストプログラム動作方法において、

第 1 セレクトトランジスタに隣接する第 1 ダミーメモリセルに対してポストプログラムを行うステップと、

第 1 電圧を利用して前記第 1 ダミーメモリセルのしきい電圧を検証するステップと、

第 2 セレクトトランジスタに隣接する第 2 ダミーメモリセルに対してポストプログラムを行うステップと、

前記第 1 電圧とは異なる第 2 電圧を利用して前記第 2 ダミーメモリセルのしきい電圧を検証するステップと、

前記第 1 ダミーメモリセルと前記第 2 ダミーメモリセルとの間に配設された複数のノーマルメモリセルに対して前記ポストプログラムを行うステップと、を含み、

前記第 1 又は第 2 ダミーメモリセルに対してポストプログラムを行うステップは、

前記第 1 又は第 2 ダミーメモリセルに対して前記ポストプログラムを行うように、前記第 1 ダミーメモリセルに連結された第 1 ダミーワードライン又は前記第 2 ダミーメモリセルに連結された第 2 ダミーワードラインにプログラム電圧を印加するステップと、

前記複数のノーマルメモリセルに連結された複数のノーマルワードラインに、前記プログラム電圧より低い電圧レベルを有するパス電圧を印加するステップと、を含むことを特徴とするポストプログラム動作方法。

10

20

## 【請求項 2】

前記ポストプログラム動作方法は、第 3 電圧を利用して前記複数のノーマルメモリセルのしきい電圧を検証するステップをさらに含むことを特徴とする請求項 1 に記載のポストプログラム動作方法。

## 【請求項 3】

前記第 1 及び第 2 電圧は、前記第 3 電圧とは相異なる電圧レベルを有することを特徴とする請求項 2 に記載のポストプログラム動作方法。

## 【請求項 4】

前記第 1 及び第 2 電圧は、

前記第 3 電圧より高い電圧レベルを有することを特徴とする請求項 3 に記載のポストプログラム動作方法。

## 【請求項 5】

前記ポストプログラム動作方法は、

前記第 1 ダミーメモリセルのしきい電圧が前記第 1 電圧より低いと検証された場合、前記第 1 ダミーメモリセルに対してポストプログラムを再び行うステップと、

前記第 2 ダミーメモリセルのしきい電圧が前記第 2 電圧より低いと検証された場合、前記第 2 ダミーメモリセルに対してポストプログラムを再び行うステップと、  
をさらに含むことを特徴とする請求項 1 に記載のポストプログラム動作方法。

## 【請求項 6】

前記ポストプログラム動作方法は、

前記複数のノーマルメモリセルのしきい電圧が前記第 3 電圧より低いと検証された場合、前記複数のノーマルメモリセルに対してポストプログラムを再び行うステップをさらに含むことを特徴とする請求項 2 に記載のポストプログラム動作方法。

## 【請求項 7】

前記複数のノーマルメモリセルに対してポストプログラムを行うステップは、

前記複数のノーマルメモリセルに対して前記ポストプログラムを行うように、前記複数のノーマルメモリセルに連結された複数のノーマルワードラインに前記プログラム電圧を印加するステップと、

前記第 1 及び第 2 ダミーワードラインに前記バス電圧を印加するステップと、を含むことを特徴とする請求項 1 に記載のポストプログラム動作方法。

## 【請求項 8】

前記第 1 ダミーメモリセルのしきい電圧を検証するステップは、

前記第 1 ダミーメモリセルに連結された前記第 1 ダミーワードラインに前記第 1 電圧を印加するステップと、

前記複数のノーマルメモリセルに連結された複数のノーマルワードラインに第 4 電圧を印加するステップと、を含み、

前記第 2 ダミーメモリセルのしきい電圧を検証するステップは、

前記第 2 ダミーメモリセルに連結された前記第 2 ダミーワードラインに前記第 2 電圧を印加するステップと、

前記複数のノーマルメモリセルに連結された複数のノーマルワードラインに前記第 4 電圧を印加するステップと、を含み、

前記第 4 電圧は、

前記第 1 乃至第 3 電圧よりは高い電圧レベルを有することを特徴とする請求項 2 に記載のポストプログラム動作方法。

## 【請求項 9】

前記複数のノーマルメモリセルのしきい電圧を検証するステップは、

前記複数のノーマルメモリセルに連結された複数のノーマルワードラインに前記第 3 電圧を印加するステップと、

前記第 1 及び第 2 ダミーワードラインに第 4 電圧を印加するステップと、を含み、

前記第 4 電圧は、

10

20

30

40

50

前記第 1 乃至第 3 電圧よりは高い電圧レベルを有することを特徴とする請求項 2 に記載のポストプログラム動作方法。

【請求項 1 0】

前記複数のノーマルメモリセルに対して前記ポストプログラムを行うステップ及び前記複数のノーマルメモリセルのしきい電圧を検証するステップは、前記第 1 ダミーメモリセルに対してポストプログラムを行うステップ、前記第 1 ダミーメモリセルのしきい電圧を検証するステップ、前記第 2 ダミーメモリセルに対してポストプログラムを行うステップ、及び前記第 2 ダミーメモリセルのしきい電圧を検証するステップ以前に行われることを特徴とする請求項 2 に記載のポストプログラム動作方法。

【請求項 1 1】

前記第 1 ダミーメモリセルに対してポストプログラムを行うステップ、前記第 1 ダミーメモリセルのしきい電圧を検証するステップ、前記第 2 ダミーメモリセルに対してポストプログラムを行うステップ、及び前記第 2 ダミーメモリセルのしきい電圧を検証するステップは、前記複数のノーマルメモリセルに対して前記ポストプログラムを行うステップ及び前記複数のノーマルメモリセルのしきい電圧を検証するステップ以前に行われることを特徴とする請求項 2 に記載のポストプログラム動作方法。

【請求項 1 2】

NAND 型メモリセルアレイを有する不揮発性メモリ装置の消去された複数のメモリセルに対するポストプログラム動作方法において、

第 1 セレクトトランジスタに隣接する第 1 ダミーメモリセルと、第 2 セレクトトランジスタに隣接する第 2 ダミーメモリセルと、前記第 1 ダミーメモリセルと第 2 ダミーメモリセルとの間に配設された複数のノーマルメモリセルとに対してポストプログラムを行うステップと、

前記第 1 ダミーメモリセル、前記第 2 ダミーメモリセル、及び前記複数のノーマルメモリセルのしきい電圧を、それぞれ、第 1 電圧、前記第 1 電圧とは異なる第 2 電圧、及び第 3 電圧を利用して検証するステップと、を含み、

前記第 1 又は第 2 ダミーメモリセルに対してポストプログラムを行うステップは、

前記第 1 又は第 2 ダミーメモリセルに対して前記ポストプログラムを行うように、前記第 1 ダミーメモリセルに連結された第 1 ダミーワードライン又は前記第 2 ダミーメモリセルに連結された第 2 ダミーワードラインにプログラム電圧を印加するステップと、

前記複数のノーマルメモリセルに連結された複数のノーマルワードラインに、前記プログラム電圧より低い電圧レベルを有するパス電圧を印加するステップと、を含むことを特徴とするポストプログラム動作方法。

【請求項 1 3】

前記ポストプログラム動作方法はさらに、

しきい電圧が前記第 1 電圧より低い前記第 1 ダミーメモリセル、しきい電圧が前記第 2 電圧より低い前記第 2 ダミーメモリセル、及びしきい電圧が前記第 3 電圧より低い前記ノーマルメモリセルを、第 1 メモリセルグループとし、しきい電圧が前記第 1 電圧以上の前記第 1 ダミーメモリセル、しきい電圧が前記第 2 電圧以上の前記第 2 ダミーメモリセル、及びしきい電圧が前記第 3 電圧以上の前記ノーマルメモリセルを、第 2 メモリセルグループとしてグループ分けするステップを含むことを特徴とする請求項 1 2 に記載のポストプログラム動作方法。

【請求項 1 4】

前記ポストプログラム動作方法は、前記第 1 メモリセルグループに対してポストプログラムを再び行うステップをさらに含み、

前記第 2 メモリセルグループに対してはポストプログラムを再度行わないことを特徴とする請求項 1 3 に記載のポストプログラム動作方法。

【請求項 1 5】

前記第 1 及び第 2 電圧は、前記第 3 電圧とは相異なる電圧レベルを有することを特徴とする請求項 1 2 に記載のポストプログラム動作方法。

10

20

30

40

50

## 【請求項 16】

前記第 1 及び第 2 電圧は、

前記第 3 電圧より高い電圧レベルを有することを特徴とする請求項 15 に記載のポストプログラム動作方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体メモリ装置に係り、特に、不揮発性メモリ装置に関する。

## 【背景技術】

## 【0002】

半導体メモリ装置は、DRAM (Dynamic Random Access Memory) 及びSRAM (Static Random Access Memory) のように、電源が切れるとデータを失い、かつデータの入出力が速い揮発性メモリ装置と、一度データを入力すれば、その状態を維持し、データの入出力が揮発性メモリに比べて相対的に遅い不揮発性メモリ装置とに大別される。不揮発性メモリ装置は、ROM (Read Only Memory)、PROM (Programmable ROM)、EPROM (Erasable PROM) 及びEEPROM (Electrically EPROM) に分類される。EEPROMまたは一括消去機能を有するフラッシュEEPROM (以下、フラッシュメモリという) は、フローティングゲートと制御ゲートとが積層されたスタック型ゲート構造を有する。

## 【0003】

フラッシュメモリ装置のメモリアレイは、ストリングを基本単位とし、多数のストリングを備える。このストリングは、セレクトトランジスタと多数のメモリセルとが直列に接続された構造よりなる。この場合、フラッシュメモリ装置は、ドレインセレクトラインに隣接したワードラインに連結されたメモリセル及びソースセレクトラインに隣接したワードラインに連結されたメモリセルでプログラム速度が落ちる問題が発生した。この問題点を解決するために、最近では、ストリングにダミーワードラインに連結されるメモリセルを追加する構造が使われている。ダミーワードラインを備えるフラッシュメモリ装置の実施形態については、特許文献 1 に開示されている。

## 【0004】

フラッシュメモリ装置の消去動作は、プレプログラム動作、メイン消去動作及びポストプログラム動作に大別される。プレプログラム動作は、次に行う消去動作時に過度に消去されるメモリセルの発生を防止するために、正常的なプログラム動作と同じバイアス条件を利用して行われる。消去されるメモリセルは、何れもプレプログラムされる。プレプログラム以後にセクタの全てのメモリセルがオン・セル状態を有するように、メイン消去動作が行われる。メイン消去動作が開始されれば、セクタ内の全てのメモリセルが同時に消去される。最後に、メイン消去動作によって過度に消去されたメモリセルを治癒するために、ポストプログラム動作が行われる。ポストプログラム動作は、バイアス条件を除外すれば、プレプログラム動作と同一に行われる。

## 【0005】

ダミーワードラインを備えたフラッシュメモリ装置でポストプログラム動作を行う場合、従来は、ダミーワードラインに連結されたダミーメモリセル及びノーマルワードラインに連結されたノーマルメモリセルに対して区別なしに一括的にポストプログラム動作を行った。すなわち、ポストプログラムを行った結果、ノーマルメモリセル及びダミーメモリセルは、同じしきい電圧を有する。この場合、消去動作が終了した後にプログラム動作を行うとき、ターンオフされねばならないダミーメモリセルがターンオンされる場合が発生して、ノーマルメモリセルのプログラムを妨害する場合が発生する。

【特許文献 1】米国特許公開第 2006 - 13997 号公報 (2006 年 6 月 29 日公開)

## 【発明の開示】

**【発明が解決しようとする課題】****【0006】**

本発明が解決しようとする技術的課題は、ノーマルワードラインに連結されたノーマルメモリセル及びダミーワードラインに連結されたダミーメモリセルに対して別途にポストプログラムを行う不揮発性メモリ装置の消去方法を提供することである。

**【課題を解決するための手段】****【0007】**

前記課題を達成するための本発明の実施形態による不揮発性メモリ装置の消去方法は、不揮発性メモリ装置でポストプログラムを行う消去方法において、ダミーメモリセルに対してポストプログラムを行うステップ、第1電圧を利用して前記ダミーメモリセルのしきい電圧を検証するステップ、ノーマルメモリセルに対して前記ポストプログラムを行うステップ及び第2電圧を利用して前記ノーマルメモリセルのしきい電圧を検証するステップを含み、前記第1電圧は、前記第2電圧とは相異なる電圧レベルを有しうる。

10

**【0008】**

前記第1電圧は、前記第2電圧より高い電圧レベルを有することが望ましい。

前記不揮発性メモリ装置の消去方法は、前記ダミーメモリセルのしきい電圧が前記第1電圧より低い場合、前記ダミーメモリセルに対してポストプログラムを再び行うステップをさらに含むことが望ましい。

前記不揮発性メモリ装置の消去方法は、前記ノーマルメモリセルのしきい電圧が前記第2電圧より低い場合、前記ノーマルメモリセルに対してポストプログラムを再び行うステップをさらに含むことが望ましい。

20

**【0009】**

前記ダミーメモリセルに対してポストプログラムを行うステップは、前記ダミーメモリセルに対して前記ポストプログラムを行うように、前記ダミーメモリセルに連結されたダミーワードラインにプログラム電圧を印加するステップ及び前記ノーマルメモリセルに対して前記ポストプログラムを行わないように、前記ノーマルメモリセルに連結されたノーマルワードラインにパス電圧を印加するステップを含むことが望ましい。

**【0010】**

前記ノーマルメモリセルに対してポストプログラムを行うステップは、前記ノーマルメモリセルに対して前記ポストプログラムを行うように、前記ノーマルメモリセルに連結されたノーマルワードラインにプログラム電圧を印加するステップ及び前記ダミーメモリセルに対して前記ポストプログラムを行わないように、前記ダミーメモリセルに連結されたダミーワードラインにパス電圧を印加するステップを含むことが望ましい。

30

**【0011】**

前記ノーマルメモリセルに対して前記ポストプログラムを行うステップ及び前記ノーマルメモリセルのしきい電圧を検証するステップは、前記ダミーメモリセルに対してポストプログラムを行うステップ及び前記ダミーメモリセルのしきい電圧を検証するステップ以前に行われることが望ましい。

前記ダミーメモリセルに対してポストプログラムを行うステップ及び前記ダミーメモリセルのしきい電圧を検証するステップは、前記ノーマルメモリセルに対して前記ポストプログラムを行うステップ及び前記ノーマルメモリセルのしきい電圧を検証するステップ以前に行われることが望ましい。

40

**【0012】**

前記ダミーメモリセルに対してポストプログラムを行うステップ及び前記ノーマルメモリセルに対して前記ポストプログラムを行うステップは、前記ノーマルメモリセルのしきい電圧を検証するステップ及び前記ダミーメモリセルのしきい電圧を検証するステップ以前に行われることが望ましい。

**【0013】**

前記課題を達成するための本発明の他の実施形態による不揮発性メモリ装置の消去方法は、不揮発性メモリ装置でポストプログラムを行う消去方法において、第1ダミーメモリ

50

セルに対してポストプログラムを行うステップ、第 1 電圧を利用して前記第 1 ダミーメモリセルのしきい電圧を検証するステップ、第 2 ダミーメモリセルに対して前記ポストプログラムを行うステップ、第 2 電圧を利用して前記第 2 ダミーメモリセルのしきい電圧を検証するステップ、ノーマルメモリセルに対して前記ポストプログラムを行うステップ及び第 3 電圧を利用して前記ノーマルメモリセルのしきい電圧を検証するステップを含み、前記第 3 電圧は、前記第 1 電圧及び前記第 2 電圧とは相異なる電圧レベルを有しうる。

【0014】

前記課題を達成するための本発明のさらに他の実施形態による不揮発性メモリ装置の消去方法は、不揮発性メモリ装置でポストプログラムを行う消去方法において、ノーマルメモリセル及びダミーメモリセルに対してポストプログラムを行うステップ、第 1 電圧を利用して前記ダミーメモリセルのしきい電圧を検証するステップ、第 2 電圧を利用して前記ノーマルメモリセルのしきい電圧を検証するステップ及び前記しきい電圧が検証されないダミーメモリセル及び前記しきい電圧が検証されないノーマルメモリセルを含むメモリセルグループに対して前記ポストプログラムを行うステップを含み、前記第 1 電圧は、前記第 2 電圧とは相異なる電圧レベルを有しうる。

【0015】

前記課題を達成するための本発明のさらに他の実施形態による不揮発性メモリ装置の消去方法は、不揮発性メモリ装置でポストプログラムを行う消去方法において、ノーマルメモリセル、第 1 ダミーメモリセル及び第 2 ダミーメモリセルに対してポストプログラムを行うステップ、第 1 電圧を利用して前記第 1 ダミーメモリセルのしきい電圧を検証するステップ、第 2 電圧を利用して前記第 2 ダミーメモリセルのしきい電圧を検証するステップ、第 3 電圧を利用して前記ノーマルメモリセルのしきい電圧を検証するステップ及び前記しきい電圧が検証されない第 1 ダミーメモリセル、前記しきい電圧が検証されない第 2 ダミーメモリセル及び前記しきい電圧が検証されないノーマルメモリセルを含むメモリセルグループに対して前記ポストプログラムを行うステップを含み、前記第 3 電圧は、前記第 1 電圧及び前記第 2 電圧とは相異なる電圧レベルを有しうる。

【発明の効果】

【0016】

本発明による不揮発性メモリ装置の消去方法は、ノーマルメモリセル及びダミーメモリセルに対して別途にポストプログラムを行うことによって、接合ポテンシャルが増加してセルの信頼性を向上させ、ダミーメモリセルのターンオンによるノーマルメモリセルのプログラムを妨害する現象を防止しうる。

【発明を実施するための最良の形態】

【0017】

本発明と本発明の動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施形態を例示する添付図面及び図面に記載された内容を参照しなければならない。

以下、添付した図面を参照して、本発明の望ましい実施形態を説明することによって、本発明を詳細に説明する。各図面に付された同一参照符号は、同一部材を表す。

【0018】

図 1 は、不揮発性半導体メモリ装置の回路図である。

図 1 では、不揮発性半導体メモリ装置の一つのストリング 100 を示した。図 1 を参照すれば、不揮発性半導体メモリ装置、特に、フラッシュメモリ装置の一つのストリング 100 は、第 1 セレクトトランジスタ GST、第 2 セレクトトランジスタ SST、第 1 ダミーメモリセル DC1、第 2 ダミーメモリセル DC2 及び複数のノーマルメモリセル C0, ..., C30, C31 を備える。図 1 では、32 個のメモリセルが直列に連結された場合について示しているが、16 個、64 個のメモリセルを直列に連結した場合にも、本発明の方法による場合、同じ効果が得られるというのは、当業者に自明な事項である。

【0019】

第 1 セレクトトランジスタ GST のゲートラインは、第 1 セレクトライン GSL となり

、第2セレクトトランジスタSSTのゲートラインは、第2セレクトラインSSLとなり、ノーマルメモリセルC0, ..., C31のゲートラインは、ノーマルワードラインWL0, ..., WL31となる。また、第1ダミーメモリセルDC1のゲートラインは、第1ダミーワードラインDWL1となり、第2ダミーメモリセルDC2のゲートラインは、第2ダミーワードラインDWL2となる。本発明の実施形態によるポストプログラム動作を行う方法については、以下で詳細に説明する。

#### 【0020】

図2は、本発明の実施形態による不揮発性メモリ装置の消去方法を示すフローチャートである。

図2は、不揮発性メモリ装置の消去方法のうち、特にポストプログラム動作を行う方法について示している。図1及び図2を参照して、32個のノーマルメモリセル及び2個のダミーメモリセルが直列に連結されたストリングを有する不揮発性メモリ装置で前記ポストプログラムを行う場合について説明する。一旦、ノーマルワードラインWL0, ..., WL31に連結されたノーマルメモリセルC0, ..., C31については、ポストプログラムを行わず、ダミーワードラインDWL1, DWL2に連結されたダミーメモリセルDC1, DC2に対してポストプログラムを行う(S210)。ダミーメモリセルDC1, DC2に対するポストプログラムが終了すれば、ダミーメモリセルDC1, DC2に対してポストプログラムが正常に行われたか否かを検証する。すなわち、第1電圧を利用してダミーメモリセルDC1, DC2のしきい電圧を検証する(S220)。前記第1電圧は、ダミーメモリセルDC1, DC2に対して前記ポストプログラムを行って変更しようとするしきい電圧値である。

#### 【0021】

検証の結果、ダミーメモリセルDC1, DC2のしきい電圧が前記第1電圧より低い場合、ダミーメモリセルDC1, DC2に対して再びポストプログラムを行う(S210)。

前記検証結果、ダミーメモリセルDC1, DC2のしきい電圧が前記第1電圧以上である場合、ノーマルメモリセルC0, ..., C31に対してポストプログラムを行う(S230)。ノーマルメモリセルC0, ..., C31に対してポストプログラムが終了すれば、ポストプログラムが正常に行われたか否かを検証する。すなわち、第2電圧を利用してポストプログラムが行われたノーマルメモリセルのしきい電圧を検証する(S240)。第2電圧は、ノーマルメモリセルC0, ..., C31に対してポストプログラムを行って変更しようとするしきい電圧値である。第1電圧は、第2電圧より高い電圧レベルを有することが望ましい。

検証の結果、ノーマルメモリセルのしきい電圧が第2電圧より低い場合、ノーマルメモリセルに対して再びポストプログラムを行う(S230)。

#### 【0022】

図3は、図2の実施形態によるポストプログラムを行う場合、電圧条件を示すテーブルである。

図1ないし図3を参照すれば、ダミーメモリセルDC1, DC2に対してポストプログラムを行うS210の場合、ダミーワードラインDWL1, DWL2には、プログラム電圧Vpgmを印加し、ノーマルワードラインWL0, ..., WL31には、パス電圧Vpassを印加する。プログラム電圧Vpgmは、ポストプログラムを行うメモリセルのゲートに連結されたワードラインに印加される電圧であって、例えば、25Vの電圧を使用する。パス電圧Vpassは、ポストプログラムを行わないメモリセルのゲートに連結されたワードラインに印加される電圧であって、例えば、8Vの電圧を使用する。

#### 【0023】

第1電圧を利用してダミーメモリセルDC1, DC2のしきい電圧を検証するS220は、ダミーワードラインDWL1, DWL2に第1電圧Vr1を印加し、ノーマルワードラインWL0, ..., WL31に第3電圧Vreadを印加する。第3電圧Vreadは、検証しないワードラインに印加される電圧であって、第1電圧Vr1より高い電圧レベル

を有することが望ましい。例えば、第3電圧  $V_{read}$  は、6.5Vでありうる。

【0024】

ダミーメモリセル  $DC1$ 、 $DC2$  に対する検証が完了して、ノーマルメモリセル  $C0$ 、 $\dots$ 、 $C31$  に対してポストプログラムを行う  $S230$  の場合、 $S210$  とは逆に、ノーマルメモリセル  $C0$ 、 $\dots$ 、 $C31$  に連結されたノーマルワードライン  $WL0$ 、 $\dots$ 、 $WL31$  に対しては、プログラム電圧  $V_{pgm}$  を印加し、ダミーワードライン  $DWL1$ 、 $DWL2$  に対しては、パス電圧  $V_{pass}$  を印加する。第3電圧  $V_{read}$  は、第2電圧  $V_{r2}$  より高い電圧レベルを有することが望ましい。

【0025】

図4は、本発明の他の実施形態による不揮発性メモリ装置の消去方法を示すフローチャートである。

図1、図2及び図4を参照すれば、図4の実施形態は、図2の実施形態と順序を異ならせている。すなわち、図2の実施形態は、ダミーメモリセル  $DC1$ 、 $DC2$  に対して、まずポストプログラム ( $S210$ ) 及び検証 ( $S220$ ) を行った後、ノーマルメモリセル  $C0$ 、 $\dots$ 、 $C31$  に対してポストプログラム ( $S230$ ) 及び検証 ( $S240$ ) を行った。しかし、図4の実施形態では、ノーマルメモリセル  $C0$ 、 $\dots$ 、 $C31$  に対して、まずポストプログラム ( $S410$ ) を行い、第2電圧を利用してノーマルメモリセル  $C0$ 、 $\dots$ 、 $C31$  のしきい電圧を検証する ( $S420$ )。前記ノーマルメモリセル  $C0$ 、 $\dots$ 、 $C31$  に対してポストプログラム及び検証を完了した後、ダミーメモリセル  $DC1$ 、 $DC2$  に対してポストプログラム ( $S430$ ) を行い、第1電圧を利用してダミーメモリセル  $DC1$ 、 $DC2$  のしきい電圧を検証する ( $S440$ )。前記各ステップでの動作は、図2の場合と同一であるので、以下では詳細な説明を省略する。

【0026】

図5は、本発明のさらに他の実施形態による不揮発性メモリ装置の消去方法を示すフローチャートである。

図6は、図5の実施形態によるポストプログラムを行う場合、電圧条件を示すテーブルである。

【0027】

図1、図5及び図6を参照すれば、図5の実施形態は、ダミーメモリセル  $DC1$ 、 $DC2$  のそれぞれが異なるしきい電圧を有するようにポストプログラムを行う。すなわち、第1ダミーワードライン  $DWL1$  に連結された第1ダミーメモリセル  $DC1$  に対して、まずポストプログラムを行う ( $S510$ )。第1ダミーワードライン  $DWL1$  には、プログラム電圧  $V_{pgm}$  を印加し、第2ダミーワードライン  $DWL2$  及びノーマルワードライン  $WL0$ 、 $\dots$ 、 $WL31$  には、パス電圧  $V_{pass}$  を印加する。このポストプログラム動作が完了すれば、第1電圧  $V_{r1}'$  を利用して第1ダミーメモリセル  $DC1$  のしきい電圧を検証する ( $S520$ )。すなわち、第1ダミーワードライン  $DWL1$  には、第1電圧  $V_{r1}'$  を印加し、第2ダミーワードライン  $DWL2$  及びノーマルワードライン  $WL0$ 、 $\dots$ 、 $WL31$  には、第4電圧  $V_{read}$  を印加する。第4電圧  $V_{read}$  は、図3の第3電圧  $V_{read}$  と同じ電圧レベルを有する。

【0028】

検証の結果、第1ダミーメモリセル  $DC1$  のしきい電圧が第1電圧  $V_{r1}'$  より低い場合、第1ダミーメモリセル  $DC1$  に対して再びポストプログラムを行う ( $S510$ )。検証の結果、第1ダミーメモリセル  $DC1$  のしきい電圧が第1電圧  $V_{r1}$  以上である場合、第2ダミーメモリセル  $DC2$  に対してポストプログラムを行う ( $S530$ )。

【0029】

第2ダミーメモリセル  $DC1$  に対してポストプログラムを行う場合 ( $S630$ )、第2ダミーワードライン  $DWL2$  には、プログラム電圧  $V_{pgm}$  を印加し、第1ダミーワードライン  $DWL1$  及びノーマルワードライン  $WL0$ 、 $\dots$ 、 $WL31$  には、パス電圧  $V_{pass}$  を印加する。このポストプログラム動作が完了すれば、第2電圧  $V_{r2}'$  を利用して第2ダミーメモリセル  $DC2$  のしきい電圧を検証する ( $S540$ )。第2電圧  $V_{r2}'$  は、



第2ダミーメモリセルDC2に対してポストプログラムを行って変更しようとするしきい電圧値であって、第1電圧Vr1'と相異なる電圧レベルを有する。第2ダミーワードラインDWL2には、第2電圧Vr2'を印加し、第1ダミーワードラインDWL12及びノーマルワードラインWL0, ..., WL31には、第4電圧Vreadを印加する。

【0030】

前記検証結果、第2ダミーメモリセルDC2のしきい電圧が第2電圧Vr2'より低い場合、第2ダミーメモリセルDC2に対して再びポストプログラムを行う(S530)。検証の結果、第2ダミーメモリセルDC2のしきい電圧が第2電圧Vr2'以上である場合、それぞれのノーマルメモリセルC0, ..., C31に対してポストプログラムを行う(S550)。

10

【0031】

ノーマルメモリセルC0, ..., C31に対してポストプログラム(S550)及び検証(S560)を行うステップは、図2の場合と同一であるので、以下では説明を省略する。図6の第3電圧Vr3'は、図2の第2電圧Vr2と同じ電圧レベルを有する。

但し、図5の実施形態では、第1ダミーメモリセルDC1、第2ダミーメモリセルDC2及びノーマルメモリセルの順序でポストプログラム及び検証を行っているが、順序が変わっても同じ効果が得られるということは、当業者に自明な事項である。

【0032】

図7は、本発明のさらに他の実施形態による不揮発性メモリ装置の消去方法を示すフローチャートである。

20

図1、図3及び図7を参照すれば、図7の実施形態は、ノーマルメモリセルC0, ..., C31及びダミーメモリセルDC1, DC2に対して同時にポストプログラム動作を行う(S710)。すなわち、ダミーワードラインDWL1, DWL2及びノーマルワードラインWL0, ..., WL31にプログラム電圧Vpgmを印加する。

【0033】

ポストプログラム動作が完了した後、ダミーメモリセルDC1, DC2及びノーマルメモリセルC0, ..., C31に対してポストプログラムが正常に行われたか否かを検証する(S720)。すなわち、第1電圧Vr1を利用してダミーメモリセルDC1, DC2のしきい電圧を検証し、第2電圧Vr2を利用してノーマルメモリセルC0, ..., C31のしきい電圧を検証する。ダミーワードラインDWL1, DWL2に対して検証を行うために、ダミーワードラインDWL1, DWL2には、第1電圧Vr1を印加し、ノーマルワードラインWL0, ..., WL31には、第3電圧Vreadを印加する。また、ノーマルワードラインWL0, ..., WL31に対して検証を行うために、ノーマルワードラインWL0, ..., WL31には、第2電圧Vr2を印加し、ダミーワードラインDWL1, DWL2には、第3電圧Vreadを印加する。

30

【0034】

検証の結果、それぞれのしきい電圧が対応する電圧レベルとまらないメモリセルに対して再びポストプログラムを行い(S730)、ポストプログラムが正常に行われたか否かを検証する(S740)。すなわち、第1メモリセルグループのメモリセルに対しては、ポストプログラムを行い、第2メモリセルグループのメモリセルに対しては、ポストプログラムを行わない。第1メモリセルグループは、しきい電圧が第1電圧Vr1より低いダミーメモリセル及びしきい電圧が第2電圧Vr2より低いノーマルメモリセルのうち少なくとも一つを含む。第2メモリセルグループは、しきい電圧が第1電圧Vr1以上であるダミーメモリセル及びしきい電圧が第2電圧Vr2以上であるノーマルメモリセルを含む。

40

【0035】

例えば、検証の結果、ダミーメモリセルDC1, DC2のしきい電圧が第1電圧Vr1となったならば、第1メモリセルグループは、ノーマルメモリセルC0, ..., C31を含み、第2メモリセルグループは、ダミーメモリセルDC1, DC2を含む。したがって、第2メモリセルグループのダミーメモリセルDC1, DC2に対しては、再びポストプロ

50

グラムを行わず、第1メモリセルグループのノーマルメモリセルC0, ..., C31に対してのみ、再びポストプログラムを行う。再びポストプログラムを行った第1メモリセルグループのノーマルメモリセルC0, ..., C31に対して検証し、その結果、ノーマルメモリセルC0, ..., C31のしきい電圧が第2電圧Vr2以上となったならば、ポストプログラム動作を完了する。

【0036】

図8は、本発明のさらに他の実施形態による不揮発性メモリ装置の消去方法を示すフローチャートである。

図1、図6、図7及び図8を参照すれば、図8の実施形態は、ダミーメモリセルDC1, DC2のそれぞれが異なるしきい電圧を有するようにポストプログラムを行う。すなわち、図7のように、ノーマルメモリセルC0, ..., C31、第1ダミーメモリセルDC1及び第2ダミーメモリセルDC2に対して同時にポストプログラム動作を行う(S810)。

【0037】

ポストプログラム動作が完了した後、第1ダミーメモリセルDC1、第2ダミーメモリセルDC2及びノーマルメモリセルC0, ..., C31に対してポストプログラムが正常に行われたか否かを検証する(S820)。すなわち、第1電圧Vr1'を利用して第1ダミーメモリセルDC1のしきい電圧を検証し、第2電圧Vr2'を利用して第2ダミーメモリセルDC2のしきい電圧を検証し、第3電圧Vr3'を利用してノーマルメモリセルC0, ..., C31のしきい電圧を検証する。第2電圧Vr2'は、第2ダミーメモリセルDC2に対してポストプログラムを行って変更しようとするしきい電圧値であって、第1電圧Vr1'とは相異なる電圧レベルを有する。第3電圧Vr3'は、図3の第2電圧Vr2と同じ電圧レベルを有する。

【0038】

第1ダミーメモリセルDC1に対して検証を行うために、第1ダミーワードラインDWL1には、第1電圧Vr1'を印加し、第2ダミーワードラインDWL2及びノーマルワードラインWL0, ..., WL31には、第4電圧Vreadを印加する。第2ダミーメモリセルDC2に対して検証を行うために、第2ダミーワードラインDWL2には、第2電圧Vr2'を印加し、第1ダミーワードラインDWL1及びノーマルワードラインWL0, ..., WL31には、第4電圧Vreadを印加する。また、ノーマルメモリセルC0, ..., C31に対して検証を行うために、ノーマルワードラインWL0, ..., WL31には、第3電圧Vr3'を印加し、第1ダミーワードライン及び第2ダミーワードラインDWL1, DWL2には、第4電圧Vreadを印加する。第4電圧Vreadは、図3の第3電圧Vreadと同じ電圧レベルを有する。

【0039】

検証の結果、それぞれの対応する電圧より低いしきい電圧を有するメモリセルに対して、再びポストプログラムを行い(S830)、ポストプログラムが正常に行われたか否かを検証する(S840)。すなわち、第1メモリセルグループのメモリセルに対してはポストプログラムを行い、第2メモリセルグループのメモリセル野に対してはポストプログラムを行わない。第1メモリセルグループは、しきい電圧が第1電圧Vr1'より低い第1ダミーメモリセルDC1、しきい電圧が第2電圧Vr2'より低い第2ダミーメモリセルDC2及びしきい電圧が第3電圧Vr3'より低いノーマルメモリセルを少なくとも一つ含む。第2メモリセルグループは、しきい電圧が第1電圧Vr1'以上となった第1ダミーメモリセルDC1、しきい電圧が第2電圧Vr2'以上となった第2ダミーメモリセルDC2及び前記しきい電圧が第3電圧Vr3'以上となった前記ノーマルメモリセルを含む。

【0040】

例えば、検証の結果、ノーマルメモリセルC0, ..., C31のしきい電圧が第3電圧レベルVr3'となったならば、第1メモリセルグループは、第1ダミーメモリセルDC1、第2ダミーメモリセルDC2を含む。第2メモリセルグループは、ノーマルメモリセル

10

20

30

40

50

C 0 , ... , C 3 1 を含む。したがって、第 1 メモリセルグループのメモリセル D C 1 , D C 2 に対して再びポストプログラムを行う。

【 0 0 4 1 】

再びポストプログラムを行って検証した結果、第 1 ダミーメモリセル D C 1 のしきい電圧が第 1 電圧レベル  $V_{r1}'$  以上となったならば、第 1 メモリセルグループは、第 2 ダミーメモリセル D C 2 を含み、第 2 メモリセルグループは、第 1 ダミーメモリセル D C 1 及びノーマルメモリセル C 0 , ... , C 3 1 を含む。したがって、前記第 1 メモリセルグループのメモリセル D C 2 に対して再びポストプログラムを行う。

【 0 0 4 2 】

図 9 A は、従来の技術によるメモリセルのしきい電圧  $V_{th}$  の分布度を示すグラフである。

10

図 1 及び図 9 A を参照すれば、メイン消去動作が完了した場合、ノーマルメモリセル C 0 , ... , C 3 1 及びダミーメモリセル D C 1 , D C 2 のしきい電圧  $V_{th}$  は、( a ) のような分布度を有する。従来は、ノーマルメモリセル C 0 , ... , C 3 1 及びダミーメモリセル D C 1 , D C 2 に対して別途のポストプログラムを行わなかったので、ポストプログラムを行った以後には、ノーマルメモリセル C 0 , ... , C 3 1 及びダミーメモリセル D C 1 , D C 2 のしきい電圧  $V_{th}$  は、( b ) のような分布度を有する。

【 0 0 4 3 】

図 9 B は、図 2、図 4 及び図 7 の実施形態によるメモリセルのしきい電圧  $V_{th}$  の分布度を示すグラフである。

20

図 2、図 4 及び図 7 の実施形態による場合、図 1 及び図 9 B を参照すれば、メイン消去動作が完了した後は、ノーマルメモリセル C 0 , ... , C 3 1 及びダミーメモリセル D C 1 , D C 2 は、図 9 A と同様に、( a ) の分布度を有する。但し、前述の実施形態では、ノーマルメモリセル C 0 , ... , C 3 1 及びダミーメモリセル D C 1 , D C 2 に対して別途にポストプログラムを行う。したがって、ポストプログラムを行った場合、ノーマルメモリセル C 0 , ... , C 3 1 のしきい電圧  $V_{th}$  は、第 2 電圧  $V_{r2}$  を含む ( b ) の分布度に変更される。また、ダミーメモリセル D C 1 , D C 2 のしきい電圧  $V_{th}$  は、第 1 電圧  $V_{r1}$  を含む ( c ) の分布度に変更される。

【 0 0 4 4 】

図 9 C は、図 5 及び図 8 の実施形態によるメモリセルのしきい電圧  $V_{th}$  の散布度を示すグラフである。

30

図 5 及び図 8 の実施形態による場合、図 1 及び図 9 C を参照すれば、メイン消去動作が完了した後は、ノーマルメモリセル C 0 , ... , C 3 1 及びダミーメモリセル D C 1 , D C 2 は、図 9 A と同様に、( a ) の分布度を有する。但し、前述の実施形態では、ノーマルメモリセル C 0 , ... , C 3 1、第 1 ダミーメモリセル D C 1 及び第 2 ダミーメモリセル D C 2 に対して別途にポストプログラムを行う。したがって、ポストプログラムを行った場合、ノーマルメモリセル C 0 , ... , C 3 1 のしきい電圧  $V_{th}$  は、第 3 電圧  $V_{r3}'$  を含む ( b ) の分布度に変更される。また、第 1 ダミーメモリセル D C 1 のしきい電圧  $V_{th}$  は、第 1 電圧  $V_{r1}'$  を含む ( c ) の分布度に変更され、第 2 ダミーメモリセル D C 2 のしきい電圧  $V_{th}$  は、第 2 電圧  $V_{r2}'$  を含む ( d ) の分布度に変更される。

40

【 0 0 4 5 】

以上のように、図面及び明細書で最適の実施形態が開示された。ここで、特定の用語が使われたが、これは、単に本発明を説明するための目的で使われたものであり、意味限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、当業者ならば、これから多様な変形及び均等な他の実施形態が可能であるということが分かるであろう。したがって、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想によって決定されねばならない。

【産業上の利用可能性】

【 0 0 4 6 】

本発明は、メモリ関連の技術分野に適用可能である。

50

## 【図面の簡単な説明】

【 0 0 4 7 】

【図 1】不揮発性半導体メモリ装置の回路図である。

【図 2】本発明の実施形態による不揮発性メモリ装置の消去方法を示すフローチャートである。

【図 3】図 2 の実施形態によるポストプログラムを行う場合に電圧条件を示すテーブルである。

【図 4】本発明の他の実施形態による不揮発性メモリ装置の消去方法を示すフローチャートである。

【図 5】本発明のさらに他の実施形態による不揮発性メモリ装置の消去方法を示すフローチャートである。

【図 6】図 5 の実施形態によるポストプログラムを行う場合に電圧条件を示すテーブルである。

【図 7】本発明のさらに他の実施形態による不揮発性メモリ装置の消去方法を示すフローチャートである。

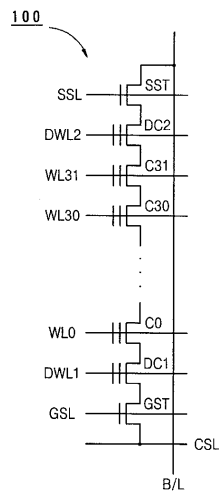
【図 8】本発明のさらに他の実施形態による不揮発性メモリ装置の消去方法を示すフローチャートである。

【図 9 A】従来の技術によるメモリセルのしきい電圧の散布度である。

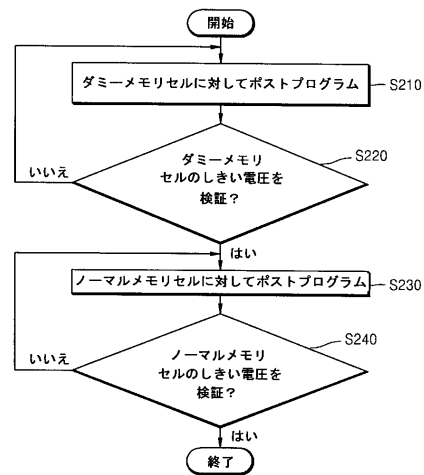
【図 9 B】図 2、図 4 及び図 7 の実施形態によるメモリセルのしきい電圧の分布度である。

【図 9 C】図 5 及び図 8 の実施形態によるメモリセルのしきい電圧の分布度である。

【図 1】



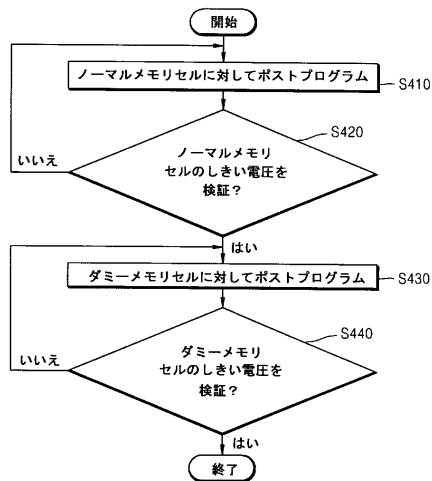
【図 2】



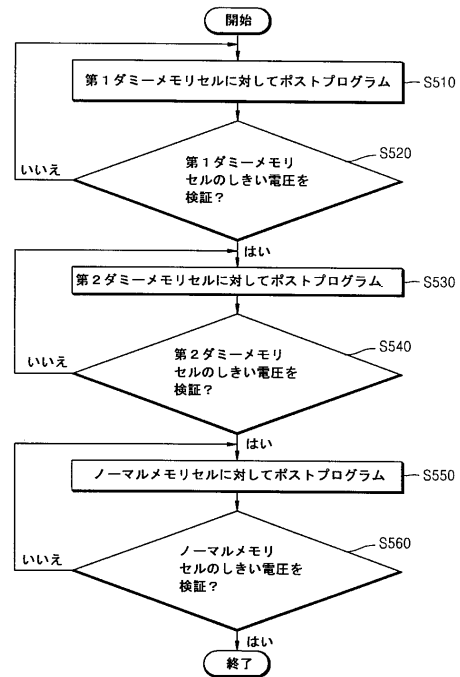
【図 3】

| 信号       | DWL<br>ポストPGM | WL[31:0]<br>ポストPGM | DWL<br>検証 | WL[31:0]<br>検証 |
|----------|---------------|--------------------|-----------|----------------|
| DWL1,2   | Vpgm          | Vpass              | Vr1       | Vread          |
| WL[31:0] | Vpass         | Vpgm               | Vread     | Vr2            |

【図 4】



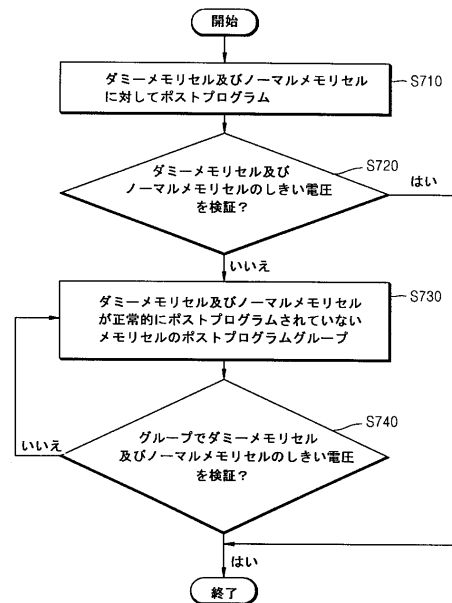
【図 5】



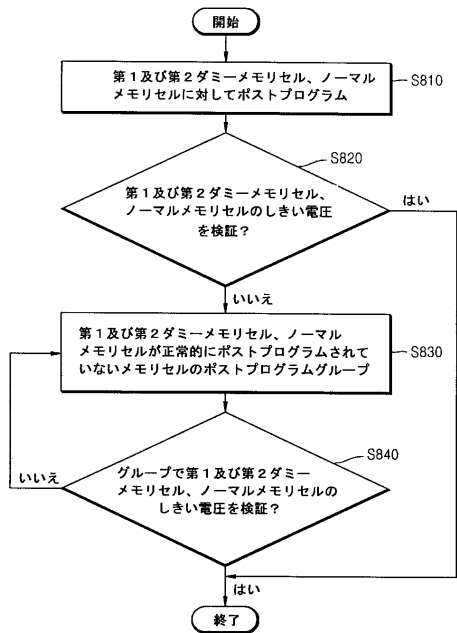
【図 6】

|                |       |       |         |
|----------------|-------|-------|---------|
| WL [3:0] 検証    | Vread | Vread | Vr3'    |
| DWL2 検証        | Vread | Vr2'  | Vread   |
| DWL1 検証        | Vr1'  | Vread | Vread   |
| WL[3:0] ポストPGM | Vpass | Vpass | Vpgm    |
| DWL2 ポストPGM    | Vpass | Vpgm  | Vpass   |
| DWL1 ポストPGM    | Vpgm  | Vpass | Vpass   |
| 信号             | DWL1  | DWL2  | WL[3:0] |

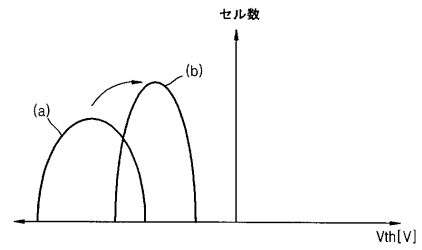
【図 7】



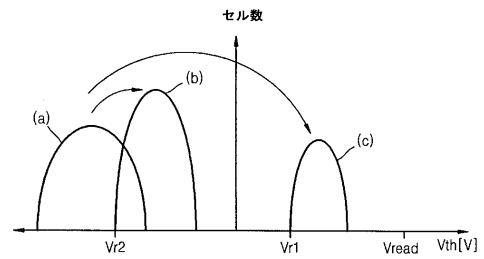
【図 8】



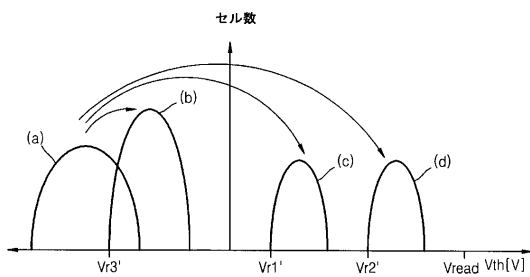
【図 9 A】



【図 9 B】



【図 9 C】



---

フロントページの続き

(72)発明者 朴 起 台

大韓民国京畿道城南市盆唐区盆唐洞 3 8 番地 セッピョルマウル三富アパート 4 1 0 棟 3 0 4 号

(72)発明者 李 永 宅

大韓民国ソウル特別市松坡区可樂本洞 1 2 2 - 1 0 番地 大林アパート 5 棟 5 1 0 号

審査官 滝谷 亮一

(56)参考文献 特開 2 0 0 8 - 1 4 0 4 8 8 ( J P , A )

特開 2 0 0 8 - 1 4 6 7 7 1 ( J P , A )

米国特許出願公開第 2 0 0 7 / 0 2 3 9 0 7 7 ( U S , A 1 )

特開 2 0 0 8 - 0 8 4 4 7 1 ( J P , A )

特開 2 0 0 6 - 1 8 6 3 5 9 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C 1 6 / 0 2

G 1 1 C 1 6 / 0 4