

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 17 年 12 月 22 日 (2005.12.22)

【公開番号】特開 2004-72060 (P2004-72060A)  
 【公開日】平成 16 年 3 月 4 日 (2004.3.4)  
 【年通号数】公開・登録公報 2004-009  
 【出願番号】特願 2002-322905 (P2002-322905)  
 【国際特許分類第 7 版】

H 0 1 L 21/8247  
 G 1 1 C 16/02  
 G 1 1 C 16/04  
 H 0 1 L 27/10  
 H 0 1 L 27/115  
 H 0 1 L 29/788  
 H 0 1 L 29/792

【F I】

H 0 1 L 27/10 4 3 4  
 H 0 1 L 27/10 4 8 1  
 H 0 1 L 29/78 3 7 1  
 G 1 1 C 17/00 6 4 1  
 G 1 1 C 17/00 6 2 1 Z  
 G 1 1 C 17/00 6 1 2 Z  
 G 1 1 C 17/00 6 1 1 E

【手続補正書】  
 【提出日】平成 17 年 11 月 2 日 (2005.11.2)  
 【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】請求項 10  
 【補正方法】変更  
 【補正の内容】

【請求項 10】 請求項 9 に記載の半導体メモリにおいて、前記コラム方向に隣接するトランジスタの前記ソース・ドレイン領域が共通であり、

ロウ方向に隣接する前記トランジスタ同士が、前記コントロールゲートを共有し、かつ、前記トランジスタ間の前記ソース・ドレイン領域を共有することを特徴とする半導体メモリ。

【手続補正 2】  
 【補正対象書類名】明細書  
 【補正対象項目名】0009  
 【補正方法】変更  
 【補正の内容】  
 【0009】

図 28(a) ~ (d) は、このセルトランジスタ 1 で達成し得る 4 値状態を示す。“ (1、1) ” 状態 (図 28(a) 参照) は、左右のいずれのビットにも電子が蓄積されない。そして、“ (0、0) ” 状態 (図 28(d) 参照) は、左右の両ビットに電子が蓄積される。こうして、セルトランジスタ 1 では、2 ビットのデータを書き込むことができる。ただし、この書き込み方法は、ホットエレクトロンをシリコン窒化膜 5 に注入するために、コントロールゲート 7 に高電位  $V_{G1}$  を印加する必要がある点で好ましくない。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正の内容】

【0067】

電荷注入動作を行なう理由は次の通りである。データの書込みが行われていない“1”論理状態にあるフローティングゲート(以下では「未書込フローティングゲート」と呼ぶ。)に対して、繰返し多数回の過消去を、電荷注入を行なうことなく行くと、未書込フローティングゲートは強制的に、電荷(たとえば電子)を抜き取る操作が繰返し行われることとなる。その結果、過消去状態すなわち飽和状態で安定していた未書込フローティングゲートが、飽和状態を越えた電子欠乏状態(以下では「過剰消去状態」と呼ぶ)になり、しきい値電圧等が変化することがある。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0096

【補正方法】変更

【補正の内容】

【0096】

上記を約言すれば、書込電圧 $V_G$ を低減するには、i)側面13bにn型領域を設けるか、ii)トンネル絶縁膜の静電容量を大きくして、フローティングゲートをドレイン電圧によって引き上げるか、iii)ゲート絶縁膜15cを厚膜にするか、またはiv)頂面13cに高抵抗領域13eを設ければ良い。これらi)~iv)を任意に組み合わせることで、上述の利点を得ることもできる。i)~iv)のいずれの場合であっても、書込電圧 $V_G$ は約2.2V程度で良く、従来例(約12~13V)よりも格段に低くすることができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0143

【補正方法】変更

【補正の内容】

【0143】

- ・ 1回目・・・イオン種：BF<sub>2</sub>  
加速エネルギー：15(KeV)  
ドーズ量： $5.0 \times 10^{11} (\text{cm}^{-2})$
- ・ 2回目・・・イオン種：BF<sub>2</sub>  
加速エネルギー：45(KeV)  
ドーズ量： $5.0 \times 10^{11} (\text{cm}^{-2})$
- ・ 3回目・・・イオン種：B(ボロン)  
加速エネルギー：20(KeV)  
ドーズ量： $6.0 \times 10^{12} (\text{cm}^{-2})$
- ・ 4回目・・・イオン種：B(ボロン)  
加速エネルギー：40(KeV)  
ドーズ量： $5.0 \times 10^{12} (\text{cm}^{-2})$

上記4回のイオン注入により、pウエル13は、図31のようなボロン濃度分布を示す。図31は、pウエル13の表面からの深さと、その深さでのボロン濃度との関係を示すグラフである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0151

【補正方法】変更

【補正の内容】

## 【 0 1 5 1 】

続いて、図17(a)に示すように、露出面全体にシリコン酸化膜29（膜厚は約20nm）を形成する。シリコン酸化膜29は、CVD法により成膜される。次に、図17(b)に示すように、シリコン酸化膜29を厚み方向に異方的にエッチングする。このエッチングは、RIE (Reactive Ion Etching)により行われる。これにより、シリコン酸化膜29は、凸部13aの側面13bに形成されたものを残して、除去される。

## 【 手続補正 7 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 1 9 2

【 補正方法 】 変更

【 補正の内容 】

## 【 0 1 9 2 】

ソース・ドレインに印加されたこれらの電圧値により、図8(a)で説明したように、セルトランジスタ $TC_{i,m,0}$ に第1のドレイン電流 $I_{d1}$ が流れる。この第1のドレイン電流 $I_{d1}$ は、センスアンプ128からビット線ゲート122、仮想接地線 $VT_{k+1}$ 、ノードD、ノードC、偶数バンク選択トランジスタ $STE_{i,m+1}$ 、ビット線 $BL_{m+1}$ 、セルトランジスタ $TC_{i,m,0}$ 、ビット線 $BL_m$ 、偶数バンク選択トランジスタ $STE_{i,m}$ 、ノードB、ノードA、仮想接地線 $VT_k$ 、ビット線ゲート122の順に流れる。

## 【 手続補正 8 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 1 9 5

【 補正方法 】 変更

【 補正の内容 】

## 【 0 1 9 5 】

この回路構成によれば、第1のドレイン電流 $I_{d1}$ は、拡散層からなる高抵抗のビット線 $BL_m$ 、 $BL_{m+1}$ 内を常に流れるという訳ではなく、目的のバンク $BNK_{i,m}$ に到達するまでは低抵抗の仮想接地線 $VT_{k+1}$ 内を流れ、目的のバンク $BNK_{i,m}$ に到達してからビット線 $BL_{m+1}$ を流れるようになる。そして、セルトランジスタ $TC_{i,m,0}$ を流れた後、第1のドレイン電流 $I_{d1}$ はビット線 $BL_m$ を経由して仮想接地線 $VT_k$ を流れる。

## 【 手続補正 9 】

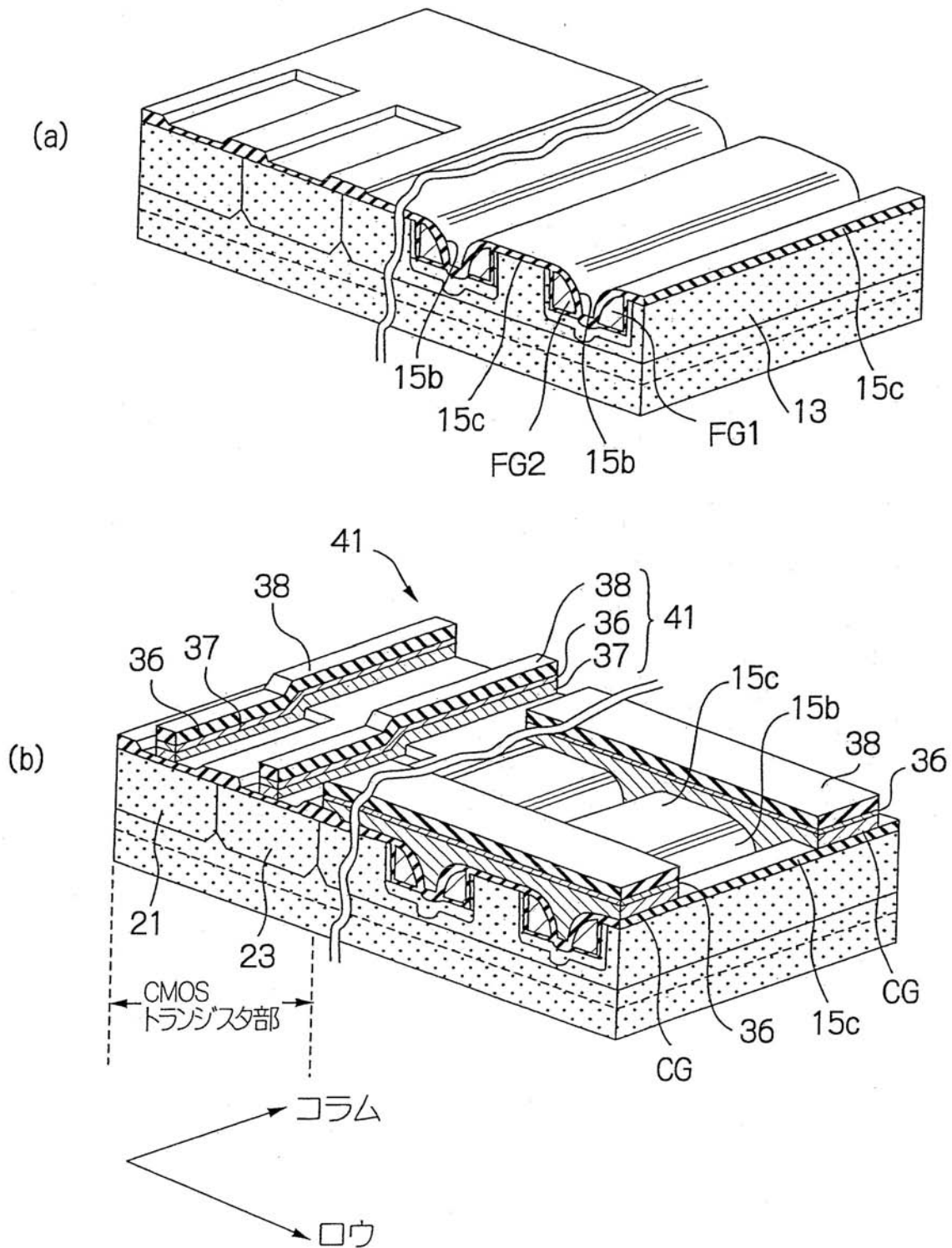
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 2 2

【 補正方法 】 変更

【 補正の内容 】

【図 2 2】



【手続補正 1 0】

【補正対象書類名】図面

【補正対象項目名】図 4 0

【補正方法】変更

【補正の内容】

【図 40】

