

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 2 月 22 日 (22.02.2024)



(10) 国际公布号
WO 2024/036724 A1

(51) 国际专利分类号:

G11C 13/00 (2006.01)

(21) 国际申请号:

PCT/CN2022/124081

(22) 国际申请日:

2022 年 10 月 9 日 (09.10.2022)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

202210987567.7 2022年8月17日 (17.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN

MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 文继伟 (WEN, Jiwei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL

PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路5号B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家

保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,

IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区

保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(54) Title: STORAGE SYSTEM AND ELECTRONIC DEVICE

(54) 发明名称: 一种存储系统及电子设备

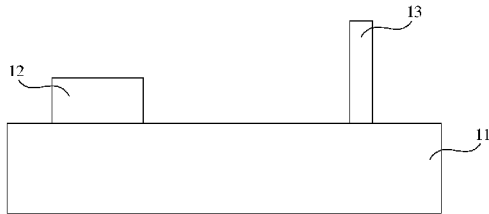


图 1

(57) Abstract: A storage system and an electronic device, which relate to the technical field of semiconductors. The system comprises: a substrate (11); a memory controller (12) arranged on the substrate (11); and a memory module (13) arranged on the substrate (11), wherein the memory module (13) and the memory controller (12) are at least partially connected by means of a cable on an outer side of the substrate (11). The quality of data transmission between the memory controller (12) and the memory module (13) can be improved.

(57) 摘要: 一种存储系统及电子设备, 涉及半导体技术领域。该系统包括: 基板(11); 内存控制器(12), 设置于所述基板(11)上; 内存模组(13), 设置于所述基板(11)上, 所述内存模组(13)与所述内存控制器(12)之间至少部分通过基板(11)外侧的线缆进行连接。能够提高内存控制器(12)与内存模组(13)之间的数据传输质量。

WO 2024/036724 A1

一种存储系统及电子设备

交叉引用

本公开要求于 2022 年 08 月 17 日提交的申请号为 202210987567.7、名称为“一种存储系统及电子设备”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及半导体技术领域，特别涉及一种存储系统及电子设备。

背景技术

在半导体技术中，可以通过包括内存模组和内存控制器在内的存储系统，来实现数据的有序处理。

然而，在现有的存储系统中，内存控制器与内存模组之间往往数据传输质量较差。因此，如何提高内存控制器与内存模组之间的数据传输质量成为了需要解决的问题。需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

本公开公开了一种存储系统及电子设备，能够提高内存控制器与内存模组之间的数据传输带宽和传输速率，从而提高了内存控制器与内存模组之间的数据传输质量。

为达到上述目的，本公开提供以下技术方案：

根据本公开的一方面，提供了一种存储系统，其特征在于，包括：
基板；

内存控制器，设置于基板上；

内存模组，设置于基板上，内存模组与内存控制器之间至少部分通过基板外侧的线缆进行连接。

在一个实施例中，存储系统还包括第一转接结构；

其中，内存控制器通过第一转接结构与内存模组进行连接，

第一转接结构与内存控制器之间通过线缆进行连接，或，第一转接结构与各内存模组之间通过线缆进行连接。

在一个实施例中，内存模组的数量为 N 个，存储系统还包括：

N 组对应的第一数据通道和第一线缆，第 i 组对应的第一数据通道和第一线缆用于传输内存控制器与第 i 个内存模组之间的数据，其中， N 为正整数， i 为小于或等于 N 的任意正整数；

其中，第 i 组中的第一数据通道设置于基板内部，包括第一过孔、第二过孔和第一走线，第一过孔的上表面与内存控制器连接，第二过孔的上表面与第一转接结构连接，第一走线的一端与第一过孔的下表面连接，第一走线的另一端与第二过孔的下表面连接；

第 i 组中的第一线缆的一端与第一转接结构连接，各第一线缆的另一端与第 i 个内存
5 模组连接。

在一个实施例中，内存模组的数量为 N 个，

存储系统还包括：

N 组对应的第二数据通道和第二线缆，第 i 组对应的第二数据通道和第二线缆用于传输内存控制器与第 i 个内存模组之间的数据，其中， N 为正整数， i 为小于或等于 N 的任
10 意正整数；

其中，第 i 组中的第二线缆的一端与内存控制器连接，第 i 组中的第二线缆的另一端与第一转接结构连接；

第 i 组中的第二数据通道设置于基板内部，包括第三过孔、第四过孔和第二走线，第三过孔的上表面与第一转接结构连接，第四过孔的上表面与第 i 个内存模组连接，第二走
15 线的一端与第三过孔的下表面连接，第二走线的另一端与第四过孔的下表面连接。

在一个实施例中，第一转接结构设置于内存控制器的封装基板的上方。

在一个实施例中，存储系统还包括：

设置于基板上的内存连接结构，内存连接结构用于连接内存模组，以将内存模组固定设置于基板之上。

20 在一个实施例中，内存模组的数量为多个，

内存连接结构包括多个内存连接子结构；

其中，各内存连接子结构上设置有至少一个凹槽，其中，各凹槽用于连接一个内存模组。

在一个实施例中，内存模组的数量为 N 个，其中， N 为正整数，

25 内存连接结构包括一个内存连接子结构，

其中，内存连接子结构上设置有 N 个凹槽；

其中，第 i 个凹槽用于固定第 i 个内存模组， i 为小于或等于 N 的任意正整数。

在一个实施例中，每一内存连接子结构包括：

第一连接部，用于与目标数据传输模块连接，目标数据传输模块为内存控制器、第一
30 转接结构或者第二转接结构；

第二连接部，第二连接部上设置有凹槽。

在一个实施例中，第二连接部至少部分环绕第一连接部。

在一个实施例中，第一连接部与各凹槽内的内存模组通过第三线缆连接。

在一个实施例中，第三线缆至少部分埋设于第二连接部内部。

35 在一个实施例中，内存模组为内存模块或者内存芯片。

在一个实施例中，内存控制器为中央控制器 CPU 或者片上系统 SoC。

在一个实施例中，内存模组数量为 N 个， N 为正整数；

N 个内存模组中的至少一个内存模组与内存控制器之间至少部分通过线缆进行连接。

根据本公开的另一方面，提供了一种电子系统，包括本公开实施例提供的存储系统。

5 根据本公开实施例提供的存储系统及电子设备，由于内存模组与内存控制器之间可以至少部分通过基板外侧的线缆进行连接，由于线缆可以提高数据传输速率且能降低外部物理因素对传输信号的干扰，进而能够提高内存控制器与内存模组之间的数据传输带宽和传输速率，从而提高了内存控制器与内存模组之间的数据传输质量。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本公开。
10

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据
15 这些附图获得其他的附图。

图 1 示出了本公开实施例提供了一种存储系统的结构示意图；

图 2 示出了本公开实施例提供的另一种存储系统的结构示意图；

图 3 示出了本公开实施例提供了一种示例性的数据通道的结构示意图；

20 图 4 示出了本公开实施例提供了一种示例性的存储系统的结构示意图；

图 5 示出了本公开实施例提供了一种第一转接结构与内存控制器之间的连接方式示意图；

图 6 示出了本公开实施例提供的另一种第一转接结构与内存控制器之间的连接方式示意图；

25 图 7 示出了本公开实施例提供的又一种第一转接结构与内存控制器之间的连接方式示意图；

图 8 示出了本公开实施例提供的又一种存储系统的结构示意图；

图 9 示出了本公开实施例提供的再一种存储系统的结构示意图；

图 10 示出了本公开实施例提供的再一种存储系统的结构示意图；

30 图 11 是本公开实施例提供了一种示例性的内存连接子结构的示意图；

图 12 是本公开实施例提供的另一种示例性的内存连接子结构的示意图；

图 13 是本公开实施例提供的又一种示例性的内存连接子结构的示意图。

具体实施方式

35 体现本公开特征与优点的典型实施例将在以下的说明中详细叙述。应理解的是本公开

能够在不同的实施例上具有各种的变化，其皆不脱离本公开的范围，且其中的说明及附图在本质上是作说明之用，而非用以限制本公开。

在对本公开的不同示例性实施方式的下面描述中，参照附图进行，附图形成本公开的一部分，并且其中以示例方式显示了可实现本公开的多个方面的不同示例性结构、系统和步骤。应理解的是，可以使用部件、结构、示例性装置、系统和步骤的其他特定方案，并且可在不偏离本公开范围的情况下进行结构和功能性修改。而且，虽然本说明书中可使用术语“之上”、“之间”、“之内”等来描述本公开的不同示例性特征和元件，但是这些术语用于本文中仅出于方便，例如根据附图中的示例的方向。本说明书中的任何内容都不应理解为需要结构的特定三维方向才落入本公开的范围。

在半导体技术中，可以通过内存模组和内存控制器构成的存储系统来实现数据的有序处理。

然而，内存控制器与内存模组之间的数据传输质量往往制约着存储技术的发展。比如，随着双倍速率（Double Data Rate，DDR）存储技术的速率越来越快，对效率要求也越来越高。因此，如何提高内存控制器与内存模组之间的数据传输质量成为了需要解决的问题。

基于此，本公开实施例提供了一种存储系统及电子设备，可以应用于半导体存储场景中，示例性地，可以用于基于 DDR 存储系统的半导体存储场景中。其中，DDR 存储系统的内存模组中可以包括至少一个 DDR 存储器。

在本公开实施例提供的技术方案中，内存模组与内存控制器之间可以至少部分通过基板外侧的线缆进行连接的方式，来提高了内存控制器与内存模组之间的数据传输质量。

接下来将通过具体的实施例对本公开实施例提供的技术方案展开说明。

图 1 示出了本公开实施例提供的一种存储系统的结构示意图。如图 1 所示，存储系统可以包括基板 11、内存控制器 12 和内存模组 13。

对于基板 11，其可以为用于支撑内存控制器 12、内存模组 13 等结构。在一些实施例中，基板 11 还可以实现内存控制器 12 与内存模组 13 之间的互连。示例性地，其可以为印刷电路板（Printed Circuit Board，PCB）等电路板。需要说明的是，还可以根据实际生产需要和具体生产场景选择其他材质的基板，对此不作具体限制。

在说明了基板 11 之后，接下来对内存控制器 12 进行说明。

对于内存控制器 12，其设置于基板 11 上。内存控制器 12 用于对内存模组 13 进行控制和数据通信等。

在一些实施例中，内存控制器 12 可以为具有内存模组控制功能的器件或者模块。

示例性地，内存控制器 12 可以为中央控制器（Central Processing Unit，CPU）、片上系统（System-on-a-chip，SoC）等。

通过采用 CPU、SoC 等作为内存控制器，可以实现对一个或多个内存模组 13 的有序控制，提高了存储系统对数据的有序处理能力。

在说明了内存控制器 12 之后，接下来对内存模组 13 进行说明。

对于内存模组 13，其设置于基板 11 上。内存模组 13 用于数字数据的存储。内存模组 13 的数量可以是 N 个，其中，N 为大于或等于 1 的正整数。

在一些实施例中，一个内存模组 13 可以包括至少一个内存芯片，比如一个内存模组 13 可以是单个内存芯片或者由多个内存芯片形成的内存模块。示例性地，内存模组 13 可以为动态随机存取存储器（Dynamic Random Access Memory，DRAM）。在一个示例中，内存模组可以是 DDR 存储器，诸如第四代双倍速率同步动态随机存储器（DDR4 SDRAM）、第四代低功耗双倍速率同步动态随机存储器（LPDDR4 SDRAM）、第五代双倍速率同步动态随机存储器（DDR5 SDRAM）、第五代低功耗双倍速率同步动态随机存储器（LPDDR4 SDRAM）等动态随机存储器中任意一种，对此不作具体限定。

在另一些实施例中，内存模组可以是诸如单列直插内存模块（Single Inline Memory Module，SIMM）、双列直插内存模块（Dual-Inline-Memory-Modules，DIMM）、内联内存模块（Rambus Inline Memory Module，RIMM）等内存模块。

通过上述实施例，本公开实施例可以提高诸如内存模块、内存芯片等不同粒度的内存模组与内存控制器之间的数据传输质量，从而提高了方案的适用性。

在介绍了内存模组 13 之后，接下来对内存模组 13 与内存控制器 12 之间的连接关系进行说明。

对于内存模组 13 与内存控制器 12 之间的连接关系，内存模组 13 与内存控制器 12 之间至少部分通过基板外侧的线缆进行连接（图 1 未示出）。其中，对于线缆（Cable），其可以是独立元器件。需要说明的是，线缆的独立可以是指线缆之间的相互独立，和/或，可以是指基板外侧的线缆与基板之间的独立设置。

对于具体连接方式。在一些实施例中，内存模组 13 与内存控制器 12 之间部分通过线缆连接，即需要部分结构通过线缆进行数据传输，而此部分结构不能采用基板内部的走线传输，亦或者不能采用线缆和基板内部的走线共同传输，否则无法满足 DDR 系统的高带宽和高速率的要求。另外部分通过基板内部的走线（Trace）或者诸如硅通孔等半导体连接工艺连接。需要说明的是，除了部分通过线缆连接之外，另外部分还可以通过其他连线方式连接，对此不作具体限制。

对于 N 个内存模组 13 与内存控制器之间的连接关系。在一个实施例中，在内存模组 13 的数量为 N 的情况下，N 个内存模组中的至少一个内存模组与内存控制器 12 之间至少部分通过线缆进行连接。

在一个具体的示例中，N 个内存模组 13 可以包括至少一个第一内存模组和至少一个第二内存模块，其中，各第一内存模组与内存控制器 12 之间至少部分通过线缆连接，各第二内存模组可以与内存控制器 12 之间通过除线缆之外的其他连接方式连接。比如，对于 N 个内存模组 13，相邻两个内存模组中的一个通过线缆与内存控制器 12 连接，该相邻两个内存模组中的另一个通过相邻内存模组与内存控制器 12 连接。

通过该设置方式，可以增宽走线之间的间距，降低了走线之间的串扰、损耗及反射等

数据传输质量的影响，提高内存控制器 12 与内存模组 13 之间的数据传输质量。

在另一个具体的示例中，N 个内存模组 13 中的各内存模组与内存控制器 12 之间可以至少部分通过线缆连接。

通过该设置方式，由于线缆可以避免可以提高数据传输速率且能降低外部物理因素对传输信号的干扰，进而能够提高内存控制器与各内存模组之间的数据传输带宽和传输速率。

根据本公开实施例提供的存储系统，由于内存模组 13 与内存控制器 12 之间可以至少部分通过基板外侧的线缆进行连接，由于线缆可以提高数据传输速率且能降低外部物理因素对传输信号的干扰，进而能够提高内存控制器 12 与内存模组 13 之间的数据传输带宽和传输速率，从而提高了内存控制器 12 与内存模组 13 之间的数据传输质量。

以及，需要说明的是，通过至少部分通过线缆进行连接，线缆可以降低基板所造成的串扰、损耗、反射等外部物理因素的影响，从而提升 DDR 系统的速率和系统延时等，从而可以兼顾存储系统的带宽、速率、效率等要求，提高内存控制器 12 与内存模组 13 之间的数据传输质量。

在一些实施例中，存储系统还包括第一转接结构。第一转接结构可以设置于基板上方。

从连接关系而言，内存控制器 12 通过第一转接结构与内存模组 13 进行连接。在一个示例中，第一转接结构的数量可以为 1 个，相应地，1 个第一转接结构可以实现内存控制器 12 与 N 个内存模组 13 之间的转接。在另一个示例中，第一转接结构的数量可以为多个，每个第一转接结构可以实现内存控制器 12 与至少一个内存模组 13 之间的转接。比如，第一转接结构的数量可以为 N，每一第一转接结构可以实现内存控制器 12 与一个内存模组 13 之间的转接。

具体地，第一转接结构与内存控制器 12 之间通过线缆进行连接，或，第一转接结构与各内存模组 13 之间通过线缆进行连接。

通过本实施例，可以通过在第一转接结构与内存控制器 12 之间通过线缆进行连接，或，第一转接结构与各内存模组 13 之间通过线缆进行连接的方式，可以通过线缆降低外部物理因素对传输信号的干扰，进而能够提高内存控制器 12 与内存模组 13 之间的数据传输带宽和传输速率，从而提高了内存控制器 12 与内存模组 13 之间的数据传输质量。

接下来，将通过多个实施例对第一转接结构、内存控制器 12、内存模组 13 之间的连接关系进行具体说明。

在一个实施例中，图 2 示出了本公开实施例提供的另一种存储系统的结构示意图。如图 2 所示，存储系统还包括 N 组对应的第一数据通道 20 和第一线缆 30。其中，图 2 中的虚线箭头表示数据通道，实线表示线缆。

对于 N 组对应的第一数据通道 20 和第一线缆 30，其中，第 i 组对应的第一数据通道 20 和第一线缆 30 用于传输内存控制器 12 与第 i 个内存模组 13（图 2 中未示出）之间的数据，其中，N 为正整数，i 为小于或等于 N 的任意正整数。示例性地，对于第 i 组对应

的第一数据通道 20 与第一线缆 30，当数据通过第一数据通道 20 传输到第一转接结构之后，可以在第一转接结构处确定与该第一数据通道 20 对应的第一线缆 30，然后沿着第一线缆 30 继续传输至第 i 个内存模组 13。

对于第一数据通道，图 3 示出了本公开实施例提供的一种示例性的数据通道的结构示意图。如图 3 所示，N 组第一数据通道设置于基板 11 内部。示例性地，为了降低各第一数据通道的串扰、损耗、反射等影响因素，N 组第一数据通道相较于基板表面的深度可以不同。

具体地，第 i 组中的第一数据通道 20 包括第一过孔 21、第二过孔 22 和第一走线 23。其中，第一过孔 21 的上表面与内存控制器 12 连接，第二过孔 22 的上表面与第一转接结构 14 连接，第一走线 23 的一端与第一过孔 21 的下表面连接，第一走线 23 的另一端与第二过孔 22 的下表面连接。

对于第一线缆 30，第 i 组中的第一线缆 30 的一端与第一转接结构 14 连接，各第一线缆 30 的另一端与第 i 个内存模组连接。

通过本实施例，在半导体制造过程中在内存控制器 12 与第一转接结构之间采用基板内走线连接的方式，能够以半导体互连工艺实现内存控制器 12 与第一转接结构之间的连接，以及在第一转接结构与内存模组 13 之间利用线缆工艺进行连接。因此，在半导体制造过程中，可以在内存控制器 12 与内存模组 13 无法直接以线缆连接的场景下，克服该工艺困扰的同时提高内存控制器 12 与内存模组 13 之间的数据传输质量。

在一个实施例中，图 4 示出了本公开实施例提供的一种示例性的存储系统的结构示意图。如图 4 所示，内存控制器 12 和第一转接结构可以相邻设置。通过该设置方式，可以进一步减少走线距离，增大线缆长度，从而进一步提高内存控制器 12 与内存模组 13 之间的数据传输质量。以及，在内存控制器 12 与内存模组 13 无法直接以线缆连接的场景下，能够在保证数据传输质量的同时克服该工艺困扰。

在一些示例中，第一转接结构设置于内存控制器 12 的封装基板的上方。接下来将通过多个示例对该设置方式进行说明。

在一个示例中，图 5 示出了本公开实施例提供的一种第一转接结构与内存控制器之间的连接方式示意图。如图 5 所示，内存控制器 12 可以包括内存控制芯片（die）121、封装基板 122 和封装层 123。可选地，第一转接结构在基底表面的正投影可以位于内存区域（Memory Area）内。

继续参见图 5，第一转接结构 14 可以设置于内存控制器 12 一侧，且位于封装基板 122 上。具体地，内存控制芯片 121 可以通过 M 个第一连接元件 41 连接至封装基板 122，第一转接结构 14 可以通过 M 个第二连接元件 42 连接至封装基板 122，其中，M 个第一连接元件 41 与 M 个第二连接元件 42 之间通过通过 M 条板内走线 20 连接。其中，M 可以为等于 N 的整数，又或者 M 可以小于或者大于 N，对此不作具体限定。

以及，还需要说明的是，内存控制芯片 121 还可以通过至少一个第三连接元件 43 连

接至封装基板 122，以通过连接至第四连接元件 44 以及第四连接元件 44 与第三连接元件 43 之间的板内走线 45 对内存控制芯片 121 供电或者传递信号。

示例性地，第一连接元件 41、第二连接元件 42、第三连接元件 43 和第四连接元件 44 可以为焊球（Solderball）、焊料凸块（bump）或者其他连接元件，对此不做具体限制。

5 示例性地，封装基板 122 可以通过第四连接元件 44 连接基板 11。

示例性地，封装层 123 的材料可以为环氧树脂模塑料（Epoxy Molding Compound, EMC），需要说明的是，在本公开实施例中还可以其他封装方式，对此不作具体限制。通过选择 EMC 作为封装层 123 的材料，可以保证芯片的气密性、耐高温老化、抗紫外衰减能力，而且兼有体积小，成本低等特点。

10 通过本示例中的连接方式，可以缩短走线的长度，从而进一步提高提高内存控制器 12 与内存模组 13 之间的数据传输质量。以及，还可以在内存控制器 12 与内存模组 13 无法直接以线缆连接的场景下，克服该工艺困扰的同时提高内存控制器 12 与内存模组 13 之间的数据传输质量。

15 在另一个示例中，图 6 示出了本公开实施例提供的另一种第一转接结构与内存控制器之间的连接方式示意图。

图 6 与图 5 的不同之处在于，封装层 123 上形成有凹槽 124。第一转接结构 14 可以位于该凹槽 124 内，并通过 M 个第二连接元件 42 连接至封装基板 122。需要说明的是，图 6 示出的其他内容可以参见本公开上一示例结合图 5 的相关说明，在此不再赘述。

20 通过本示例中的连接方式，可以缩短走线的长度，从而进一步提高内存控制器 12 与内存模组 13 之间的数据传输质量。以及，还可以在内存控制器 12 与内存模组 13 无法直接以线缆连接的场景下，克服该工艺困扰的同时提高内存控制器 12 与内存模组 13 之间的数据传输质量。

在又一个示例中，图 7 示出了本公开实施例提供的又一种第一转接结构与内存控制器之间的连接方式示意图。

25 图 7 与图 5 的不同之处在于，第一转接结构 14 可以通过第五连接元件 46 与内存控制芯片 121 相连。示例性地，第五连接元件 46 可以为硅通孔（Through Silicon Vias, TSV），需要说明的是，还可以其他连接元件，对此不作具体限定。

30 通过本示例中的连接方式，可以增加走线的长度，从而进一步提高内存控制器 12 与内存模组 13 之间的数据传输质量。以及，还可以在内存控制器 12 与内存模组 13 无法直接以线缆连接的场景下，通过第五连接元件即可克服该工艺困扰的同时提高内存控制器 12 与内存模组 13 之间的数据传输质量。

以及，还需要说明的是，通过该设置方式，第一转接结构 14 可以通过硅通孔与内存控制芯片 121 直接相连，无需另外设置封装基板内的走线，从而避免了在互连过程中因封装基板中的走线所造成的串扰、损耗、反射等问题，从而能够进一步提高信号传输质量。

35 在另一个实施例中，图 8 示出了本公开实施例提供的又一种存储系统的结构示意图。

如图 8 所示, 存储系统还包括 N 组对应的第二数据通道 50 和第二线缆 60。其中, 第 i 组对应的第二数据通道 50 和第二线缆 60 用于传输内存控制器 12 与第 i 个内存模组 13 之间的数据, 其中, N 为正整数, i 为小于或等于 N 的任意正整数。

具体地, 继续参见图 8, 第 i 组中的第二线缆 60 的一端与内存控制器 12 连接, 第 i 组中的第二线缆 60 的另一端与第一转接结构 14 连接。以及, 第 i 组中的第二数据通道 50 可以设置于基板内部, 各第二数据通道 50 可以包括第三过孔、第四过孔和第二走线。其中, 第三过孔的上表面与第一转接结构连接, 第四过孔的上表面与第 i 个内存模组连接。第二走线的一端与第三过孔的下表面连接, 第二走线的另一端与第四过孔的下表面连接。需要说明的是, 第二数据通道 50 的具体内容可以参见本公开实施例上述部分结合图 3 对第一数据通道 20 的相关描述, 在此不再赘述。

以及, 还需要说明的是, 第二数据通道 50 还可以采用其他半导体互连工艺, 比如可以通过焊球、焊料凸块、硅通孔等连接至内存模组中内存芯片的封装基板上等, 对此不作具体限定。

通过本实施例, 在半导体制造过程中可以通过线缆进行第一转接结构 14 与内存控制器 12 之间的连接, 从而通过线缆降低了基板所造成的串扰、损耗、反射等外部物理因素的影响, 从而提升 DDR 系统的速率和系统延时等, 从而可以兼顾存储系统的带宽、速率、效率等要求, 提高内存控制器 12 与内存模组 13 之间的数据传输质量。

在又一个实施例中, 本公开实施例提供的存储系统还可以包括多个第二转接结构。

示例性地, 图 9 示出了本公开实施例提供的再一种存储系统的结构示意图。如图 10 所示, 存储系统还可以包括多个第二转接结构 16。内存控制器 12 通过多个第二转接结构 16 与内存模组 (图 9 未示出) 进行数据传输;

其中, 数据传输满足下述传输方式一至传输方式三中的至少一者:

传输方式一、内存控制器 12 与第一个第二转接结构之间通过线缆进行数据传输。

传输方式二、至少两个相邻两个第二转接结构之间通过线缆进行数据传输。示例性地, 继续参见图 9, 内存控制器 12 与第一个第二转接结构之间通过诸如基板内走线等数据通道 70 连接, 以及内存模组与最后一个第二转接结构之间通过数据通道 70 连接, 各第二转接结构 14 之间可以通过线缆 80 连接。从而可以通过第一个第二转接结构和最后一个第二转接结构实现半导体互连工艺与线缆互连工艺之间的转换, 克服了芯片等无法以线缆连接的工艺缺陷, 提高了生产效率。需要说明的是, 数据通道的具体内容可以参见本公开实施例上述部分结合图 3 的相关说明, 对此不再赘述。

传输方式三、最后一个转接结构与内存模组之间通过线缆进行数据传输。

在再一个实施例中, 存储系统还包括: N 根第三线缆。

示例性地, 图 10 示出了 N 根第三线缆 90, 其中, 第 i 根第三线缆 90 用于实现内存控制器 12 与第 i 个内存模组 13 之间的连接, 其中, N 为正整数, i 为小于或等于 N 的任意正整数。其中, 第 i 根第三线缆 90 的一端连接内存控制器 12, 第 i 根第三线缆 90 的另

一端连接第 i 个内存模组 13。

在一些实施例中，存储系统还包括内存连接结构 15。内存连接结构 15 设置于基板 11 上。内存连接结构 15 用于连接内存模组 13，以将内存模组 13 固定设置于基板之上。示例性地，内存连接结构 15 可以实现为存储器插座。

5 示例性地，内存连接结构 15 上可以设置有凹槽，以通过将内存模组插入凹槽的方式对其进行固定。可选地，内存连接结构 15 还可以对第一转接结构 14 与内存模组 13 之间的数据进行转接。比如，第一转接结构 14 可以与内存连接结构 15 进行连接，内存连接结构 15 与内存模组 13 进行连接。

10 通过设置内存连接结构 15，可以对内存模组 13 进行固定，从而保证了内存系统的可靠性。

接下来通过两个实施例，对内存连接结构的组成子结构进行说明。

在一个实施例中，在内存模组的数量为多个的情况下，内存连接结构 15 包括多个内存连接子结构。其中，各内存连接子结构上设置有至少一个凹槽。其中，各凹槽用于连接一个内存模组。比如，内存连接子结构可以包括 N 个内存连接子结构，其中第 i 个内存连接子结构连接第 i 个内存模组。

通过本实施例，多个内存连接子结构之间可以相对独立设置，从而可以根据内存模组的数量灵活设置内存连接子结构的数量以及在基板上的位置，提高了灵活性。

20 在另一个实施例中，内存模组的数量为 N 个，内存连接结构包括一个内存连接子结构。其中，内存连接子结构上设置有 N 个凹槽。其中，第 i 个凹槽用于固定第 i 个内存模组， i 为小于或等于 N 的任意正整数。

通过本实施例，可以通过一个内存连接结构固定 N 个凹槽，在减小内存连接结构的面积，进而减小存储系统的面积的同时，便于制造生产，降低了制造成本。

在对内存连接结构的组成子结构进行说明之后，接下来对每一内存子结构的具体组成进行说明。

25 在一个实施例中，每一内存连接子结构包括：第一连接部和第二连接部。示例性地，为了降低数据干扰等，第一连接部和第二连接部之间可以间隔设置。

对于第一连接部，第一连接部用于与目标数据传输模块连接。其中，目标数据传输模块为内存控制器、第一转接结构或者第二转接结构。示例性地，若内存控制器 12 直接与内存连接结构相连，则目标数据传输模块为内存控制器，若内存控制器 12 通过第一转接结构连接内存连接结构，则目标数据传输模块为第一转接结构。同理地，若内存控制器 12 通过第二转接结构连接内存连接结构，则目标数据传输模块为第二转接结构。

对于第二连接部，第二连接部上设置有凹槽，用于固定内存模组。

30 在一个示例中，图 11 是本公开实施例提供的一种示例性的内存连接子结构的示意图。如图 11 所示，第一内存连接子结构 151 可以包括第一连接部 1511、第二连接部 1512 以及第三线缆 1513。其中，第三线缆 1513 的一端连接第一连接部 1511，第三线缆 1513 的

另一端用于连接内存模组 13。

具体地，第二连接部 1512 上可以设置有多个第一凹槽 A1，内存模组 13 可以插入第一凹槽 A1 内。以及，多个第一凹槽 A1 可以位于第二连接部 1512 的不同侧。

在另一个示例中，图 12 是本公开实施例提供的另一种示例性的内存连接子结构的示意图。图 12 示出的第二内存连接子结构 152 与图 11 示出的第一内存连接子结构 151 的不同之处在于，多个第一凹槽 A1 可以位于第二连接部 1522 的同一侧。

在又一个示例中，图 13 是本公开实施例提供的又一种示例性的内存连接子结构的示例图，图 13 示出的第三内存连接子结构 153 与图 11 示出的第一内存连接子结构 151 的不同之处在于，第三内存连接结构 153 上设置有一个第一凹槽 A1。相应地，若内存模组 13 的数量为 N，则内存连接结构 15 可以设置有 N 个第三内存连接结构 153。

通过本实施例，可以通过第一连接部 151 与内存控制器侧进行连接，以及通过第二连接部 152 固定内存模组，从而在保证数据传输的同时，能够提高存储系统的稳定性和可靠性。

在一个示例中，第二连接部至少部分环绕第一连接部。比如，第二连接部上可以设置有凹槽，第一连接部可以至少部分位于该凹槽内。

示例性地，继续参见图 11-图 13，第二连接部还可以设置有第二凹槽 A2，第一连接部可以部分位于第二凹槽 A2 内，以实现第二连接部对第一连接部 151 的环绕。

通过该设置方式，能够降低第一连接部与第二连接部之间的数据传输距离，从而可以进一步数据传输质量。

示例性地，继续参见图 11-图 13，第一连接部与各凹槽内的内存模组通过第三线缆连接。

需要说明的是，在本公开实施例中，第一连接部还可以采用其他方式连接内存模组 13，对该连接方式不作具体限制。

通过该连接方式，可以通过第三线缆降低由第一连接部传输至各内存模组的过程中的信号串扰和损耗，在实现了有序连接的同时，提高了数据传输质量。

在一个具体的示例中，继续参见图 11-图 13，第三线缆至少部分埋设于第二连接部内部。可选地，剩余部分第三线缆可以位于第二连接部外侧。

需要说明的是，第三线缆还可以均位于第二连接部外侧，对此不作具体限定。

通过该示例，通过将第三线缆部分埋设于第二连接部内部的方式，可以在固定第三线缆的同时，减小存储系统的面积，实现各内存模组的有序连接，提高了内存系统的可靠性。

基于相同的发明构思，本公开实施例还提供了一种电子设备，该电子设备可以包括内存系统。其中，内存系统可以参见本公开实施例上述部分结合图 1-图 13 的相关说明，在此不再赘述。

根据本公开实施例提供的电子设备，由于内存模组与内存控制器之间可以至少部分通过基板外侧的线缆进行连接，由于线缆可以提高数据传输速率且能降低外部物理因素对传

输信号的干扰，进而能够提高内存控制器与内存模组之间的数据传输带宽和传输速率，从而提高了内存控制器与内存模组之间的数据传输质量。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本公开旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和示例实施方式仅被视为示例性的，本公开的真正范围和精神由所附的权利要求指出。

应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求来限制。

10

工业实用性

本公开实施例中，由于内存模组与内存控制器之间可以至少部分通过基板外侧的线缆进行连接，以及线缆可以提高数据传输速率且能降低外部物理因素对传输信号的干扰，进而能够提高内存控制器与内存模组之间的数据传输带宽和传输速率，从而提高了内存控制器与内存模组之间的数据传输质量。

15

权利要求

1. 一种存储系统，包括：

基板；

5 内存控制器，设置于所述基板上；

内存模组，设置于所述基板上，所述内存模组与所述内存控制器之间至少部分通过基板外侧的线缆进行连接。

2. 根据权利要求 1 所述的存储系统，其中，所述存储系统还包括第一转接结构；

10 其中，所述内存控制器通过所述第一转接结构与所述内存模组进行连接，

所述第一转接结构与所述内存控制器之间通过线缆进行连接，或，所述第一转接结构与各内存模组之间通过线缆进行连接。

3. 根据权利要求 2 所述的存储系统，其中，所述内存模组的数量为 N 个，所述存储系统还包括：

N 组对应的第一数据通道和第一线缆，第 i 组对应的第一数据通道和第一线缆用于传输所述内存控制器与第 i 个内存模组之间的数据，其中， N 为正整数， i 为小于或等于 N 的任意正整数；

20 其中，第 i 组中的第一数据通道设置于基板内部，包括第一过孔、第二过孔和第一走线，所述第一过孔的上表面与所述内存控制器连接，所述第二过孔的上表面与所述第一转接结构连接，所述第一走线的一端与所述第一过孔的下表面连接，所述第一走线的另一端与所述第二过孔的下表面连接；

第 i 组中的第一线缆的一端与所述第一转接结构连接，各第一线缆的另一端与第 i 个内存模组连接。

25

4. 根据权利要求 2 所述的存储系统，其中，所述内存模组的数量为 N 个，

所述存储系统还包括：

30 N 组对应的第二数据通道和第二线缆，第 i 组对应的第二数据通道和第二线缆用于传输所述内存控制器与第 i 个内存模组之间的数据，其中， N 为正整数， i 为小于或等于 N 的任意正整数；

其中，第 i 组中的第二线缆的一端与所述内存控制器连接，第 i 组中的第二线缆的另一端与所述第一转接结构连接；

35 第 i 组中的第二数据通道设置于所述基板内部，包括第三过孔、第四过孔和第二走线，所述第三过孔的上表面与所述第一转接结构连接，所述第四过孔的上表面与第 i 个内存模组连接，所述第二走线的一端与所述第三过孔的下表面连接，所述第二走线的另一端与所

述第四过孔的下表面连接。

5. 根据权利要求 2-4 任一项所述的存储系统，其中，所述第一转接结构设置于所述内存控制器的封装基板的上方。

5

6. 根据权利要求 1 所述的存储系统，其中，所述存储系统还包括：

设置于所述基板上的内存连接结构，所述内存连接结构用于连接所述内存模组，以将所述内存模组固定设置于所述基板之上。

10

7. 根据权利要求 6 所述的存储系统，其中，所述内存模组的数量为多个，所述内存连接结构包括多个内存连接子结构；

其中，各内存连接子结构上设置有至少一个凹槽，其中，各凹槽用于连接一个内存模组。

15

8. 根据权利要求 6 所述的存储系统，其中，所述内存模组的数量为 N 个，其中， N 为正整数，

所述内存连接结构包括一个内存连接子结构，

其中，所述内存连接子结构上设置有 N 个凹槽；

其中，第 i 个凹槽用于固定第 i 个内存模组， i 为小于或等于 N 的任意正整数。

20

9. 根据权利要求 7 或 8 所述的存储系统，其中，每一内存连接子结构包括：

第一连接部，用于与目标数据传输模块连接，所述目标数据传输模块为所述内存控制器、第一转接结构或者第二转接结构；

第二连接部，所述第二连接部上设置有凹槽。

25

10. 根据权利要求 9 所述的存储系统，其中，

所述第二连接部至少部分环绕所述第一连接部。

30

11. 根据权利要求 9 所述的存储系统，其中，所述第一连接部与各凹槽内的内存模组通过第三线缆连接。

12. 根据权利要求 11 所述的存储系统，其中，

所述第三线缆至少部分埋设于所述第二连接部内部。

35

13. 根据权利要求 1 所述的存储系统，其中，

所述内存模组为内存模块或者内存芯片。

14. 根据权利要求 1 所述的存储系统，其中，
所述内存控制器为中央控制器 CPU 或者片上系统 SoC。

5

15. 根据权利要求 1 所述的存储系统，其中，所述内存模组的数量为 N 个，N 为正整数；

所述 N 个内存模组中的至少一个内存模组与所述内存控制器之间至少部分通过线缆进行连接。

10

16. 一种电子设备，包括如权利要求 1-15 任一项所述的存储系统。

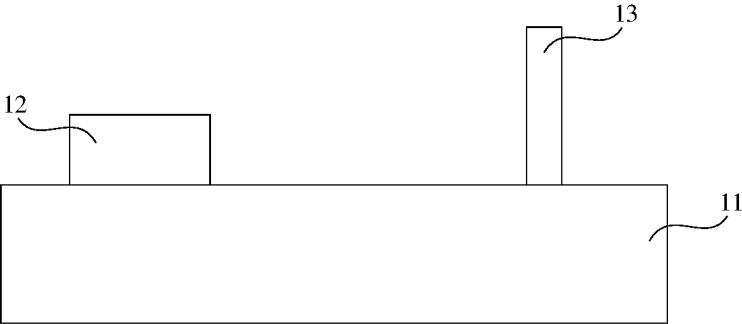


图 1

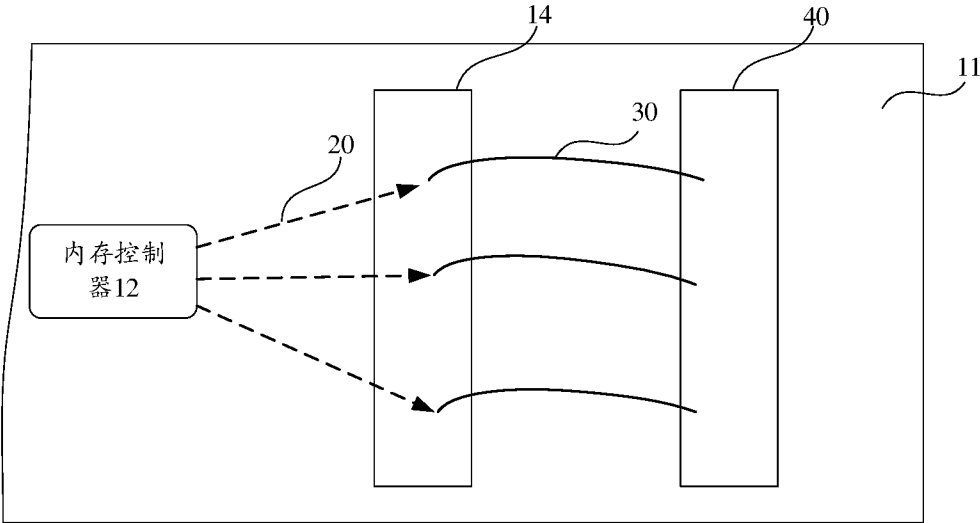


图 2

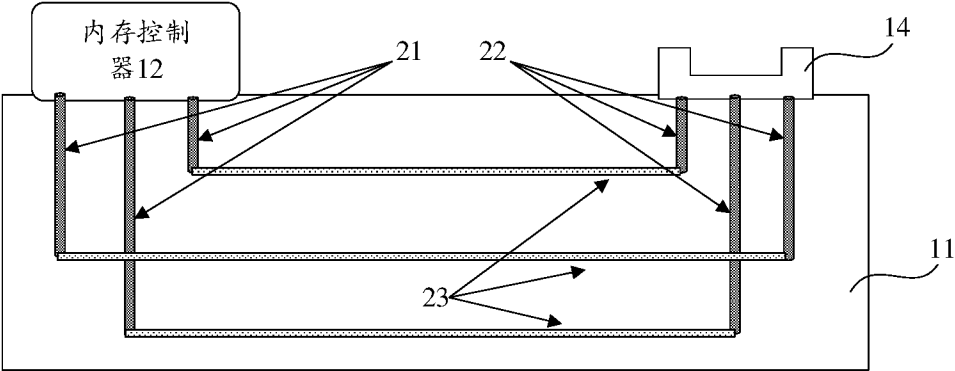


图 3

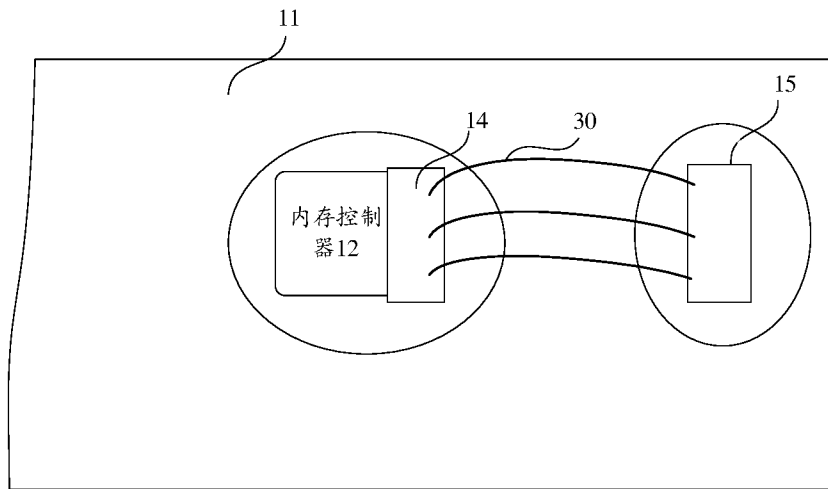


图 4

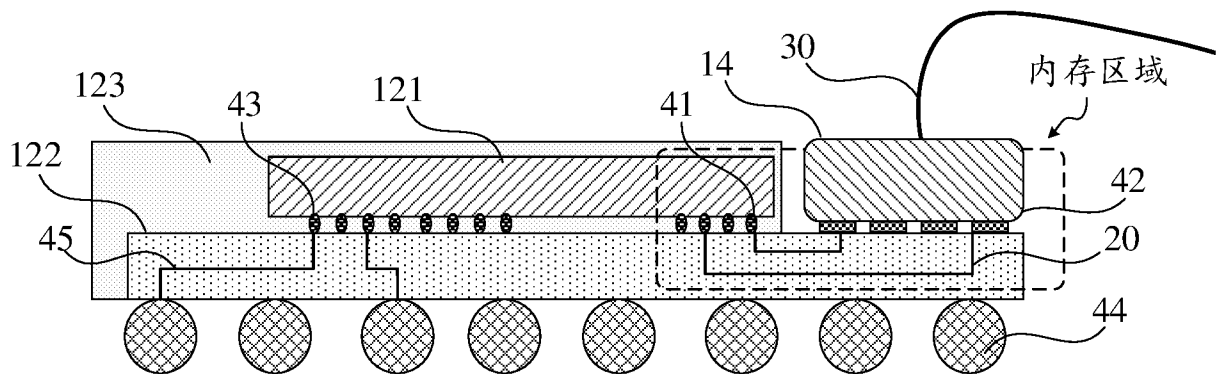


图 5

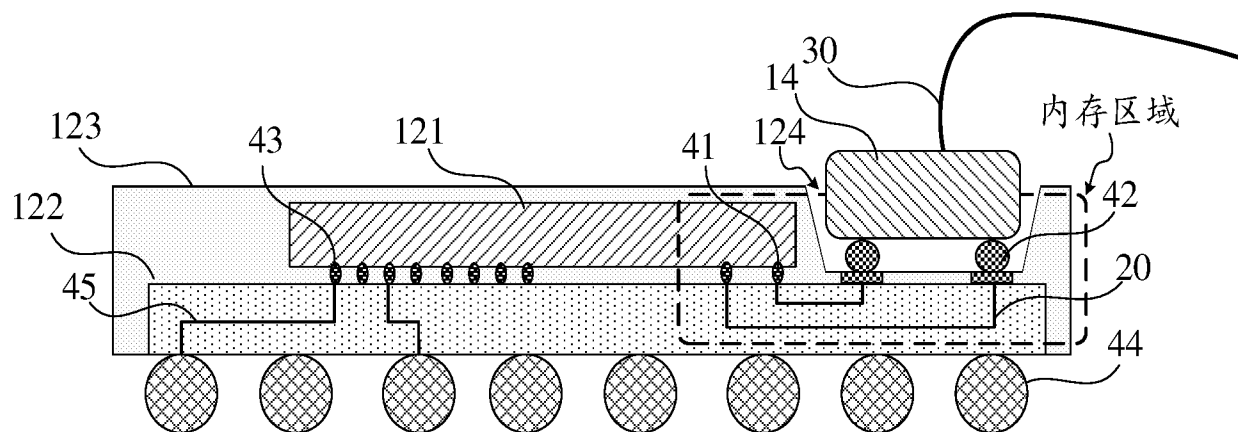


图 6

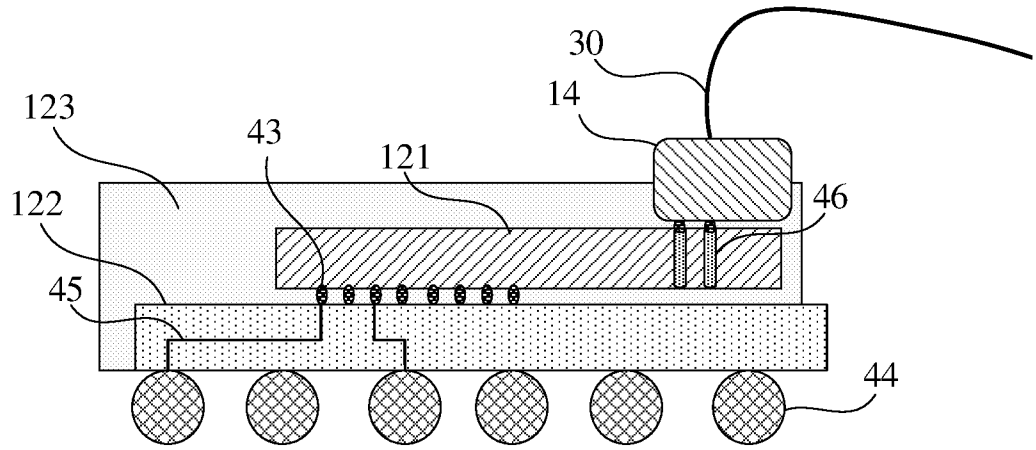


图 7

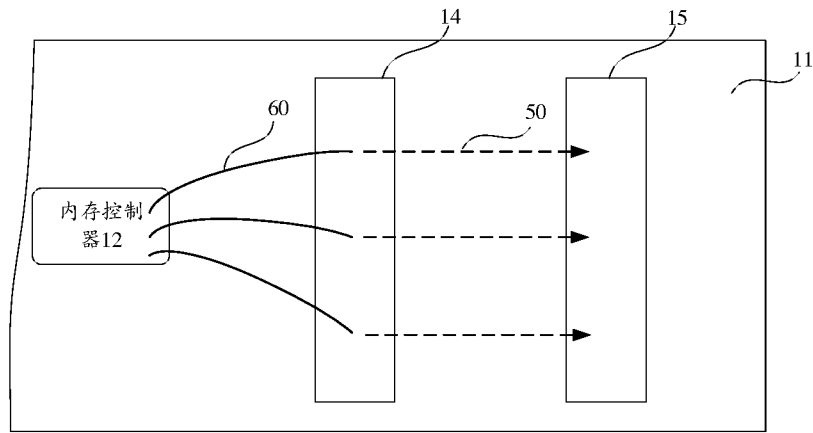


图 8

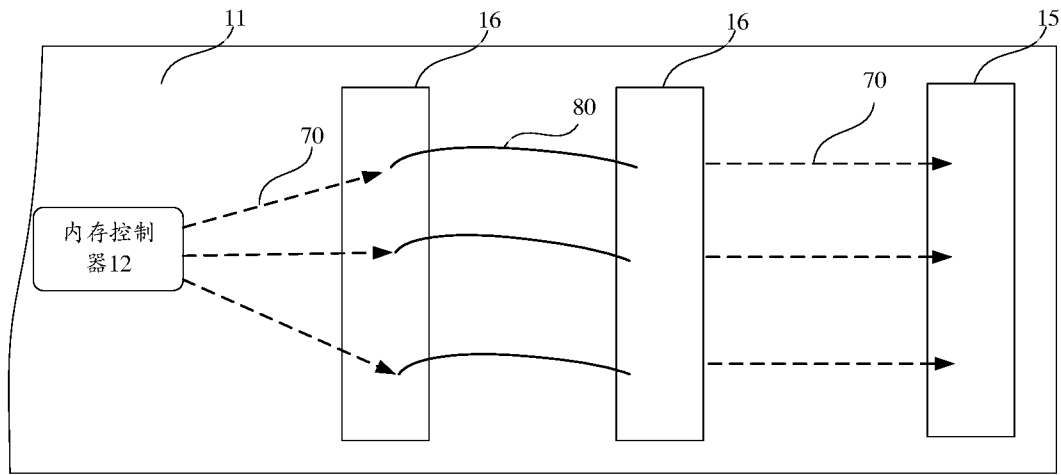


图 9

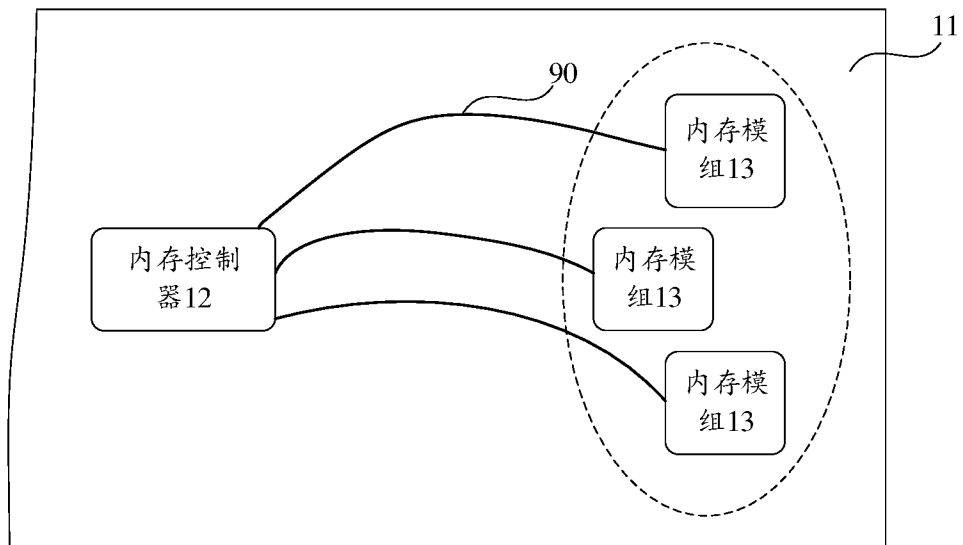


图 10

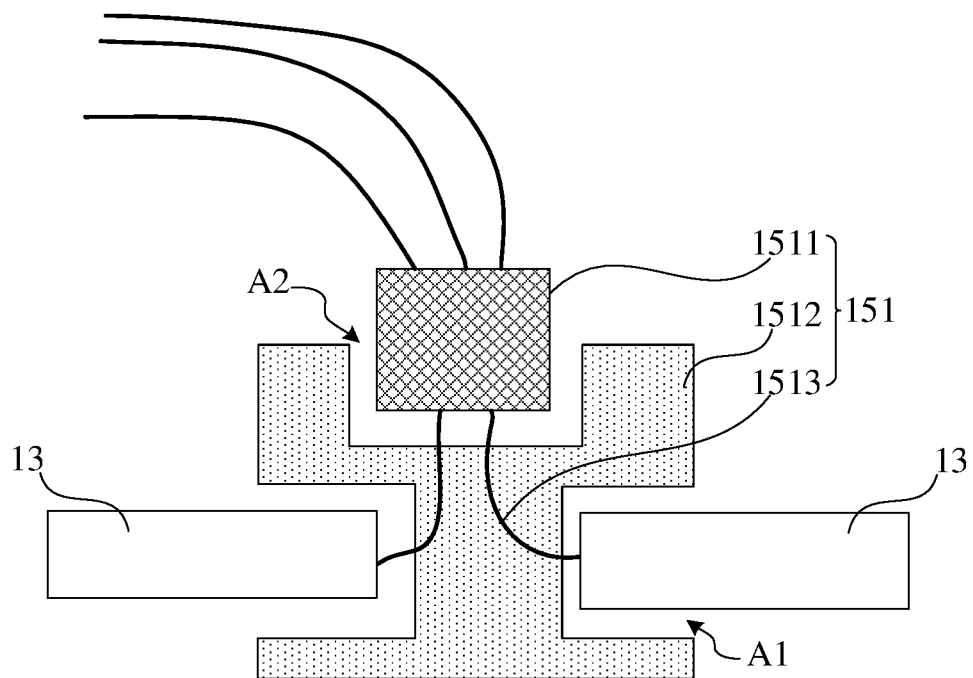


图 11

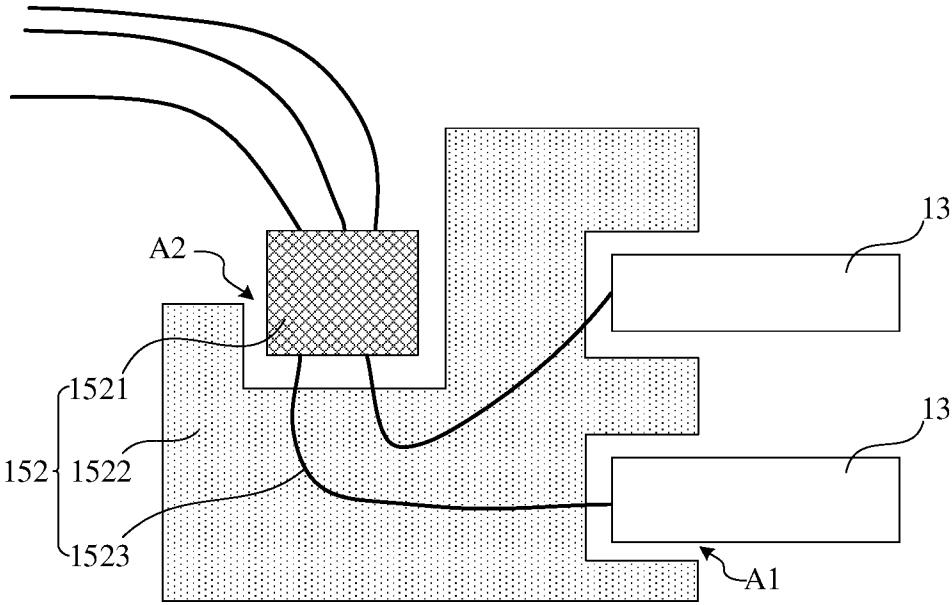


图 12

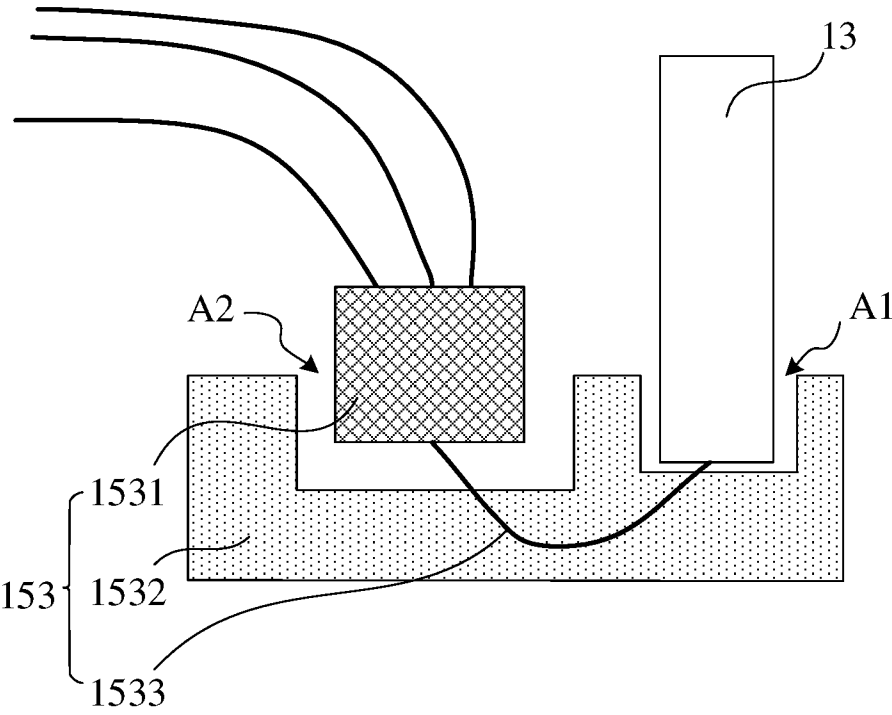


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/124081

A. CLASSIFICATION OF SUBJECT MATTER

G11C 13/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNTXT, USTXT, CNKI: 内存模组, 内存控制器, 基板, 传输, 质量, 连接, 相连, 外侧, 线, 线缆, dram, memory, connect
+, controller, substrate, semiconductor, chip, line, transmit+**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 104575584 A (ETRON TECHNOLOGY, INC.) 29 April 2015 (2015-04-29) description, paragraphs 0072-0087	1, 13-16
Y	CN 101017701 A (RUIYING TECHNOLOGY CO., LTD.) 15 August 2007 (2007-08-15) description, p. 3, line 10 to p. 5, line 3	1, 13-16
A	CN 114647446 A (HOSIN GLOBAL ELECTRONICS CO., LTD.) 21 June 2022 (2022-06-21) entire document	1-16
A	US 10497708 B1 (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 03 December 2019 (2019-12-03) entire document	1-16

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 December 2022

Date of mailing of the international search report

27 December 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/124081

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104575584	A	29 April 2015	US	2015113356	A1	23 April 2015
				TW	201517325	A	01 May 2015
				CN	108847263	A	20 November 2018
				US	2017323687	A1	09 November 2017
CN	101017701	A	15 August 2007	None			
CN	114647446	A	21 June 2022	None			
US	10497708	B1	03 December 2019	TW	201913968	A	01 April 2019
				WO	2019042248	A1	07 March 2019
				WO	2020024282	A1	06 February 2020

国际检索报告

国际申请号

PCT/CN2022/124081

A. 主题的分类 G11C 13/00 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) VEN, CNTXT, USTXT, CNKI: 内存模组, 内存控制器, 基板, 传输, 质量, 连接, 相连, 外侧, 线, 线缆, dram, memory, connect+, controller, substrate, semiconductor, chip, line, transmit+																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 104575584 A (钰创科技股份有限公司) 2015年4月29日 (2015 - 04 - 29) 说明书第0072-0087段</td> <td>1, 13-16</td> </tr> <tr> <td>Y</td> <td>CN 101017701 A (睿颖科技股份有限公司) 2007年8月15日 (2007 - 08 - 15) 说明书第3页第10行-第5页第3行</td> <td>1, 13-16</td> </tr> <tr> <td>A</td> <td>CN 114647446 A (深圳宏芯宇电子股份有限公司) 2022年6月21日 (2022 - 06 - 21) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 10497708 B1 (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 2019年12月3日 (2019 - 12 - 03) 全文</td> <td>1-16</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 104575584 A (钰创科技股份有限公司) 2015年4月29日 (2015 - 04 - 29) 说明书第0072-0087段	1, 13-16	Y	CN 101017701 A (睿颖科技股份有限公司) 2007年8月15日 (2007 - 08 - 15) 说明书第3页第10行-第5页第3行	1, 13-16	A	CN 114647446 A (深圳宏芯宇电子股份有限公司) 2022年6月21日 (2022 - 06 - 21) 全文	1-16	A	US 10497708 B1 (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 2019年12月3日 (2019 - 12 - 03) 全文	1-16
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
Y	CN 104575584 A (钰创科技股份有限公司) 2015年4月29日 (2015 - 04 - 29) 说明书第0072-0087段	1, 13-16															
Y	CN 101017701 A (睿颖科技股份有限公司) 2007年8月15日 (2007 - 08 - 15) 说明书第3页第10行-第5页第3行	1, 13-16															
A	CN 114647446 A (深圳宏芯宇电子股份有限公司) 2022年6月21日 (2022 - 06 - 21) 全文	1-16															
A	US 10497708 B1 (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 2019年12月3日 (2019 - 12 - 03) 全文	1-16															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件													
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
国际检索实际完成的日期		国际检索报告邮寄日期															
2022年12月12日		2022年12月27日															
ISA/CN的名称和邮寄地址		受权官员															
中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		田晶 电话号码 86-(10)-53961334															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/124081

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104575584	A	2015年4月29日	US	2015113356	A1	2015年4月23日
				TW	201517325	A	2015年5月1日
				CN	108847263	A	2018年11月20日
				US	2017323687	A1	2017年11月9日
CN	101017701	A	2007年8月15日	无			
CN	114647446	A	2022年6月21日	无			
US	10497708	B1	2019年12月3日	TW	201913968	A	2019年4月1日
				WO	2019042248	A1	2019年3月7日
				WO	2020024282	A1	2020年2月6日