

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 7 月 3 日(03.07.2014)



(10) 国際公開番号
WO 2014/103175 A1

- (51) 国際特許分類:
H03F 1/32 (2006.01) **H04B 1/04** (2006.01)
- (21) 国際出願番号: PCT/JP2013/007043
- (22) 国際出願日: 2013 年 11 月 29 日(29.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-282752 2012 年 12 月 26 日(26.12.2012) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者: 平井 義人 (HIRAI, Yoshito). 岡本 好史 (OKAMOTO, Kouji).
- (74) 代理人: 鷲田 公一 (WASHIDA, Kimihito); 〒1600023 東京都新宿区西新宿 1-23-7 新宿ファーストウェスト 8 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: DISTORTION-COMPENSATION DEVICE AND DISTORTION-COMPENSATION METHOD

(54) 発明の名称: 歪み補償装置及び歪み補償方法

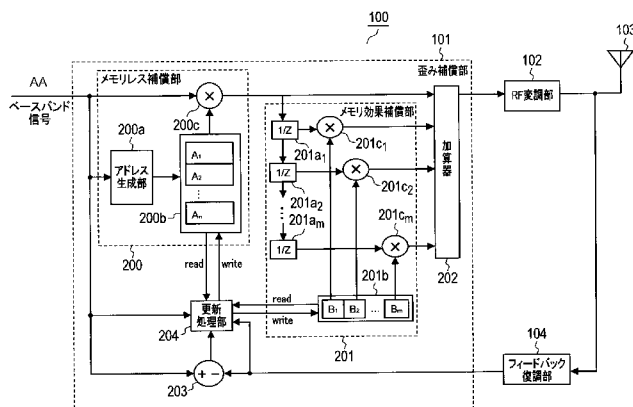


FIG. 1
101 Distortion-compensation unit
102 RF modulation unit
104 Feedback demodulation unit
200 Memoryless compensation unit
200a Address-generation unit
201 Memory-effect compensation unit
202 Adder
204 Update unit
AA Baseband signal

(57) Abstract: Disclosed is a distortion-compensation device that can both perform distortion compensation with high precision and reduce the amount of storage space taken up by coefficients required for distortion-compensation calculations. Said distortion-compensation device (100) uses predistortion, in which an input signal is premultiplied by coefficients, to compensate for distortion in an output signal outputted from a given circuit. A first multiplication unit (200c) in this distortion-compensation device (100) multiplies an input signal by compensation coefficients selected from among candidate compensation coefficients in accordance with the input signal. Second multiplication units (201c₁ through 201c_m) multiply a delayed version of the input signal by tap coefficients, and an addition unit (202) outputs, to a given circuit, a signal obtained by adding together the compensation-coefficient-multiplied input signal and the tap-coefficient-multiplied delayed input signal.

(57) 要約: 歪み補償を行うための計算に必要な係数を記憶する記憶容量を低減するとともに、歪み補償を精度よく実行することができる歪み補償装置を開示する。歪み補償装置 (100) は、入力信号に係数を予め乗算するプリディストーションにより、所定の回路から出力される出力信号の歪みを補償する。歪み補償装置 (100) の第 1 の乗算部 (200c) は、補償係数が乗算された入力信号と、第 2 の乗算部 (201c₁ ~ 201c_m) は、タップ係数と入力信号の遅延信号との乗算を行い、加算部 (202) は、補償係数が乗算された入力信号と、タップ係数が乗算された遅延信号を加算した信号を所定の回路に出力する。

明 細 書

発明の名称： 歪み補償装置及び歪み補償方法

技術分野

[0001] 本発明は、所定の回路から出力される出力信号の歪みを補償する歪み補償装置及び歪み補償方法に関する。

背景技術

[0002] 従来、無線通信機等の送信システムを構成するアナログ回路やＲＦ（Radio Frequency）回路などでは非線形の信号歪みが生じることが知られている。そして、このような信号歪みを補償するため、適応的デジタルプリディストーションと呼ばれる技術が開発されている。

[0003] この技術では、アナログ回路やＲＦ回路の逆特性が、入力信号の振幅やパワーに応じて補償係数としてＬＵＴ（Look Up Table）に格納される。そして、入力信号の振幅やパワーに応じた補償係数を入力信号に予め適用することにより歪み補償が実現される。

[0004] また、この技術では、補償係数が適用された入力信号と送信信号とが比較され、その差が小さくなるように適応的に補償係数が更新される。これにより、温度変化や電圧変化の影響で歪み特性が変化した場合でも、信号歪みの補償が効果的になされ得る。

[0005] 例えば、特許文献１には、増幅器により生じる信号歪みを補償するため、増幅器の入力信号と出力信号との差に基づいて、信号歪みを補償するための補償係数を適応型アルゴリズムにより生成する技術が開示されている。

[0006] なお、信号歪みにはメモリ効果があることが知られている。メモリ効果とは、信号歪みが現在の入力信号だけでなく、過去の入力信号にも依存するという現象である。しかし、特許文献１の技術では、メモリ効果について何ら考慮されていないので、信号歪みの抑制効果が十分に得られないという問題がある。

[0007] このような問題を解決するものとして、特許文献２には、現在の入力信号

の電力（または振幅）が取り得る L 個の状態、および、過去の入力信号の電力（または振幅）が取り得る M 個の状態に対応する $L \times M$ 個の補償係数の候補を予めメモリに記憶しておき、その中から現在および過去の入力信号の電力（または振幅）に応じた補償係数を1つ読み出し、その補償係数を入力信号に適用する技術が開示されている。

先行技術文献

特許文献

[0008] 特許文献1：特開平9－69733号公報

特許文献2：国際公開第01／008320号

発明の概要

発明が解決しようとする課題

[0009] しかしながら、上述した特許文献2の技術では、 $L \times M$ 個の補償係数の候補をメモリに記憶しておく必要があるので、必要な記憶容量が大きくなるという問題がある。メモリ効果の影響をより精度よく評価するため、さらに過去の入力信号（状態数 N ）を考慮することとすれば、補償係数の候補の数は $L \times M \times N$ 個となり、補償係数の記憶に必要な記憶容量が著しく増大する。

[0010] また、特許文献2の技術では、現在の入力信号に対し、1つの補償係数を乗算するだけで歪み補償を行っているが、このような方法では、歪み補償を精度よく行うことが難しいという問題もある。

[0011] 本発明の目的は、歪み補償を行うための計算に必要な係数を記憶する記憶容量を低減するとともに、歪み補償を精度よく実行することができる歪み補償装置および歪み補償方法を提供することである。

課題を解決するための手段

[0012] 本発明の歪み補償装置は、入力信号に係数を予め乗算するプリディストーションにより、所定の回路から出力される出力信号の歪みを補償する歪み補償装置であって、第1の係数の候補のうち、前記入力信号に応じて選択された第1の係数と前記入力信号との乗算を行う第1の乗算部と、第2の係数と

前記入力信号の遅延信号との乗算を行う第２の乗算部と、前記第１の係数が乗算された入力信号と、前記第２の係数が乗算された遅延信号を加算した信号を前記所定の回路に出力する加算部と、を具備する構成を採る。

[0013] 本発明の歪み補償方法は、入力信号に係数を予め乗算するプリディストーションにより、所定の回路から出力される出力信号の歪みを補償する歪み補償方法であって、第１の係数の候補のうち、前記入力信号に応じて選択された第１の係数と前記入力信号との乗算を行うステップと、第２の係数と前記入力信号の遅延信号との乗算を行うステップと、前記第１の係数が乗算された入力信号と、前記第２の係数が乗算された遅延信号を加算した信号を前記所定の回路に出力するステップと、を具備する。

発明の効果

[0014] 本発明によれば、歪み補償を行うための計算に必要な係数を記憶する記憶容量を低減するとともに、歪み補償を精度よく実行することができる。

図面の簡単な説明

[0015] [図１]本発明の実施の形態に係る送信装置の構成を示すブロック図

[図２]収束時間を低減させる更新処理について説明する図

発明を実施するための形態

[0016] 以下、本発明の実施の形態について、図面を参照して詳細に説明する。

[0017] 図１は、本発明の実施の形態に係る送信装置１００の構成を示すブロック図である。この送信装置１００は、歪み補償部１０１、ＲＦ（Radio Frequency）変調部１０２、アンテナ１０３、フィードバック復調部１０４を備える。

[0018] 歪み補償部１０１は、ＲＦ変調部１０２において生じる信号歪みを補償する。具体的には、歪み補償部１０１は、適応的デジタルプリディストーションの技術を用いて上記歪みを補償する。歪み補償部１０１の詳細については後に詳しく説明する。

[0019] ＲＦ変調部１０２は、歪み補償部１０１により歪みが補償されたベースバンド信号の変調および増幅を行い、アンテナ１０３から電波を放射させる。

アンテナ 103 は、RF 変調部 102 から出力された信号を電波として放射する。フィードバック復調部 104 は、RF 変調部 102 から出力された出力信号を復調し、歪み補償部 101 に出力する。

[0020] 次に、歪み補償部 101 の構成について詳しく説明する。歪み補償部 101 は、メモリレス補償部 200、メモリ効果補償部 201、加算器 202、誤差算出部 203、更新処理部 204 を備える。

[0021] メモリレス補償部 200 は、入力されたベースバンド信号に対して歪み補償を行う。メモリレス補償部 200 は、アドレス生成部 200a、第 1 の記憶部 200b、乗算器 200c を備える。

[0022] アドレス生成部 200a は、ベースバンド信号の振幅を算出し、算出した振幅に対応するアドレスを生成し、生成したアドレスを第 1 の記憶部 200b に出力する。なお、アドレス生成部 200a は、ベースバンド信号の振幅の代わりに、ベースバンド信号のパワーや、振幅の関数、パワーの関数などに応じてアドレスを生成することとしてもよい。

[0023] 第 1 の記憶部 200b は、メモリなどの記憶デバイスである。第 1 の記憶部 200b は、ベースバンド信号に対して乗算される補償係数の候補 A_i ($i = 1 \sim n$) を記憶する LUT (Look Up Table) として構成される。

[0024] そして、第 1 の記憶部 200b は、記憶した補償係数の候補のうち、アドレス生成部 200a により生成されたアドレスに対応する補償係数を乗算器 200c、および、更新処理部 204 に出力する。

[0025] 乗算器 200c は、第 1 の記憶部 200b により出力された補償係数とベースバンド信号との乗算を行い、その結果得られた信号を加算器 202 に出力する。

[0026] メモリ効果補償部 201 は、ベースバンド信号の遅延信号に対して、メモリ効果を補償するための信号処理を行う。メモリ効果補償部 201 は、遅延器 201a₁ ~ 201a_m、第 2 の記憶部 201b、乗算器 201c₁ ~ 201c_m を備える。

[0027] 遅延器 201a₁ ~ 201a_m は、過去 (1 次、2 次、・・・、m 次遅れ)

のベースバンド信号を保持する。本実施の形態では、遅延器 201 a₁ ~ 201 a_m が m 個あることとしたが、遅延器 201 a₁ ~ 201 a_m の数は少なくとも 1 つ以上あればよい。

[0028] 第2の記憶部 201 b は、メモリなどの記憶デバイスである。第2の記憶部 201 b は、ベースバンド信号の遅延信号に対して乗算されるタップ係数 B_j (j = 1 ~ m) を記憶する LUT (Look Up Table) として構成される。第2の記憶部 201 b は、記憶したタップ係数を乗算器 201 c₁ ~ 201 c_m、および、更新処理部 204 に出力する。

[0029] 乗算器 201 c₁ ~ 201 c_m は、第2の記憶部 201 b により出力されたタップ係数とベースバンド信号の遅延信号との乗算を行い、その結果得られた信号を加算器 202 に出力する。

[0030] 加算器 202 は、メモリレス補償部 200 の乗算器 200 c により出力された信号と、メモリ効果補償部 201 の乗算器 201 c₁ ~ 201 c_m により出力された信号の和を算出し、その結果得られた信号を RF 変調部 102 に出力する。

[0031] 誤差算出部 203 は、時刻 t において入力されたベースバンド信号 x_t と、フィードバック復調部 104 において出力信号が復調された結果得られた信号 y_t との差 e_t (= x_t - y_t) を算出し、その差の情報を更新処理部 204 に出力する。この差の絶対値が小さいほど、歪み補償が有効になされているといえる。

[0032] 更新処理部 204 は、誤差算出部 203 により出力された差 e_t の情報を用いて、第1の記憶部 200 b に記憶された補償係数 A_i (i = 1 ~ n)、および、第2の記憶部 201 b に記憶されたタップ係数 B_j (j = 1 ~ m) を更新する。

[0033] 具体的には、時刻 t - j におけるベースバンド信号を x_{t-j} とすると、フィードバック復調部 104 において出力信号が復調された結果得られる信号 y_t は、

$$y_t = (A_i x_t + \sum A_i B_j x_{t-j}) f$$

と表される。ここで、 A_i は、第1の記憶部200bに記憶されている補償係数の候補の中から、ベースバンド信号 x_t の振幅に応じて選択された補償係数、 f は、RF変調部102において生じる歪みの影響を表す関数である。

[0034] 更新処理部204は、広く普及しているLMS (Least Mean Square) やRLS (Recursive Least Square Algorithm) などの反復法による収束計算を行って、入力されたベースバンド信号 x_t と、フィードバック復調部104による復調の結果得られた信号 y_t との差 e_t 、すなわち、

$$e_t = x_t - y_t = x_t - (A_i x_t + \sum A_j B_j x_{t-j}) f$$

の絶対値が小さくなるよう、補償係数 A_i 、および、各タップ係数 B_j ($j = 1 \sim m$) の値を決定する。

[0035] そして、更新処理部204は、決定したそれぞれの値で第1の記憶部200bに記憶されている補償係数 A_i 、および、第2の記憶部201bに記憶されている各タップ係数 B_j ($j = 1 \sim m$) の値を更新する。

[0036] このように、本実施の形態では、過去の各ベースバンド信号に対してタップ係数を1つずつ記憶しておけばよいので、歪み補償に必要な記憶容量を低減することができる。また、現在のベースバンド信号に補償係数を乗算して信号を生成するだけでなく、過去のベースバンド信号にタップ係数を乗算して信号を生成し、それらの信号を合成して歪み補正を行うため、精度よい歪み補償が可能となる。

[0037] さらに、次のような更新処理を行うことにより、補償係数 A_i 、および、各タップ係数 B_j ($j = 1 \sim m$) の収束に要する時間を低減させることもできる。図2は、収束時間を低減させる更新処理について説明する図である。なお、図2には、補償係数の候補の数が8 ($n = 8$) で、タップ係数の数が2 ($m = 2$) である場合について示してある。

[0038] この更新処理では、更新処理部204は、まず、補償係数 A_i ($A_1 \sim A_8$ のうち、ベースバンド信号 x_t の振幅に応じて選択された補償係数) に対してのみ反復法による収束計算を所定の時間実行し、補償係数 A_i を順次更新する(図2のステップ0~4)。この間、タップ係数 B_1 、 B_2 の値については、一

定の値（初期値）に設定される。

[0039] 続いて、更新処理部204は、タップ係数 B_1 、 B_2 に対してのみ反復法による収束計算を所定の時間実行し、タップ係数 B_1 、 B_2 を順次更新する（図2のステップ5～9）。この間、補償係数 A_i の値については、一定の値（図2のステップ4で最後に更新された値）に設定される。

[0040] その後、更新処理部204は、補償係数 A_i 、および、タップ係数 B_1 、 B_2 の両方に対して反復法を適用し、補償係数 A_i 、および、タップ係数 B_1 、 B_2 の両方を順次更新する（図2のステップ10～18）。

[0041] このような処理により、初めから補償係数 A_i 、および、タップ係数 B_1 、 B_2 の両方を同時に収束させる場合と比較して、より短時間で補償係数 A_i 、および、タップ係数 B_1 、 B_2 を収束させることができる。

[0042] また、更新処理部204は、タップ係数の収束値の絶対値が所定の閾値よりも小さくなった場合、その係数が0であるとみなし、収束値の絶対値が所定の閾値よりも小さくなった補償係数、または、タップ係数を収束計算の対象から除外する。

[0043] また、タップ係数 B_k の収束値の絶対値が所定の閾値よりも小さくなった場合は、 $B_k = 0$ として、

$$e_t = x_t - y_t = x_t - (A_i x_t + \sum_{j \neq k} A_j B_j x_{t-j}) f$$

の絶対値が小さくなるよう、補償係数 A_i 、および、タップ係数 B_j （ $j = 1 \sim m$ 、 $j \neq k$ ）の値を決定する。

[0044] 図2には、ステップ14でタップ係数 B_1 の収束値の絶対値が所定の閾値よりも小さくなった場合の例が示されている。このような処理により、各係数をより速く収束させることができ、またこの場合 B_1 の更新処理に関する回路は停止させることができるため、省電力化を図ることも可能となる。

[0045] なお、上記実施の形態では、更新処理部204が、誤差算出部203により出力された差 e_t の情報を用いて、補償係数 A_i 、および、タップ係数 B_j （ $j = 1 \sim m$ ）を更新することとしたが、各係数の一部（例えば、補償係数の候補もしくはタップ係数）または全部を予め実験等で求めた値に設定し、更

新処理部 204 による更新を行わないようにしてもよい。

[0046] 2012 年 12 月 26 日出願の特願 2012-282752 の日本出願に基づく優先権を主張する。本日本出願に含まれる明細書、図面および要約書の開示内容は、すべて本願に援用される。

産業上の利用可能性

[0047] 本発明にかかる歪み補償装置および歪み補償方法は、所定の回路から出力される出力信号の歪みを補償する歪み補償装置および歪み補償方法に用いるのに好適である。

符号の説明

[0048] 100 送信装置
101 歪み補償部
102 RF 変調部
103 アンテナ
104 フィードバック復調部
200 メモリレス補償部
200a アドレス生成部
200b 第1の記憶部
200c 乗算器
201 メモリ効果補償部
201a₁~201a_m 遅延器
201b 第2の記憶部
201c₁~201c_m 乗算器
202 加算器
203 誤差算出部
204 更新処理部

請求の範囲

- [請求項1] 入力信号に係数を予め乗算するプリディストーションにより、所定の回路から出力される出力信号の歪みを補償する歪み補償装置であって、
- 第1の係数の候補のうち、前記入力信号に応じて選択された第1の係数と前記入力信号との乗算を行う第1の乗算部と、
- 第2の係数と前記入力信号の遅延信号との乗算を行う第2の乗算部と、
- 前記第1の係数が乗算された入力信号と、前記第2の係数が乗算された遅延信号を加算した信号を前記所定の回路に出力する加算部と、
- を具備する歪み補償装置。
- [請求項2] 前記出力信号と前記入力信号とに基づいて、前記第2の係数の更新処理を実行する更新処理部をさらに具備する
- 請求項1記載の歪み補償装置。
- [請求項3] 前記更新処理部は、前記出力信号と前記入力信号とに基づいて、前記第1の係数の更新処理を実行する
- 請求項2記載の歪み補償装置。
- [請求項4] 前記更新処理部は、反復法を用いた収束計算により前記更新処理を実行する
- 請求項2記載の歪み補償装置。
- [請求項5] 前記更新処理部は、反復法を用いた収束計算により前記更新処理を実行する
- 請求項3記載の歪み補償装置。
- [請求項6] 前記出力信号と前記入力信号とに基づいて、前記第1の係数と前記第2の係数の更新処理を、反復法を用いた収束計算により実行する更新処理部をさらに具備し、該更新処理は、まず前記第1の係数に対してのみ前記収束計算を実行し、続いて前記第2の係数に対してのみ前記収束計算を実行し、次に前記第1の係数、および、前記第2の係数

の両方に対して前記収束計算を実行することによりなされる

請求項 1 記載の歪み補償装置。

[請求項7] 前記更新処理部は、前記第 2 の係数の更新処理における更新値の絶対値が所定の閾値よりも小さい場合に、該更新値を示す更新対象を前記収束計算の対象から除外する

請求項 4 記載の歪み補償装置。

[請求項8] 前記更新処理部は、前記第 2 の係数の更新処理における更新値の絶対値が所定の閾値よりも小さい場合に、該更新値を示す更新対象を前記収束計算の対象から除外する

請求項 6 記載の歪み補償装置。

[請求項9] 前記反復法は、Least Mean Square法である

請求項 4 記載の歪み補償装置。

[請求項10] 前記反復法は、Least Mean Square法である

請求項 5 記載の歪み補償装置。

[請求項11] 前記反復法は、Least Mean Square法である

請求項 6 記載の歪み補償装置。

[請求項12] 入力信号に係数を予め乗算するプリディストーションにより、所定の回路から出力される出力信号の歪みを補償する歪み補償方法であって、

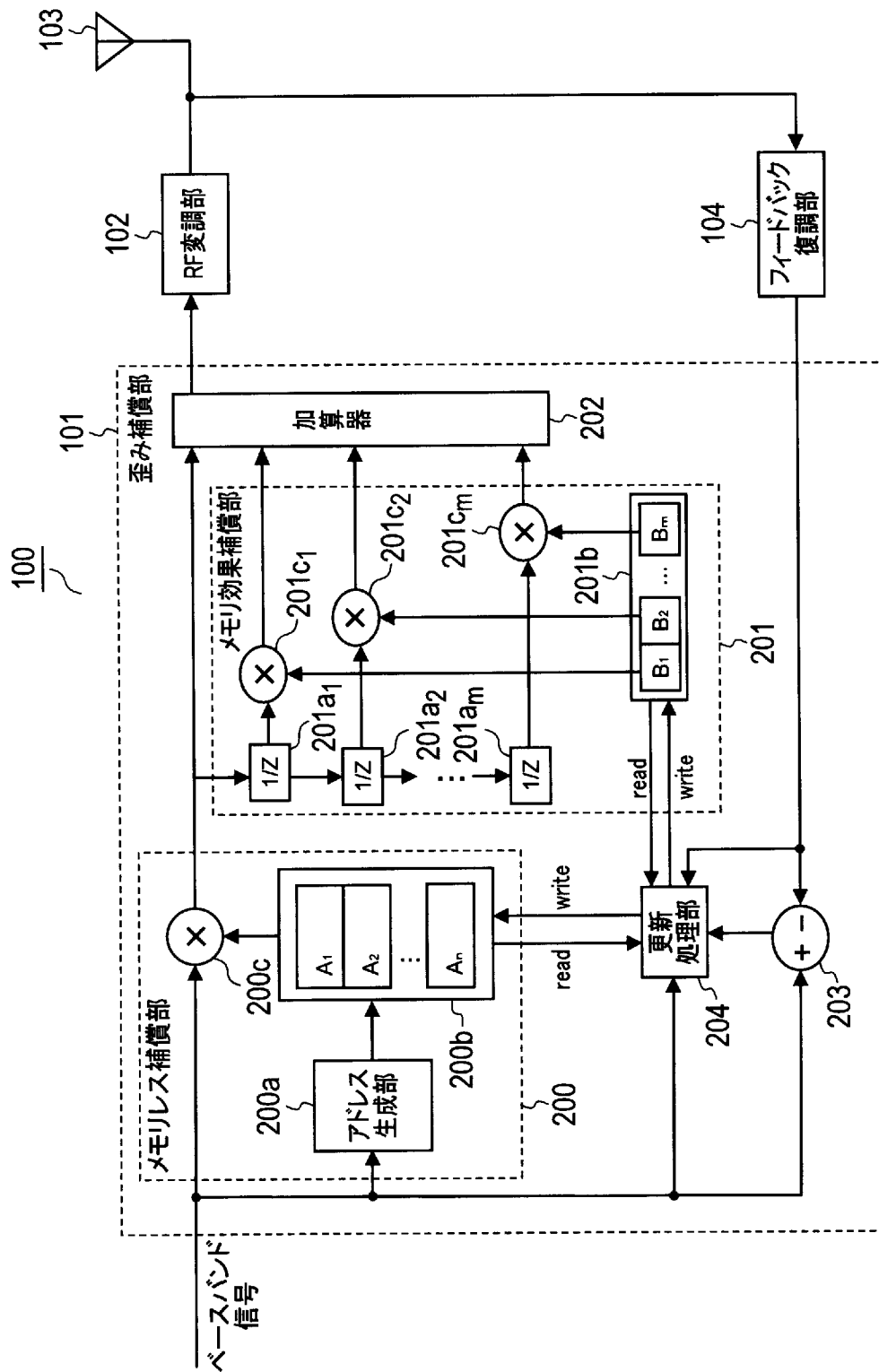
第 1 の係数の候補のうち、前記入力信号に応じて選択された第 1 の係数と前記入力信号との乗算を行うステップと、

第 2 の係数と前記入力信号の遅延信号との乗算を行うステップと、

前記第 1 の係数が乗算された入力信号と、前記第 2 の係数が乗算された遅延信号を加算した信号を前記所定の回路に出力するステップと、

を具備する歪み補償方法。

[図1]



[図2]

ステップ	補償係数の候補				タップ係数	
	A1	A2	...	A8	B1	B2
0	初期値	初期値	...	初期値	初期値	初期値
1	更新	更新	...	更新	↓	↓
2	更新	更新	...	更新	↓	↓
3	更新	更新	...	更新	↓	↓
4	更新	更新	...	更新	↓	↓
5	↓	↓	...	↓	更新	更新
6	↓	↓	...	↓	更新	更新
7	↓	↓	...	↓	更新	更新
8	↓	↓	...	↓	更新	更新
9	↓	↓	...	↓	更新	更新
10	更新	更新	...	更新	更新	更新
11	更新	更新	...	更新	更新	更新
12	更新	更新	...	更新	更新	更新
13	更新	更新	...	更新	更新	更新
14	更新	更新	...	更新	閾値より小	更新
15	更新	更新	...	更新	0	更新
16	更新	更新	...	更新	↓	更新
17	更新	更新	...	更新	↓	更新
18	更新	更新	...	更新	↓	更新

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/007043

A. CLASSIFICATION OF SUBJECT MATTER

H03F1/32(2006.01)i, H04B1/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F1/32, H04B1/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-518660 A (Dali Systems Co., Ltd.), 27 May 2010 (27.05.2010), paragraphs [0014] to [0032]; fig. 1 & US 2008/0152037 A1 & WO 2008/078195 A2 & KR 10-2010-0014339 A & CN 102017553 A	1, 12 2-5, 9-10 6-8, 11
Y	WO 2009/090825 A1 (Mitsubishi Electric Corp.), 23 July 2009 (23.07.2009), paragraphs [0022] to [0031], [0044]; fig. 1, 6 & US 2010/0277236 A1 & EP 2244380 A1 & WO 2009/090825 A1 & KR 10-2010-0101172 A & CN 101911477 A	2-5, 9-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
28 January, 2014 (28.01.14)

Date of mailing of the international search report
04 February, 2014 (04.02.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/007043

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-135143 A (Hitachi Kokusai Electric Inc.), 07 July 2011 (07.07.2011), paragraphs [0048] to [0076]; fig. 1 to 2 (Family: none)	1-12
A	JP 2010-183525 A (Hitachi Kokusai Electric Inc.), 19 August 2010 (19.08.2010), paragraphs [0052] to [0058]; fig. 8 to 9 (Family: none)	1-12
A	JP 2011-176686 A (NEC Corp.), 08 September 2011 (08.09.2011), fig. 1 (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03F1/32(2006.01)i, H04B1/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03F1/32, H04B1/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-518660 A（ダリ システムズ カンパニー リミテッド）	1, 12
Y	2010.05.27, [0014]-[0032], 図 1	2-5, 9-10
A	& US 2008/0152037 A1 & WO 2008/078195 A2 & KR 10-2010-0014339 A & CN 102017553 A	6-8, 11
Y	WO 2009/090825 A1（三菱電機株式会社）2009.07.23, [0022]-[0031], [0044], 図 1, 6 & US 2010/0277236 A1 & EP 2244380 A1 & WO 2009/090825 A1 & KR 10-2010-0101172 A & CN 101911477 A	2-5, 9-10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 0 1 . 2 0 1 4

国際調査報告の発送日

0 4 . 0 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

▲徳▼田 賢二

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

5 X

9 6 5 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-135143 A (株式会社日立国際電気) 2011. 07. 07, [0048]-[0076], 図 1-2 (ファミリーなし)	1-12
A	JP 2010-183525 A (株式会社日立国際電気) 2010. 08. 19, [0052]-[0058], 図 8-9 (ファミリーなし)	1-12
A	JP 2011-176686 A (日本電気株式会社) 2011. 09. 08, 図 1 (ファミリーなし)	1-12