



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0159966
(43) 공개일자 2023년11월23일

(51) 국제특허분류(Int. Cl.)

H04W 72/04 (2009.01) H02J 50/00 (2021.01)
H02J 50/20 (2016.01) H02J 50/80 (2016.01)
H02J 7/00 (2006.01) H04W 4/70 (2018.01)
H04W 52/36 (2009.01) H04W 52/38 (2009.01)
H04W 88/08 (2009.01)

(52) CPC특허분류

H04W 72/0446 (2023.01)
H02J 50/001 (2023.08)

(21) 출원번호 10-2022-0059411

(22) 출원일자 2022년05월16일

심사청구일자 2022년05월16일

(71) 출원인

한림대학교 산학협력단

강원도 춘천시 한림대학길 1, 한림대학교(옥천동)

(72) 발명자

김의직

강원도 춘천시 지석로 29, 516동 1303호 (석사동, 휴먼타운아파트)

권정혁

강원도 춘천시 남춘로5번길 14-1, 301호(퇴계동)

(74) 대리인

특허법인본

전체 청구항 수 : 총 10 항

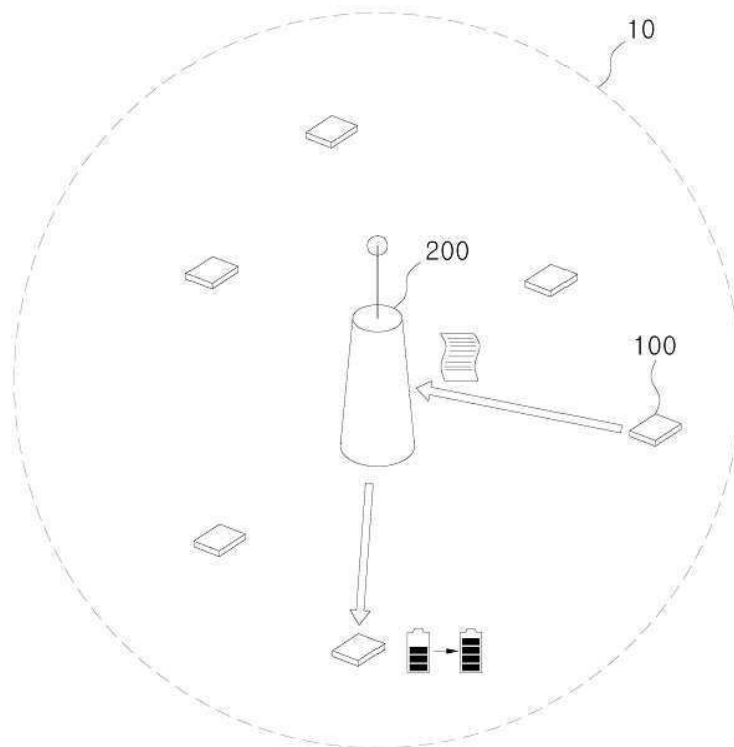
(54) 발명의 명칭 전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치, 시스템, 방법 및 프로그램

(57) 요약

본 발명에 따른 전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치는 센서 장치로 RF 신호를 송신하여 상기 센서 장치가 에너지를 수확하게 하고, 상기 센서 장치로부터 데이터를 수신하는 액세스 포인트 장치로써, 상기 에너지의 수확에 필요한 전력 셀의 개수와 상기 데이터의 송수신에 필요한 데이터 셀의 개수를 포함하고, 슬롯

(뒷면에 계속)

대표도 - 도1



프레임에 포함된 복수의 셀 중 하나 이상의 셀을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나로 할당 요청하는 셀 할당 요청 메시지를 상기 센서 장치로부터 수신하는 통신부; 및 상기 슬롯 프레임의 타임슬롯 중에서 비할당된 셀만을 포함하는 비할당 타임슬롯을 검색하고, 상기 전력 셀의 개수와 상기 데이터 셀의 개수에 기초하여 비할당 타임슬롯의 슬롯 오프셋 각각을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정하고, 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 슬롯 오프셋이 결정된 할당 타임슬롯의 경과 슬롯 번호 및 미리 설정된 선호 채널 인덱스에 기초하여 상기 전력 셀 및 상기 데이터 셀 각각의 채널 오프셋을 결정하는 프로세서;를 포함할 수 있다.

(52) CPC특허분류

H02J 50/20 (2016.02)

H02J 50/80 (2023.08)

H02J 7/0047 (2023.08)

H04W 4/70 (2018.02)

H04W 52/36 (2013.01)

H04W 52/38 (2013.01)

H04W 88/08 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1345348729
과제번호	2020R1I1A3052733
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	지역대학우수과학자지원사업
연구과제명	ULP-IoT를 위한 딥뉴럴 네트워크 모델 기반 실시간 고정밀 SWIPT 운용 플랫폼 개발
기 여 율	1/2
과제수행기관명	한림대학교 산학협력단
연구기간	2020.06.01 ~ 2025.05.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711167393
과제번호	2021R1C1C2095696
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	세종과학펠로우십
연구과제명	의료 사물인터넷을 위한 부하분산 블록엣지 프레임워크 개발
기 여 율	1/2
과제수행기관명	한림대학교 산학협력단
연구기간	2021.09.01 ~ 2026.02.28

명세서

청구범위

청구항 1

센서 장치로 RF 신호를 송신하여 상기 센서 장치가 에너지를 수확하게 하고, 상기 센서 장치로부터 데이터를 수신하는 액세스 포인트 장치에 있어서,

상기 에너지의 수확에 필요한 전력 셀의 개수와 상기 데이터의 송수신에 필요한 데이터 셀의 개수를 포함하고, 슬롯 프레임에 포함된 복수의 셀 중 하나 이상의 셀을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나로 할당 요청하는 셀 할당 요청 메시지를 상기 센서 장치로부터 수신하는 통신부; 및

상기 슬롯 프레임의 타임슬롯 중에서 비할당된 셀만을 포함하는 비할당 타임슬롯을 검색하고,

상기 전력 셀의 개수와 상기 데이터 셀의 개수에 기초하여 비할당 타임슬롯의 슬롯 오프셋 각각을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정하고,

상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 슬롯 오프셋이 결정된 할당 타임슬롯의 경과 슬롯 번호 및 미리 설정된 신호 채널 인덱스에 기초하여 상기 전력 셀 및 상기 데이터 셀 각각의 채널 오프셋을 결정하는 프로세서;를 포함하는 것을 특징으로 하는

전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치.

청구항 2

제1항에 있어서,

상기 프로세서는

상기 비할당 타임슬롯의 슬롯 오프셋 중에서 순서가 빠른 순으로 상기 전력 셀의 개수와 상기 데이터 셀의 개수를 합산한 총 개수만큼의 슬롯 오프셋을 확인하고,

상기 전력 셀의 슬롯 오프셋이 상기 데이터 셀의 슬롯 오프셋 보다 순서가 빠르도록 상기 확인된 슬롯 오프셋을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정하는 것을 특징으로 하는

전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치.

청구항 3

제1항에 있어서,

상기 프로세서는

상기 경과 슬롯 번호에서 상기 미리 설정된 신호 채널 인덱스를 차감하여 상기 전력 셀 및 상기 데이터 셀의 채널 오프셋으로 결정되는 채널 오프셋을 산출하는 것을 특징으로 하는

전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치.

청구항 4

제3항에 있어서,

상기 프로세서는

상기 슬롯 프레임의 시간 길이에 상기 슬롯 프레임의 시퀀스 번호를 곱하여 제1 할당값을 산출하고,

상기 비할당 타임슬롯의 슬롯 오프셋에 상기 제1 할당값을 합산하여 상기 경과 슬롯 번호를 산출하는 것을 특징으로 하는

전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치.

청구항 5

제4항에 있어서,

상기 프로세서는

하기의 수학적식을 이용하여 상기 채널 오프셋 및 상기 경과 슬롯 번호를 산출하는 것을 특징으로 하는

전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치.

<수학적식>

$$\begin{aligned} channelOffset &= ASN - CH_{pre} \\ &= slotOffset + L_{slotframe} \times Seq_{slotframe} - CH_{pre} \end{aligned}$$

여기서, channelOffset은 채널 오프셋이고, ASN은 경과 슬롯 번호이고, CH_{pre}는 미리 설정된 신호 채널 인덱스이고, slotOffset은 슬롯 오프셋이고, L_{slotframe}은 슬롯 프레임의 시간 길이이고, Seq_{slotframe}은 슬롯 프레임의 시퀀스 번호이다.

청구항 6

제1항 내지 제5항 중 어느 한 항에 따른 액세스 포인트 장치; 및

상기 액세스 포인트 장치로 셀 할당 요청 메시지를 송신하는 복수의 센서 장치;를 포함하는 것을 특징으로 하는

전력 셀 및 데이터 셀을 할당하는 시스템.

청구항 7

센서 장치로 RF 신호를 송신하여 상기 센서 장치가 에너지를 수확하게 하고, 상기 센서 장치로부터 데이터를 수신하는 액세스 포인트 장치의 제어 방법에 있어서,

통신부가 상기 에너지의 수확에 필요한 전력 셀의 개수와 상기 데이터의 송수신에 필요한 데이터 셀의 개수를 포함하고, 슬롯 프레임에 포함된 복수의 셀 중 하나 이상의 셀을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나로 할당 요청하는 셀 할당 요청 메시지를 상기 센서 장치로부터 수신하는 단계;

프로세서가 상기 슬롯 프레임의 타임슬롯 중에서 비할당된 셀만을 포함하는 비할당 타임슬롯을 검색하는 단계;

상기 프로세서가 상기 전력 셀의 개수와 상기 데이터 셀의 개수에 기초하여 비할당 타임슬롯의 슬롯 오프셋 각각을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정하는 단계; 및

상기 프로세서가 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 슬롯 오프셋이 결정된 할당 타임슬롯의 경과 슬롯 번호 및 미리 설정된 신호 채널 인덱스에 기초하여 상기 전력 셀 및 상기 데이터 셀 각각의 채널 오프셋을 결정하는 단계;를 포함하는 것을 특징으로 하는

전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치의 제어 방법.

청구항 8

제7항에 있어서,

상기 슬롯 오프셋으로 결정하는 단계는

상기 프로세서가 상기 비할당 타임슬롯의 슬롯 오프셋 중에서 순서가 빠른 순으로 상기 전력 셀의 개수와 상기 데이터 셀의 개수를 합산한 총 개수만큼의 슬롯 오프셋을 확인하는 단계; 및

상기 프로세서가 상기 전력 셀의 슬롯 오프셋이 상기 데이터 셀의 슬롯 오프셋 보다 순서가 빠르도록 상기 확인된 슬롯 오프셋을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정하는 단계;를 포함하는 것을 특징으로 하는

전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치의 제어 방법.

청구항 9

제7항에 있어서,

상기 채널 오프셋을 결정하는 단계는

상기 프로세서가 상기 경과 슬롯 번호에서 상기 미리 설정된 선호 채널 인덱스를 차감하여 상기 전력 셀 및 상기 데이터 셀의 채널 오프셋으로 결정되는 채널 오프셋을 산출하는 단계;를 포함하고,

상기 채널 오프셋을 산출하는 단계는

상기 프로세서가 상기 슬롯 프레임의 시간 길이에 상기 슬롯 프레임의 시퀀스 번호를 곱하여 제1 할당값을 산출하는 단계; 및

상기 프로세서가 상기 비할당 타임슬롯의 슬롯 오프셋에 상기 제1 할당값을 합산하여 상기 경과 슬롯 번호를 산출하는 단계;를 포함하는 것을 특징으로 하는

전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치의 제어 방법.

청구항 10

하드웨어인 컴퓨터와 결합되어, 제7항 내지 제9항 중 어느 한 항에 따른 방법을 수행할 수 있도록 컴퓨터에서 독출가능한 기록매체에 저장된 컴퓨터 프로그램.

발명의 설명

기술 분야

[0001] 본 발명은 전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치, 시스템, 방법 및 프로그램에 관한 것으로, 액세스 포인트 장치가 송신한 RF 신호로부터 센서 장치가 에너지를 수확하고, 센서 장치에서 액세스 포인트 장치로 데이터를 송신하는 시스템에서, 센서 장치로부터 산출된 전력 셀의 개수와 데이터 셀의 개수에 기초하여 전력 셀과 데이터 셀을 순차적으로 할당하는 액세스 포인트 장치, 시스템, 방법 및 프로그램에 관한 것이다.

배경 기술

[0003] 무선 전력 센서 네트워크(Wireless Power Sensor Network, WPSN)는 센서 모듈을 무선 통신이 가능하게 하여 센서들 간에 연결되어 정보를 주고, 액세스 포인트로부터 에너지를 수신하는 네트워크로서, 온도, 습도, 거리, 무게 등과 같은 물리적 조건 등을 측정하기 위하여 흩어져 있는 센서 노드들이 무선을 매개로 통신한다. 무선 통신은 편의성, 비용, 이동성의 측면에서 유선 통신보다 유리하기 때문에 무선 센서 네트워크는 다가올 IoT(Internet on things) 패러다임에서의 핵심적인 역할을 하는 기술 중 하나이다.

[0004] 예컨대, WPSN는 산업 통신 분야에서 가장 유망한 해결 방법들 중 하나로서, 공장 자동화, 분산 및 (스마트 그리

드 및 스마트 빌딩에서 방사선 검사를 위한 액화/가스 유출의 스마트 검출 같은) 프로세스 제어를 포함하는 많은 산업상 응용들에서 저전력 및 저 전송률의 센서 디바이스들을 갖는 상기 WPSN들의 채용이 증가해오고 있다. 그러한 실시간 응용들에서, 종단간(end-to-end) 지연들은 상한값들(upper bounds)(예컨대, 데드라인들(deadlines)), 예컨대, 분산 제조에 대해서는 수십 밀리 초, 프로세스 제어에 대해서 수 초, 자산 모니터링에 대해서 수 분 만큼으로 제한된다. 추가로, 프로토콜의 높은 확장성은 넓은 지리적 영역들이 모니터링될 필요가 있을 때, 네트워크 스케일 내에서 알고리즘이 잘 동작하는 것을 보장한다.

[0005] IEEE 802.15.4 표준은 저전력 및 저 전송률 WPSN들에 대한 물리 계층 및 MAC 계층을 제공하기 위한 참고용 표준으로서 고려될 수 있다. 그러나, 상기 IEEE 802.15.4 표준에서의 기본적인 채널 액세스 제어는 CSMA/CA(Carrier Sense Multiple Access with Collision Avoidance)를 통한 것이므로, 많은 이전 연구들은 예측 가능하고 견고한 통신을 필요로 하는 새로운 실시간 응용들에 대해 부적합함을 보여준다. 그러므로, 2012년 IEEE 802.15e 워킹 그룹은 IEEE 802.15.4e 수정을 정의하며, 이는 TSCH(Time Slotted Channel Hopping)로 명명된 MAC 프로토콜을 소개한다. TSCH에서, 다중 채널에 따른 시간 슬롯 채널 액세스 방식 및 주파수 호핑 가능성은 결정론적 지연(deterministic latency), 및 간섭과 다중 경로 페이딩에 대한 높은 저항성을 보장한다.

[0006] 하지만, 기존의 통신 규격은 전력 트래픽과 데이터 트래픽을 구분하지 않음으로써, 무작위로 셀을 선택하여 에너지 수확 후 데이터 송신 동작을 안정적으로 지원하는데 문제점이 있다.

[0007] 또한, 반복적인 Tx 오프셋과 빈번한 채널 스위칭으로 오버헤드가 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 센서 장치로부터 산출된 전력 셀의 개수와 데이터 셀의 개수에 기초하여 전력 셀과 데이터 셀을 순차적으로 할당할 수 있는 전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치, 시스템, 방법 및 프로그램을 제공할 수 있다.

[0010] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특허 청구 범위에 나타난 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제의 해결 수단

[0012] 본 발명에 따른 전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치는 RF 신호를 송신하여 센서 장치가 에너지를 수확하게 하고, 상기 센서 장치로부터 데이터를 수신하는 액세스 포인트 장치으로써, 상기 에너지의 수확에 필요한 전력 셀의 개수와 상기 데이터의 송수신에 필요한 데이터 셀의 개수를 포함하고, 슬롯 프레임에 포함된 복수의 셀 중 하나 이상의 셀을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나로 할당 요청하는 셀 할당 요청 메시지를 상기 센서 장치로부터 수신하는 통신부; 및 상기 슬롯 프레임의 타임슬롯 중에서 비할당된 셀만을 포함하는 비할당 타임슬롯을 검색하고, 상기 전력 셀의 개수와 상기 데이터 셀의 개수에 기초하여 비할당 타임슬롯의 슬롯 오프셋 각각을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정하고, 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 슬롯 오프셋이 결정된 할당 타임슬롯의 경과 슬롯 번호 및 미리 설정된 선호 채널 인덱스에 기초하여 상기 전력 셀 및 상기 데이터 셀 각각의 채널 오프셋을 결정하는 프로세서;를 포함할 수 있다.

[0013] 바람직하게, 상기 프로세서는 상기 비할당 타임슬롯의 슬롯 오프셋 중에서 순서가 빠른 순으로 상기 전력 셀의 개수와 상기 데이터 셀의 개수를 합산한 총 개수만큼의 슬롯 오프셋을 확인하고, 상기 전력 셀의 슬롯 오프셋이 상기 데이터 셀의 슬롯 오프셋 보다 순서가 빠르도록 상기 확인된 슬롯 오프셋을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정할 수 있다.

[0014] 바람직하게, 상기 프로세서는 상기 경과 슬롯 번호에서 상기 미리 설정된 선호 채널 인덱스를 차감하여 상기 전력 셀 및 상기 데이터 셀의 채널 오프셋으로 결정되는 채널 오프셋을 산출할 수 있다.

[0015] 바람직하게, 상기 프로세서는 상기 슬롯 프레임의 시간 길이에 상기 슬롯 프레임의 시퀀스 번호를 곱하여 제1 할당값을 산출하고, 상기 비할당 타임슬롯의 슬롯 오프셋에 상기 제1 할당값을 합산하여 상기 경과 슬롯 번호를 산출할 수 있다.

[0016] 바람직하게, 상기 프로세서는 하기의 수학적식을 이용하여 상기 채널 오프셋 및 상기 경과 슬롯 번호를 산출할 수 있다.

[0017] <수학적식>

$$\begin{aligned} channelOffset &= ASN - CH_{pre} \\ &= slotOffset + L_{slotframe} \times Seq_{slotframe} - CH_{pre} \end{aligned}$$

[0018]

[0019] 여기서, channelOffset은 채널 오프셋이고, ASN은 경과 슬롯 번호이고, CH_{pre} 는 미리 설정된 신호 채널 인덱스이고, slotOffset은 슬롯 오프셋이고, $L_{slotframe}$ 은 슬롯 프레임의 시간 길이이고, $Seq_{slotframe}$ 은 슬롯 프레임의 시퀀스 번호이다.

[0020] 본 발명에 따른 전력 셀 및 데이터 셀을 할당하는 시스템은 상술된 액세스 포인트 장치; 및 상기 액세스 포인트 장치로 셀 할당 요청 메시지를 송신하는 복수의 센서 장치;를 포함할 수 있다.

[0021] 본 발명에 따른 전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치의 제어 방법은 센서 장치로 RF 신호를 송신하여 센서 장치가 에너지를 수확하게 하고, 상기 센서 장치로부터 데이터를 수신하는 액세스 포인트 장치의 제어 방법으로써, 통신부가 상기 에너지의 수확에 필요한 전력 셀의 개수와 상기 데이터의 송수신에 필요한 데이터 셀의 개수를 포함하고, 슬롯 프레임에 포함된 복수의 셀 중 하나 이상의 셀을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나로 할당 요청하는 셀 할당 요청 메시지를 상기 센서 장치로부터 수신하는 단계; 프로세서가 상기 슬롯 프레임의 타임슬롯 중에서 비할당된 셀만을 포함하는 비할당 타임슬롯을 검색하는 단계; 상기 프로세서가 상기 전력 셀의 개수와 상기 데이터 셀의 개수에 기초하여 비할당 타임슬롯의 슬롯 오프셋 각각을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정하는 단계; 및 상기 프로세서가 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 슬롯 오프셋이 결정된 할당 타임슬롯의 경과 슬롯 번호 및 미리 설정된 신호 채널 인덱스에 기초하여 상기 전력 셀 및 상기 데이터 셀 각각의 채널 오프셋을 결정하는 단계;를 포함할 수 있다.

[0022] 바람직하게, 상기 슬롯 오프셋으로 결정하는 단계는 상기 프로세서가 상기 비할당 타임슬롯의 슬롯 오프셋 중에서 순서가 빠른 순으로 상기 전력 셀의 개수와 상기 데이터 셀의 개수를 합산한 총 개수만큼의 슬롯 오프셋을 확인하는 단계; 및 상기 프로세서가 상기 전력 셀의 슬롯 오프셋이 상기 데이터 셀의 슬롯 오프셋 보다 순서가 빠르도록 상기 확인된 슬롯 오프셋을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정하는 단계;를 포함할 수 있다.

[0023] 바람직하게, 상기 채널 오프셋을 결정하는 단계는 상기 프로세서가 상기 경과 슬롯 번호에서 상기 미리 설정된 신호 채널 인덱스를 차감하여 상기 전력 셀 및 상기 데이터 셀의 채널 오프셋으로 결정되는 채널 오프셋을 산출하는 단계;를 포함할 수 있다.

[0024] 바람직하게, 상기 채널 오프셋을 산출하는 단계는 상기 프로세서가 상기 슬롯 프레임의 시간 길이에 상기 슬롯 프레임의 시퀀스 번호를 곱하여 제1 할당값을 산출하는 단계; 및 상기 프로세서가 상기 비할당 타임슬롯의 슬롯 오프셋에 상기 제1 할당값을 합산하여 상기 경과 슬롯 번호를 산출하는 단계;를 포함할 수 있다.

[0025] 본 발명에 따른 컴퓨터 프로그램은 하드웨어인 컴퓨터와 결합되어, 상술된 전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치의 제어 방법을 수행할 수 있도록 컴퓨터에서 독출가능한 기록매체에 저장될 수 있다.

발명의 효과

[0027] 본 발명에 따르면, 액세스 포인트 장치가 센서 장치로부터 산출된 전력 셀의 개수와 데이터 셀의 개수에 기초하여 전력 셀과 데이터 셀을 순차적으로 할당함으로써, 무선 전력 센서 네트워크에서 발생하는 오버헤드를 감소시킬 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 시스템의 구성을 도시한 도면이다.
- 도 2는 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 시스템이 이용하는 TSCH 슬롯 프레임의 구조를 도시한 도면이다.
- 도 3은 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 시스템에 의해 수행되는 에너지 수확 과정에서의 타이밍도이다.
- 도 4는 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 시스템에 의해 수행되는 데이터 송수신 과정에서의 타이밍도이다.
- 도 5는 본 발명의 일 실시 예에 따른 센서 장치의 구성도이다.
- 도 6은 본 발명의 일 실시 예에 따른 액세스 포인트 장치의 구성도이다.
- 도 7은 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치의 제어 방법에 따른 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 본 발명의 다양한 실시 예가 첨부된 도면을 참조하여 기재된다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 실시 예의 다양한 변경(modification), 균등물(equivalent), 및/또는 대체물(alternative)을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.
- [0031] 본 문서에서, "가진다", "가질 수 있다", "포함한다", 또는 "포함할 수 있다" 등의 표현은 해당 특징(예: 수치, 기능, 동작, 또는 부품 등의 구성요소)의 존재를 가리키며, 추가적인 특징의 존재를 배제하지 않는다.
- [0032] 본 문서에서, "A 또는 B", "A 또는/및 B 중 적어도 하나", 또는 "A 또는/및 B 중 하나 또는 그 이상" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다. 예를 들면, "A 또는 B", "A 및 B 중 적어도 하나", 또는 "A 또는 B 중 적어도 하나"는, (1) 적어도 하나의 A를 포함, (2) 적어도 하나의 B를 포함, 또는(3) 적어도 하나의 A 및 적어도 하나의 B 모두를 포함하는 경우를 모두 지칭할 수 있다.
- [0033] 본 문서에서 사용된 "제1", "제2", "첫째", 또는 "둘째" 등의 표현들은 다양한 구성요소들을, 순서 및/또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다. 예를 들면, 제1 사용자 기기와 제2 사용자 기기는, 순서 또는 중요도와 무관하게, 서로 다른 사용자 기기를 나타낼 수 있다. 예를 들면, 본 문서에 기재된 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 바꾸어 명명될 수 있다.
- [0034] 어떤 구성요소(예: 제1 구성요소)가 다른 구성요소(예: 제2 구성요소)에 "(기능적으로 또는 통신적으로) 연결되어"((operatively or communicatively) coupled with/to)" 있다거나 "접속되어(connected to)" 있다고 언급된 때에는, 어떤 구성요소가 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소(예: 제1 구성요소)가 다른 구성요소(예: 제2 구성요소)에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 어떤 구성요소와 다른 구성요소 사이에 다른 구성요소(예: 제3 구성요소)가 존재하지 않는 것으로 이해될 수 있다.
- [0035] 본 문서에서 사용된 표현 "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, "~에 적합한(suitable for)", "~하는 능력을 가지는(having the capacity to)", "~하도록 설계된(designed to)", "~하도록 변경된(adapted to)", "~하도록 만들어진(made to)", 또는 "~를 할 수 있는(capable of)"과 바꾸어 사용될 수 있다. 용어 "~하도록 구성(또는 설정)된"은 하드웨어적으로 "특별히 설계된(specifically designed to)" 것만을 반드시 의미하지 않을 수 있다. 대신, 어떤 상황에서, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다. 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성(또는 설정)된 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서

(generic-purpose processor)(예: CPU 또는 application processor)를 의미할 수 있다.

- [0036] 본 문서에서 사용된 용어들은 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 다른 실시 예의 범위를 한정하려는 의도가 아닐 수 있다. 단수의 표현은 컨텍스트 상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다. 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 용어들은 본 문서에 기재된 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가질 수 있다. 본 문서에 사용된 용어들 중 일반적인 사전에 정의된 용어들은 관련 기술의 컨텍스트 상 가지는 의미와 동일 또는 유사한 의미로 해석될 수 있으며, 본 문서에서 명백하게 정의되지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다. 경우에 따라서, 본 문서에서 정의된 용어일지라도 본 문서의 실시 예들을 배제하도록 해석될 수 없다.
- [0037] 도 1은 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 시스템(10)의 구성을 도시한 도면이다.
- [0038] 도 1을 참조하면, 전력 셀 및 데이터 셀을 할당하는 시스템(10)은 복수의 센서 장치(100) 및 액세스 포인트 장치(200)를 포함할 수 있다.
- [0039] 전력 셀 및 데이터 셀을 할당하는 시스템(10)은 중앙의 액세스 포인트 장치(200)에 모든 복수의 센서 장치(100)가 접속된 스타형 토폴로지 구조일 수 있다.
- [0040] 액세스 포인트 장치(200)는 RF 신호를 복수의 센서 장치(100)로 송신하고, 복수의 센서 장치(100)는 RF 신호로부터 에너지를 수확할 수 있다.
- [0041] ,또한, 액세스 포인트 장치(200)는 복수의 센서 장치(100)로부터 데이터를 수신할 수 있다.
- [0042] 즉, 복수의 센서 장치(100) 및 액세스 포인트 장치(200)는 무선으로 에너지를 수확하고 데이터를 송수신하는 무선 전력 센서 네트워크(Wireless Power Sensor Network, WPSN)를 구성할 수 있다.
- [0043] 또한, 복수의 센서 장치(100) 및 액세스 포인트 장치(200)는 IEEE 802.15.4 표준 통신 규격의 TSCH(Time Slotted Channel Hopping)를 이용하여 무선으로 에너지를 수확하고 데이터를 송수신할 수 있다.
- [0044] 일 실시 예에서, 액세스 포인트 장치(200)는 하이브리드 액세스 포인트일 수 있으며, 복수의 센서 장치(100)는 주변 환경의 변화를 감지한 센싱 데이터를 액세스 포인트 장치(200)로 송신하는 센서일 수 있다.
- [0045] 도 2는 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 시스템이 이용하는 TSCH 슬롯 프레임의 구조를 도시한 도면이다.
- [0046] 도 2를 더 참조하면, 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 시스템이 이용하는 TSCH 슬롯 프레임(이하 '슬롯 프레임'이라 함)은 복수의 셀을 포함하고, 복수의 셀 각각은 슬롯 오프셋과 채널 오프셋으로 구분 및 정의될 수 있다.
- [0047] 여기서, 슬롯 오프셋은 타임슬롯 식별정보(ID)이고, 예를 들어, 슬롯 오프셋은 0 내지 n (n 은 정수)일 수 있다. 여기서, 채널 오프셋은 물리 채널을 선택 및 결정하기 위해 사용되는 값일 수 있으며, 예를 들어, 채널 오프셋은 0 내지 k (k 는 정수)일 수 있다.
- [0048] 즉, 슬롯 프레임의 어느 하나의 타임슬롯에는 슬롯 오프셋은 동일하고 채널 오프셋이 상이한 복수의 셀이 포함될 수 있다.
- [0049] 이때, 슬롯 프레임에 포함된 복수의 셀들 중에서 일부 셀들은 액세스 포인트 장치(200)가 송신하는 RF 신호를 통해 에너지를 수확하는 것으로 정의된 전력 셀 및 데이터를 송수신하는 것으로 정의된 데이터 셀로 할당될 수 있다.
- [0050] 상술된 액세스 포인트 장치(200)의 전력 셀 및 데이터 셀 할당에 대해서는 후술하도록 한다.
- [0051] 도 3은 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 시스템에 의해 수행되는 에너지 수확 과정에서 타이밍도이고, 도 4는 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 시스템에 의해 수행되는 데이터 송수신 과정에서의 타이밍도이다.
- [0052] 도 3 및 도 4를 참조하면, 센서 장치(100)는 액세스 포인트 장치(200)로부터 송신된 RF 신호로부터 에너지를 수확하고, 수확된 에너지를 소비하여 액세스 포인트 장치(200)로 데이터를 송신할 수 있다.
- [0053] 다시 말해, 액세스 포인트 장치(200)는 센서 장치(100)로 RF 신호를 송신하고, 액세스 포인트 장치(200)는 RF 신호로부터 에너지를 수확한 센서 장치(100)로부터 데이터를 수신할 수 있다.

- [0054] 이를 위해, 센서 장치(100)와 액세스 포인트 장치(200)는 에너지의 수확의 시작단에 송신 오프셋(Tx Offset)의 시간 길이 만큼 대기하고, 액세스 포인트 장치(200)가 센서 장치(100)로 RF 신호를 송신하여 센서 장치(100)가 에너지를 수확할 수 있다.
- [0055] 또한, 센서 장치(100)와 액세스 포인트 장치(200)는 데이터의 송수신의 시작단에 송신 오프셋(Tx Offset)의 시간 길이 만큼 대기하고, 센서 장치(100)가 액세스 포인트 장치(200)로 데이터 패킷을 송신하며, 데이터 패킷(Data Packet)의 송수신 이후 액세스 포인트 장치(200)가 센서 장치(100)로 수신확인 메시지(Ack)를 송신할 수 있다.
- [0056] 이때, 센서 장치(100)와 액세스 포인트 장치(200)는 단기 인터프레임 간격(SIFS)을 두고 데이터 패킷의 송수신과 수신확인 메시지의 송수신을 수행할 수 있다.
- [0057] 한편, 센서 장치(100)는 에너지의 수확에 필요한 전력 셀의 개수와 데이터의 송수신에 필요한 데이터 셀의 개수를 산출하는 프로세서(110)를 포함할 수 있다.
- [0058] 구체적으로, 프로세서(110)는 데이터의 송신에 필요한 에너지의 양을 나타내는 에너지 소비량, 타임슬롯의 시간 길이 동안 수신될 수 있는 에너지의 양을 나타내는 에너지 수확량 및 타임슬롯과 송신 오프셋 각각의 시간 길이 간의 시간 비율에 기초하여 에너지의 수확에 필요한 전력 셀의 개수를 산출할 수 있다.
- [0059] 이를 위해, 프로세서(110)는 단위 시간당 수확되는 에너지의 양을 나타내는 에너지 단위 수확량 및 타임슬롯의 시간 길이를 이용하여 에너지 수확량을 산출할 수 있다.
- [0060] 또한, 프로세서(110)는 액세스 포인트 장치(200)로 송신해야할 전체 데이터의 크기를 단위 데이터 크기당 송신에 소비되는 에너지의 양을 나타내는 에너지 단위 소비량으로 나누어 에너지 소비량을 산출할 수 있다.
- [0061] 이어서, 프로세서(110)는 에너지 소비량을 에너지 수확량으로 나누어 제1 산출값을 산출하고, 타임슬롯의 시간 길이와 송신 오프셋의 시간 길이 간의 시간차를 타임슬롯의 시간 길이로 나누어 시간 비율을 산출하고, 제1 산출값에 시간 비율을 차감하여 전력 셀의 개수를 산출할 수 있다.
- [0062] 이때, 프로세서(110)는 하기의 수학식 1을 이용하여 전력 셀의 개수를 산출할 수 있다.
- [0064] <수학식 1>
- $$N_{pwr} = \left\lceil \frac{E_{con} - E_{BH}(L_{timeslot} - L_{TxOffset})}{E_{BH}L_{timeslot}} \right\rceil + 1$$
- [0065]
- [0066] 여기서, N_{pwr} 은 전력 셀의 개수이고, E_{con} 은 에너지 소비량이고, E_{BH} 는 에너지 단위 수확량이고, $L_{timeslot}$ 은 타임슬롯의 시간 길이이고, $L_{TxOffset}$ 은 송신 오프셋의 시간 길이이다.
- [0068] 한편, 프로세서(110)는 데이터의 송신에 필요한 시간을 나타내는 송신 시간, 송신 오프셋의 시간 길이 및 타임슬롯의 시간 길이에 기초하여 데이터의 송수신에 필요한 데이터 셀의 개수를 산출할 수 있다.
- [0069] 이를 위해, 프로세서(110)는 데이터에 대응되는 데이터 패킷의 크기, 데이터 패킷에 대응되는 수신확인 메시지의 크기, 센서 장치와 액세스 포인트 장치 간의 데이터 전송률, 단기 인터프레임 간격의 시간 길이 및 데이터 패킷의 개수를 이용하여 송신 시간을 산출할 수 있다.
- [0070] 이때, 프로세서(110)는 액세스 포인트 장치(200)로 송신해야할 전체 데이터의 크기를 데이터 패킷의 크기로 나누어 데이터 패킷의 개수를 산출할 수 있다.
- [0071] 이어서, 프로세서(110)는 송신 시간에서 송신 오프셋의 시간 길이 및 단기 인터프레임 간격의 시간 길이를 각각 차례로 합산 및 감산하여 제2 산출값을 산출하고, 제2 산출값을 타임슬롯의 시간 길이로 나누어 데이터 셀의 개수를 산출할 수 있다.

[0072] 이때, 프로세서(110)는 하기의 수학적 식 2를 이용하여 데이터 셀의 개수를 산출할 수 있다.

[0074] <수학적 식 2>

$$N_{data} = \left\lfloor \frac{n_{pkt} \{ (S_{data} + S_{ack}) / r + 2L_{SIFS} \} + L_{TxOffset} - L_{SIFS}}{L_{timeslot}} \right\rfloor$$

[0075]

[0076] 여기서, N_{data} 는 데이터 셀의 개수이고, n_{pkt} 는 데이터 패킷의 개수고, S_{data} 는 데이터 패킷의 크기고, S_{ack} 는 수신 확인 메시지의 크기고, r 은 센서 장치와 액세스 포인트 장치 간의 데이터 전송률이고, L_{SIFS} 는 단기 인터프레임 간격의 시간 길이이고, $L_{TxOffset}$ 은 송신 오프셋의 시간 길이이고, $L_{timeslot}$ 은 타임슬롯의 시간 길이이다.

[0078] 한편, 센서 장치(100)는 슬롯 프레임에 포함된 복수의 셀 중에서 전력 셀과 데이터 셀을 할당하도록 요청하는 셀 할당 요청 메시지를 액세스 포인트 장치(200)로 송신하는 통신부(120)를 포함할 수 있다.

[0079] 이때, 통신부(120)는 프로세서(110)에 의해 산출된 전력 셀의 개수와 데이터 셀의 개수를 셀 할당 요청 메시지에 포함시켜 액세스 포인트 장치(200)로 송신할 수 있다.

[0080] 액세스 포인트 장치(200)는 셀 할당 요청 메시지가 수신되면 셀 할당 요청 메시지에 포함된 전력 셀의 개수와 데이터 셀의 개수에 기초하여 슬롯 프레임에 포함된 복수의 셀 중에서 일부 셀을 전력 셀 및 데이터 셀 중 어느 하나로 할당할 수 있다.

[0081] 이를 위해, 액세스 포인트 장치(200)는 에너지의 수확에 필요한 전력 셀의 개수와 데이터의 송수신에 필요한 데이터 셀의 개수를 포함하고, 슬롯 프레임에 포함된 복수의 셀 중 하나 이상의 셀을 전력 셀 및 데이터 셀 중 어느 하나로 할당 요청하는 셀 할당 요청 메시지를 센서 장치(100)로부터 수신하는 통신부(220)를 포함할 수 있다.

[0082] 또한, 액세스 포인트 장치(200)는 전력 셀 할당과 데이터 셀 할당을 수행하는 프로세서(210)를 더 포함할 수 있다.

[0083] 구체적으로, 프로세서(210)는 슬롯 프레임의 타임슬롯 중에서 비할당된 셀만을 포함하는 비할당 타임슬롯을 검색할 수 있다.

[0084] 보다 구체적으로, 프로세서(210)는 타임슬롯 중에서 포함된 셀 모두가 전력 셀로도 할당되지 않고, 데이터 셀로도 할당되지 않은 타임슬롯을 비할당 타임슬롯으로 검색할 수 있다.

[0085] 이후, 프로세서(210)는 전력 셀의 개수와 데이터 셀의 개수에 기초하여 비할당 타임슬롯의 슬롯 오프셋 각각을 전력 셀 및 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정할 수 있다.

[0086] 이때, 프로세서(210)는 비할당 타임슬롯의 슬롯 오프셋 중에서 순서가 빠른 순으로 전력 셀의 개수와 데이터 셀의 개수를 합산한 총 개수만큼의 슬롯 오프셋을 확인할 수 있다.

[0087] 예를 들어, 프로세서(210)는 전력 셀의 개수와 데이터 셀의 개수가 각각 5개 및 7개인 경우, 총 개수를 12개로 산출하고, 슬롯 오프셋이 나타내는 순서가 빠른 순으로 12개의 비할당 타임 슬롯의 슬롯 오프셋만을 확인할 수 있다.

[0088] 이어서, 프로세서(210)는 전력 셀의 슬롯 오프셋이 데이터 셀의 슬롯 오프셋 보다 순서가 빠르도록 확인된 슬롯 오프셋을 전력 셀 및 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정할 수 있다.

[0089] 앞선 예를 이어서 설명하면, 프로세서(210)는 12개의 비할당 타임 슬롯의 슬롯 오프셋 중에서 순서가 빠른 순으로 5개의 슬롯 오프셋을 전력 셀의 슬롯 오프셋으로 결정하고, 나머지 7개의 슬롯 오프셋을 데이터 셀의 슬롯 오프셋을 결정할 수 있다.

[0090] 이후, 프로세서(210)는 전력 셀 및 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 슬롯 오프셋이 결정된 할당 타임슬롯의 경과 슬롯 번호 및 미리 설정된 선호 채널 인덱스에 기초하여 전력 셀 및 데이터 셀 각각의 채널 오

프셋을 결정할 수 있다.

[0091] 이를 위해, 프로세서(210)는 경과 슬롯 번호에서 미리 설정된 선호 채널 인덱스를 차감하여 전력 셀 및 데이터 셀의 채널 오프셋으로 결정되는 채널 오프셋을 산출할 수 있다.

[0092] 또한, 프로세서(210)는 슬롯 프레임의 시간 길이에 슬롯 프레임의 시퀀스 번호를 곱하여 제1 할당값을 산출하고, 비할당 타임슬롯의 슬롯 오프셋에 제1 할당값을 합산하여 경과 슬롯 번호를 산출할 수 있다.

[0093] 이때, 프로세서(210)는 하기의 수학적 식 3을 이용하여 채널 오프셋 및 경과 슬롯 번호를 산출할 수 있다.

[0095] <수학적 식 3>

$$\begin{aligned} channelOffset &= ASN - CH_{pre} \\ &= slotOffset + L_{slotframe} \times Seq_{slotframe} - CH_{pre} \end{aligned}$$

[0096]

[0097] 여기서, channelOffset은 채널 오프셋이고, ASN은 경과 슬롯 번호이고, CH_{pre}는 미리 설정된 선호 채널 인덱스이고, slotOffset은 슬롯 오프셋이고, L_{slotframe}은 슬롯 프레임의 시간 길이이고, Seq_{slotframe}은 슬롯 프레임의 시퀀스 번호이다.

[0099] 이때, 미리 설정된 선호 채널 인덱스는 센서 장치(100)와 액세스 포인트 장치(200) 간에 통신 감도에 기초하여 통신에 이용되는 채널의 인덱스일 수 있다.

[0101] 한편, 프로세서(210)는 하기의 수학적 식 4를 이용하여 센서 장치(100)와 액세스 포인트 장치(200) 간에 통신을 수행하는데 이용되는 물리 채널의 인덱스는 정의할 수 있다.

[0103] <수학적 식 4>

$$CH = CH' [(ASN + channelOffset) \% N_{ch}]$$

[0104]

[0105] 여기서, CH는 물리 채널의 인덱스이고, CH'는 채널 목록이고, ASN은 경과 슬롯 번호이고, channelOffset은 채널 오프셋이고, N_{ch}는 물리적 채널 수이다.

[0106] 최종적으로, 프로세서(210)는 할당된 전력 셀과 데이터 셀 각각의 슬롯 오프셋과 채널 오프셋을 센서 장치(100)로 송신하도록 통신부(220)를 제어할 수 있다.

[0107] 이를 통해, 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 시스템(10)은 에너지 수확과 데이터 송수신 각각에 필요한 전력 셀의 개수와 데이터 셀의 개수를 정확하게 산출하여 효율적인 수의 전력 셀과 데이터 셀을 순차적으로 할당함으로써, 무작위로 전력 셀과 데이터 셀을 할당하는 종래의 무선 전력 센서 네트워크에서 발생하는 오버헤드를 감소시킬 수 있다.

[0108] 도 5는 본 발명의 일 실시 예에 따른 센서 장치의 구성도이다.

[0109] 도 5를 참조하면, 센서 장치(100)는 프로세서(110), 통신부(120) 및 메모리(130)를 포함할 수 있다.

[0110] 통신부(120)는 다양한 유무선 통신방식으로 적어도 하나의 외부 장치와 통신을 수행하기 위한 회로, 모듈, 칩 등을 포함할 수 있다.

[0111] 통신부(120)는 다양한 네트워크를 통해 외부 장치들과 연결될 수 있다.

[0112] 메모리(130)는 센서 장치(100)의 구성요소들의 전반적인 동작을 제어하기 위한 운영체제(OS: Operating System) 및 센서 장치(100)의 구성요소와 관련된 적어도 하나의 인스트럭션 또는 데이터를 저장하기 위한 구성이다.

- [0113] 메모리(130)는 ROM, 플래시 메모리 등의 비휘발성 메모리를 포함할 수 있으며, DRAM 등으로 구성된 휘발성 메모리를 포함할 수 있다. 또한, 메모리(130)는 하드 디스크, SSD(Solid state drive) 등을 포함할 수도 있다.
- [0114] 프로세서(110)는 센서 장치(100)를 전반적으로 제어하기 위한 구성이다. 구체적으로, 프로세서(110)는 메모리(130)와 연결되는 한편 메모리(130)에 저장된 적어도 하나의 인스트럭션을 실행함으로써 본 개시의 다양한 실시 예들에 따른 동작을 수행할 수 있다.
- [0115] 프로세서(110)는 CPU, AP, DSP(Digital Signal Processor) 등과 같은 범용 프로세서, GPU, VPU(Vision Processing Unit) 등과 같은 그래픽 전용 프로세서 또는 NPU와 같은 인공지능 전용 프로세서 등을 포함할 수 있다. 인공지능 전용 프로세서는, 특정 인공지능 모델의 훈련 내지는 이용에 특화된 하드웨어 구조로 설계될 수 있다.
- [0116] 도 6은 본 발명의 일 실시 예에 따른 액세스 포인트 장치의 구성도이다.
- [0117] 도 6을 참조하면, 액세스 포인트 장치(200)는 프로세서(210), 통신부(220) 및 메모리(230)를 포함할 수 있다.
- [0118] 통신부(220)는 다양한 유무선 통신방식으로 적어도 하나의 외부 장치와 통신을 수행하기 위한 회로, 모듈, 칩 등을 포함할 수 있다.
- [0119] 통신부(220)는 다양한 네트워크를 통해 외부 장치들과 연결될 수 있다.
- [0120] 메모리(230)는 액세스 포인트 장치(200)의 구성요소들의 전반적인 동작을 제어하기 위한 운영체제(OS: Operating System) 및 액세스 포인트 장치(200)의 구성요소와 관련된 적어도 하나의 인스트럭션 또는 데이터를 저장하기 위한 구성이다.
- [0121] 메모리(230)는 ROM, 플래시 메모리 등의 비휘발성 메모리를 포함할 수 있으며, DRAM 등으로 구성된 휘발성 메모리를 포함할 수 있다. 또한, 메모리(230)는 하드 디스크, SSD(Solid state drive) 등을 포함할 수도 있다.
- [0122] 프로세서(210)는 액세스 포인트 장치(200)를 전반적으로 제어하기 위한 구성이다. 구체적으로, 프로세서(210)는 메모리(230)와 연결되는 한편 메모리(230)에 저장된 적어도 하나의 인스트럭션을 실행함으로써 본 개시의 다양한 실시 예들에 따른 동작을 수행할 수 있다.
- [0123] 프로세서(210)는 CPU, AP, DSP(Digital Signal Processor) 등과 같은 범용 프로세서, GPU, VPU(Vision Processing Unit) 등과 같은 그래픽 전용 프로세서 또는 NPU와 같은 인공지능 전용 프로세서 등을 포함할 수 있다. 인공지능 전용 프로세서는, 특정 인공지능 모델의 훈련 내지는 이용에 특화된 하드웨어 구조로 설계될 수 있다.
- [0124] 한편, 이상에서 설명된 다양한 실시 예들은 서로 저촉되지 않는 한 둘 이상의 실시 예가 함께 구현될 수 있다.
- [0125] 한편, 이상에서 설명된 다양한 실시 예들은 소프트웨어(software), 하드웨어(hardware) 또는 이들의 조합된 것을 이용하여 컴퓨터 또는 이와 유사한 장치로 읽을 수 있는 기록 매체 내에서 구현될 수 있다.
- [0126] 하드웨어적인 구현에 의하면, 본 개시에서 설명되는 실시 예들은 ASICs(Application Specific Integrated Circuits), DSPs(digital signal processors), DSPDs(digital signal processing devices), PLDs(Programmable logic devices), FPGAs(field programmable gate arrays), 프로세서(processor), 제어기(controller), 마이크로 컨트롤러(micro-controllers), 마이크로 프로세서(microprocessor), 기타 기능 수행을 위한 전기적인 유닛(unit) 중 적어도 하나를 이용하여 구현될 수 있다.
- [0127] 일부의 경우에 본 명세서에서 설명되는 실시 예들이 프로세서 자체로 구현될 수 있다. 소프트웨어적인 구현에 의하면 본 명세서에서 설명되는 절차 및 기능과 같은 실시 예들은 별도의 소프트웨어 모듈들로 구현될 수 있다. 상술한 소프트웨어 모듈들 각각은 본 명세서에서 설명되는 하나 이상의 기능 및 작동을 수행할 수 있다.
- [0129] 도 7은 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치의 제어 방법에 따른 순서도이다.
- [0130] 도 7을 참조하면, 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치의 제어 방법은 S1 단계에서, 통신부가 상기 에너지의 수확신에 필요한 전력 셀의 개수와 상기 데이터의 송수신에 필요한 데이터 셀의 개수를 포함하고, 슬롯 프레임에 포함된 복수의 셀 중 하나 이상의 셀을 상기 전력 셀 및 상기

데이터 셀 중 어느 하나로 할당 요청하는 셀 할당 요청 메시지를 상기 센서 장치로부터 수신하게 된다.

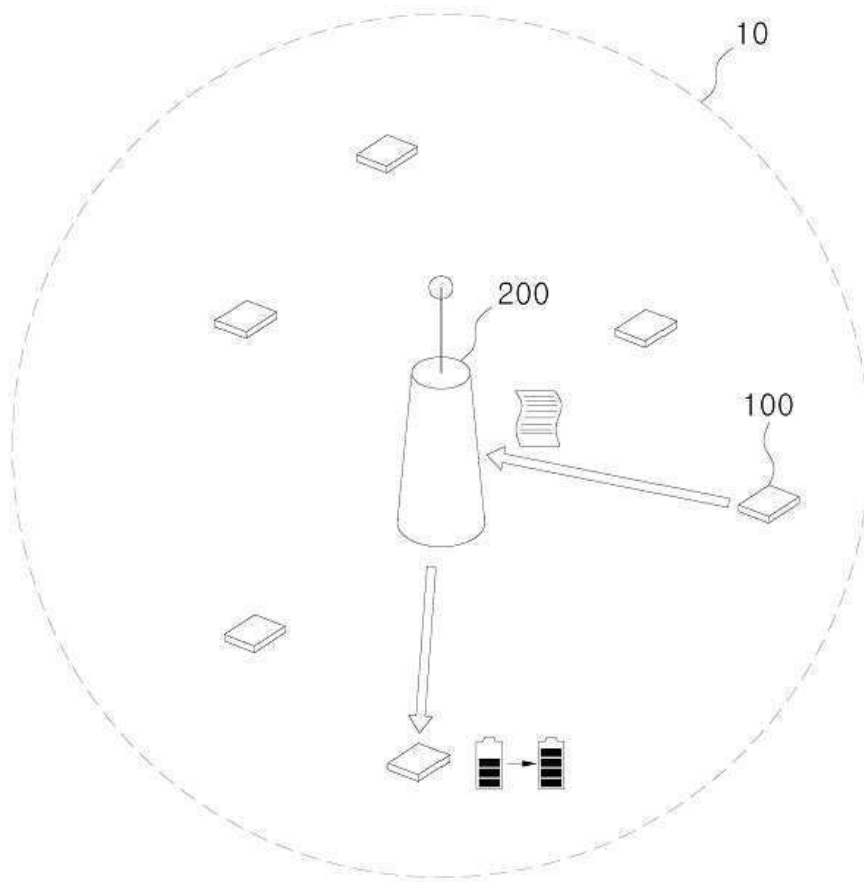
- [0131] 이후, S2 단계에서, 프로세서가 상기 슬롯 프레임의 타임슬롯 중에서 비할당된 셀만을 포함하는 비할당 타임슬롯을 검색하게 된다.
- [0132] 이어서, S3 단계에서, 프로세서가 상기 전력 셀의 개수와 상기 데이터 셀의 개수에 기초하여 비할당 타임슬롯의 슬롯 오프셋 각각을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정하게 된다.
- [0133] 이때, S3 단계는 상기 프로세서가 상기 비할당 타임슬롯의 슬롯 오프셋 중에서 순서가 빠른 순으로 상기 전력 셀의 개수와 상기 데이터 셀의 개수를 합산한 총 개수만큼의 슬롯 오프셋을 확인하는 단계를 포함할 수 있다.
- [0134] 또한, S3 단계는 상기 프로세서가 상기 전력 셀의 슬롯 오프셋이 상기 데이터 셀의 슬롯 오프셋 보다 순서가 빠르도록 상기 확인된 슬롯 오프셋을 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 결정하는 단계를 포함할 수 있다.
- [0135] 최종적으로, S4 단계에서, 상기 프로세서가 상기 전력 셀 및 상기 데이터 셀 중 어느 하나의 셀의 슬롯 오프셋으로 슬롯 오프셋이 결정된 할당 타임슬롯의 경과 슬롯 번호 및 미리 설정된 선호 채널 인덱스에 기초하여 상기 전력 셀 및 상기 데이터 셀 각각의 채널 오프셋을 결정하게 된다.
- [0136] 이때, S4 단계는 상기 프로세서가 상기 경과 슬롯 번호에서 상기 미리 설정된 선호 채널 인덱스를 차감하여 상기 전력 셀 및 상기 데이터 셀의 채널 오프셋으로 결정되는 채널 오프셋을 산출하는 단계를 포함할 수 있다.
- [0137] 또한, S4 단계는 상기 채널 오프셋을 산출하는 단계는 상기 프로세서가 상기 슬롯 프레임의 시간 길이에 상기 슬롯 프레임의 시퀀스 번호를 곱하여 제1 할당값을 산출하는 단계를 포함할 수 있다.
- [0138] 또한, S4 단계는 상기 프로세서가 상기 비할당 타임슬롯의 슬롯 오프셋에 상기 제1 할당값을 합산하여 상기 경과 슬롯 번호를 산출하는 단계를 포함할 수 있다.
- [0139] 한편, 본 발명의 일 실시 예에 따른 컴퓨터 프로그램은 하드웨어인 컴퓨터와 결합되어, 본 발명의 일 실시 예에 따른 전력 셀 및 데이터 셀을 할당하는 액세스 포인트 장치의 제어 방법을 수행할 수 있도록 컴퓨터에서 독출가능한 기록매체에 저장될 수 있다.
- [0140] 본 발명의 실시예와 관련하여 설명된 방법 또는 알고리즘의 단계들은 하드웨어로 직접 구현되거나, 하드웨어에 의해 실행되는 소프트웨어 모듈로 구현되거나, 또는 이들의 결합에 의해 구현될 수 있다. 소프트웨어 모듈은 RAM(Random Access Memory), ROM(Read Only Memory), EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 플래시 메모리(Flash Memory), 하드 디스크, 착탈형 디스크, CD-ROM, 또는 본 발명이 속하는 기술 분야에서 잘 알려진 임의의 형태의 컴퓨터 판독가능 기록매체에 상주할 수도 있다.
- [0141] 이제까지 본 발명에 대하여 바람직한 실시 예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 본 발명을 구현할 수 있음을 이해할 것이다. 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 한다.
- [0142] 이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허 청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

부호의 설명

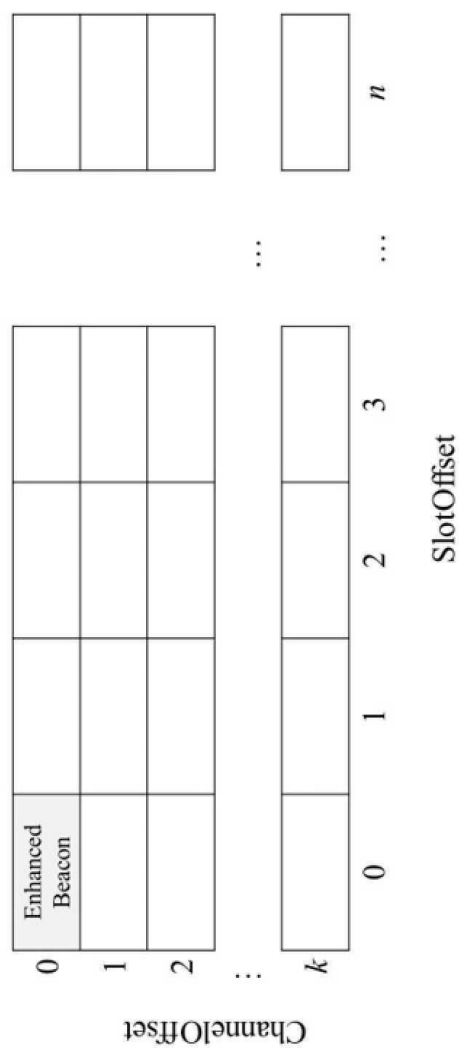
- [0144] 10: 전력 셀 및 데이터 셀을 할당하는 시스템
100: 복수의 센서 장치
200: 액세스 포인트 장치

도면

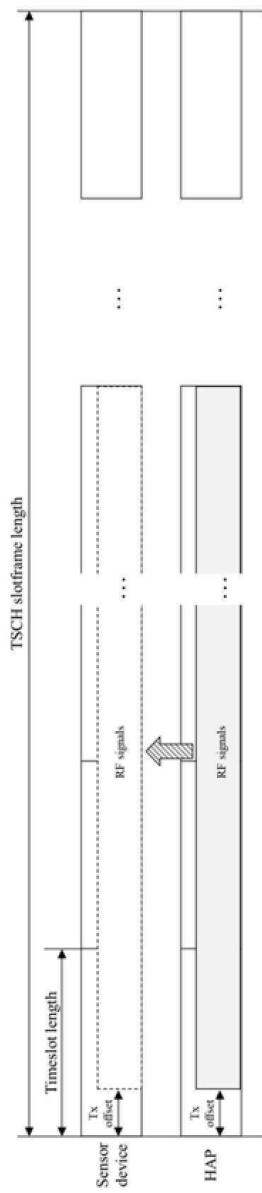
도면1



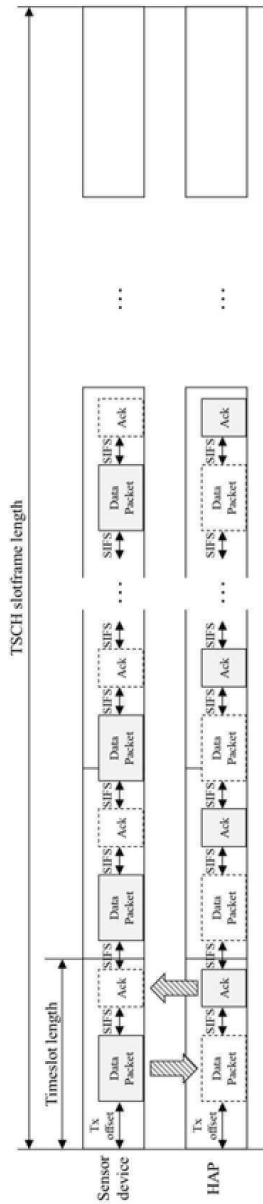
도면2



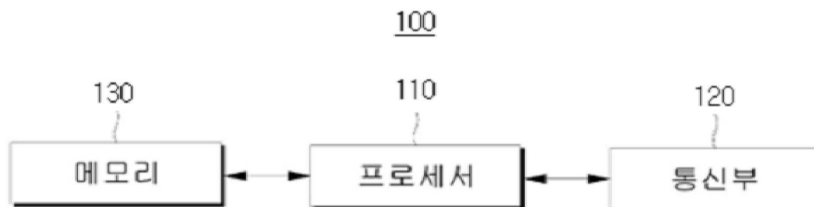
도면3



도면4



도면5



도면6



도면7

