



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0069517  
(43) 공개일자 2012년06월28일

- (51) 국제특허분류(Int. Cl.)  
G06F 13/38 (2006.01) G06F 13/14 (2006.01)  
G06F 13/16 (2006.01) G06F 12/16 (2006.01)
- (21) 출원번호 10-2011-0062097
- (22) 출원일자 2011년06월27일  
심사청구일자 없음
- (30) 우선권주장  
13/083,407 2011년04월08일 미국(US)  
61/424,701 2010년12월20일 미국(US)

- (71) 출원인  
엘에스아이 코퍼레이션  
미국 캘리포니아 밀피타스 바어버 레인 1621 (우:95035)
- (72) 발명자  
피실리오 개리 제이.  
미국 텍사스 77429 사이프레스 로머 코트 14407  
존 피터 비.  
미국 텍사스 77429 사이프레스 라벤더 런 드라이브 15919
- (74) 대리인  
장훈

전체 청구항 수 : 총 20 항

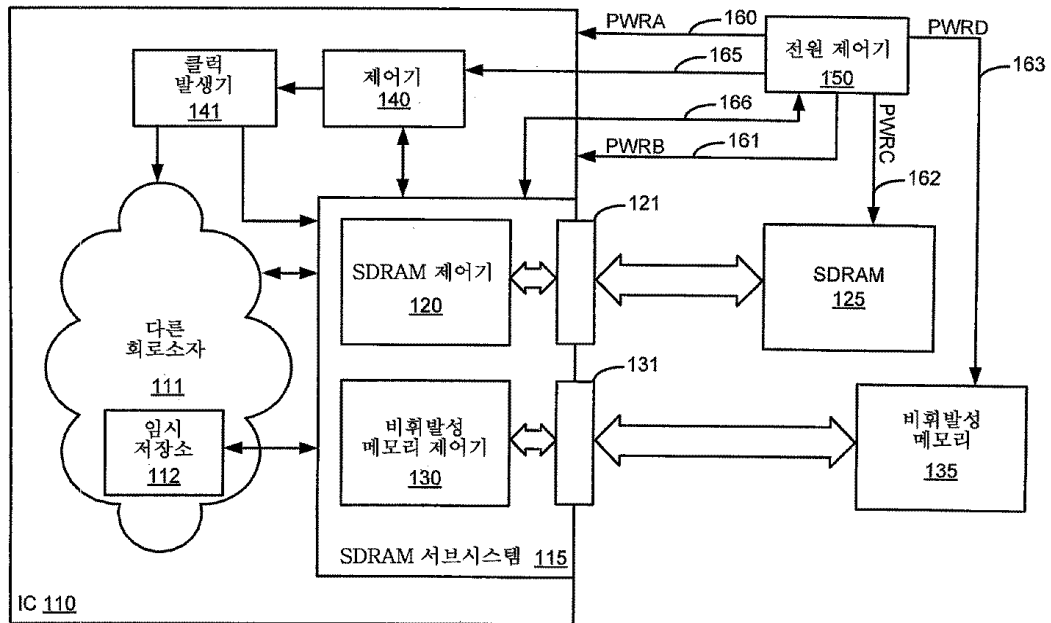
(54) 발명의 명칭 메모리 백업 중의 데이터 조작

(57) 요약

전원 차단 및 백업 시스템이 개시된다. 전원 장애 상태가 검출되면, 임시 저장소가 SDRAM으로 플래싱된다. 플래싱 후에, 인터페이스들이 정지되고, 전원은 SDRAM 서브시스템을 제외한 대부분의 칩으로부터 제거된다. SDRAM 서브시스템은 데이터를 SDRAM으로부터 플래시 메모리로 복사한다. 도중에, 데이터는 암호화될 수 있고/있거나 데이터 무결성 서명이 계산된다. 데이터를 복구하기 위해, SDRAM 서브시스템은 데이터를 플래시 메모리로부터 SDRAM으로 복사한다. 도중에, 복구되는 데이터는 복호화되고/되거나 데이터 무결성 서명이 검사된다.

대표도

100



**특허청구의 범위**

**청구항 1**

휘발성 메모리 및 비휘발성 메모리 사이에서 데이터를 전송하는 방법에 있어서:

메모리 어드레스 필드를 갖는 명령 데이터 블록을 수신하는 단계로서, 상기 메모리 어드레스 필드는 상기 휘발성 메모리 내의 위치를 표시하는 제 1 복수의 비트들 및 데이터 조작을 표시하는 제 2 복수의 비트들을 갖는, 상기 명령 데이터 블록을 수신하는 단계;

상기 표시된 데이터 조작에 기초하여, 상기 비휘발성 메모리에 송신되는 데이터에 대한 소스를 선택하는 단계;

데이터를 상기 휘발성 메모리로부터 상기 소스로 전송하는 단계;

조작된 데이터를 상기 소스로부터 수신하는 단계; 및

상기 조작된 데이터를 상기 비휘발성 메모리로 전송하는 단계를 포함하는, 데이터를 전송하는 방법.

**청구항 2**

제 1 항에 있어서,

상기 소스는 데이터 암호화 엔진인, 데이터를 전송하는 방법.

**청구항 3**

제 1 항에 있어서,

상기 소스는 서명 엔진인, 데이터를 전송하는 방법.

**청구항 4**

제 3 항에 있어서,

상기 제 2 복수의 비트들은 상기 서명 엔진이 데이터 무결성 서명을 송신하는 것임을 표시하는, 데이터를 전송하는 방법.

**청구항 5**

제 1 항에 있어서,

상기 소스는 복수의 서명 엔진들 중 하나일 수 있고, 상기 제 2 복수의 비트들은 상기 복수의 서명 엔진들 중 상기 소스가 될 하나를 표시하는, 데이터를 전송하는 방법.

**청구항 6**

비휘발성 메모리 및 휘발성 메모리 사이에서 데이터를 전송하는 방법에 있어서:

메모리 어드레스 필드를 갖는 명령 데이터 블록을 수신하는 단계로서, 상기 메모리 어드레스 필드는 상기 휘발성 메모리 내의 위치를 표시하는 제 1 복수의 비트들 및 데이터 조작을 표시하는 제 2 복수의 비트들을 갖는, 상기 명령 데이터 블록을 수신하는 단계;

상기 표시된 데이터 조작에 기초하여, 상기 휘발성 메모리에 송신되는 데이터에 대한 소스를 선택하는 단계;

데이터를 상기 비휘발성 메모리로부터 상기 소스로 전송하는 단계;

조작된 데이터를 상기 소스로부터 수신하는 단계; 및

상기 조작된 데이터를 상기 휘발성 메모리로 전송하는 단계를 포함하는, 데이터를 전송하는 방법.

**청구항 7**

제 6 항에 있어서,

상기 소스는 데이터 복호화 엔진인, 데이터를 전송하는 방법.

**청구항 8**

제 6 항에 있어서,

상기 소스는 서명 엔진인, 데이터를 전송하는 방법.

**청구항 9**

제 8 항에 있어서,

상기 제 2 복수의 비트들은 상기 서명 엔진이 데이터 무결성 서명을 송신하는 것임을 표시하는, 데이터를 전송하는 방법.

**청구항 10**

제 7 항에 있어서,

상기 소스는 복수의 서명 엔진들 중 하나일 수 있고, 상기 제 2 복수의 비트들은 상기 복수의 서명 엔진들 중 상기 소스가 될 하나를 표시하는, 데이터를 전송하는 방법.

**청구항 11**

집적 회로에 있어서:

메모리 어드레스 필드를 수신하는 데이터 조작 제어기로서, 상기 메모리 어드레스 필드는 휘발성 메모리 내의 위치를 표시하는 제 1 복수의 비트들 및 데이터 조작을 표시하는 제 2 복수의 비트들을 갖고, 상기 표시된 데이터 조작에 기초하여 비휘발성 메모리로 송신되는 데이터에 대한 소스를 선택하는, 상기 데이터 조작 제어기;

상기 휘발성 메모리에 결합되고, 상기 휘발성 메모리로부터 상기 소스로의 데이터의 전송을 용이하게 하는, 휘발성 메모리 제어기; 및

상기 비휘발성 메모리에 결합되고, 상기 소스로부터 조작된 데이터를 수신하고 상기 조작된 데이터를 상기 비휘발성 메모리에 전송하는, 휘발성 메모리 제어기를 포함하는, 집적 회로.

**청구항 12**

제 11 항에 있어서,

상기 소스는 데이터 암호화 엔진인, 집적 회로.

**청구항 13**

제 11 항에 있어서,

상기 소스는 서명 엔진인, 집적 회로.

**청구항 14**

제 13 항에 있어서,

상기 제 2 복수의 비트들은 상기 서명 엔진이 데이터 무결성 서명을 송신하는 것임을 표시하는, 집적 회로.

**청구항 15**

제 11 항에 있어서,

상기 소스는 복수의 서명 엔진들 중 하나일 수 있고, 상기 제 2 복수의 비트들은 상기 복수의 서명 엔진들 중 상기 소스가 될 하나를 표시하는, 집적 회로.

**청구항 16**

집적 회로에 있어서:

메모리 어드레스 필드를 수신하는 데이터 조작 제어기로서, 상기 메모리 어드레스 필드는 휘발성 메모리 내의 위치를 표시하는 제 1 복수의 비트들 및 데이터 조작을 표시하는 제 2 복수의 비트들을 갖고, 상기 표시된 데이터 조작에 기초하여, 상기 휘발성 메모리로 송신되는 데이터에 대한 소스를 선택하는, 상기 데이터 조작 제어기;

비휘발성 메모리에 결합되고, 상기 비휘발성 메모리로부터 상기 소스로의 데이터의 전송을 용이하게 하는, 비휘발성 메모리 제어기; 및

상기 휘발성 메모리에 결합되고, 상기 소스로부터 조작된 데이터를 수신하고 상기 조작된 데이터를 상기 휘발성 메모리에 전송하는, 휘발성 메모리 제어기를 포함하는, 집적 회로.

**청구항 17**

제 16 항에 있어서,

상기 소스는 데이터 암호화 엔진인, 집적 회로.

**청구항 18**

제 16 항에 있어서,

상기 소스는 서명 엔진인, 집적 회로.

**청구항 19**

제 18 항에 있어서,

상기 제 2 복수의 비트들은 상기 서명 엔진이 데이터 무결성 서명을 송신하는 것임을 표시하는, 집적 회로.

**청구항 20**

제 16 항에 있어서,

상기 소스는 복수의 서명 엔진들 중 하나일 수 있고, 상기 제 2 복수의 비트들은 상기 복수의 서명 엔진들 중 상기 소스가 될 하나를 표시하는, 집적 회로.

**명세서**

**기술분야**

[0001] 본 특허 출원은 Peter B. Chon에 의해 2010년 12월 20일에 제출된, "Low Power Hardware Controlled Memory Backup that includes Encryption and Signature Generation"라는 명칭의 미국 예비 특허 출원 일련번호 제 61/424,701 호에 기초하고 그 이점을 주장하며, 이에 의해 상기 출원은 특허 자신이 개시하고 교시하는 모든 것에 대하여 참조로서 본원에 통합된다.

**배경기술**

[0002] 컴퓨터 또는 다른 전자 시스템의 구성요소들 중 전부 또는 대부분은 단일 집적 회로(칩)에 통합될 수 있다. 칩은 디지털, 아날로그, 혼합형-신호, 및 무선-주파수 기능들의 다양한 결합들을 포함할 수 있다. 이 집적 회로들은 시스템-온-어-칩(system-on-a-chip: SoC 또는 SOC)으로 칭해질 수 있다. 전형적인 애플리케이션은 임베디드 시스템(embedded system)들의 에어리어에 속한다. 시스템 온 어 칩의 하나의 변형예는 단일 칩 상의 많은 RAID 기능들의 집적화이다. 이는 RAID 온 어 칩(RAID on a chip: ROC)으로 칭해질 수 있다.

[0003] RAID 어레이(array)들은 어떠한 데이터도 손실하지 않고 리던던시(redundancy) 및 여러 복구를 제공하는 방식들로 구성될 수 있다. RAID 어레이들은 또한 데이터가 다수의 디스크 드라이브들을 동시에 판독하거나 상기 디스크 드라이브에 동시에 기록하도록 함으로써 판독 및 기록 성능을 증가시키도록 구성될 수 있다. RAID 어레이들은 또한 "핫-스와핑(hot-swapping)"이 가능하도록 구성될 수 있고 핫-스와핑으로 인해 고장이 난 디스크는 어레이의 저장 서비스들을 중단시키지 않고 대체되는 것이 가능하다. 1987년에 University of California at Berkeley의 David A. Patterson 등에 의한 "A Case for Redundant Arrays of Inexpensive Disks(RAID)"라는 명칭의 간행물은 RAID 기술의 기본적인 개념들 및 레벨들을 논의한다.

**발명의 내용**

**해결하려는 과제**

[0004] RAID 저장 시스템들은 전형적으로 저장 어레이를 관리하는 세목들로부터 사용자 또는 호스트 시스템을 보호하는 제어기를 이용한다. 제어기는 저장 어레이가 하나 이상의 디스크 드라이브들(또는 볼륨(volume)들)로 나타내도록 한다. 이는 특정한 볼륨에 대한 데이터(리던던시 데이터)가 다수의 디스크 드라이브들에 걸쳐 확산될 수 있다는 점에도 불구하고 달성된다.

**과제의 해결 수단**

[0005] 그러므로, 본 발명의 실시예는 휘발성 메모리 및 비휘발성 메모리 사이에서 데이터를 전송하는 방법을 포함할 수 있고, 상기 방법은: 메모리 어드레스 필드를 갖는 명령 데이터 블록을 수신하는 단계로서, 상기 메모리 어드레스 필드는 휘발성 메모리 내의 위치를 표시하는 제 1 복수의 비트들 및 데이터 조작을 표시하는 제 2 복수의 비트들을 갖는, 상기 명령 데이터 블록을 수신하는 단계; 표시된 데이터 조작에 기초하여, 비휘발성 메모리에 송신되는 데이터에 대한 소스를 선택하는 단계; 데이터를 휘발성 메모리로부터 소스로 전송하는 단계; 조작된 데이터를 소스로부터 수신하는 단계; 및 조작된 데이터를 비휘발성 메모리로 전송하는 단계를 포함한다.

[0006] 그러므로, 본 발명의 실시예는 비휘발성 메모리 및 휘발성 메모리 사이에서 데이터를 전송하는 방법을 추가로 포함할 수 있고, 상기 방법은: 메모리 어드레스 필드를 갖는 명령 데이터 블록을 수신하는 단계로서, 메모리 어드레스 필드는 휘발성 메모리 내의 위치를 표시하는 제 1 복수의 비트들 및 데이터 조작을 표시하는 제 2 복수의 비트들을 갖는, 상기 명령 데이터 블록을 수신하는 단계; 표시된 데이터 조작에 기초하여, 휘발성 메모리에 송신되는 데이터에 대한 소스를 선택하는 단계; 데이터를 비휘발성 메모리로부터 소스로 전송하는 단계; 조작된 데이터를 소스로부터 수신하는 단계; 및 조작된 데이터를 휘발성 메모리로 전달하는 단계를 포함한다.

[0007] 그러므로, 본 발명의 실시예는 집적 회로를 추가로 포함할 수 있고, 상기 집적 회로는: 메모리 어드레스 필드를 수신하는 데이터 조작 제어기로서, 메모리 어드레스 필드는 휘발성 메모리 내의 위치를 표시하는 제 1 복수의 비트들 및 데이터 조작을 표시하는 제 2 복수의 비트들을 갖고, 표시된 데이터 조작에 기초하여, 상기 데이터 조작 제어기는 비휘발성 메모리로 송신되는 데이터에 대한 소스를 선택하는, 상기 데이터 조작 제어기; 휘발성 메모리에 결합되고, 휘발성 메모리로부터 소스로의 데이터의 전송을 용이하게 하는, 휘발성 메모리 제어기; 및 비휘발성 메모리에 결합되고, 소스로부터 조작된 데이터를 수신하고 조작된 데이터를 비휘발성 메모리에 전송하는, 비휘발성 메모리 제어기를 포함한다.

[0008] 그러므로, 본 발명의 실시예는 집적 회로를 추가로 포함할 수 있고, 상기 집적 회로는: 메모리 어드레스 필드를 수신하는 데이터 조작 제어기로서, 메모리 어드레스 필드는 휘발성 메모리 내의 위치를 표시하는 제 1 복수의 비트들 및 데이터 조작을 표시하는 제 2 복수의 비트들을 갖고, 표시된 데이터 조작에 기초하여, 휘발성 메모리로 송신되는 데이터에 대한 소스를 선택하는, 상기 데이터 조작 제어기; 비휘발성 메모리에 결합되고, 비휘발성 메모리로부터 소스로의 데이터의 전송을 용이하게 하는 비휘발성 메모리 제어기; 및 휘발성 메모리에 결합되고, 소스로부터 조작된 데이터를 수신하고 조작된 데이터를 휘발성 메모리에 전송하는 휘발성 메모리 제어기를 포함한다.

**발명의 효과**

[0009] 상술한 바와 같이 본 발명에 의해 메모리 백업 중에 효율적으로 데이터 조작이 가능한 방법 및 집적 회로가 제공된다.

**도면의 간단한 설명**

- [0010] 도 1은 전원 차단 및 백업 시스템의 블록도.
- 도 2는 전원 차단의 방법의 흐름도.
- 도 3a 및 도 3b는 데이터 조작 시스템 구성들의 블록도들.
- 도 4는 명령 데이터 블록(command data block: CDB)의 예시도.

도 5는 전원 차단 및 백업 시스템의 블록도.

도 6은 컴퓨터 시스템의 블록도.

**발명을 실시하기 위한 구체적인 내용**

- [0011] 도 1은 전원 차단 및 백업 시스템의 블록도이다. 도 1에서, 차단 및 백업 시스템(100)은: 집적 회로(110), 전원 제어기(150), SDRAM(125), 및 비휘발성 메모리(예를 들어 플래시)(135)를 포함한다. 집적 회로(IC)(110)는 SDRAM 서브시스템(115), 제어기(140), 클럭 발생기(141) 및 다른 회로소자(111)를 포함한다. SDRAM 서브시스템(115)은 SDRAM 제어기(120) 및 비휘발성 메모리 제어기(130)를 포함한다. 다른 회로소자(112)는 임시 저장소(112)(예를 들어, 캐시 메모리, 버퍼들 등)를 포함할 수 있다. SDRAM 제어기(120)는 인터페이스(121)를 통해 SDRAM(125)과 인터페이스하고 SDRAM(125)을 제어한다. 비휘발성 메모리 제어기(130)는 인터페이스(131)를 통해 비휘발성 메모리(135)와 인터페이스하고 비휘발성 메모리(135)를 제어한다. SDRAM 서브시스템(115)(및 그에 따른 SDRAM 제어기(120) 및 비휘발성 메모리 제어기(130))은 제어기(140), 클럭 발생기(141), 다른 회로소자(111), 및 임시 저장소(112)에 작동적으로 결합된다. 클럭 발생기(141)는 제어기(140) 및 다른 회로소자(111)에 작동적으로 결합된다.
- [0012] 전원 제어기(150)는 전원 장치 A(PWRA)(160)를 IC(110)에 제공한다. 전원 제어기(150)는 전원 장치 B(PWRB)(161)를 SDRAM 서브시스템(115)에 제공한다. 전원 제어기(150)는 전원 장치 C(PWRC)(162)를 SDRAM(125)에 제공한다. 전원 제어기(150)는 전원 장치 D(PWRD)(163)를 비휘발성 메모리(135)에 제공한다. 전원 제어기(150)는 전원 장애 신호(165)를 제어기(140)에 제공한다. 전원 제어기(150)는 또한 신호(166)에 의해 SDRAM 서브시스템에 작동적으로 결합된다.
- [0013] 본 출원에서 이용되는 바와 같이 SDRAM(Synchronous Dynamic Random Access Memory)은 모든 휘발성 메모리 기술들을 포함하도록 의도된 것이 이해되어야만 한다. 그러므로, SDRAM 서브시스템(115)은 실시예에서 정적 랜덤 액세스 메모리(Static Random Access Memory: SRAM) 제어기를 포함하고 SDRAM(125)은 SRAM 디바이스를 포함할 수 있다.
- [0014] 실시예에서, 전원 제어기(150)가 전원 장애 상태(임박한 전원 장애 아니면 기존의 전원 장애)를 검출하면, 전원 제어기(150)는 전원 장애 신호(165)를 통해 IC(110)에 상기 상태를 고지한다. 이는 전원 차단 시퀀스를 시작하여 특히 IC(110)의 나머지 부분 및 다른 회로 소자(111)로부터 SDRAM 서브시스템(115)을 분리할 것이다. 실시예에서, 전체 전원 차단 시퀀스는 소프트웨어의 상호 작용 없이 하드웨어(예를 들어, 제어기(140), SDRAM 서브시스템(115), 또는 이 둘 모두)에 의해 제어된다.
- [0015] 전원 장애 상태의 고지를 수신하자마자, SDRAM 서브시스템(115)에 접속된 인터페이스들(예를 들어, 다른 회로소자(111)로의 인터페이스들) 모두가 정지될 것이다. 온-칩 임시 저장소(112)는 플러싱(flushing)될 것이다. 도 1에서, 임시 저장소(112)가 SDRAM 서브시스템(115)의 외부에 도시되어 있을지라도, 임시 저장소(112)는 SDRAM 서브시스템(115)의 일부분일 수 있음이 이해되어야 한다. 예에서, 임시 저장소(112)는 캐시(예를 들어, 레벨 1 캐시, 레벨 2 캐시, 레벨 3 캐시), 포스팅 버퍼(posting buffer) 등일 수 있다.
- [0016] 일단 임시 저장소(112)가 플러싱되었다면, SDRAM 서브시스템(115)에 접속된 로직(logic)은 플러싱들에 이용되는 인터페이스들이 정지된 시점을 표시한다. 일단 정지되면, 이 인터페이스들은 어떠한 새로운 사이클들도 허용하지 않는다. 일단 인터페이스들 모두가 정지되면, 외부 디바이스들 및 내부 코어 로직(core logic)(즉, 다른 회로소자(111))에 대해 요구되는 입력들은 차단이 발생할 때 자신들의 상태가 상실되지 않도록 래칭(latching)된다. 입력들이 래칭된 이후에 필요하지 않은 클럭들은 게이트 오프된다(gate off). SDRAM 서브시스템은 내부에서 발생하는 클럭들로, 또는 SDRAM 서브시스템(115)과 전원을 공유하는 클럭 발생기(예를 들어, 클럭 발생기(141))에 의해 발생하는 클럭들로 전환될 것이다. 이 이후에, 메모리 백업에 대해 요구되지 않는 SDRAM 서브시스템(115)으로의 입력들이 차단된다. 실시예에서, 이 입력들은 비활성 상태가 된다.
- [0017] 입력들의 차단이 완료된 후에, SDRAM 서브시스템(115)(또는 제어기(140))은 전원 제어기(150)에 PWRA(160)을 제거하라고 시그널링한다. 이는 결과적으로 SDRAM 서브시스템(115) 외의 IC(110) 모두에 전원이 턴오프(turn off)되도록 한다. SDRAM 서브시스템(115)은 적어도 다른 회로소자(111)로부터의 개별 전원면(power plane) 상에 있다. 이는 전원이 차단 및 백업 시스템(110)에서 완전히 사라질 때까지 상기 전원이 SDRAM 서브시스템으로 지속(즉, PWRB(161)에 의해)되도록 한다.
- [0018] SDRAM 서브시스템(115)(및 SDRAM 서브시스템(115)에 필요한 임의의 다른 로직)을 제외한 모두로의 전원의 차단 및 제거를 제어하는 것 외에도, 일단 인터페이스들이 정지되었고 임시 저장소(112)가 플러싱되었다면, 내

부 메모리 백업 로직은 데이터를 SDRAM(125)로부터 비휘발성 메모리(135)로 이동시키기 시작할 것이다. 실시예에서, 일단 PWRA가 제거되었다면 전체 칩 상에서 진행되는 사이클들만이 존재한다.

[0019] 도 1은 전원 차단 그리고 후속하는 메모리 백업에 이용될 수 있는 내부 접속들의 일부분과 함께 IC(110) 칩 및 외부 로직 사이의 접속들을 도시한다. 제어기(150)가 전원 장애를 검출하면, 전원 제어기(150)는 전원 장애 신호(165)를 통해 IC(110)에 고지한다. 제어기(140)는 전원 장애 신호(165)를 모니터링한다. 제어기(140)가 전원 장애 신호(165)가 확실하다고 인지하고, 전원 차단이 행해지는 것이 가능하다면, 제어기(140)는 SDRAM 서브시스템(115)에 power\_iso\_begin 신호(도 1에 명시적으로 도시되지 않음)를 어서트(assert)함으로써 차단 시퀀스를 시작하라고 고지한다. 그리고나서 SDRAM 서브시스템(115)은 전원 차단 시퀀스에 필요한 단계들을 수행한다. 전원 차단 시퀀스에 포함되는 단계들은 본 명세서에서 이후에 더 자세하게 설명된다.

[0020] 일단 전원 차단 시퀀스가 완료되었다면, MSS\_core\_iso\_ready 신호(도 1에 명시적으로 도시되지 않음)는 적어도 PWRA(160)가 제거될 수 있음을 표시하도록 어서트된다. 전원 제어기(150)는 PWRA(160)를 디스에이블하지만, PWRB(161), PWRC(162), 및 PWRD(163)이 인에이블되도록 유지할 것이다. 디스에이블된 PWRA(160)는 PWRB(161)에 접속되는 회로소자를 제외한 IC(110)의 부분들로부터 전원을 제거한다. SDRAM 서브시스템(115)은 연관된 위상 고정 루프들(예를 들어, 클럭 발생기(141) 내부의)과 IO들(예를 들어, 인터페이스들(121 및 131))은 IC(110)의 나머지 부분과는 상이한 전원면 상에 있다. 이 면은 PWRB(161)에 의해 전력을 공급받으며 인에이블한 상태로 유지될 것이다. 예에서, 이 개별 전원면 상에 자신들의 회로소자의 적어도 일부분을 갖는 기능 블록들은 제어기(140), 클럭 발생기(141), 및 SDRAM 서브시스템(115)이다. 실시예에서, 외부 SDRAM(125)은 PWRC(162)에 의해 전원이 공급된 채로 유지되고 외부 비휘발성 메모리는 PWRD(163)에 의해 전원이 공급된 채로 유지된다. 이는 메모리 백업이 수행되기 위해서 전원이 공급된 채로 유지되어야 하는 로직의 양을 감소시킨다.

[0021] 전원 차단 시퀀스 동안, SDRAM 서브시스템(115)은 적절한 시간에 SDRAM(125) 메모리 백업을 시작한다. 이 백업은 필요한(또는 요청된) 데이터를 SDRAM(125)으로부터 비휘발성 메모리(135)로 이동시킨다. 실시예에서, 전체 메모리 백업은 소프트웨어의 개입 없이 수행된다.

[0022] 전원 장치들(160 내지 163)을 공급하기 위하여 도 1에 의해 부분적으로 상술되고 도시된 방법들은 전원을 차단 및 백업 시스템(100)의 하나 이상의 구성요소들에 공급(또는 제거)하기 위한 예시적인 방식들이 이해되어야만 한다. 도시된 예들에서, 모든 전원 장치들(160 내지 163) 및 다양한 전력 도메인들/면들의 제어기는 IC(110)의 외부에서 행해진다. 그러나, 전원을 차단 및 백업 시스템(100)의 하나 이상의 구성요소들에 공급하기 위한 다른 방법들이 존재한다. 하나의 방법은 전압당 단일 외부 전력원을 이용하고나서 IC(110) 내부의 스위치들을 이용하여 상이한 전원 도메인들/면들을 생성할 수 있다. 다른 방법은 외부 전압들의 수를 감소시키고, 차단 및 백업 시스템(100)(예를 들어, IC(110))의 하나 이상의 구성요소들 내부의 레귤레이터(regulator)들을 이용하여 IC(110) 내부의 스위치들에 따라 다양한 전압들을 획득하여 상이한 전원 도메인들/면들을 제어할 수 있다. 이 방법들에 있어서, 전원 차단은 대체로 동일한 방식으로 행해진다. 차이는 전원 장치들(161 내지 163)이 인에이블되도록 유지하라고 고지될 필요가 있는 전원 제어 로직(150)이 내부에 또는 외부에 위치될 수 있는지이다.

[0023] 도 2는 전원 차단 방법의 흐름도이다. 도 2에 도시된 단계들은 차단 및 백업 시스템(100)의 하나 이상의 요소들에 의해 실행될 수 있다. 제 1 온-칩 서브시스템에 대한 전원이 수용된다(202). 예를 들어, 다른 회로소자(111)에 전력을 공급하는 PWRA(160)는 IC(100)에 의해 수용될 수 있다. 전원 고장 상태의 표시자가 수용된다(204). 예를 들어, 전원 장애 신호(165)는 IC(110)에 의해 수신될 수 있다. 이 결과로서 power\_iso\_begin 신호가 어서트될 때 전원 차단 시퀀스가 시작된다.

[0024] SDRAM 서브시스템으로의 인터페이스들이 정지된다(206). 임시 저장소는 SDRAM(208)으로 플러싱된다. 예를 들어, 레벨-3 캐시, 레벨-2 캐시, 포스팅 버퍼, 또는 SDRAM(125)로의/로부터의 데이터의 카피를 임시로 저장하는데 이용되는 임의의 다른 유형의 메모리 저장소가 플러싱될 수 있다. 인터페이스들 각각에 접속되는 로직은 인터페이스들이 모든 미해결 사이클들을 완료했고 임의의 새로운 사이클들을 허용했을 때 정지 표시를 리턴(return)할 수 있다.

[0025] 하드웨어 제어 하에, 온-칩 SDRAM 서브시스템이 분리된다(210). 예를 들어, SDRAM 인터페이스(또는 임시 저장소(112))가 자신이 사이클들을 허용하는 것을 정지했음을 표시했을 때, 이의 입력들은 자신들을 비활성 상태로 설정함으로써 차단될 수 있다. 일단 다른 인터페이스들로부터의 정지들이 수신되면, 외부 코어 디바이스들 및 내부 로직에 보존될 필요가 있는 입력들이 래칭된다. 이 입력들은 리셋들, PLL에 대한 신호들 및 스트

랩 입력(strap input)들과 같은 그러한 것들을 포함한다. 시간에 있어서 이 지점에서, SDRAM 서브시스템이 필요로 하지 않는 어떠한 클럭들도 게이트 오프되므로 전력 소모를 감소하는 것을 도울 수 있다. 얼마간의 시간 이후에, 신호(예를 들어, MSS\_core\_iso\_enable)가 어서트될 수 있고, 이 신호는 SDRAM 서브시스템으로의 입력들 모두를 차단하고 입력들을 입력들의 비활성 상태로 설정할 것이다.

[0026] 제 1 온-칩 서브시스템에 의해 이용되는 클럭 및 전원은 게이트 오프된다(212). 예를 들어, 임시 저장소(112)로 진행하는 클럭은 내부에서 발생하는 클럭으로 전환될 수 있다. 일단 입력들이 차단되었다면, 신호(예를 들어, MSS\_core\_iso\_ready)가 어서트될 수 있다. 이는 전원 제어 로직(150)에, 예를 들어 IC(110)에 접속되는 PWRA(160)가 현재 디스에이블될 수 있음을 표시한다.

[0027] SDRAM 서브시스템에 의해 이용되는 클럭이 발생된다(214). 예를 들어, 클럭 발생기(141)는 RWRA(160)가 오프될 때 이용되는 SDRAM 서브시스템에 의해 이용되는 클럭을 발생시킬 수 있다. 데이터는 SDRAM으로부터 비휘발성 메모리(216)로 카피된다. 예를 들어, SDRAM(125)으로부터 비휘발성 메모리(135)로의 메모리 백업은 신호(예를 들어, flash\_offload\_begin)를 어서트함으로써 시작할 수 있다. 전원은 SDRAM 서브시스템, SDRAM, 및 비휘발성 메모리(218)로부터 제거된다. 예를 들어, 메모리 백업의 완료 시에 전원 제어기(150)의 제어 하에서, 또는 단지 전체 차단 및 백업 시스템(100)으로의 전원에 장애가 발생했기 때문에, 전원은 SDRAM 서브시스템(115), SDRAM(125), 및 비휘발성 메모리(135)로부터 제거된다.

[0028] 백업 동안 SDRAM 서브시스템(115)의 전원을 차단하는 것의 장점은 소비되는 전력의 양이 감소하는 점이다. 메모리 백업을 처리하는 IC(110)의 내부 로직, 외부 SDRAM(125) 및 비휘발성 메모리(135)에만 전원이 공급된다. 전력 소비를 감소시킴으로써, SDRAM 서브시스템(115)은 이용 가능한 시간 기간을 증가시켜서 나머지 전력이 모두 소비되기 전에 메모리 백업을 수행한다. 더 많은 시간을 가짐으로써 백업이 완료될 때까지 전력을 유지하는데 요구되는 외부 로직이 적어질 뿐만 더 많은 메모리가 백업되는 것이 가능하다. 전원 차단이 행해지고 있기 때문에, 전력 소모 및 메모리 백업을 행하는데 요구되는 전체 시스템 비용을 감소시키기 위해 플래시 제어기를 내부에서 이동하는 것이 유용할 수 있다.

[0029] 실시예에서, SDRAM(125) 내의 데이터가 비휘발성 메모리(135)로 이동할 때 암호화 및/또는 데이터 무결성 서명 계산을 수행함으로써 백업되는 데이터에 대한 추가 데이터 보호가 제공된다. 데이터의 암호화는 데이터를 저장하는 안전한 방법을 제공한다. 데이터 무결성 서명 계산은 발생할 가능성이 있는 대부분의 데이터 에러들에 대비하여 보호된다.

[0030] SDRAM 서브시스템(115)은 메모리 백업 또는 복구가 필요할 때 데이터를 SDRAM(125) 및 비휘발성 메모리(135) 사이에서 이동시킨다. SDRAM 서브시스템(115)은 요청되는 데이터 이동을 표시하기 위해 CDB(Command Descriptor Block)들의 목록을 이용할 수 있다. 이 CDB들의 포맷은 전형적으로 미리 규정된다. CDB 내의 필드들 중 하나는 SDRAM(125) 내의 어디에서 데이터를 관독 또는 기록할지를 표시하는 메모리 어드레스 필드이다. 실시예에서, 이 필드 내에 제공되는 어드레스 비트들의 수는 SDRAM(125) 모두를 처리하는데 필요한 수를 초과한다. 필요하지 않은 이 어드레스 비트들 중 일부는 데이터가 SDRAM(125)로부터/로 이동될 때 상기 데이터가 어떻게 조작되어야만 하는지에 대한 정보를 인코딩하는데 이용될 수 있다. 이 이동은 메모리 백업 또는 복구가 수행될 때, 또는 다른 시간들에서 발생할 수 있다. 이용되지 않은 어드레스 비트들의 인코딩은 데이터가 암호화/복호화되어야 하는지, 서명 생성이 요구되는지, 서명이 오프로드(offload)되거나 리셋되어야 하는지, 어떤 서명 엔진이 이용되는지를 표시할 수 있다.

[0031] SDRAM(125)을 관독/기록하기 위해 비휘발성 메모리 제어기(130)로부터의 요청이 수신되면, 데이터가 SDRAM 서브시스템(115)을 통해 SDRAM(125) 및 비휘발성 메모리(135) 사이에서 이동할 때, 상술한 이용되지 않은 어드레스 비트들이 해석되어 어떤 데이터 조작을 수행할지가 결정될 수 있다.

[0032] 실시예에서, 도 3a 및 도 3b는 데이터 조작 시스템 구성들의 블록도들이다. 도 3a에서, 데이터 조작 시스템(300)은: SDRAM 제어기(310), 플래시 제어기(320), 제어기(330), 서명 엔진들(340), 암호화/복호화 엔진(350), 및 멀티플렉서(multiplexer: MUX)(360)를 포함한다. 제어기(330)는 SDRAM 제어기(310), 플래시 제어기(320), 서명 엔진들(340), 암호화/복호화 엔진(350), 및 MUX(360)와 작동적으로 결합된다. 그러므로, 제어기(330)는 플래시 제어기(320)로부터 명령들, 신호들, CDB들 등을 수신하고, 중재(arbitration)를 수행하고, 그렇지 않으면 데이터 조작 시스템(300)의 데이터 플로우(flow)들 및 구성을 관리할 수 있다.

[0033] 도 3a에서, SDRAM(310)은 커플링(coupling)(371)을 통해, SDRAM(도 3a에 도시되지 않음)으로부터 관독된 데이터를 서명 엔진들(340), 암호화/복호화 엔진(350), 및 MUX(360)의 제 1 입력부로 송신하도록 구성된다. 암호화/복호화 엔진(350)은 커플링(372)을 통해, 암호화된 데이터를 MUX(360)의 제 2 입력부로 송신하도록 구성된

다. 서명 엔진들(340)은 커플링(373)을 통해, 데이터 무결성 서명들을 MUX(360)의 제 3 입력부로 송신하도록 구성된다. MUX는 제어기(330)에 의해, SDRAM으로부터 판독된 수정되지 않은 데이터, 암호화된 데이터, 또는 데이터 무결성 서명들 중 하나를 플래시 제어기(320)로 송신하도록 제어된다. 플래시 제어기(320)는 SDRAM으로부터 판독된 수정되지 않은 데이터, 암호화된 데이터, 또는 데이터 무결성 서명들을 플래시 메모리(도 3a에 도시되지 않음) 내에 저장할 수 있다.

[0034] 도 3a는 SDRAM(예를 들어, SDRAM(125)) 요청으로부터의 판독이 제어기(330)에 의해 플래시 제어기(320)로부터 수신되는 때의 데이터 플로우 및 제어에 대한 구성을 도시한다. 실시예에서, 이 구성 및 플로우는 SDRAM 메모리의 백업이 요구될 때 이용된다. 실시예에서, 서명 엔진들(340) 및 암호화/복호화 엔진(350)은 요청들을 판독하고 기록하는 이 두 동작 모두에 대해 이용된다. 데이터 접속들 및 플래시 기록 요청들(SDRAM 판독에 대응하는)에 대한 플로우는 도 3a에 도시된다. 플래시 판독 요청들(SDRAM 기록에 대응하는)을 위한 데이터 접속들은 도 3b에 도시된다.

[0035] 플래시 제어기(320)는 판독 요청을 제어기(330)에 송신한다. 상기 요청의 인코딩된 어드레스 라인들(또는 전용 필드)은 SDRAM 제어기(310)로부터 리턴되고 있는 판독 데이터를 어디에 라우팅(routing)할지 그리고 만일 있다면, 어떤 데이터 조각이 요구되는지를 결정하기 위해 제어기(330)에 의해 조사된다. 실시예에서, 어드레스 비트들[46:40]은 인코딩 및 다음과 같은 매핑(mapping)을 포함한다: 비트들 40 내지 42(SES[0:2])은 8개의 서명 엔진들(340) 중 어느 것이 인코딩의 다른 비트들에 의해 지정되는(만일 있다면) 동작을 취해야 한다; 비트 43(SG)은 지정된 서명 엔진이 판독 데이터를 입력으로 이용하여 데이터 무결성 서명을 생성해야 할지를 결정한다; 비트 44(SO)는 지정된 서명 엔진에 데이터 무결성 서명(MUX(360)의 상태에 따라, 저장을 위해 플래시 제어기(320)에 송신될 수 있는)을 출력하라고 고지한다; 비트 45(SR)는 지정된 서명 엔진의 데이터 무결성 서명을 리셋한다; 그리고, 비트 46(E/D)은 암호화/복호화 엔진(350)의 출력으로부터 암호화된 데이터가 플래시 제어기(320)로 송신되어야만 하는지를 결정한다.

[0036] 도 4는 명령 데이터 블록(command data block: CDB)의 예시도이다. 도 4에서, 어드레스 비트들(0 내지 46)에 대한 어드레스 필드가 도시된다. 또한 이용되는 SDRAM 어드레스 비트들을 지정하는 SDRAM 어드레스 비트들 내의 필드(A[0:39]), 및 인코딩된 어드레스 비트들(A[40:46])의 필드가 도시된다. 인코딩된 어드레스 비트들의 개별 비트 필드들(SES[0:2], SG, SO, SR, 및 E/D)이 또한 도시된다.

[0037] 이해될 수 있는 바와 같이, 어드레스 비트들(40 내지 46)의 인코딩에 기초하여, 플래시 제어기(320)에 의해 이용되고 있는 세 상이한 소스(source)들 중 하나를 발생시키라는 표시가 MUX(360)에 송신될 것이다. 데이터는 SDRAM 제어기(310), 암호화/복호화 엔진(350)으로부터 직접, 또는 서명이 오프로드되는 경우 서명 엔진들(340)로부터 올 것이다. 인코딩이 암호화를 수행하는 것을 표시하는 경우, 암호화/복호화 엔진(350)은 제어기(330)에 의해 제어되어 SDRAM 제어기(310)로부터 판독 데이터를 수신할 것이다. 일단 암호화/복호화 엔진(350)이 SDRAM 제어기(310)로부터 데이터를 수신하면, 상기 엔진(350)은 데이터 암호화를 수행하고, 플래시 제어기(320)로 라우팅하기 위해 그 결과를 MUX(360)에 송신하고, MUX(360)가 데이터를 허용하는 것을 대기한다.

[0038] 인코딩은 또한 서명 생성이 플래시 메모리로 전송되고 있는 데이터 상에서 행해져야 하는지를 표시한다. 인코딩의 서명 엔진 선택(SES[0:2]) 필드에 의해 표시되는 바와 같이, 8개의 서명 엔진들(340) 중 하나에는 자신의 CRC/체크섬(checksum) 서명 값이 갱신되어야 한다고 고지될 것이다. 데이터가 플래시 제어기(320), 또는 암호화/복호화 엔진(350)에 직접적으로 송신되는 것과 동시에, 데이터는 또한 적어도 지정된 서명 엔진(340)으로 송신된다. 일단 SDRAM 데이터가 상기 블록들 중 어느 하나에 의해 허용되는 것을 선택된 서명 엔진(340)이 확인하면, 현재의 CRC/체크섬 서명은 상기 데이터를 이용하여 갱신된다. 최종적으로, 인코딩은 서명 오프로드가 출력되어야 하는지를 표시한다. 서명 오프로드가 요구되면, 판독 명령은 제어기(330)에 의해 SDRAM 제어기(310)로 발행되지 않을 것이다. 대신, 제어기(330)는 선택된 서명 엔진(340)에 데이터 무결성 서명 데이터를 플래시 제어기(320)로 송신하라고 지시할 것이다.

[0039] 도 3b에서, 플래시 제어기(320)는 커플링(381)을 통해, 플래시 메모리(도 3b에 도시되지 않음)로부터 판독된 데이터를 서명 엔진들(340), 암호화/복호화 엔진(350), 및 MUX(361)의 제 1 입력부로 송신하도록 구성된다. 암호화/복호화 엔진(350)은 암호화된 데이터를 커플링(382)을 통해, MUX(361)의 제 2 입력부로 송신하도록 구성된다. 서명 엔진들(340)은 커플링(383)을 통해, 선택된 데이터 무결성 서명의 현재 값을 표시하도록 구성된다. MUX(361)은 플래시 메모리로부터 판독된(플래시 제어기(320)를 통한) 수정되지 않은 데이터 또는 SDRAM 제어기(310)에 대한 복호화된 데이터 중 하나를 송신하도록, 제어기(330)에 의해 제어된다. SDRAM 제어기(310)는 플래시 메모리로부터 판독된 수정되지 않은 데이터, 또는 SDRAM(도 3b에서는 도시되지 않음)에서의

암호화된 데이터를 저장할 수 있다.

[0040] 플래시 관독 요청들(SDRAM 기록에 대응하는)에 대한 데이터 접속들이 도 3b에 도시된다. 실시예에서, 이 플로우는 데이터의 SDRAM 메모리로의 역 복구가 요구될 때 이용된다. 제어기(330)는 플래시 제어기(320)로부터 기록 명령을 수신할 수 있다. 제어기(330)는 기록 요청을 SDRAM 제어기(310)에 발행할 수 있다. 요청의 인코딩된 어드레스 라인들은 SDRAM 제어기(플래시 제어기(320)로부터의)로 송신되고 있는 기록 데이터를 어디에 라우팅할지 그리고 만일 있다면 어떤 데이터 조작이 요구되는지를 결정하도록 조사된다. 도 3a의 논의에서 기술되는 동일한 인코딩이 이용될 수 있다. 인코딩하는 것에 기초하여, 플래시 제어기(320)로부터 수정되지 않은 데이터, 또는 암호화/복호화 엔진(350)으로부터 복호화된 데이터, 이 둘 중 어느 하나가 MUX(361)에 의해 선택되어 SDRAM 제어기(310)를 송신될 것이다. 인코딩이 복호화를 수행하는 것을 표시하는 경우, 암호화/복호화 엔진(350)은 플래시 제어기(320)로부터 데이터를 허용하도록 제어될 것이다. 일단 암호화/복호화 엔진(350)이 플래시 제어기(320)로부터 데이터를 수용하면, 상기 엔진(350)은 데이터 복호화를 실행하고, 그 결과를 SDRAM 제어기(310)에 송신하고, SDRAM 제어기(301)가 데이터를 허용하는 것을 대기한다. 인코딩은 또한 서명 생성이 SDRAM으로 전송되고 있는 데이터에 행해질 필요가 있는지를 표시할 것이다. 인코딩의 SES[0:2] 필드에 의해 표시되는 바와 같이, 8개의 서명 엔진들(340) 중 하나는 자체의 CRC/체크섬 서명 값을 갱신하도록 제어된다. 서명 생성은 항상 복호화된 데이터 상에서 행해진다. 그러므로 서명 엔진(340)은 플래시 제어기(320)로부터의 데이터 또는 암호화/복호화 엔진(350)으로부터의 복호 결과들 사이에서 선택하여 데이터 무결성 서명 값을 갱신하도록 제어된다. 데이터가 플래시 제어기 아니면 암호화/복호화 엔진(350)으로부터 SDRAM 제어기(30)로 송신되는 것과 동시에, 상기 데이터는 또한 선택된 서명 엔진(340)으로 송신될 것이다. 일단 선택된 서명 엔진(340)이 데이터가 SDRAM 제어기(310)에 의해 수용된 것을 확인하면, 현재의 CRC/체크섬 서명은 상기 데이터를 이용하여 갱신된다. 8개의 데이터 무결성 서명들 중 하나의 현재 값은 커플링(383)을 통해 소프트웨어에 의해 선택되고 관독될 수 있다. 이 값은 소프트웨어에 의해 플래시 메모리로부터 SDRAM으로 복구되는 백업 서명과 비교될 수 있다. 이는 데이터가 백업되거나 복구되는 동안 어떠한 데이터 에러들도 발생하지 않았음을 검증하기 위해 행해질 수 있다.

[0041] 도 5는 전원 차단 및 백업 시스템의 블록도이다. 도 5에서, 차단 및 백업 시스템(500)은: 집적 회로(510), 전원 제어기(550), SDRAM(525), 및 비휘발성 메모리(예를 들어, 플래시)(535)를 포함한다. 집적 회로(IC)(510)는 SDRAM 서브시스템(515), 제어기(540), 클럭 발생기(541), 및 다른 회로소자(511)를 포함한다. SDRAM 서브시스템(515)은 SDRAM 제어기(520), 비휘발성 메모리 제어기(530), 및 데이터 조작기(570)를 포함한다. 다른 회로소자(512)는 임시 저장소(512)(예를 들어, 캐시 메모리, 버퍼들 등)를 포함할 수 있다. SDRAM 제어기(520)는 인터페이스(521)를 통해 SDRAM(525)과 인터페이스하고 상기 SDRAM(525)을 제어한다. 비휘발성 메모리 제어기(530)는 인터페이스(531)를 통해 비휘발성 메모리(535)와 인터페이스하고 상기 비휘발성 메모리(535)를 제어한다. SDRAM 서브시스템(515(및 그에 따른 SDRAM 제어기(520), 비휘발성 메모리 제어기(530), 및 데이터 조작기(570)))은 제어기(540), 클럭 발생기(541), 다른 회로소자(511), 및 임시 저장소(512)에 작동적으로 결합된다. 클럭 발생기(541)는 제어기(540) 및 다른 회로소자(511)와 작동적으로 결합된다.

[0042] 전원 제어기(550)는 전원 장치 A(PWRA)(560)를 IC(510)에 제공한다. 전원 제어기(550)는 전원 장치 B(PWRB)(561)를 SDRAM 서브시스템(515)에 제공한다. 전원 제어기(550)는 전원 장치 C(PWRC)(562)를 SDRAM(525)에 제공한다. 전원 제어기(550)는 전원 장치 D(PWRD)(563)를 비휘발성 메모리(535)에 제공한다. 전원 제어기(550)는 전원 장애 신호(565)를 제어기(540)에 제공한다. 전원 제어기(550)는 또한 신호들(566)에 의해 SDRAM 서브시스템에 작동적으로 결합된다.

[0043] 실시예에서, 전원 제어기(550)가 전원 장애 상태(임박한 전원 장애 또는 기존의 전원 장애)를 검출하면, 전원 제어기(550)는 전원 장애 신호(565)를 통해 IC(510)에 상기 상태를 고지한다. 이는 전원 차단 시퀀스를 시작하여 특히 SDRAM 서브시스템(515)을 IC(510)의 나머지 부분 및 다른 회로 소자(511)로부터 SDRAM 서브시스템(515)을 분리할 것이다. 실시예에서, 전체 전원 차단 시퀀스는 소프트웨어와의 상호 작용 없이 하드웨어(예를 들어, 제어기(540), SDRAM 서브시스템(515), 또는 이 둘 모두)에 의해 제어된다.

[0044] 전원 장애 상태의 고지를 수신하자마자, SDRAM 서브시스템(515)에 접속된 인터페이스들(예를 들어, 다른 회로 소자(511)로의 인터페이스들) 모두가 정지될 것이다. 온-칩 임시 저장소(512)는 플러싱될 것이다. 도 5에서, 임시 저장소(512)가 SDRAM 서브시스템(515)의 외부에 도시되어 있을지라도, 임시 저장소(512)는 SDRAM 서브시스템(515)의 일부분일 수 있음이 이해되어야 한다. 예에서, 임시 저장소(512)는 캐시(예를 들어, 레벨 1 캐시, 레벨 2 캐시, 레벨 3 캐시), 포스팅 버퍼 등일 수 있다.

[0045] 일단 임시 저장소(512)가 플러싱되었다면, SDRAM 서브시스템(515)에 접속된 로직은 플러싱들에 이용되는 인터

페이스들이 정지된 시점을 표시한다. 일단 정지되면, 이 인터페이스들은 어떠한 새로운 사이클들도 수용하지 않는다. 일단 인터페이스들 모두가 정지되면, 외부 디바이스들 및 내부 코어 로직(즉, 다른 회로소자(511))에 대해 요구되는 입력들은 차단이 발생할 때 자신들의 상태가 상실되지 않도록 래칭된다. 입력들이 래칭된 이후에 필요하지 않은 클럭들은 게이트 오프된다. SDRAM 서브시스템은 내부에서 발생하는 클럭들로, 또는 SDRAM 서브시스템(515)과 전원을 공유하는 클럭 발생기(예를 들어, 클럭 발생기(541))에 의해 발생하는 클럭들로 전환할 것이다. 이 이후에, 메모리 백업에 대해 요구되지 않는 SDRAM 서브시스템(515)으로의 입력들이 차단된다. 실시예에서, 이 입력들은 비활성 상태로 구동된다.

[0046] 입력들의 차단이 완료된 후에, SDRAM 서브시스템(515)(또는 제어기(540))은 전원 제어기(550)에 PWRA(560)을 제거하라고 시그널링한다. 이는 결과적으로 SDRAM 서브시스템(515) 외의 IC(510) 모두에 전원이 턴오프되도록 한다. SDRAM 서브시스템(515)은 적어도 다른 회로소자(511)로부터의 개별 전원면 상에 있다. 이는 전원이 차단 및 백업 시스템(500)에서 완전히 사라질 때까지 상기 전원이 SDRAM 서브시스템으로 지속(즉, PWRB(561)에 의해)되도록 한다.

[0047] SDRAM 서브시스템(515)(및 SDRAM 서브시스템(515)에 필요한 임의의 다른 로직)을 제외한 모두로의 전원의 차단 및 제거를 제어하는 것 외에도, 일단 인터페이스들이 정지되었고 임시 저장소(512)가 플러싱되었다면, 내부 메모리 백업 로직은 데이터를 SDRAM(525)로부터 비휘발성 메모리(535)로 이동시키기 시작할 것이다. 실시예에서, 일단 PWRA가 제거되었다면 전체 칩 상에서 진행되는 사이클들만이 존재한다.

[0048] 실시예에서, 데이터가 SDRAM(525)으로 또는 SDRAM(525)으로부터, 또는 각각 비휘발성 메모리(535)로 이동할 때, 이는 데이터 조각기(570)에 의해 조각될 수 있다. 데이터 조각기(570)는 도 3a 및 도 3b의 데이터 조각 시스템(300)을 참조하여 이전에 기술된 동일한 방식과 동일하게 구성되고, 동작하고, 기능을 한다. 그러므로, 요약하면, 데이터 조각기(570)는 데이터를 암호화/복호화, 및/또는 데이터 무결성 서명들을 계산/조사하도록 구성될 수 있다. 실시예에서, 기능들, 데이터 플로우, 및 데이터 조각기(570)의 구성은 (예를 들어 암호화된 데이터를 절약하고/하거나 데이터 무결성 서명을 계산하고 저장하기 위해) PWRA(560)이 오프되어 있는 동안 수행될 수 있다. 다른 실시예에서, 기능들, 데이터 플로우, 및 데이터 조각기(570)의 구성은 (예를 들어 암호화된 데이터를 복구하고/하거나 데이터 무결성 서명을 계산하고 저장하기 위해) PWRA(560)이 온되어 있는 동안 실행될 수 있다.

[0049] 상술한 방법들, 시스템들 및 디바이스들은 컴퓨터 시스템들에서 구현되거나, 또는 컴퓨터 시스템들에 의해 저장될 수 있다. 상술한 방법들은 또한 컴퓨터 판독가능 매체에 저장될 수 있다. 본원에 기술되는 디바이스들, 회로들, 및 시스템들은 당업계에서 이용 가능한 컴퓨터-보조 설계 툴(tool)들을 이용하여 구현되고, 그러한 회로들의 소프트웨어 디스크립션(description)들을 포함하는 컴퓨터 판독 가능 파일들에 의해 구체화될 수 있다. 이는 차단 및 백업 시스템(100 및 500), IC(110 및 510), 전원 제어기(150 및 550), SDRAM 서브시스템(115 및 515), 및 이들의 구성요소들을 포함하지만 이로 제한되지 않는다. 이 소프트웨어 디스크립션들은: 행동, 등록 전달, 로직 구성요소, 트랜지스터 및 레이아웃 기하학적-레벨 디스크립션들일 수 있다. 더욱이, 소프트웨어 디스크립션들은 저장 매체에 저장되거나 반송파들에 의해 통신될 수 있다.

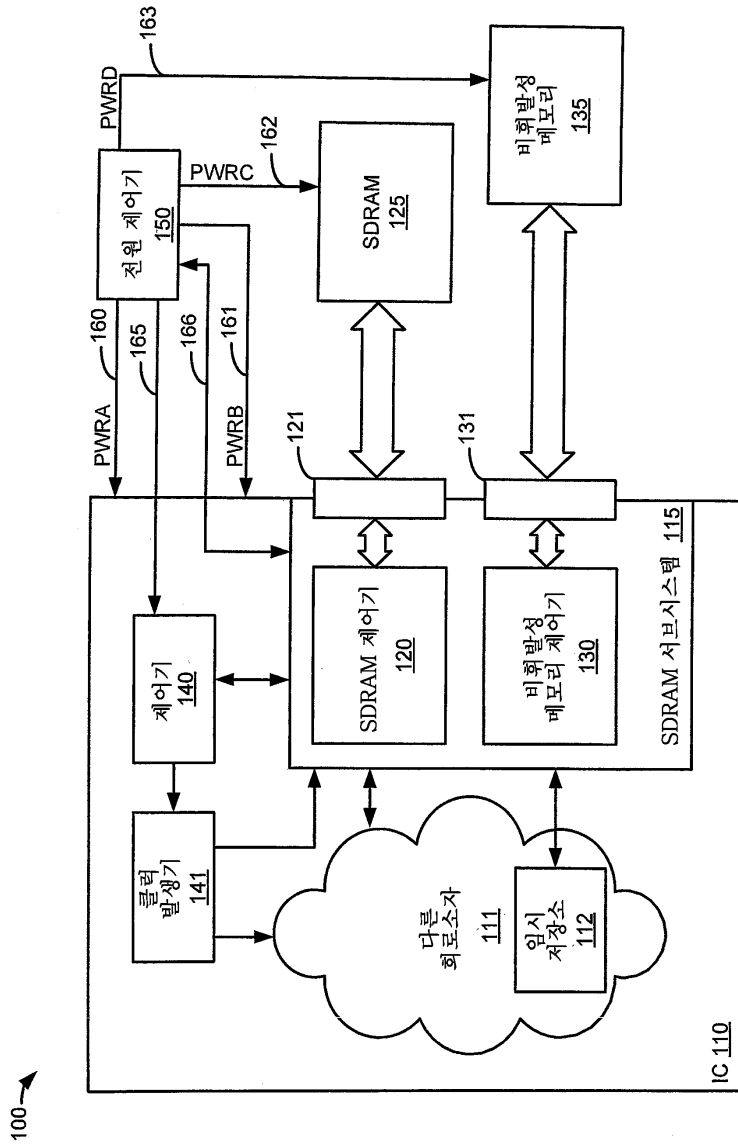
[0050] 그와 같은 디스크립션들이 구현될 수 있는 데이터 포맷들은: C와 같은 행동 언어(behavioral language)들을 지원하는 포맷들, Verilog 및 VHDL과 같은 레지스터 전송 레벨(register transfer level: RTL) 언어들을 지원하는 포맷들, 기하학적 디스크립션 언어들(GDSII, GDSIII, GDSIV, CIF, 및 MEBES)을 지원하는 포맷들, 및 다른 적절한 포맷들 및 언어들을 포함하지만, 이로 제한되지 않는다. 더욱이, 기계-판독 가능 매체 상의 그와 같은 파일들의 데이터 전송들은 인터넷상의 다양한 매체를 통해, 또는 예를 들어 이메일을 통해 전자적으로 행해질 수 있다. 물리적 파일들은 4mm 자기 테이프, 8mm 자기 테이프, 3-1/2 인치 플로피 매체, CD들, DVD들, 등과 같은 기계-판독 가능 매체 상에서 구현될 수 있다.

[0051] 도 6은 컴퓨터 시스템의 블록도를 도시한다. 컴퓨터 시스템(600)은 통신 인터페이스(620), 프로세싱 시스템(630), 저장 시스템(640), 및 사용자 인터페이스(660)를 포함한다. 프로세싱 시스템(630)은 저장 시스템(640)에 작동적으로 결합된다. 저장 시스템(640)은 소프트웨어(650) 및 데이터(670)를 저장한다. 프로세싱 시스템(630)은 통신 인터페이스(620) 및 사용자 인터페이스(660)에 작동적으로 결합된다. 컴퓨터 시스템(600)은 프로그램된 범용 컴퓨터를 포함할 수 있다. 컴퓨터 시스템(600)은 마이크로프로세서를 포함할 수 있다. 컴퓨터 시스템(600)은 프로그램 가능 또는 특수 목적 회로소자를 포함할 수 있다. 컴퓨터 시스템(600)은 함께 요소들(620 내지 670)을 포함하는 다수의 디바이스들, 프로세서들, 저장소, 및/또는 인터페이스들 사이에 분배될 수 있다.

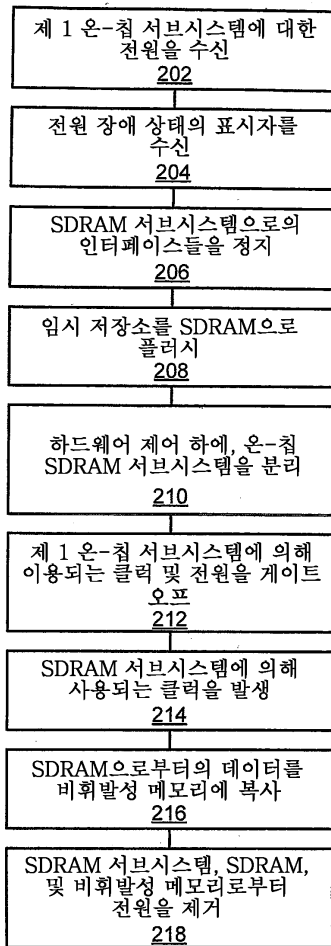


도면

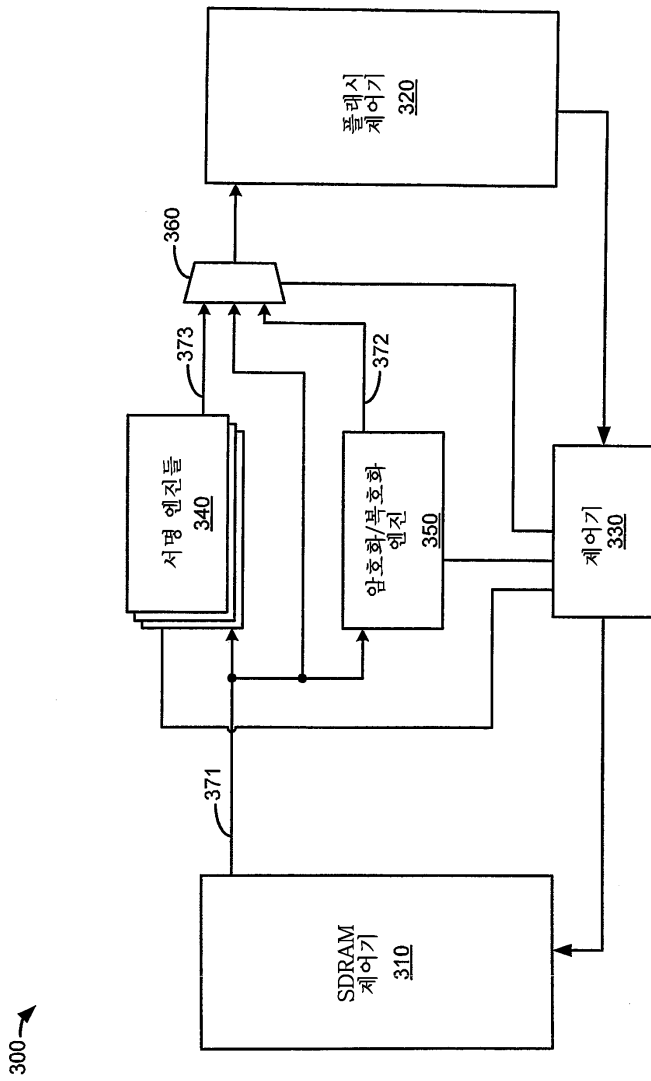
도면1



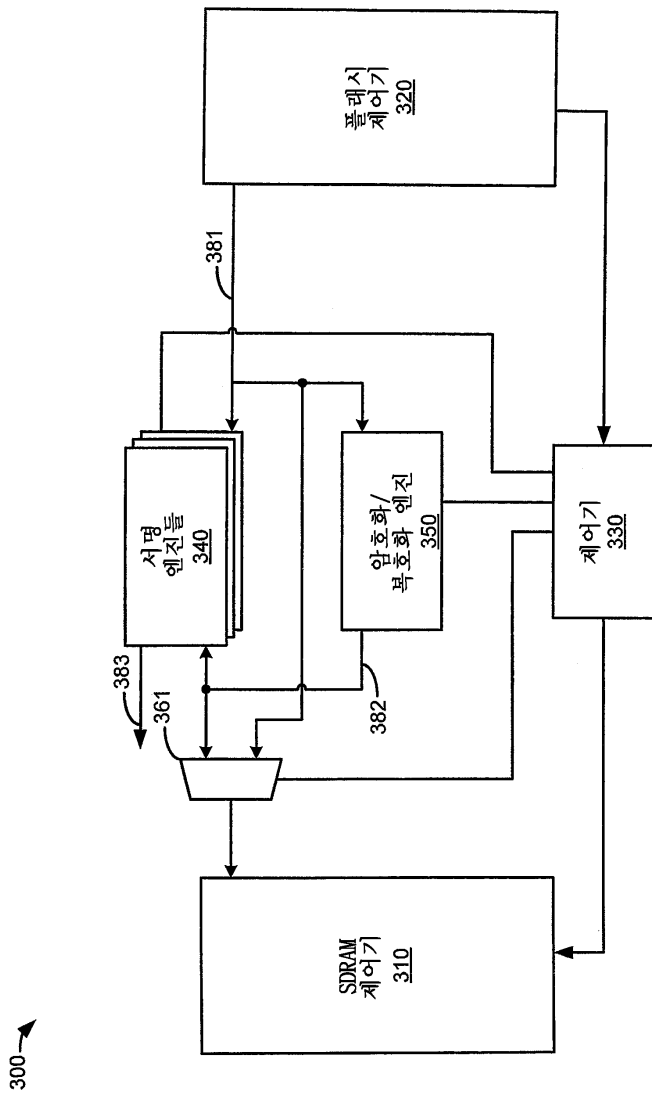
도면2



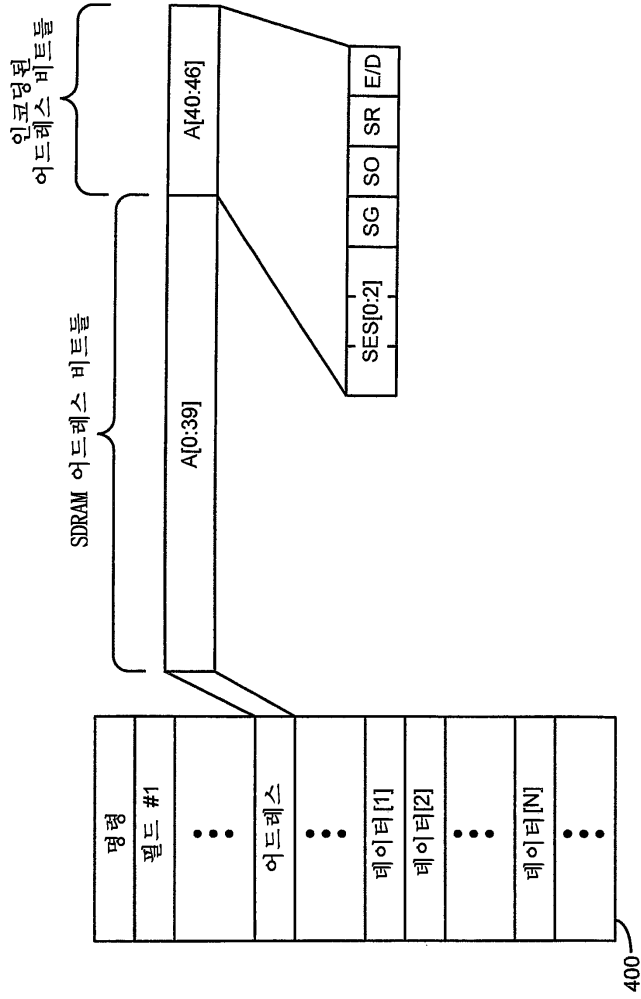
도면3a



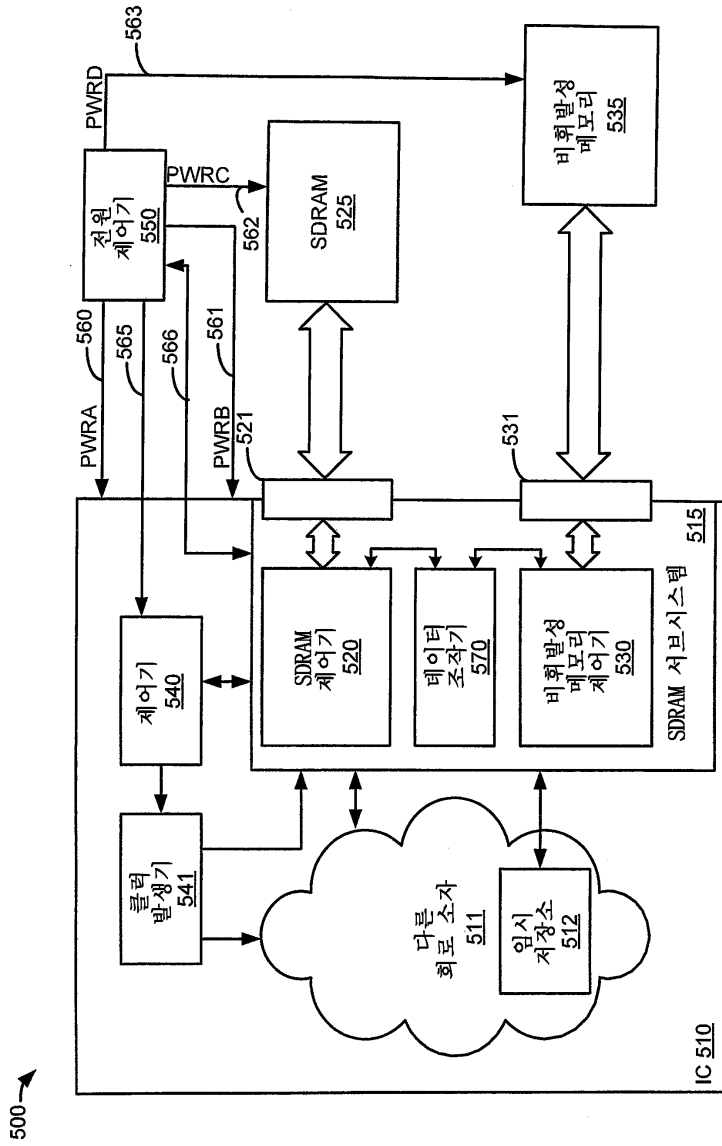
도면3b



도면4



도면5



도면6

