

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 1 月 9 日 (09.01.2020)



(10) 国际公布号
WO 2020/006854 A1

(51) 国际专利分类号:
G09G 3/3233 (2016.01) **G09G 3/3258** (2016.01)
G09G 3/3266 (2016.01)

(21) 国际申请号: PCT/CN2018/103900

(22) 国际申请日: 2018 年 9 月 4 日 (04.09.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810725978.2 2018年7月4日 (04.07.2018) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(72) 发明人: 邓宇帆(DENG, Yufan); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。 许神贤(SYU, Shensian); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙)(ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道6021号喜年中心A座1709-1711, Guangdong 518040 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

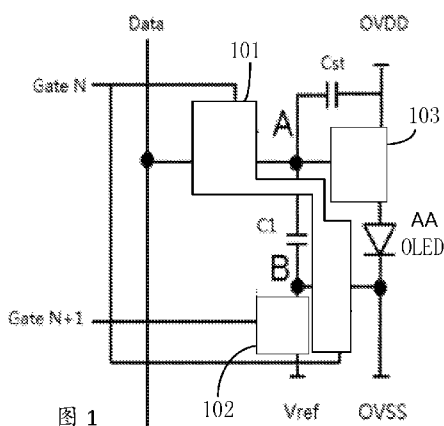
(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(54) Title: PIXEL DRIVING CIRCUIT AND DISPLAY PANEL

(54) 发明名称: 一种像素驱动电路及显示面板



AA Organic light-emitting diode (OLED)

(57) Abstract: Provided in the present invention are a pixel driving circuit and a display panel, comprising a first input module, a second input module, a drive module, a light-emitting diode, a first capacitor and a second capacitor; under the control of a second scan signal at a second scan signal input end, the electric potential of a first node is raised by means of coupling the capacitors, thereby increasing the voltage of gate and drain electrodes of a thin-film transistor, and thus improving the display quality of the display panel.

(57) 摘要: 本发明提供的像素驱动电路及显示面板, 包括第一输入模块、第二输入模块、驱动模块、发光二极管、第一电容以及第二电容, 在第二扫描信号输入端的第二扫描信号的控制下, 通过电容耦合作用抬升第一节点的电位, 从而提升薄膜晶体管的栅漏极电压, 进而提升显示面板的显示品质。

WO 2020/006854 A1

一种像素驱动电路及显示面板

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种像素驱动电路及显示面板。

背景技术

[0002] 有机发光显示面板利用有机发光二极管(英文全称Organic Lighting Emitting Diode，简称OLED)显示图像，是一种主动发光的显示面板，其显示方式与传统的薄膜晶体管显示面板(英文全称Thin Film Transistor liquid crystal display，简称 TFT-LCD)显示方式不同，无需背光灯，而且，具有对比度高、响应速度快、轻薄等诸多优点。因此，有机发光显示面板被誉为可以取代薄膜晶体管显示面板的新一代的显示面板。

[0003] 根据驱动方式的不同，有机发光显示面板分为被动矩阵有机发光显示面板(英文全称 Passive Matrix Organic Lighting Emitting Display，简称 PMOLED)和主动矩阵有机发光显示面板(英文全称 Active Matrix Organic Lighting Emitting Display，简称 AMOLED)，主动矩阵有机发光显示面板也称为有源矩阵有机发光显示面板。

[0004] 有源矩阵有机发光显示面板是通过薄膜晶体管控制流过发光二极管的电流实现显示效果，然而，薄膜晶体管在使用过程中由于受到照光、源漏极电压应力等因素影响，导致其阈值电压的产生偏移，进而影响流过发光二极管的电流，导致显示面板的显示不均。

发明概述

技术问题

[0005] 本发明提供一种像素驱动电路及显示面板，能够提升薄膜晶体管的栅漏极电压，进而提升显示面板的显示品质。

问题的解决方案

技术解决方案

[0006] 本发明提供一种像素驱动电路，其包括：第一输入模块、第二输入模块、驱动

模块、发光二极管、第一电容以及第二电容；

[0007] 所述第一输入模块连接第一扫描信号输入端、数据信号输入端、第二电压输入端、第一节点和第二节点，用于在所述第一扫描信号输入端的第一扫描信号的控制下，将所述第一节点的电压与所述数据信号输入端的电压拉齐，以及将所述第二节点的电压与所述第二电压输入端的电压拉齐；

[0008] 所述第二输入模块连接第二扫描信号输入端、第三电压输入端以及所述第二节点，用于在所述第二扫描信号输入端的第二扫描信号的控制下，将所述第二节点的电压与所述第三电压输入端的电压拉齐；

[0009] 所述驱动模块连接所述第一节点、第一电压输入端和所述发光二极管的阳极，所述发光二极管的阴极连接所述第二电压输入端，所述驱动模块用于在所述第一节点的电压的控制下，驱动所述发光二极管发光；

[0010] 所述第一电容的第一极连接所述第一节点，所述第一电容的第二极连接所述第二节点；所述第二电容的第一极连接所述第一电压输入端，所述第二电容的第二极连接所述第一节点；

[0011] 其中，所述第一输入模块包括第一晶体管 and 第三晶体管；

[0012] 所述第一晶体管的第一端连接所述数据信号输入端，所述第一晶体管的第二端连接所述第一节点，所述第一晶体管的栅极连接所述第一扫描信号输入端；

[0013] 所述第三晶体管的第一端连接所述第二电压输入端，所述第三晶体管的第二端连接所述第二节点，所述第三晶体管的栅极连接所述第一扫描信号输入端；

[0014] 所述第二输入模块包括：第四晶体管；

[0015] 所述第四晶体管的第一端连接所述第三电压输入端，所述第四晶体管的第二端连接所述第二节点，所述第四晶体管的栅极连接所述第二扫描信号输入端。

[0016] 在本发明的像素驱动电路中，所述驱动模块包括：第二晶体管；

[0017] 所述第二晶体管的第一端连接所述第一电压输入端，所述第二晶体管的第二端连接所述发光二极管的阳极，所述第二晶体管的栅极连接所述第一节点。

[0018] 在本发明的像素驱动电路中，各个晶体管均为NMOS管。

[0019] 在本发明的像素驱动电路中，所述第一电压输入端和所述第二电压输入端用于提供所述发光二极管的驱动电压，所述第三电压输入端用于提供参考电压。

- [0020] 在本发明的像素驱动电路中，所述第三电压输入端的电压值大于所述第二电压输入端的电压值。
- [0021] 在本发明的像素驱动电路中，所述像素驱动电路的驱动时序包括：第一时间段和第二时间段；
- [0022] 在所述第一时间段，所述第一扫描信号输入端的第一扫描信号为高电平，所述第二扫描信号输入端的第二扫描信号为低电平，所述第一晶体管和所述第三晶体管导通，所述第四晶体管关闭，所述第一节点的电压与所述数据信号输入端的电压拉齐，所述第二节点的电压与所述第二电压输入端的电压拉齐；
- [0023] 在所述第二时间段，所述第一扫描信号输入端的第一扫描信号为低电平，所述第二扫描信号输入端的第二扫描信号高电平，所述第一晶体管和所述第三晶体管关闭，所述第四晶体管导通，所述第二节点的电压与所述第三电压输入端的电压拉齐，同时由于电容耦合作用，所述第一节点电位会被抬升，以使得所述第二晶体管导通驱动发光二极管发光。
- [0024] 在本发明的像素驱动电路中，所述第一节点被抬升后的电压： $V_{data} = V_{data} + C1(V_{ref} - OVSS)/(Cst + C1)$ ，其中， V_{data} 为所述数据信号输入端的电压， V_{ref} 为所述第三电压输入端的电压， $C1$ 为所述第一电容的电容值， Cst 为所述第二电容的电容值， $OVSS$ 为所述第二电压输入端的电压。
- [0025] 本发明提供一种像素驱动电路，其包括：第一输入模块、第二输入模块、驱动模块、发光二极管、第一电容以及第二电容；
- [0026] 所述第一输入模块连接第一扫描信号输入端、数据信号输入端、第二电压输入端、第一节点和第二节点，用于在所述第一扫描信号输入端的第一扫描信号的控制下，将所述第一节点的电压与所述数据信号输入端的电压拉齐，以及将所述第二节点的电压与所述第二电压输入端的电压拉齐；
- [0027] 所述第二输入模块连接第二扫描信号输入端、第三电压输入端以及所述第二节点，用于在所述第二扫描信号输入端的第二扫描信号的控制下，将所述第二节点的电压与所述第三电压输入端的电压拉齐；
- [0028] 所述驱动模块连接所述第一节点、第一电压输入端和所述发光二极管的阳极，所述发光二极管的阴极连接所述第二电压输入端，所述驱动模块用于在所述第

一节点的电压的控制下，驱动所述发光二极管发光；

[0029] 所述第一电容的第一极连接所述第一节点，所述第一电容的第二极连接所述第二节点；所述第二电容的第一极连接所述第一电压输入端，所述第二电容的第二极连接所述第一节点。

[0030] 在本发明的像素驱动电路中，所述第一输入模块包括第一晶体管和第三晶体管；

[0031] 所述第一晶体管的第一端连接所述数据信号输入端，所述第一晶体管的第二端连接所述第一节点，所述第一晶体管的栅极连接所述第一扫描信号输入端；

[0032] 所述第三晶体管的第一端连接所述第二电压输入端，所述第三晶体管的第二端连接所述第二节点，所述第三晶体管的栅极连接所述第一扫描信号输入端。

[0033] 在本发明的像素驱动电路中，所述第二输入模块包括：第四晶体管；

[0034] 所述第四晶体管的第一端连接所述第三电压输入端，所述第四晶体管的第二端连接所述第二节点，所述第四晶体管的栅极连接所述第二扫描信号输入端。

[0035] 在本发明的像素驱动电路中，所述驱动模块包括：第二晶体管；

[0036] 所述第二晶体管的第一端连接所述第一电压输入端，所述第二晶体管的第二端连接所述发光二极管的阳极，所述第二晶体管的栅极连接所述第一节点。

[0037] 在本发明的像素驱动电路中，各个晶体管均为NMOS管。

[0038] 在本发明的像素驱动电路中，所述第一电压输入端和所述第二电压输入端用于提供所述发光二极管的驱动电压，所述第三电压输入端用于提供参考电压。

[0039] 在本发明的像素驱动电路中，所述第三电压输入端的电压值大于所述第二电压输入端的电压值。

[0040] 在本发明的像素驱动电路中，所述像素驱动电路的驱动时序包括：第一时间段和第二时间段；

[0041] 在所述第一时间段，所述第一扫描信号输入端的第一扫描信号为高电平，所述第二扫描信号输入端的第二扫描信号为低电平，所述第一晶体管和所述第三晶体管导通，所述第四晶体管关闭，所述第一节点的电压与所述数据信号输入端的电压拉齐，所述第二节点的电压与所述第二电压输入端的电压拉齐；

[0042] 在所述第二时间段，所述第一扫描信号输入端的第一扫描信号为低电平，所述

第二扫描信号输入端的第二扫描信号高电平，所述第一晶体管和所述第三晶体管关闭，所述第四晶体管导通，所述第二节点的电压与所述第三电压输入端的电压拉齐，同时由于电容耦合作用，所述第一节点电位会被抬升，以使得所述第二晶体管导通驱动发光二极管发光。

[0043] 在本发明的像素驱动电路中，所述第一节点被抬升后的电压： $V_{data} = V_{data} + C1(V_{ref} - OVSS)/(Cst + C1)$ ，其中， V_{data} 为所述数据信号输入端的电压， V_{ref} 为所述第三电压输入端的电压， $C1$ 为所述第一电容的电容值， Cst 为所述第二电容的电容值， $OVSS$ 为所述第二电压输入端的电压。

[0044] 本发明还提供一种显示面板，其包括像素驱动电路，所述像素电路包括：第一输入模块、第二输入模块、驱动模块、发光二极管、第一电容以及第二电容；

[0045] 所述第一输入模块连接第一扫描信号输入端、数据信号输入端、第二电压输入端、第一节点和第二节点，用于在所述第一扫描信号输入端的第一扫描信号的控制下，将所述第一节点的电压与所述数据信号输入端的电压拉齐，以及将所述第二节点的电压与所述第二电压输入端的电压拉齐；

[0046] 所述第二输入模块连接第二扫描信号输入端、第三电压输入端以及所述第二节点，用于在所述第二扫描信号输入端的第二扫描信号的控制下，将所述第二节点的电压与所述第三电压输入端的电压拉齐；

[0047] 所述驱动模块连接所述第一节点、第一电压输入端和所述发光二极管的阳极，所述发光二极管的阴极连接所述第二电压输入端，所述驱动模块用于在所述第一节点的电压的控制下，驱动所述发光二极管发光；

[0048] 所述第一电容的第一极连接所述第一节点，所述第一电容的第二极连接所述第二节点；所述第二电容的第一极连接所述第一电压输入端，所述第二电容的第二极连接所述第一节点。

[0049] 在本发明的显示面板中，所述第一输入模块包括第一晶体管和第三晶体管；

[0050] 所述第一晶体管的第一端连接所述数据信号输入端，所述第一晶体管的第二端连接所述第一节点，所述第一晶体管的栅极连接所述第一扫描信号输入端；

[0051] 所述第三晶体管的第一端连接所述第二电压输入端，所述第三晶体管的第二端连接所述第二节点，所述第三晶体管的栅极连接所述第一扫描信号输入端。

[0052] 在本发明的显示面板中，所述第二输入模块包括：第四晶体管；

[0053] 所述第四晶体管的第一端连接所述第三电压输入端，所述第四晶体管的第二端连接所述第二节点，所述第四晶体管的栅极连接所述第二扫描信号输入端。

[0054] 在本发明的显示面板中，所述驱动模块包括：第二晶体管；

[0055] 所述第二晶体管的第一端连接所述第一电压输入端，所述第二晶体管的第二端连接所述发光二极管的阳极，所述第二晶体管的栅极连接所述第一节点。

发明的有益效果

有益效果

[0056] 本发明的有益效果为：本发明提供的像素驱动电路及显示面板，包括第一输入模块、第二输入模块、驱动模块、发光二极管、第一电容以及第二电容，在第二扫描信号输入端的第二扫描信号的控制下，通过电容耦合作用抬升第一节点的电位，从而提升薄膜晶体管的栅漏极电压，进而提升显示面板的显示品质。

对附图的简要说明

附图说明

[0057] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0058] 图1为本发明实施例提供的像素驱动电路的示意性结构图；

[0059] 图2为本发明实施例提供的像素驱动电路的电路图；

[0060] 图3为本发明实施提供的像素驱动电路的驱动时序图。

实施该发明的最佳实施例

本发明的最佳实施方式

[0061] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

- [0062] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件，根据在电路中的作用本发明的实施例所采用的晶体管主要为开关晶体管。由于这里采用的开关晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本发明实施例中，为区分晶体管除栅极之外的两极，将其中源极称为第一端，漏极称为第二端。按附图中的形态规定晶体管的中间端为栅极、输入信号端为源极、输出信号端为漏极。此外本发明实施例所采用的开关晶体管为在栅极为高电平时导通，在栅极为低电平时截止。
- [0063] 需要说明的是，需要说明的是，本申请中的“第一”、“第二”等字样仅仅是为了对功能和作用基本相同的相同项或相似项进行区分，“第一”、“第二”等字样并不是在对数量和执行次序进行限定。
- [0064] 请参阅图1，图1为本发明实施例提供的像素驱动电路的示意性结构图。如图1所示，本发明实施例提供一种像素驱动电路，其包括：第一输入模块101、第二输入模块102、驱动模块103、发光二极管OLED、第一电容C1以及第二电容Cst；
- [0065] 第一输入模块101连接第一扫描信号输入端Gate N、数据信号输入端、第二电压输入端OVSS端、第一节点A和第二节点B，用于在第一扫描信号输入端Gate N的第一扫描信号的控制下，将第一节点A的电压与数据信号输入端的电压拉齐，以及将第二节点B的电压与第二电压输入端OVSS的电压拉齐；
- [0066] 第二输入模块102连接第一扫描信号输入端Gate N+1、第三电压输入端Vref以及第二节点B，用于在第一扫描信号输入端Gate N+1的第二扫描信号的控制下，将第二节点B的电压与第三电压输入端Vref的电压拉齐；
- [0067] 驱动模块103连接第一节点A、第一电压输入端OVDD和发光二极管OLED的阳极，发光二极管OLED的阴极连接第二电压输入端OVSS，驱动模块103用于在第一节点A的电压的控制下，驱动发光二极管OLED发光；
- [0068] 第一电容C1的第一极连接第一节点A，第一电容C1的第二极连接第二节点B；第二电容Cst的第一极连接第一电压输入端OVDD，第二电容Cst的第二极连接第一节点A。
- [0069] 需要说明的是，上述实施例中，多个模块共用一个信号端可以减少GOA电路中

信号端的数量，当然，这些模块还可以分别连接不同的信号端，只要该信号端可以提供类似的信号即可。

[0070] 请参阅图2，图2为本发明实施例提供的像素驱动电路的电路图。具体的，第一输入模块101包括第一晶体管T1和第三晶体管T3；第一晶体管T1的第一端连接数据信号输入端，第一晶体管T1的第二端连接第一节点A，第一晶体管T1的栅极连接第一扫描信号输入端Gate N；第三晶体管T3的第一端连接第二电压输入端OVSS，第三晶体管T3的第二端连接第二节点B，第三晶体管T3的栅极连接第一扫描信号输入端Gate N。

[0071] 第二输入模块102包括：第四晶体管T4；第四晶体管T4的第一端连接第三电压输入端Vref，第四晶体管T4的第二端连接第二节点B，第四晶体管T4的栅极连接第一扫描信号输入端Gate N+1。

[0072] 驱动模块103包括：第二晶体管T2；第二晶体管T2的第一端连接第一电压输入端OVDD，第二晶体管T2的第二端连接发光二极管OLED的阳极，第二晶体管T2的栅极连接第一节点A。

[0073] 其中，第一电压输入端OVDD和第二电压输入端OVSS用于提供发光二极管OLED的驱动电压，第三电压输入端Vref用于提供参考电压。，第三电压输入端Vref的电压值大于第二电压输入端OVSS的电压值。

[0074] 进一步的，本发明实施例中的各个晶体管均为NMOS管，即第一晶体管T1、第二晶体管T2、第三晶体管T3和第四晶体管T4均为NMOS管，NMOS管在栅极为高电平时导通，在栅极为低电平时截止。

[0075] 请参阅图3，图3为本发明实施提供的像素驱动电路的驱动时序图。如图3所示，本发明实施例提供的像素驱动电路的驱动时序包括：第一时间段t1、和第二时间段t2。

[0076] 其中，在第一时间段，第一扫描信号输入端Gate N的第一扫描信号为高电平，第一扫描信号输入端Gate N+1的第二扫描信号为低电平，第一晶体管T1和第三晶体管T3导通，第四晶体管T4关闭，第一节点A的电压VA与数据信号输入端的电压Vdata拉齐，第二节点B的电压与第二电压输入端OVSS的电压拉齐。

[0077] 在第二时间段，第一扫描信号输入端Gate N的第一扫描信号为低电平，第一扫

描信号输入端Gate N+1的第二扫描信号高电平，第一晶体管T1和第三晶体管T3关闭，第四晶体管T4导通，第二节点B的电压与第三电压输入端Vref的电压拉齐，同时由于电容耦合作用，第一节点A的电位会被抬升，以使得第二晶体管T2导通驱动发光二极管OLED发光。

[0078] 具体的，第一节点A被抬升后的电压： $V_{data'} = V_{data} + C1(V_{ref} - OVSS) / (C_{st} + C1)$ ，其中， V_{data} 为数据信号输入端的电压， V_{ref} 为第三电压输入端Vref的电压， $C1$ 为第一电容C1的电容值， C_{st} 为第二电容Cst的电容值， $OVSS$ 为第二电压输入端OVSS的电压。

[0079] 本发明提供的像素驱动电路，包括第一输入模块101、第二输入模块102、驱动模块103、发光二极管OLED、第一电容C1以及第二电容Cst，在第一扫描信号输入端Gate N+1的第二扫描信号的控制下，通过电容耦合作用抬升第一节点A的电位，从而提升薄膜晶体管的栅漏极电压，进而提升显示面板的显示品质。

[0080] 本发明实施例还提供一种显示面板，其包括以上所述的像素驱动电路，具体可参照以上所描述的像素驱动电路，在此不做赘述。

[0081] 本发明提供的像素驱动电路及显示面板，包括第一输入模块101、第二输入模块102、驱动模块103、发光二极管OLED、第一电容C1以及第二电容Cst，在第一扫描信号输入端Gate N+1的第二扫描信号的控制下，通过电容耦合作用抬升第一节点A的电位，从而提升薄膜晶体管的栅漏极电压，进而提升显示面板的显示品质。

[0082] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种像素驱动电路，其包括：第一输入模块、第二输入模块、驱动模块、发光二极管、第一电容以及第二电容；
- 所述第一输入模块连接第一扫描信号输入端、数据信号输入端、第二电压输入端、第一节点和第二节点，用于在所述第一扫描信号输入端的第一扫描信号的控制下，将所述第一节点的电压与所述数据信号输入端的电压拉齐，以及将所述第二节点的电压与所述第二电压输入端的电压拉齐；
- 所述第二输入模块连接第二扫描信号输入端、第三电压输入端以及所述第二节点，用于在所述第二扫描信号输入端的第二扫描信号的控制下，将所述第二节点的电压与所述第三电压输入端的电压拉齐；
- 所述驱动模块连接所述第一节点、第一电压输入端和所述发光二极管的阳极，所述发光二极管的阴极连接所述第二电压输入端，所述驱动模块用于在所述第一节点的电压的控制下，驱动所述发光二极管发光；
- 所述第一电容的第一极连接所述第一节点，所述第一电容的第二极连接所述第二节点；所述第二电容的第一极连接所述第一电压输入端，所述第二电容的第二极连接所述第一节点；
- 其中，所述第一输入模块包括第一晶体管和第三晶体管；
- 所述第一晶体管的第一端连接所述数据信号输入端，所述第一晶体管的第二端连接所述第一节点，所述第一晶体管的栅极连接所述第一扫描信号输入端；
- 所述第三晶体管的第一端连接所述第二电压输入端，所述第三晶体管的第二端连接所述第二节点，所述第三晶体管的栅极连接所述第一扫描信号输入端；
- 所述第二输入模块包括：第四晶体管；
- 所述第四晶体管的第一端连接所述第三电压输入端，所述第四晶体管的第二端连接所述第二节点，所述第四晶体管的栅极连接所述第二扫描信号输入端；

描信号输入端。

- [权利要求 2] 根据权利要求1所述的像素驱动电路，其中，所述驱动模块包括：第二晶体管；
所述第二晶体管的第一端连接所述第一电压输入端，所述第二晶体管的第二端连接所述发光二极管的阳极，所述第二晶体管的栅极连接所述第一节点。
- [权利要求 3] 根据权利要求2所述的像素驱动电路，其中，各个晶体管均为NMOS管。
- [权利要求 4] 根据权利要求1所述的像素电压，其中，所述第一电压输入端和所述第二电压输入端用于提供所述发光二极管的驱动电压，所述第三电压输入端用于提供参考电压。
- [权利要求 5] 根据权利要求4所述的像素驱动电路，其中，所述第三电压输入端的电压值大于所述第二电压输入端的电压值。
- [权利要求 6] 根据权利要求1所述的像素驱动电路，其中，所述像素驱动电路的驱动时序包括：第一时间段和第二时间段；
在所述第一时间段，所述第一扫描信号输入端的第一扫描信号为高电平，所述第二扫描信号输入端的第二扫描信号为低电平，所述第一晶体管和所述第三晶体管导通，所述第四晶体管关闭，所述第一节点的电压与所述数据信号输入端的电压拉齐，所述第二节点的电压与所述第二电压输入端的电压拉齐；
在所述第二时间段，所述第一扫描信号输入端的第一扫描信号为低电平，所述第二扫描信号输入端的第二扫描信号高电平，所述第一晶体管和所述第三晶体管关闭，所述第四晶体管导通，所述第二节点的电压与所述第三电压输入端的电压拉齐，同时由于电容耦合作用，所述第一节点电位会被抬升，以使得所述第二晶体管导通驱动发光二极管发光。
- [权利要求 7] 根据权利要求6所述的像素驱动电路，其中，所述第一节点被抬升后的电压：

$V_{data}' = V_{data} + C1(V_{ref} - OVSS)/(C_{st} + C1)$, 其中, V_{data} 为所述数据信号输入端的电压, V_{ref} 为所述第三电压输入端的电压, $C1$ 为所述第一电容的电容值, C_{st} 为所述第二电容的电容值, $OVSS$ 为所述第二电压输入端的电压。

[权利要求 8] 一种像素驱动电路, 其包括: 第一输入模块、第二输入模块、驱动模块、发光二极管、第一电容以及第二电容;
所述第一输入模块连接第一扫描信号输入端、数据信号输入端、第二电压输入端、第一节点和第二节点, 用于在所述第一扫描信号输入端的第一扫描信号的控制下, 将所述第一节点的电压与所述数据信号输入端的电压拉齐, 以及将所述第二节点的电压与所述第二电压输入端的电压拉齐;
所述第二输入模块连接第二扫描信号输入端、第三电压输入端以及所述第二节点, 用于在所述第二扫描信号输入端的第二扫描信号的控制下, 将所述第二节点的电压与所述第三电压输入端的电压拉齐;
所述驱动模块连接所述第一节点、第一电压输入端和所述发光二极管的阳极, 所述发光二极管的阴极连接所述第二电压输入端, 所述驱动模块用于在所述第一节点的电压的控制下, 驱动所述发光二极管发光;
所述第一电容的第一极连接所述第一节点, 所述第一电容的第二极连接所述第二节点; 所述第二电容的第一极连接所述第一电压输入端, 所述第二电容的第二极连接所述第一节点。

[权利要求 9] 根据权利要求8所述的像素驱动电路, 其中, 所述第一输入模块包括第一晶体管 and 第三晶体管;
所述第一晶体管的第一端连接所述数据信号输入端, 所述第一晶体管的第二端连接所述第一节点, 所述第一晶体管的栅极连接所述第一扫描信号输入端;
所述第三晶体管的第一端连接所述第二电压输入端, 所述第三晶体管的第二端连接所述第二节点, 所述第三晶体管的栅极连接所述第一扫描

描信号输入端。

[权利要求 10] 根据权利要求8所述的像素驱动电路，其中，所述第二输入模块包括：第四晶体管；
所述第四晶体管的第一端连接所述第三电压输入端，所述第四晶体管的第二端连接所述第二节点，所述第四晶体管的栅极连接所述第二扫描信号输入端。

[权利要求 11] 根据权利要求8所述的像素驱动电路，其中，所述驱动模块包括：第二晶体管；
所述第二晶体管的第一端连接所述第一电压输入端，所述第二晶体管的第二端连接所述发光二极管的阳极，所述第二晶体管的栅极连接所述第一节点。

[权利要求 12] 根据权利要求11所述的像素驱动电路，其中，各个晶体管均为NMOS管。

[权利要求 13] 根据权利要求8所述的像素电压，其中，所述第一电压输入端和所述第二电压输入端用于提供所述发光二极管的驱动电压，所述第三电压输入端用于提供参考电压。

[权利要求 14] 根据权利要求13所述的像素驱动电路，其中，所述第三电压输入端的电压值大于所述第二电压输入端的电压值。

[权利要求 15] 根据权利要求8所述的像素驱动电路，其中，所述像素驱动电路的驱动时序包括：第一时间段和第二时间段；
在所述第一时间段，所述第一扫描信号输入端的第一扫描信号为高电平，所述第二扫描信号输入端的第二扫描信号为低电平，所述第一晶体管和所述第三晶体管导通，所述第四晶体管关闭，所述第一节点的电压与所述数据信号输入端的电压拉齐，所述第二节点的电压与所述第二电压输入端的电压拉齐；
在所述第二时间段，所述第一扫描信号输入端的第一扫描信号为低电平，所述第二扫描信号输入端的第二扫描信号高电平，所述第一晶体管和所述第三晶体管关闭，所述第四晶体管导通，所述第二节点的电

压与所述第三电压输入端的电压拉齐，同时由于电容耦合作用，所述第一节点电位会被抬升，以使得所述第二晶体管导通驱动发光二极管发光。

[权利要求 16] 根据权利要求15所述的像素驱动电路，其中，所述第一节点被抬升后的电压：

$V_{data}' = V_{data} + C1(V_{ref} - OVSS)/(Cst + C1)$ ，其中， V_{data} 为所述数据信号输入端的电压， V_{ref} 为所述第三电压输入端的电压， $C1$ 为所述第一电容的电容值， Cst 为所述第二电容的电容值， $OVSS$ 为所述第二电压输入端的电压。

[权利要求 17] 一种显示面板，其包括像素驱动电路，所述像素电路包括：第一输入模块、第二输入模块、驱动模块、发光二极管、第一电容以及第二电容；

所述第一输入模块连接第一扫描信号输入端、数据信号输入端、第二电压输入端、第一节点和第二节点，用于在所述第一扫描信号输入端的第一扫描信号的控制下，将所述第一节点的电压与所述数据信号输入端的电压拉齐，以及将所述第二节点的电压与所述第二电压输入端的电压拉齐；

所述第二输入模块连接第二扫描信号输入端、第三电压输入端以及所述第二节点，用于在所述第二扫描信号输入端的第二扫描信号的控制下，将所述第二节点的电压与所述第三电压输入端的电压拉齐；

所述驱动模块连接所述第一节点、第一电压输入端和所述发光二极管的阳极，所述发光二极管的阴极连接所述第二电压输入端，所述驱动模块用于在所述第一节点的电压的控制下，驱动所述发光二极管发光；

所述第一电容的第一极连接所述第一节点，所述第一电容的第二极连接所述第二节点；所述第二电容的第一极连接所述第一电压输入端，所述第二电容的第二极连接所述第一节点。

[权利要求 18] 根据权利要求17所述的显示面板，其中，所述第一输入模块包括第一

晶体管 and 第三晶体管；

所述第一晶体管的第一端连接所述数据信号输入端，所述第一晶体管的第二端连接所述第一节点，所述第一晶体管的栅极连接所述第一扫描信号输入端；

所述第三晶体管的第一端连接所述第二电压输入端，所述第三晶体管的第二端连接所述第二节点，所述第三晶体管的栅极连接所述第一扫描信号输入端。

[权利要求 19] 根据权利要求17所述的显示面板，其中，所述第二输入模块包括：第四晶体管；

所述第四晶体管的第一端连接所述第三电压输入端，所述第四晶体管的第二端连接所述第二节点，所述第四晶体管的栅极连接所述第二扫描信号输入端。

[权利要求 20] 根据权利要求17所述的显示面板，其中，所述驱动模块包括：第二晶体管；

所述第二晶体管的第一端连接所述第一电压输入端，所述第二晶体管的第二端连接所述发光二极管的阳极，所述第二晶体管的栅极连接所述第一节点。

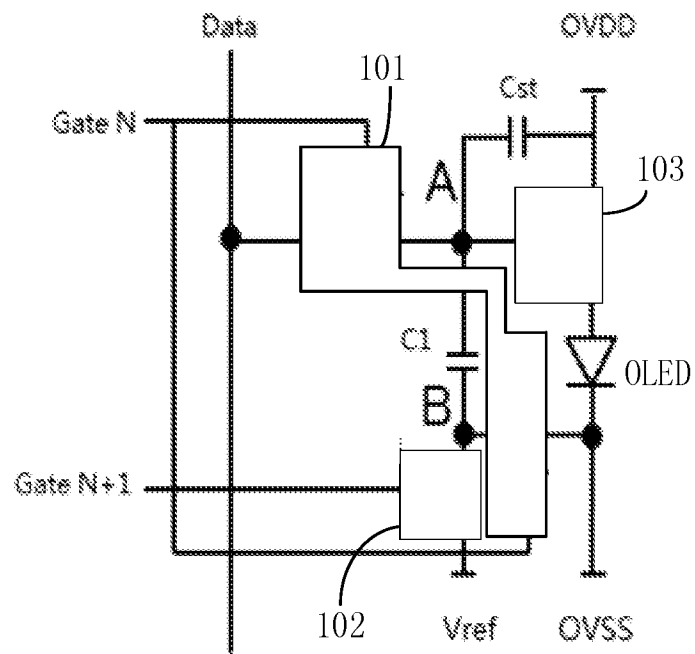


图 1

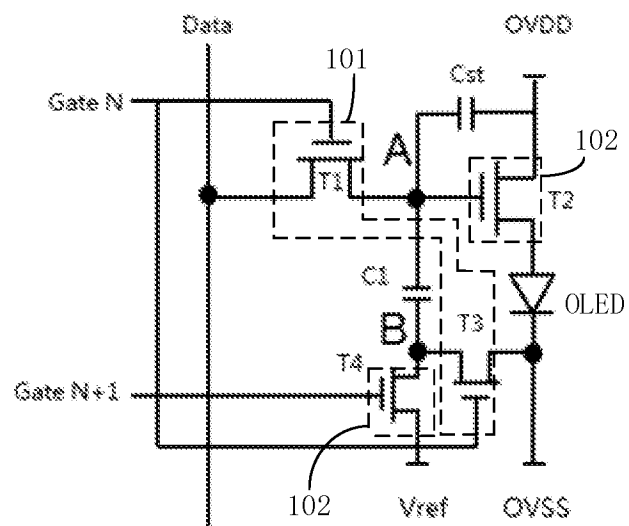


图 2

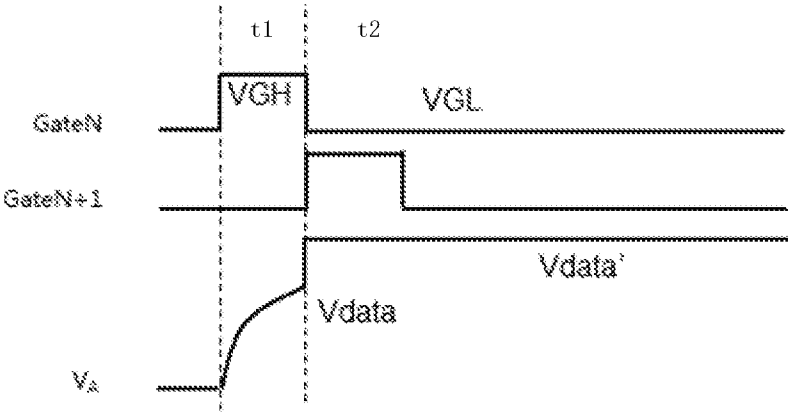


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/103900

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3233(2016.01)i; G09G 3/3266(2016.01)n; G09G 3/3258(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; USTXT; EPTXT; WOTXT; CNKI: 基准电压, 低电位, 偏移, 高电位, 第一扫描, 均匀, TFT, 晶体管, 电容, 第二扫描, 低电平, 输入, 阈值, 发光二极管, 高电平, 参考电压, 漂移, 栅漏极电压, 驱动, 不均, 写入, 一致, 节点, OLED, current, node?, Vref, compensat+, threshold, excursion, drift+, transistor, capacitance, capacitor, scan+, gate, reference, voltage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101609839 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 23 December 2009 (2009-12-23) description, page 5, paragraph 3 to page 10, paragraph 1, and figures 2-5	1-20
A	CN 103208254 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. ET AL.) 17 July 2013 (2013-07-17) entire document	1-20
A	US 2017053595 A1 (POLYERA TAIWAN CORPORATION) 23 February 2017 (2017-02-23) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 October 2018

Date of mailing of the international search report

18 December 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/103900

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	101609839	A	23 December 2009	JP	5190386	B2	24 April 2013
				JP	2009301004	A	24 December 2009
				EP	2136352	A1	23 December 2009
				KR	20090131042	A	28 December 2009
				US	2009309516	A1	17 December 2009
				US	8049701	B2	01 November 2011
				KR	100962961	B1	10 June 2010
				CN	101609839	B	29 February 2012
				EP	2136352	B1	15 May 2013
				US	8049701	C1	25 July 2017
CN	103208254	A	17 July 2013	WO	2014146339	A1	25 September 2014
				US	2015145853	A1	28 May 2015
US	2017053595	A1	23 February 2017	None			

国际检索报告

国际申请号

PCT/CN2018/103900

A. 主题的分类

G09G 3/3233(2016.01)i; G09G 3/3266(2016.01)n; G09G 3/3258(2016.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;VEN;USTXT;EPTXT;WOTXT;CNKI: 基准电压, 低电位, 偏移, 高电位, 第一扫描, 均匀, TFT, 晶体管, 电容, 第二扫描, 低电平, 输入, 阈值, 发光二极管, 高电平, 参考电压, 漂移, 栅漏极电压, 驱动, 不均, 写入, 一致, 节点, OLED, current, node?, Vref, compensat+, threshold, excursion, drift+, transistor, capacitance, capacitor, scan+, gate, reference, voltage

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 101609839 A (三星移动显示器株式会社) 2009年 12月 23日 (2009 - 12 - 23) 说明书第5页第3段至第10页第1段, 附图2-5	1-20
A	CN 103208254 A (合肥京东方光电科技有限公司 等) 2013年 7月 17日 (2013 - 07 - 17) 全文	1-20
A	US 2017053595 A1 (POLYERA TAIWAN CORP) 2017年 2月 23日 (2017 - 02 - 23) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 10月 22日

国际检索报告邮寄日期

2018年 12月 18日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

顾洪

电话号码 86-(0512)-88996670

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/103900

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101609839	A	2009年 12月 23日	JP	5190386	B2	2013年 4月 24日
				JP	2009301004	A	2009年 12月 24日
				EP	2136352	A1	2009年 12月 23日
				KR	20090131042	A	2009年 12月 28日
				US	2009309516	A1	2009年 12月 17日
				US	8049701	B2	2011年 11月 1日
				KR	100962961	B1	2010年 6月 10日
				CN	101609839	B	2012年 2月 29日
				EP	2136352	B1	2013年 5月 15日
				US	8049701	C1	2017年 7月 25日
CN	103208254	A	2013年 7月 17日	WO	2014146339	A1	2014年 9月 25日
				US	2015145853	A1	2015年 5月 28日
US	2017053595	A1	2017年 2月 23日	无			