

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7345268号

(P7345268)

(45)発行日 令和5年9月15日(2023.9.15)

(24)登録日 令和5年9月7日(2023.9.7)

(51)国際特許分類

F I

G 0 9 G 3/3233(2016.01)

G 0 9 G 3/3233

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/20 6 2 3 R

G 0 9 G 3/3291(2016.01)

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 7 0 A

G 0 9 G 3/3291

請求項の数 12 (全28頁)

(21)出願番号 特願2019-79477(P2019-79477)

(22)出願日 平成31年4月18日(2019.4.18)

(65)公開番号 特開2020-177139(P2020-177139
A)

(43)公開日 令和2年10月29日(2020.10.29)

審査請求日 令和4年4月5日(2022.4.5)

(73)特許権者 303018827

T i a n m a J a p a n 株式会社

神奈川県川崎市幸区鹿島田一丁目1番2
号

(73)特許権者 520272868

武漢天馬微電子有限公司

中華人民共和国武漢市東湖新技術開発区
流芳園横路8号

(74)代理人 110001678

藤央弁理士法人

(72)発明者 河内 玄士朗

神奈川県川崎市幸区鹿島田一丁目1番2
号 T i a n m a J a p a n 株式会社内

(72)発明者 下田 雅通

神奈川県川崎市幸区鹿島田一丁目1番2

最終頁に続く

(54)【発明の名称】 表示装置及びその制御方法

(57)【特許請求の範囲】

【請求項1】

基板上の画素回路と、

前記基板上で、前記画素回路へのデータ信号を伝送する、データ線と、

前記データ線と異なる前記基板上のモニタ線と、

モニタ回路と、を含み、

前記モニタ回路は、

前記データ線上のモニタ点の信号を、前記モニタ線を介してモニタし、

前記データ信号の伝送不良の検出に応答して、前記モニタ線及び前記モニタ点を介して

、前記画素回路に前記データ信号に代えて救済信号を供給する、

表示装置。

【請求項2】

基板上の画素回路と、

前記基板上で、前記画素回路へのデータ信号を伝送する、データ線と、

前記データ線と異なる前記基板上のモニタ線と、

モニタ回路と、を含み、

前記画素回路は、

発光素子への電流量を制御する駆動トランジスタと、

前記発光素子と前記駆動トランジスタとの間にあって、前記駆動トランジスタから前記
発光素子への電流の供給の有無を切り替える第1スイッチトランジスタと、

前記駆動トランジスタのゲートとドレインとの間の第2スイッチトランジスタと、
を含み、
前記データ信号の経路上で、かつ、前記駆動トランジスタと前記第1スイッチトランジスタとの間に、モニタ点が存在し、
前記モニタ回路は、
前記モニタ点の信号を、前記モニタ線を介してモニタし、
前記データ信号の伝送不良の検出に応答して、前記モニタ線及び前記モニタ点を介して、前記画素回路に前記データ信号に代えて救済信号を供給する、
表示装置。

【請求項3】

10

基板上の画素回路と、
前記基板上で、前記画素回路へのデータ信号を伝送する、データ線と、
前記データ線と異なる前記基板上のモニタ線と、
モニタ回路と、
前記データ信号の経路上で、かつ、前記画素回路の駆動トランジスタのソース、ドレイン又はゲートのいずれかに存在するモニタ点と、
を含み、
前記モニタ回路は、
前記データ信号を前記画素回路の保持容量に与える経路上で、かつ、前記画素回路の駆動トランジスタのソース、ドレイン、ゲートのいずれかの1つに存在するモニタ点の信号を、前記モニタ線を介してモニタし、
前記データ信号の伝送不良の検出に応答して、前記モニタ線及び前記モニタ点を介して、前記画素回路に前記データ信号に代えて救済信号を供給する、
表示装置。

20

【請求項4】

請求項1、2又は3に記載の表示装置であって、
前記基板上に、前記モニタ線と前記モニタ回路との接続のためのモニタパッドと、
前記基板上に、前記データ線に前記データ信号を供給するためのデータパッドと、
を含み、
前記モニタ線は、前記データパッドを迂回して前記モニタ点に接続している、
表示装置。

30

【請求項5】

請求項1、2又は3に記載の表示装置であって、
前記画素回路は、
前記モニタ線と前記モニタ点との間のモニタトランジスタを含み、
前記モニタトランジスタは、前記画素回路の保持容量に対して前記データ線を介して前記データ信号が供給されている期間と異なる期間においてONにされて、前記モニタ点からのモニタ信号を前記モニタ線に供給する、
表示装置。

【請求項6】

40

請求項5に記載の表示装置であって、
前記画素回路は第1の画素回路であり、
前記モニタトランジスタは第1のモニタトランジスタであり、
前記モニタ回路は、前記第1の画素回路に前記救済信号を供給し、
前記表示装置は、
前記第1のモニタトランジスタのゲートと共通の選択線に接続されているゲートを含む第2のモニタトランジスタを含む、第2の画素回路と、
前記第2のモニタトランジスタが接続されている第2のモニタ線と、
を含み、
前記救済信号が供給されている間、前記第2のモニタ線は、ハイインピーダンス状態に

50

設定される、
表示装置。

【請求項 7】

請求項 2 に記載の表示装置であって、
前記データ信号は、前記駆動トランジスタ及び前記第 2 スイッチトランジスタを介して、
前記駆動トランジスタのゲートに供給され、
前記救済信号は、前記第 2 スイッチトランジスタを介して、前記駆動トランジスタのゲートに供給される、
表示装置。

【請求項 8】

請求項 1、2、又は 3 に記載の表示装置であって、
前記救済信号は、黒レベルの一定電圧又は映像データに基づき生成された信号である、
表示装置。

【請求項 9】

請求項 1、2、又は 3 に記載の表示装置であって、
デマルチプレクサと、
前記モニタ回路内の、複数のモニタ線制御回路と、
を含み、
前記複数のモニタ線制御回路の各モニタ線制御回路は、複数のモニタ線を制御し、
前記デマルチプレクサは、前記複数のモニタ線を順次選択する、
表示装置。

【請求項 10】

表示装置の制御方法であって、
前記表示装置は、
基板上の画素回路と、
前記基板上で、前記画素回路へのデータ信号を伝送する、データ線と、
前記データ線と異なる前記基板上のモニタ線と、
を含み、
前記制御方法は、
前記データ線上のモニタ点の信号を、前記モニタ線を介してモニタし、
前記データ信号の伝送不良の検出に応答して、前記モニタ線及び前記モニタ点を介して、
前記画素回路に前記データ信号に代えて救済信号を供給する、
制御方法。

【請求項 11】

表示装置の制御方法であって、
前記表示装置は、
基板上の画素回路と、
前記基板上で、前記画素回路へのデータ信号を伝送する、データ線と、
前記データ線と異なる前記基板上のモニタ線と、
モニタ回路と、を含み、
前記画素回路は、
発光素子への電流量を制御する駆動トランジスタと、
前記発光素子と前記駆動トランジスタとの間にあって、前記駆動トランジスタから前記発光素子への電流の供給の有無を切り替える第 1 スイッチトランジスタと、
前記駆動トランジスタのゲートとドレインとの間の第 2 スイッチトランジスタと、
を含み、
前記データ信号の経路上で、かつ、前記駆動トランジスタと前記第 1 スイッチトランジスタとの間に、モニタ点が存在し、
前記制御方法は、
前記モニタ点の信号を、前記モニタ線を介してモニタし、

前記データ信号の伝送不良の検出に応答して、前記モニタ線及び前記モニタ点を介して、前記画素回路に前記データ信号に代えて救済信号を供給する、
制御方法。

【請求項 12】

表示装置の制御方法であって、
前記表示装置は、
基板上の画素回路と、
前記基板上で、前記画素回路へのデータ信号を伝送する、データ線と、
前記データ線と異なる前記基板上のモニタ線と、
モニタ回路と、
前記データ信号の経路上で、かつ、前記画素回路の駆動トランジスタのソース、ドレイン又はゲートのいずれかに存在するモニタ点と、
を含み、
前記制御方法は、
前記データ信号を前記画素回路の保持容量に与える経路上で、かつ、前記画素回路の駆動トランジスタのソース、ドレイン、ゲートのいずれかの 1 つに存在するモニタ点の信号を、前記モニタ線を介してモニタし、
前記データ信号の伝送不良の検出に応答して、前記モニタ線及び前記モニタ点を介して、前記画素回路に前記データ信号に代えて救済信号を供給する、
制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示装置及びその制御方法に関する。

【背景技術】

【0002】

液晶表示装置（LCD）やOLED（Organic Light-Emitting Diode）表示装置のようなフラット表示装置は、計算機のモニタ、家庭内で使用されるテレビジョン、スマートフォンやタブレットコンピュータのような携帯端末の他、自動車や工作機械など、多くの分野で利用されている。

【0003】

上述のようなフラット表示装置の適用分野の広がりに伴い、フラット表示装置が、高温環境、高湿環境、又は機械振動のある環境のような、厳しい環境でも利用されるようになってきている。そのため、フラット表示装置に対するより高い信頼性及び耐障害性が求められるようになってきている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2009-302183 号公報
米国特許第 9129544 号
特開 2003-262884 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記のようなフラット表示装置の基板上には、一般に、画素回路アレイ及び画素回路アレイにデータ信号を伝送するデータ線が形成されている。データドライバは、COG（Chip On Glass）技術やFOG（Film On Glass）技術によって、データ線に電氣的に接続される。

【0006】

データ信号は画素の輝度を決定する信号であり、データ信号の伝送における不良は、表

10

20

30

40

50

示品質に大きな影響を及ぼし得る。上述のように、フラット表示装置は様々な環境で使用されるようになっており、データ信号の伝送における障害の発生の可能性が高くなっている。したがって、データ信号の伝送における障害に対する耐性を高める技術が望まれる。

【課題を解決するための手段】

【0007】

本開示の一態様の表示装置は、基板上の画素回路と、前記基板上で、前記画素回路へのデータ信号を伝送する、データ線と、前記データ線と異なる前記基板上のモニタ線と、モニタ回路と、を含む。前記モニタ回路は、前記データ信号の経路におけるモニタ点の信号を、前記モニタ線を介してモニタし、前記データ信号の伝送不良の検出に応答して、前記モニタ線及び前記モニタ点を介して、前記画素回路に前記データ信号に代えて救済信号を供給する。

10

【発明の効果】

【0008】

本開示の一態様によれば、表示装置におけるデータ信号の伝送における障害に対する耐性を高めることができる。

【図面の簡単な説明】

【0009】

【図1】OLED表示装置の構成例を模式的に示す。

【図2】本実施形態のデータ信号の伝送不良を監視及び処理する回路構成の例を示す。

【図3】データ信号伝送をモニタし、不良を検出した場合に対処するドライバICの内部制御構成例を示す。

20

【図4】デマルチプレクサ（DeMUX）の構成例を示す。

【図5】本実施形態の構成例の概要を模式的に示す。

【図6】本実施形態におけるOLED表示装置のバックプレーンの構成例を模式的に示す。

【図7】モニタ機能付画素回路の構成例を示す。

【図8】1フレーム期間において、図7に示す画素回路を制御（駆動）する信号のタイミングチャートを示す。

【図9】ドライバICから選択トランジスタまでのデータ線における断線（障害）により、データ信号伝送不良が発生している例を示す。

【図10】正常動作時の1フレーム期間における選択線の信号波形と、データ信号伝送不良が検出された後の1フレーム期間における選択線の信号波形と、を示す。

30

【図11】ドライバIC内のモニタ線制御回路の構成例を示す。

【図12】モニタ期間の他の例を示す。

【図13A】不良が発生していないとき（正常時）の、モニタ線制御回路の動作を示す。

【図13B】不良データ線に対応するモニタ線制御回路及び正常データ線に対応するモニタ線制御回路の動作を示す

【図14】デマルチプレクサ（DeMUX）の構成例を示す。

【図15】モニタ機能付画素回路の構成例を示す。

【図16】モニタ機能付画素回路の構成例を示す。

【図17】モニタ機能付画素回路の構成例を示す。

40

【図18】モニタ機能付画素回路の構成例を示す。

【図19】モニタ機能付画素回路の構成例を示す。

【図20】モニタ機能付画素回路の構成例を示す。

【図21】モニタ機能付画素回路の構成例を示す。

【図22】モニタ機能付画素回路の構成例を示す。

【図23】モニタ機能付画素回路の構成例を示す。

【図24】複数のモニタ線が一つのモニタパッドに接続されている構成例を示す。

【図25】基板上のデマルチプレクサによって一つのモニタパッドに接続されている複数のモニタ線を順次選択する構成例を示す。

【図26】ドライバIC内に形成されているデマルチプレクサによって一つのモニタパッ

50

ドに接続されている複数のモニタ線を順次選択する構成例を示す。

【発明を実施するための形態】

【0010】

以下において、図面を参照して実施形態を具体的に説明する。各図において共通の構成については同一の参照符号が付されている。説明をわかりやすくするため、図示した物の寸法、形状については、誇張して記載している場合もある。

【0011】

以下において、液晶表示装置（LCD）やOLED（Organic Light-Emitting Diode）表示装置のような表示装置の高信頼化及び耐障害性向上の技術を開示する。本開示の技術は、車載表示装置のような、厳しい動作環境で使用される表示装置に好適である。

10

【0012】

車載表示装置のような、高温、高湿、及び機械振動のある厳しい環境で使用されている表示装置においては、データ信号の伝送における不良に起因する線欠陥が、発生する。特に、COG（Chip On Glass）実装部又はFOG（Film On Glass）実装部での接続不良により生じる線欠陥が、しばしば見られる。COGデータドライバのバンプピッチは狭く、バンプの幅も小さくなっているため、バンプによるデータドライバ（ドライバIC）と基板との間の接続において、初期では問題なかった断線が、経時劣化により発生しやすくなる。

【0013】

20

特に、多くの画素回路構成のOLED表示装置において、データ信号伝送不良は、黒欠陥ではなく明欠陥となる。さらに、特定の画素回路構成のOLED表示装置においては、データ信号伝送不良は、高輝度で発光する明線欠陥となる。例えば、データ閾値電圧 V_{th} の検出前の期間に駆動TFT（Thin Film Transistor）のゲートにリセット電圧を与える画素回路が知られている。この画素において、駆動TFTのゲートの電圧（GNDを基準とする電圧）がリセットされた後に正常なデータ信号が供給されないと、画素回路は、リセットされた状態で発光期間に移行する。リセット電圧と駆動トランジスタのソースに供給される電源電圧との差（ゲート電圧 V_{gs} ）は非常に大きいため、発光素子が高輝度で発光する。

【0014】

30

以下に説明する構成例は、表示装置の動作中に、データ信号の伝送不良を検出し、データ信号の伝送不良に起因する表示不良を、救済あるいは目立たなくする。これにより、表示パネルの耐障害性を向上し、ユーザの利便性を向上させる。

【0015】

<実施形態1>

図1は、表示装置であるOLED表示装置10の構成例を模式的に示す。OLED表示装置10は、OLED素子（発光素子）が形成されるTFT（Thin Film Transistor）基板100と、有機発光素子を封止する封止基板200と、TFT基板100と封止基板200とを接合する接合部（ガラスフリットシール部）300を含んで構成されている。TFT基板100と封止基板200との間には、例えば、乾燥窒素などの不活性ガスが封入されており、接合部300により封止されている。

40

【0016】

TFT基板100の表示領域125の外側のカソード電極形成領域114の周囲に、走査回路131、132、ドライバIC134、デマルチプレクサ136が配置されている。ドライバIC134は、FPC（Flexible Printed Circuit）135を介して外部の装置と接続される。走査回路131、132はTFT基板100の走査線を駆動する。

【0017】

ドライバIC134は、例えば、異方性導電フィルム（ACF：Anisotropic Conductive Film）を用いて実装される。ドライバIC134は、走査

50

回路１３１、１３２に電源及びタイミング信号（制御信号）を与える。さらに、ドライバＩＣ１３４は、デマルチプレクサ１３６に、データ信号を与える。

【００１８】

デマルチプレクサ１３６は、ドライバＩＣ１３４の一つのピンの出力を、 d 本（ d は２以上の整数）のデータ線に順次出力する。デマルチプレクサ１３６は、ドライバＩＣ１３４からのデータ信号の出力先データ線を、走査期間内に d 回切り替えることで、ドライバＩＣ１３４の出力ピン数の d 倍のデータ線を駆動する。

【００１９】

表示領域１２５は、複数のＯＬＥＤ素子（画素）及び複数の画素それぞれの発光を制御する複数の画素回路を含む。カラーＯＬＥＤ表示装置において、各ＯＬＥＤ素子は、例えば、赤、青又は緑のいずれかの色を発光する。複数の画素回路は、画素回路アレイを構成する。後述するように、各画素回路は、駆動ＴＦＴ（駆動トランジスタ）を含む。データ線が伝送するデータ信号は、駆動ＴＦＴのゲート電圧（ V_{gs} ）を決定する。データ信号が駆動ＴＦＴのコンダクタンスをアナログ的に変化させ、発光階調に対応した順バイアス電流をＯＬＥＤ素子に供給する。

【００２０】

図２は、本実施形態のデータ信号の伝送不良を監視及び処理する回路構成の例を示す。図２は、ドライバＩＣ１３４のバンプとＴＦＴ基板１００上のデータパッド１０２との間の接続不良１２１の例を示す。ＴＦＴ１００上には、画素回路アレイ１５０及び画素回路アレイ１５０にデータ信号を伝送するデータ線１０５、データ線１０５とドライバＩＣ１３４のバンプとを相互接続するデータパッド１０２が形成されている。複数のデータパッド１０２が、データパッド群を構成する。

【００２１】

さらに、ＴＦＴ１００上には、モニタ線１１１及びモニタ線１１１とドライバＩＣ１３４のバンプとを相互接続するモニタパッド１０１が形成されている。複数のモニタパッド１０１が、モニタパッド群を構成する。各モニタ線１１１は、各データ線１０５に、各データパッド１０２を迂回して、特定の点（モニタ点と呼ぶ）接続されている。図２において、モニタ点は、データ線１０５上のデータパッド１０２と画素回路アレイ１５０との間の点である。

【００２２】

ドライバＩＣ１３４は、データパッド１０２及びデータ線１０５を介して、当該データ線１０５に接続されている画素回路それぞれに、データ信号を送信する。ドライバＩＣ１３４は、データ信号を生成及び供給するデータ信号供給回路（不図示）を含む。ドライバＩＣ１３４は、各モニタ線１１１（及びモニタパッド１０１）の電圧を監視することで、各モニタ線１１１（及びモニタパッド１０１）を介して、対応するデータ線１０５（データパッド１０２）のデータ信号（データ信号電圧）を監視する。

【００２３】

ドライバＩＣ１３４は、モニタ線１１１の電圧から、データ信号伝送不良を検出できる。ドライバＩＣ１３４は、特定のデータ線１０５においてデータ信号伝送不良を検出すると、当該データ線１０５に接続されているモニタ線１１１を介して、データ信号に代えて、救済信号（救済信号電圧）を当該データ線１０５に供給する。当該データ線１０５は、救済信号を画素回路に伝送する。救済信号の供給により、表示欠陥の発生を回避できる。

【００２４】

例えば、データパッド１０２Ａにおいて接続不良が発生すると、対応するデータ線１０５Ａの電圧は、ドライバＩＣ１３４からのデータ信号と一致せず、一定である。ドライバＩＣ１３４は、モニタ線１１１Ａ及びモニタパッド１０１Ａを介して、データ線１０５Ａの電圧を監視し、データパッド１０２Ａにおける接続不良に起因するデータ信号伝送不良を検出する。ドライバＩＣ１３４は、モニタ線１１１Ａ及びモニタパッド１０１Ａを介して、救済信号をデータ線１０５Ａに供給する。救済信号は、データ線１０５Ａを介して、画素回路に供給される。

10

20

30

40

50

【0025】

ドライバIC134は、データ信号伝送不良を検出すると、不図示の制御回路に、通知してもよい。不図示の制御回路は、例えば、視覚的又は聴覚的にアラートを発報し、ユーザに部品交換を指示する。これにより、さらになる不良の発生を未然に防ぐことができる。

【0026】

図3は、データ信号伝送をモニタし、不良を検出した場合に対処するドライバIC134の内部制御構成例を示す。図3は、データ線105及びモニタ線111の一つのペアに対応するモニタ線制御回路340を示す。ドライバIC134は、複数のモニタ線制御回路340を含むモニタ回路を含み、図3の構成例において、各モニタ線制御回路340は、データ線105及びモニタ線111の各ペアに対応する。モニタ線制御回路340は、DAコンバータ(DAC)341、バッファアンプ342、345、第1スイッチ343、第2スイッチ344、コンパレータ346、及びNOTゲート347を含む。

10

【0027】

コンパレータ346の入力が同一である場合、その出力φは0である。コンパレータ346が異なる場合、その出力φは1である。スイッチ343及び344は、入力制御信号が0である場合にOFFであり、入力制御信号が1である場合にONである。第1スイッチ343の制御信号は、コンパレータ346の出力φの反転信号である。一方、第2スイッチ344の制御信号は、コンパレータ346の出力φである。

【0028】

正常動作において、DAコンバータ341は、外部からのデジタル映像データを、アナログのデータ信号に変換する。バッファアンプ342は、DAコンバータ341からのデータ信号を受けて、データパッド102に出力する。データ信号は、データパッド102に接続されているデータ線105により画素回路に伝送される。

20

【0029】

正常動作において、第1スイッチ343はONであり、第2スイッチ344はOFFである。バッファアンプ342からのデータ信号(電圧)が、コンパレータ346に入力される。さらに、第1スイッチ343はONであるため、データ線105のデータ信号(電圧)が、モニタ線111及びモニタパッド101を介して、コンパレータ346に入力される。

【0030】

コンパレータ346の二つの入力の値は同一(データ信号電圧)であるため、コンパレータ346の出力φは0である。コンパレータ346の出力φは、NOTゲート347によって反転されて、制御信号として第1スイッチ343に入力される。さらに、コンパレータ346の出力φは、制御信号として第2スイッチ344に入力される。

30

【0031】

次に、データ信号伝送不良発生時の動作を説明する。データパッド102とドライバIC134との間の接続不良(接続異常)が発生すると、コンパレータ346への二つの入力の値が異なるものとなる。コンパレータ346の入力の一方は、データパッド102の前段のバッファアンプ342の出力であり、他方はデータ線105の電圧である。バッファアンプ342の出力は映像データに応じて変化し、データ線105の電圧は一定である。

40

【0032】

入力の値が異なる場合、コンパレータ346の出力φは1である。このため、第1スイッチ343はONからOFFに変化し、第2スイッチ344はOFFからONに変化する。DAコンバータ341からのデータ信号は、バッファアンプ342及び第2スイッチ344を介して、モニタパッド101に入力する。モニタ線111は、モニタパッド101からのデータ信号を、データ線105に伝送する。

【0033】

このように、モニタ線制御回路340は、データ線105の電圧を、モニタ線111を介してモニタし、データ信号伝送の不良を検出する。モニタ線制御回路340は、不良検出に 응답して、DAコンバータ341からのデータ信号を、救済信号として、モニタパッ

50

ド１０１及びモニタ線１１１を介して、データ線１０５に与える。データ信号は、データ線１０５を通して、画素回路に与えられる。これにより、データパッド１０２の接続不良発生時に、データ信号を、救済信号として、画素回路に与えることができる。

【００３４】

図４は、デマルチプレクサ（ＤｅＭＵＸ）１３６の構成例を示す。本実施形態のドライバＩＣ１３４の端子は、データ信号出力端子に加え、データ信号伝送のモニタ用端子を含む。デマルチプレクサ１３６によって、ドライバＩＣ１３４の端子及び基板上のパッド数を低減できる。

【００３５】

デマルチプレクサ１３６は、クロック信号ＣＫＡで制御されるスイッチトランジスタ３６１と、クロック信号ＣＫＢで制御されるスイッチトランジスタ３６２と、を含む。スイッチトランジスタは、ＯＮ／ＯＦＦ制御されるトランジスタである。クロック信号ＣＫＡ及びＣＫＢは、ドライバＩＣ１３４から与えられる。スイッチトランジスタ３６１及び３６２の各ペアは、各データパッド１０２に接続されている。

【００３６】

スイッチトランジスタ３６１は、画素回路アレイ１５０に接続されているデータ線１０５Ａと接続されている。スイッチトランジスタ３６２は、画素回路アレイ１５０に接続されているデータ線１０５Ｂと接続されている。データ線１０５Ａ及び１０５Ｂは、異なる画素回路群に接続されている。データ線１０５Ｃは、スイッチトランジスタ３６１及び３６２を、データパッド１０２に接続する。データ線１０５Ｃは、データ線１０５Ａ及び１０５Ｂの双方が伝送するデータ信号を伝送する。

【００３７】

スイッチトランジスタ３６１及び３６２は、クロック信号ＣＫＡ及びＣＫＢに従って、異なる期間においてＯＮである。スイッチトランジスタ３６１がＯＮの期間において、データパッド１０２からのデータ信号は、データ線１０５Ｃ、スイッチトランジスタ３６１及びデータ線１０５Ａを介して、画素回路に与えられる。スイッチトランジスタ３６２がＯＮの期間において、データパッド１０２からのデータ信号は、データ線１０５Ｃ、スイッチトランジスタ３６２及びデータ線１０５Ｂを介して、画素回路に与えられる。

【００３８】

なお、図４の例は、一つのデータパッド１０２が、異なる画素回路群にデータ信号を伝送する二つのデータ線に接続されているが、一つのデータパッド１０２が、異なる画素回路群にデータ信号を伝送する２より多くの信号線と接続されていてもよい。

【００３９】

<実施形態２>

実施形態１における構成例は、画素回路アレイとデータパッドとの間のモニタ点において、データ線の電圧をモニタし、電圧不良の検出に応答して、救済信号をデータ線を介して画素回路に与える。以下に説明する構成例は、画素アレイ内にモニタ点を有し、画素アレイ内を延びるモニタ線を介して、モニタ点の電圧をモニタし、さらに、当該モニタ線を介して救済信号を供給する。

【００４０】

図５は、本実施形態の構成例の概要を模式的に示す。本構成例は、モニタ機能付画素回路５００及び画素回路アレイ１５０内を延びるモニタ線１１１を含む。モニタ線１１１を介した電圧のモニタ点は、画素回路アレイ１５０内に存在する。本構成例は、モニタ線１１１の電圧をモニタすることで、データ信号伝送の不良を検出する。図５において、データパッド１０２における接続不良１２１に起因するデータ信号伝送の不良が、モニタ線１１１を介して検出される。さらに、本構成例は、不良検出に応答して、不良を検出したモニタ線１１１を介して、救済信号を画素回路５００に与える。

【００４１】

図６は、本実施形態におけるＯＬＥＤ表示装置のバックプレーンの構成例を模式的に示す。マトリックス状に配置された画素回路５００が、画素回路アレイ１５０を構成してい

10

20

30

40

50

る。各画素回路500は、各OLED素子の発光を制御する。図6において、上下方向に
一列に配列された画素回路500の群を画素回路列、左右方向に一列に配列された画素回
路500の群を画素回路行と呼ぶ。

【0042】

複数のデータ線105及び複数のモニタ線111が、ドライバIC134から、画素回
路アレイ150内を延びている。データ線105及びモニタ線111は、列方向に延びて
いる。データ線105及びモニタ線111の各ペアが、各画素回路列の画素回路それぞ
れに接続されている。

【0043】

複数のFOG (Film On Glass) パッド104が、TFT基板100上に形
成されている。外部装置に接続されているFPC (図6において不図示) が、FOGパ
ッド104と接続される。FOGパッド104の一部は、ドライバIC134の端子と接続
されている。なお、ドライバIC134から走査回路131及び132への制御線は省略
されている。

【0044】

他のFOGパッド104が、アノード電源線PVDDに接続されている。アノード電源
線PVDDは、不図示の外部装置からのアノード電源電圧を画素回路500に供給する。
複数のアノード電源線PVDDが、画素回路アレイ150内に配設されており、それらは
全て接続されている。図6の例において、複数のアノード電源線PVDDは、画素回路列
それぞれに沿って延びる複数のアノード電源線PVDDを含む。アノード電源線PVDD
は、OLED素子(発光素子)のアノード電極に電源電圧を与える。

【0045】

他のFOGパッド104がリセット電源線Vrstに接続されている。リセット電源線
Vrstは、不図示の外部装置からのリセット電源電圧を画素回路500に供給する。複
数のリセット電源線Vrstが、画素回路アレイ150内に配設されており、それらは全
て接続されている。

【0046】

図6の例において、複数のリセット電源線Vrstは、画素回路行それぞれに沿って延
びる複数のリセット電源線Vrstを含む。リセット電源線Vrstは、OLED素子(発
光素子)のアノード電極及び駆動トランジスタのゲートに十分に低いリセット電圧を
与える。

【0047】

図7は、モニタ機能付画素回路500の構成例を示す。モニタ機能付画素回路500は
、7つのトランジスタ(TFT)M1~M7を含む。モニタ機能付画素回路500は、O
LED素子501の発光を制御すると共に、当該モニタ機能付画素回路500へのデータ
信号の伝送をモニタする。本例において、トランジスタM1~M7はP型である。

【0048】

トランジスタM3は、OLED素子501への電流量を制御する駆動トランジスタであ
る。駆動トランジスタM3は、アノード電源線PVDDからOLED素子501に与える
電流量を、保持容量Cstが保持する電圧に応じて制御する。OLED素子501のカソ
ードは、カソード電源線VEEに接続されている。保持容量Cstは、トランジスタM
のゲートソース間電圧(単にゲート電圧とも呼ぶ)を保持する。

【0049】

トランジスタM1及びM6は、OLED素子501の発光の有無を制御する。トランジ
スタM1は、アノード電源線PVDDから駆動トランジスタM3への電流供給をON/O
FFする。トランジスタM6(第1スイッチトランジスタ)は、駆動トランジスタM3か
らOLED素子501への電流供給をON/OFFする。トランジスタM6は、また、駆
動トランジスタM3のゲートへのリセット電圧の供給のために動作する。トランジスタ
M1及びM6は、それぞれ、走査回路131又は132から延びる発光制御線Em1及びE
m2により制御される。

10

20

30

40

50

【0050】

トランジスタM5は、OLED素子501のアノード及び駆動トランジスタM3のゲートの電圧へのリセット電圧の供給の有無を制御する。トランジスタM5は、走査回路131又は132から延びる選択線S1によりONにされると、リセット電源線Vrstからリセット電圧を、OLED501のアノードに与え、トランジスタM6及びM4を介して駆動トランジスタM3のゲートに与える。

【0051】

トランジスタM2は、データ信号を供給する画素回路500を選択するための選択トランジスタである。トランジスタM2のゲート電圧は、走査回路131又は132から延びる選択線S2により制御される。選択トランジスタM2は、ONのとき、データ線105からのデータ信号を、駆動トランジスタM3のゲート（保持容量Cst）に与える。

10

【0052】

本例において、選択トランジスタM2（ソース及びドレイン）は、データ線105と駆動トランジスタM3のソースとの間に接続されている。さらに、トランジスタM4（ソース及びドレイン）は、駆動トランジスタM3のドレインとゲートとの間に接続されている。

【0053】

トランジスタM4（第2スイッチトランジスタ）は、駆動トランジスタM3の閾値電圧のばらつきを補償する為に動作する。トランジスタM4がONであるとき、駆動トランジスタM3はダイオード接続トランジスタを構成する。データ線105からのデータ信号は、ONである選択トランジスタM2、駆動トランジスタM3及びトランジスタM4を介して、保持容量Cstに与えられる。保持容量Cstは、データ信号に駆動トランジスタM3の閾値電圧Vthを加えた電圧を保持する。トランジスタM4は、さらに、駆動トランジスタM3のゲートへのリセット電圧の供給のために動作する。トランジスタM4、M5及びM6がONである期間において、リセット電圧は、駆動トランジスタM3のゲートに与えられる。

20

【0054】

トランジスタM7は、データ信号伝送をモニタするためのモニタトランジスタである。モニタトランジスタM7のゲート電圧は、走査回路131又は132から延びる選択線S3により制御される。モニタトランジスタM7はスイッチトランジスタであり、選択線S3からの制御信号によりON/OFFされる。モニタトランジスタM7のソース／ドレインの一方が駆動トランジスタM3とトランジスタM6（第1スイッチトランジスタ）との間のモニタ点PBに接続されており、他方がモニタ線111に接続されている。ドライバIC134は、モニタトランジスタM7及びモニタ線111を介して、モニタ点PBの電圧をモニタする。

30

【0055】

図8は、1フレーム期間において、図7に示す画素回路500を制御（駆動）する信号のタイミングチャートを示す。図8は、N番目の行を選択し、データ信号Vdata（N）を画素回路500に書き込むためのタイミングチャートを示す。時刻T2からT3の期間において、データ信号Vdata（N）が、画素回路500の保持容量Cstに書き込まれる。

40

【0056】

時刻T2よりも前の時刻T1において、発光制御線Em1がLowからHighに変化し、選択線S1がHighからLowに変化する。時刻T1において、発光制御線Em2はLowであり、選択線S2及びS3はHighである。

【0057】

上記制御信号に応じて、時刻T1において、トランジスタM1はOFFであり、トランジスタM6はONである。トランジスタM4及びM5は、ONである。トランジスタM2及びM7は、OFFである。時刻T1からT2の期間において、これらのトランジスタ状態が維持される。

【0058】

50

時刻 T 1 から T 2 の期間において、トランジスタ M 4、M 5 及び M 6 が O N である。リセット電源線 V r s t からのリセット電圧が、トランジスタ M 5 を介して、O L E D 素子 5 0 1 のアノードに与えられる。また、リセット電源線 V r s t からのリセット電圧が、トランジスタ M 5、M 6 及び M 4 を介して、駆動トランジスタ M 3 のゲートに対して与えられる。

【 0 0 5 9 】

時刻 T 2 において、発光制御線 E m 2 が L o w から H i g h に変化し、選択線 S 2 が H i g h から L o w に変化する。時刻 T 2 において、発光制御線 E m 1 は H i g h、選択線 S 1 は L o w、選択線 S 3 は H i g h である。これらの制御信号に応じて、時刻 T 2 において、トランジスタ M 1 及び M 6 は O F F である。トランジスタ M 4 及び M 5 は、O N である。選択トランジスタ M 2 は O N である。トランジスタ M 7 は、O F F である。時刻 T 2 から T 3 の期間において、これらのトランジスタ状態が維持される。

10

【 0 0 6 0 】

時刻 T 2 から T 3 の期間において、トランジスタ M 6 が O F F であり、リセット電圧の駆動トランジスタ M 3 のゲートへの供給は O F F されている。トランジスタ M 4 が O N であるため、駆動トランジスタ M 3 はダイオード接続されている。トランジスタ M 2 は O N であるため、データ線 1 0 5 からのデータ信号 V d a t a (N) は、トランジスタ M 2、M 3 及び M 4 を介して、保持容量 C s t に書き込まれる。保持容量 C s t に書き込まれる電圧は、駆動トランジスタ M 3 の閾値電圧 V t h が補償された電圧であり、閾値電圧 V t h とデータ信号 V d a t a (N) の和である。

20

【 0 0 6 1 】

時刻 T 3 から T 4 の期間において、全ての線は H i g h である。時刻 T 4 において、選択線 S 3 が H i g h から L o w に変化する。他の線の H i g h のままである。時刻 T 4 から T 5 の期間において、選択線 S 3 が L o w であり、他の線は H i g h である。選択線 S 3 が L o w であるので、トランジスタ M 7 は O N である。

【 0 0 6 2 】

駆動トランジスタ M 3 のドレイン側のモニタ点 P B での電圧が、トランジスタ M 7 及びモニタ線 1 1 1 を介して、ドライバ I C 1 3 4 により読み取られる。時刻 T 4 から T 5 の期間は、画素回路 5 0 0 へのデータ信号伝送をモニタするモニタ期間（電圧の測定期間）である。データ信号が正常に伝送されている場合、ドライバ I C 1 3 4 は、データ信号 V d a t a (N) に応じた電圧を読み取る。

30

【 0 0 6 3 】

時刻 T 5 において、選択線 S 3 が L o w から H i g h に変化する。時刻 T 5 から時刻 T 6 の期間において、全ての線は H i g h である。時刻 T 6 において、発光制御線 E m 1 及び E m 2 が H i g h から L o w に変化し、トランジスタ M 1 及び M 6 が O F F から O N に変化する。他の線は H i g h であり、トランジスタ M 2、M 4、M 5 及び M 7 は O F F のままである。駆動トランジスタ M 3 は、データ信号 V d a t a (N) に基づき、O L E D 素子 5 0 1 に与える駆動電流を制御する。

【 0 0 6 4 】

図 9 は、ドライバ I C 1 3 4 から選択トランジスタ M 2 までのデータ線における断線（障害）1 2 2 により、データ信号伝送不良が発生している例を示す。保持容量 C s t には、データ信号が与えられない。ドライバ I C 1 3 4 は、モニタ線 1 1 1 を介して、モニタ期間（時刻 T 4 から T 5）にモニタ点 P B の電圧をモニタ（測定）する。モニタ点 P B の電圧が、伝送すべきデータ信号に対応する電圧と異なる場合、ドライバ I C 1 3 4 は、モニタ線 1 1 1、トランジスタ M 7 及びトランジスタ M 4 を介して、救済信号を保持容量 C s t に与える。

40

【 0 0 6 5 】

救済信号は、例えば、映像データに応じて決定された値（電圧）、又は、予め設定されている黒レベルの一定値（一定電圧）である。黒レベルの電圧が供給される場合、当該画素回路と同一の映像データ画素に対応付けられる他の異なる色の画素回路に対しても、同

50

様に黒レベルの救済信号が与えてもよい。救済信号により、データ信号伝送不良による表示品質の低下を小さくすることができる。

【0066】

図10は、正常動作時の1フレーム期間における選択線S2及びS3の信号波形と、データ信号伝送不良が検出された後の1フレーム期間における選択線S2及びS3の信号波形と、を示す。正常動作時の選択線S2及びS3の信号波形は、図8を参照して説明した通りである。

【0067】

上述のように、データ信号伝送不良が検出されると、データ線105を介したデータ信号に代わって、救済信号がモニタ線111及びトランジスタM7を介して供給される。図10の例において、トランジスタM7を制御する選択線S3の信号波形は、図8を参照して説明した選択線S2と同様である。つまり、選択線S3は、時刻T4からT5の期間においてLowであり、トランジスタM7をONにする。救済信号は、時刻T4からT5の期間に、モニタ線、トランジスタM7及びトランジスタM4を通して、保持容量Cstに与えられる。

【0068】

図10に示す例において、トランジスタM7は、駆動トランジスタM3とトランジスタM6との間のノードに接続されている。また、救済信号を供給する期間において、トランジスタM6はOFFである。したがって、トランジスタM7からの救済信号を、OLED素子501に与えることなく、保持容量Cst（駆動トランジスタM3のゲート）に与えることができる。通常、データ信号が供給される期間は、選択線S2がLowである時刻T4からT5の期間よりも短く、例えば、時刻T4からT5の後半の一部である。したがって、選択線S3は、時刻T4からT5の期間における一部の期間のみLowであってもよい。

【0069】

図11は、ドライバIC134内のモニタ線制御回路400の構成例を示す。一つのモニタ線制御回路400が、各モニタパッド101に対して設けられており、各モニタ線制御回路は、対応するモニタパッド101を介して電圧をモニタし、また、救済信号を出力する。モニタ線制御回路400は、モニタモードにおいて、モニタ線111の電圧をモニタし、データ信号伝送不良を検出すると、救済モードに変化する。救済モードにおいて、モニタ線制御回路400は、画素回路500の保持容量Cstに対して、データ信号の代わりとなる救済信号を供給する。

【0070】

モニタ線111の電圧を監視するモードにおいて、不良判定回路408から出力されるフラグ（信号）FLGは、0（Low）である。スイッチ401及び402に、それぞれ、フラグFLG及びNOT回路407により反転されたフラグFLGが入力される。スイッチ401及び402は、それぞれ、並列のP型トランジスタ及びN型トランジスタのペアで構成されている。

【0071】

監視モードにおいて、スイッチ401はONであり、スイッチ402はOFFである。モニタ線111の電圧は、スイッチ401及びバッファアンプ（センスアンプ）403を介して、ADコンバータ（ADC）405に入力する。不良判定回路408は、ADC405からの出力に基づき、データ信号伝送不良の発生の有無を判定する。

【0072】

一例において、不良判定回路408は、ADC405からの出力の変化に基づき、不良発生の有無を判定する。データ信号伝送の不良が発生している場合、モニタ点における電圧は略一定である。不良判定回路408は、所定フレーム期間に渡り、電圧変化が所定範囲内にある場合に、データ信号伝送の不良が発生していると判定する。

【0073】

他の例において、不良判定回路408は、データ線105に出力されるデータ信号及び

10

20

30

40

50

A D C 4 0 5 からの出力に基づき、不良発生の有無を判定する。不良判定回路 4 0 8 は、正常動作において、供給されているデータ信号と、モニタ点における測定電圧と、の情報を取得し、その情報に基づき、供給されるデータ信号とモニタ点におけるモニタ電圧との関係を同定する。不良判定回路 4 0 8 は、モニタ点の測定電圧と、出力されているデータ信号と上記関係から得られる値との差が、閾値を超える場合に、データ信号伝送不良が発生していると判定する。

【 0 0 7 4 】

データ信号とモニタ電圧との関係は、予めドライバ I C 1 3 4 内に設定されていてもよい。データ信号に対してモニタ電圧は、表示階調が大きくなる（輝度増大する）と共に正方向に変化する。断線不良発生時には、大きな電流が流れ、正常動作時の最大階調でのモニタ電圧値から正方向に大きく逸脱した電圧が観測されるため、これを不良判定回路 4 0 8 で検出する。

【 0 0 7 5 】

不良判定回路 4 0 8 が、データ信号伝送における不良が起きていると判定すると、不良判定回路 4 0 8 は、モニタ線制御回路 4 0 0 は救済モードに移行する。不良判定回路 4 0 8 は、フラグ F L G を反転させる。フラグ F L G は、0 (L o w) から 1 (H i g h) に変化する。スイッチ 4 0 1 は O N から O F F に変換し、スイッチ 4 0 2 は O F F から O N に変化する。

【 0 0 7 6 】

データ補正回路 4 1 9 は、図 9 及び 1 0 を参照して説明した正常動作におけるデータ信号書き込み期間内において、救済データを出力する。D A C 4 0 6 は、救済データをアナログの救済信号に変換し、バッファアンプ 4 0 4 を介して、スイッチ 4 0 2 に出力する。スイッチ 4 0 2 は O N であり、救済信号はモニタ線 1 1 1 に出力される。

【 0 0 7 7 】

データ補正回路 4 1 9 は、映像データ及び不良判定回路 4 0 8 からの補正データに基づき、救済データを生成する。図 9 に示すように、救済信号は、駆動トランジスタ M 3 を介することなく、保持容量 C s t に与えられる。したがって、救済信号の供給において駆動トランジスタ M 3 の閾値電圧 V t h は補償されない。

【 0 0 7 8 】

不良判定回路 4 0 8 は、例えば、モニタ期間におけるモニタ電圧とデータ信号の関係から、閾値電圧を決定し、その値をデータ補正回路 4 1 9 に与える。データ補正回路 4 1 9 は、映像データから決まるデータ信号に閾値電圧を加えて出力する。他の例において、ドライバ I C 1 3 4 が、駆動トランジスタ M 3 の閾値電圧を測定する機能を有してもよい。データ補正回路 4 1 9 又は不良判定回路 4 0 8 は、不良発生前に測定された閾値電圧を上記機能から取得する。画素回路内のトランジスタを制御して駆動トランジスタの閾値電圧を測定する方法は知られており、説明を省略する。

【 0 0 7 9 】

救済信号は、映像データに拠らず、一定であってもよい。例えば、救済信号は、駆動トランジスタ M 3 を O F F にする。これにより、簡便な制御で輝線欠陥を避けることができる。なお、ドライバ I C 1 3 4 は、一つの画素回路に駆動トランジスタを O F F にする救済信号を与える場合、映像データの同一画素に対応付けられる他の異なる色の画素回路に対しても、同様の救済信号を与えてもよい。

【 0 0 8 0 】

上記例は、O L E D 素子 5 0 1 の発光開始前に、モニタ点 P B における電圧を測定する。図 1 2 は、モニタ期間の他の例を示す。本例は、O L E D 素子 5 0 1 が発光している期間において、モニタ点 P B における電圧を測定する。具体的には、選択線 S 3 は、時刻 T 6 から次のフレームの時刻 T 1 の間の所定期間において、L o w であり、他の期間において H i g h である。データ信号が正常に伝送されている場合、ドライバ I C 1 3 4 は、データ信号 V d a t a (N) に応じた電圧を読み取る。

【 0 0 8 1 】

データ信号伝送における不良が検出されると、ドライバIC134は、正常動作におけるデータ書き込み期間内にトランジスタM7をONにするように、選択線S3の制御タイミングを変更する。

【0082】

選択線S3は、一つの行の複数の画素回路500のトランジスタM7を同時に制御する。そのため、一つの画素回路500（不良画素回路）に対して救済信号を供給するためにデータ信号の書き込み期間においてトランジスタM7をONにすると、同一行の他の全ての画素回路500（正常画素回路）においても、トランジスタM7がONになる。したがって、不良発生時には、正常画素回路（正常なデータ信号伝送が行われる画素回路）に対応するモニタ線制御回路を、適切に制御することが重要である。

10

【0083】

図13Aは、不良が発生していないとき（正常時）の、モニタ線制御回路400の動作を示す。不良判定回路408からのフラグFLAGは0である。モニタ線111は、センスアンプ403に接続されている。データ信号の書き込み期間（時刻T2から時刻T3）において、選択線S2がLowであり、選択線S3がHighである。モニタトランジスタM7はOFFであり、モニタ線111からの信号は存在しない。

【0084】

モニタ線111を介した電圧のモニタ期間（測定期間：時刻T4から時刻T5）において、選択線S2がHighであり、選択線S3がLowである。モニタトランジスタM7はONであり、モニタ線111からのモニタ信号がセンスアンプ403に入力する。

20

【0085】

図13Bは、不良データ線に対応するモニタ線制御回路400及び正常データ線105に対応するモニタ線制御回路400の動作を示す。図13Bは、救済信号又はデータ信号を保持容量Cstに書き込む期間の動作を示す。この期間において、選択線S2及びS3がLowであり、トランジスタM2及びトランジスタM7はONである。不良画素回路（第1の画素回路）には救済信号が与えられ、正常画素回路（第2の画素回路）にはデータ信号が与えられる。

【0086】

不良データ線に対応するモニタ線制御回路400において、フラグFLAGは1である。モニタ線111は、出力バッファアンプ404に接続されており、DAC406からの救済信号が、モニタ線111（第1のモニタ線）に出力される。救済信号はトランジスタM7及びM4を介して、保持容量Cstに与えられる。

30

【0087】

正常データ線（正常画素回路）に対応するモニタ線制御回路400において、フラグFLAGは0である。モニタ線111は、センスアンプ403に接続されている。正常画素回路には、データ線105を介して、データ信号が供給される。データ信号は、トランジスタM2、M3及びM4を介して保持容量Cstに供給される。正常画素回路において、トランジスタM7はONである。したがって、データ線105からのデータ信号が、トランジスタM7を介して、センスアンプ403に入力される。

【0088】

正常画素回路（第2の画素回路）に対応するモニタ線制御回路400は、センスアンプ403への電源電圧の供給を停止する。これにより、モニタ線111（第2のモニタ線）がハイインピーダンス状態となり、画素回路へ供給されるデータ信号への影響を低減できる。また、データ信号によるセンスアンプ403の破損を確実に防止できる。

40

【0089】

図14は、デマルチプレクサ（DeMUX）136の構成例を示す。実施形態1における図4の構成例との相違点を説明する。図4の構成例と異なり、モニタ線111は、デマルチプレクサ136を通過して、画素回路アレイ150内に延びている。上述のように、モニタ線111は、画素回路500のトランジスタM7に接続されている。デマルチプレクサ136によって、データパッド102の数を低減できる。

50

【0090】

<実施形態3>

以下において、モニタ機能付画素回路のいくつかの構成例を説明する。以下に説明するように、本願のデータ信号伝送のモニタ及びその不良に対する救済の技術は、様々な画素回路構成の表示装置に適用することができる。

【0091】

図15は、モニタ機能付画素回路500の構成例を示す。図7及び9に示す構成例との相違点を主に説明する。モニタトランジスタM7のソース／ドレインは、データ線105に接続されている。つまり、モニタ点PCがデータ線上に存在する。ドライバIC134は、データ線の電圧を直接にモニタすることで、データ信号伝送不良を検出する。ドライバIC134は、例えば、データ線105がデータ信号を伝送している期間において、電圧をモニタ（測定）する。

10

【0092】

ドライバIC134は、救済信号を、データ信号と同様に、データ線105を介して画素回路に供給する。救済信号は、駆動トランジスタM3及びトランジスタM4（第2スイッチトランジスタ）を介して保持容量Cst（駆動トランジスタM3のゲート）に供給されるため、救済信号における閾値電圧の補償が可能となる。

【0093】

図16は、モニタ機能付画素回路500の構成例を示す。図7及び9に示す構成例との相違点を主に説明する。モニタトランジスタM7のソース／ドレインは、トランジスタM4と保持容量Cstとの間のノードに接続されている。つまり、モニタ点PCは、駆動トランジスタM3のゲートノードであり、トランジスタM4と保持容量Cstとの間に存在する。ドライバIC134は、駆動トランジスタM3のゲート電圧をモニタすることで、データ信号伝送不良を検出する。ドライバIC134は、例えば、OLED素子501の発光期間において、電圧をモニタ（測定）する。

20

【0094】

救済信号は、トランジスタM7を介して、駆動トランジスタM3のゲートノード（保持容量Cst）に供給される。ドライバIC134は、例えば、モニタ電圧に基づき決定した閾値電圧Vthを補償した救済信号又は黒レベルの救済信号を与える。

【0095】

図17は、モニタ機能付画素回路500の構成例を示す。図7及び9に示す構成例との相違点を主に説明する。モニタトランジスタM7のソース／ドレインは、トランジスタM1と駆動トランジスタM3との間のノードに接続されている。つまり、モニタ点PCは、トランジスタM1と駆動トランジスタM3との間に存在する。

30

【0096】

ドライバIC134は、駆動トランジスタM3のソース／ドレインの電圧をモニタすることで、データ信号伝送不良を検出する。ドライバIC134は、例えば、OLED素子501の発光期間において、電圧をモニタ（測定）する。救済信号は、データ信号と同様に、駆動トランジスタM3及びトランジスタM4（第2スイッチトランジスタ）を介して保持容量Cst（駆動トランジスタM3のゲート）に与えられる。したがって、救済信号における閾値電圧が補償される。

40

【0097】

図18は、モニタ機能付画素回路500の構成例を示す。図7及び9に示す構成例との相違点を主に説明する。トランジスタM8が、追加されている。トランジスタM8のゲートは選択線S1と接続し、一方のソース／ドレインがリセット電源線Vrstに接続され、他方のソース／ドレインが、保持容量CstとトランジスタM4との間のノードに接続されている。また、トランジスタM4及びM5のゲートは、選択線S2に接続されている。モニタトランジスタM7を使用した電圧モニタ及び救済信号供給は、実施形態2と同様である。

【0098】

50

図19は、モニタ機能付画素回路500の構成例を示す。トランジスタM2は、データ線105からのデータ信号を、カップリング容量C1を介して、駆動トランジスタM3のゲートに与える。トランジスタM2は、選択線S1によりON/OFFされる。駆動トランジスタM3のゲートの電圧は、二つの容量C1及びC2、データ信号、並びに、駆動トランジスタM3の閾値電圧V_{th}で決まる。容量C1及びC2が、保持容量を構成する。

【0099】

駆動トランジスタM3とOLED素子501との間のトランジスタM6は、OLED素子501の発光を制御する。トランジスタM6は、発光制御線EmによりON/OFFされる。トランジスタM4は駆動トランジスタM3の閾値電圧V_{th}を補償するように動作する。トランジスタM4は、選択線S2によりON/OFFされる。トランジスタM4がONのとき、駆動トランジスタM3はダイオード接続される。

【0100】

モニタトランジスタM7は、選択線S3によってON/OFFされる。モニタトランジスタM7のソース/ドレインは、モニタ線111と、駆動トランジスタM3とトランジスタM6との間のノードに接続されている。モニタ点PBは、駆動トランジスタM3とトランジスタM6との間に存在する。ドライバIC134は、例えば、発光期間におけるOLED素子501のアノード電圧をモニタ（測定）する。

【0101】

救済信号は、トランジスタM7及びM4を介して、駆動トランジスタM3のゲートに与えられる。閾値電圧V_{th}は自動的に補償されないため、例えば、実施形態2において説明したように、ドライバIC134内の内モニタ線制御回路は、閾値電圧V_{th}を補償した救済信号を生成する、又は黒レベルの救済信号を生成してもよい。

【0102】

図20は、モニタ機能付画素回路500の構成例を示す。回路内のトランジスタ（TFT）は、N型である。トランジスタM2は、データ線105からのデータ信号を、保持容量C_{st}（駆動トランジスタM3のゲート）に与える。トランジスタM2は、選択線S1によりON/OFFされる。

【0103】

トランジスタM5は、OLED素子501のアノードとリセット電源線V_{rst}とを接続している。トランジスタM5は、選択線S2によってON/OFFされる。トランジスタM5は、OLED素子501のアノードにリセット電圧を与え、アノードの電圧を発光前にリセットする。

【0104】

モニタトランジスタM7は、選択線S3によってON/OFFされる。モニタトランジスタM7のソース/ドレインは、モニタ線111と、駆動トランジスタM3のゲートに接続されている。モニタ点PCは、駆動トランジスタM3のゲートノードであり、駆動トランジスタM3のゲートと保持容量C_{st}との間に存在する。ドライバIC134は、例えば、発光期間における駆動トランジスタM3のゲート電圧をモニタ（測定）する。救済信号は、トランジスタM7を介して、駆動トランジスタM3のゲートノードに与えられる。

【0105】

図21は、モニタ機能付画素回路500の構成例を示す。図20の構成例と比較して、モニタトランジスタM7の接続ノードの位置が異なる。モニタトランジスタM7は、モニタ線111とデータ線105とを接続している。モニタ点PCは、データ線105上に存在する。ドライバIC134は、データ書き込み期間においてデータ線105上の電圧を測定することで、不良を検出する。救済データは、モニタ線111及びデータ線105を介して、駆動トランジスタM3のゲートに供給される。

【0106】

図22は、モニタ機能付画素回路500の構成例を示す。トランジスタM1は、アノード電源線P_{VDD}と駆動トランジスタM3との間に接続され、OLED素子501の発光の有無を制御する。トランジスタM1は、発光制御線EmによってON/OFFされる。

10

20

30

40

50

トランジスタM2は、データ線105からのデータ信号を、トランジスタM10を介して、保持容量Cstに与える。トランジスタM2は、選択線S1によってON/OFFされる。

【0107】

トランジスタM9及びM10は、駆動トランジスタM3の閾値電圧を保持容量Cstに設定するように動作する。トランジスタM9は、基準電源線Vrefと保持容量Cstとの間に接続され、選択線S1によってON/OFFされる。トランジスタM10は、保持容量Cstと駆動トランジスタM3のゲートと間に接続され、発光制御線EmによってON/OFFされる。保持容量Cstは、トランジスタM9及びM10の間のノードとトランジスタM1と駆動トランジスタM3との間のノードに接続されている。

10

【0108】

モニタトランジスタM7は、モニタ線111とデータ線105とを接続している。モニタ点PCは、データ線105上に存在する。ドライバIC134は、データ書き込み期間においてデータ線105上の電圧を測定することで、不良を検出する。救済データは、モニタ線111及びデータ線105を介して、保持容量Cstに供給される。

【0109】

図23は、モニタ機能付画素回路500の構成例を示す。図22の構成例と比較して、トランジスタM5が追加されている。トランジスタM5は、OLED素子501のアノードとリセット電源線Vrstとを接続している。トランジスタM5は、選択線S1によってON/OFFされる。トランジスタM5は、OLED素子501のアノードにリセット電圧を与え、アノードの電圧を発光前にリセットする。

20

【0110】

<実施形態4>

以下において、モニタパッド101（ドライバIC134のモニタ端子）の数及びドライバIC134内のモニタ線制御回路の数を低減する構成例を説明する。図24は、複数のモニタ線が一つのモニタパッドに接続されている構成例を示す。図24の例において、ドライバIC134内のモニタ線制御回路326の数は、モニタパッド101の数と同一であり、各モニタ線制御回路326は、対応するモニタパッド101を介して電圧をモニタし、さらに、救済信号を送信する。

【0111】

図24の例において、データ線105R、105G、105Bは、それぞれ異なるデータパッド102に接続されている。データ線105R、105G、105Bは、映像データにおける同一画素を表示するためのデータ信号を伝送する。各モニタパッド101に3本のモニタ線111R、111G、111Bが接続されている。モニタ線111R、111G、111Bは、それぞれ、データ線105R、105G、105Bを介したデータ信号伝送をモニタするためのモニタ線である。

30

【0112】

モニタ線制御回路326は、モニタ線111R、111G、111Bのいずれかを介して不良を検出すると、全てのモニタ線111R、111G、111Bから黒レベルの救済信号を供給する。本構成により、表示画像によらず、暗線が形成される。本構成例は、モニタパッド101の数及びモニタ線制御回路326の数を、それぞれ、1/3に削減できる。

40

【0113】

図25は、基板上のデマルチプレクサによって一つのモニタパッドに接続されている複数のモニタ線を順次選択する構成例を示す。以下において、図24の構成例との相違点を主に説明する。基板100上に、モニタパッド101と画素回路アレイ150（図25において不図示）との間に、デマルチプレクサ137が形成されている。デマルチプレクサ137は、複数のスイッチを含み、それぞれ、モニタ線とモニタパッドとの導通をON/OFFする。

【0114】

50

ドライバIC134は、選択制御回路327を含む。選択制御回路327は、デマルチプレクサ137を制御する。選択制御回路327は、各モニタパッドに接続されている複数のモニタ線から順次、ONにするモニタ線を選択する。図25の例において、選択制御回路327が、選択パッド103R、103G、103Bを介して、選択制御線116R、116G、116Bに接続されている。

【0115】

選択制御線116R、116G、116Bは、デマルチプレクサ137において、各モニタパッドのモニタ線111R、111G、111Bのスイッチを、それぞれ制御する。図25の例において、選択制御線116R、116G、116Bは、それぞれ、全てのモニタ線111Rのスイッチ、全てのモニタ線111Gのスイッチ、全てのモニタ線111Bのスイッチに接続されている。

10

【0116】

選択制御回路327は、選択制御線116R、116G、116Bから順次、対応するスイッチをONにする信号を出力することで、各モニタパッド（前モニタパッド）のモニタ線111R、111G、111Bを、順次モニタ線制御回路326に接続する。モニタ線制御回路326は、時分割で、3本のモニタ線を制御する。

【0117】

本構成例により、モニタパッドの数及びモニタ線制御回路の数を低減すると共に、モニタ線を個別に制御することができる。なお、2本又は3本より多いモニタ線111が、一つのモニタパッド101に束ねられていてもよい。

20

【0118】

図26は、ドライバIC134内に形成されているデマルチプレクサによって一つのモニタパッドに接続されている複数のモニタ線を順次選択する構成例を示す。図25に示す構成例との相違は、モニタ線を選択するためのデマルチプレクサ328が、ドライバIC134内に組み込まれていることである。各モニタパッド101には一つのモニタ線のみが接続されている。図25に示す基板100上の選択制御線及び選択パッドが省略される。

【0119】

デマルチプレクサ328は、モニタパッドとモニタ線制御回路との間の接続を切り替える。本例において、各モニタ線制御回路326は、3つのモニタパッド101とデマルチプレクサ328と接続されている。デマルチプレクサ328の各スイッチは、モニタパッドとモニタ線の各ペアの接続／切断を切り替える。

30

【0120】

選択制御回路327は、全モニタ線制御回路326それぞれに接続される三つのモニタパッドを順次切り替える。本構成例により、モニタ線制御回路の数を低減すると共に、モニタ線を個別に制御することができる。なお、2又は3より多いモニタ線が、一つのモニタ制御回路によって制御されてもよい

【0121】

以上、本開示の実施形態を説明したが、本開示が上記の実施形態に限定されるものではない。当業者であれば、上記の実施形態の各要素を、本開示の範囲において容易に変更、追加、変換することが可能である。ある実施形態の構成の一部を他の実施形態の構成に置き換えることが可能であり、ある実施形態の構成に他の実施形態の構成を加えることも可能である。

40

【符号の説明】

【0122】

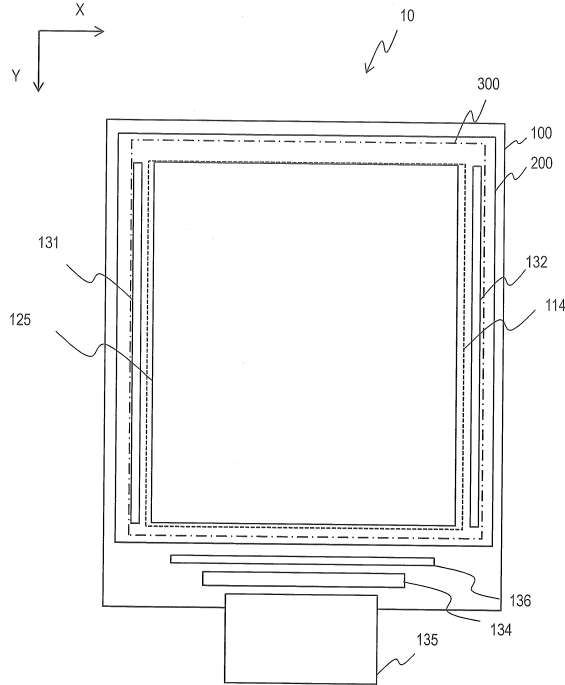
10 OELD表示装置、100 TFT基板、101 モニタパッド、102 データパッド、103 選択パッド、105 データ線、111 モニタ線、114 カソード電極形成領域、116 選択制御線、121 接続不良、125 表示領域、131 走査回路、134 ドライバIC、136、137、328 デマルチプレクサ、150 画素回路アレイ、200 封止基板、300 接合部、326、340、400 モニタ線制御回路、327 選択制御回路、341 DAコンバータ、342 バッファアンプ、343、3

50

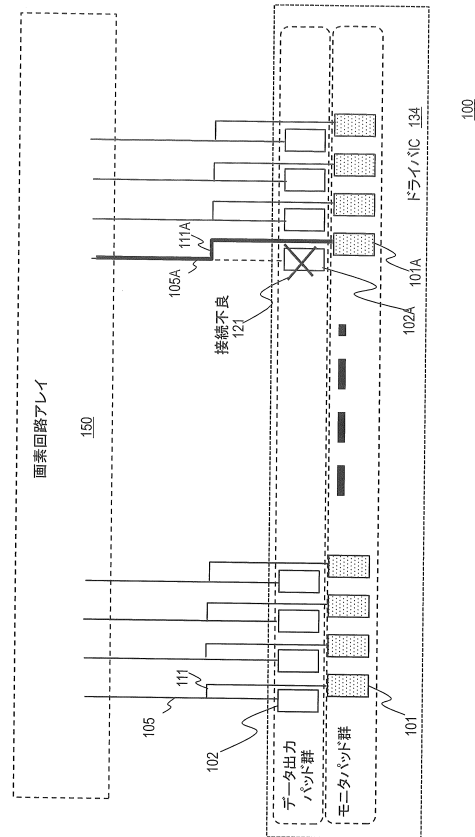
44 スイッチ、347 NOTゲート、361、362 トランジスタ、401、402 スイッチ、403、404 アンプ、408 不良判定回路、419 データ補正回路、500 画素回路、C1、C2 容量、CKA クロック信号、CKB クロック信号、Cst 保持容量、Em 発光制御線、M1-M10 トランジスタ、PB、PC モニタ点、PVDD アノード電源線、S1、S2、S3 選択線、VEE カソード電源線、Vgs ゲート電圧、Vref 基準電源線、Vrst リセット電源線、Vth データ閾値電圧

【図面】

【図 1】



【図 2】



10

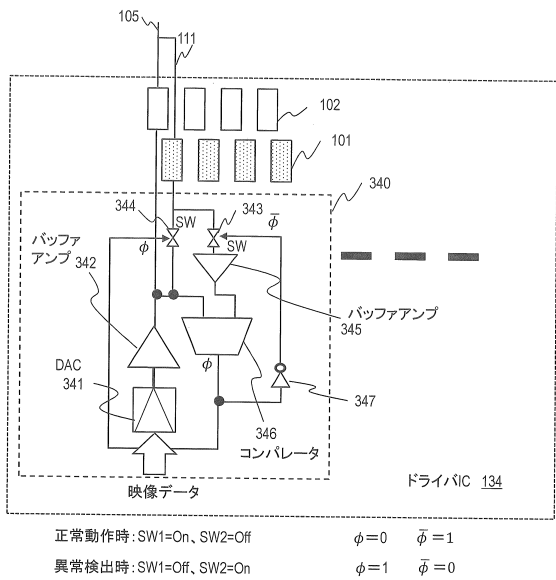
20

30

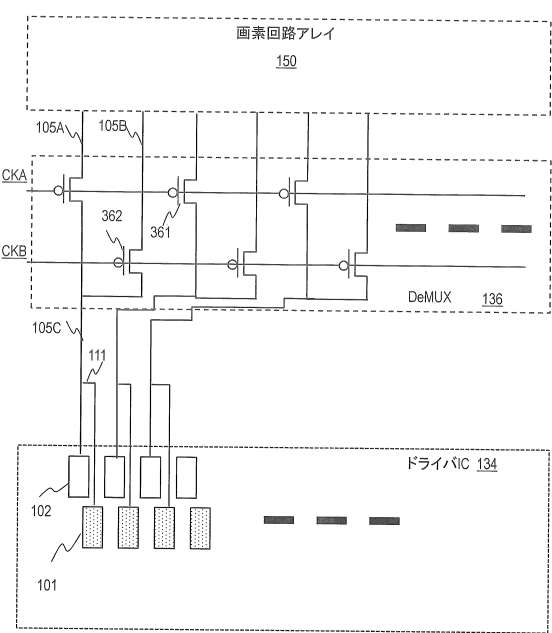
40

50

【図 3】



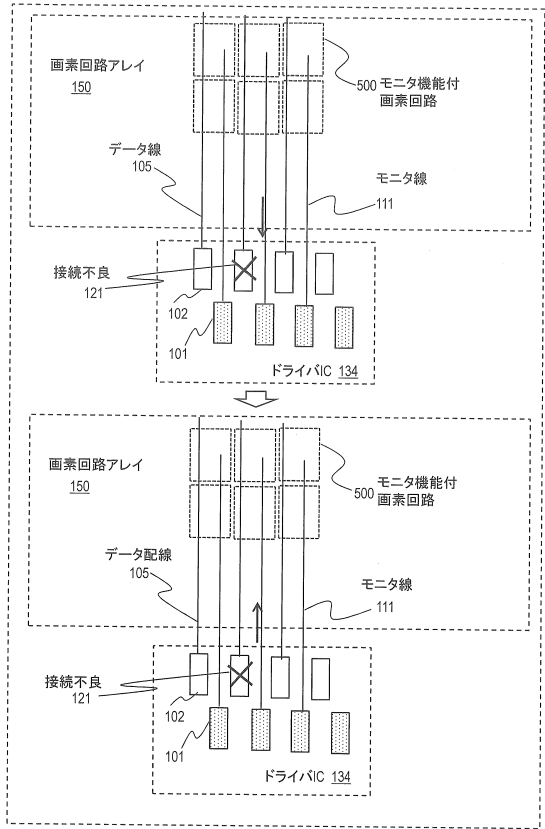
【図 4】



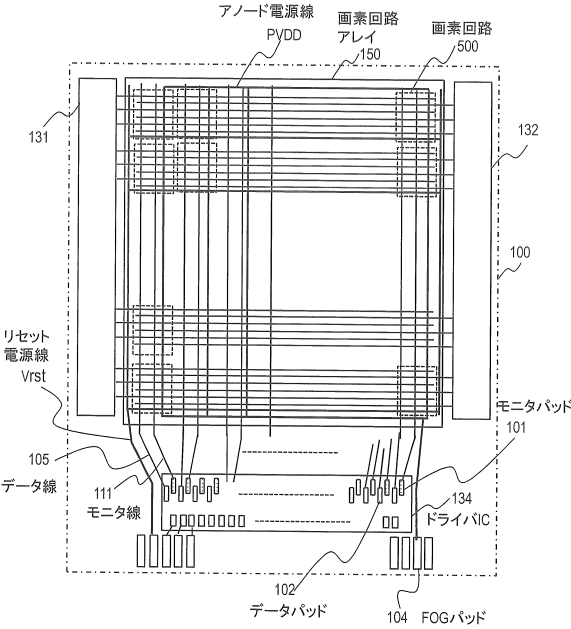
10

20

【図 5】



【図 6】

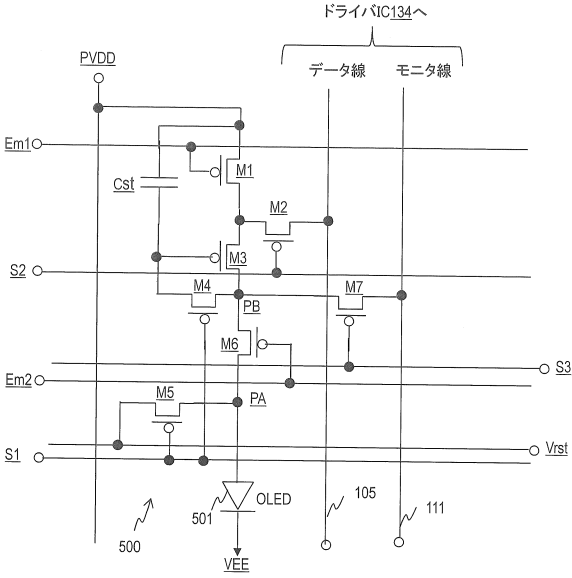


30

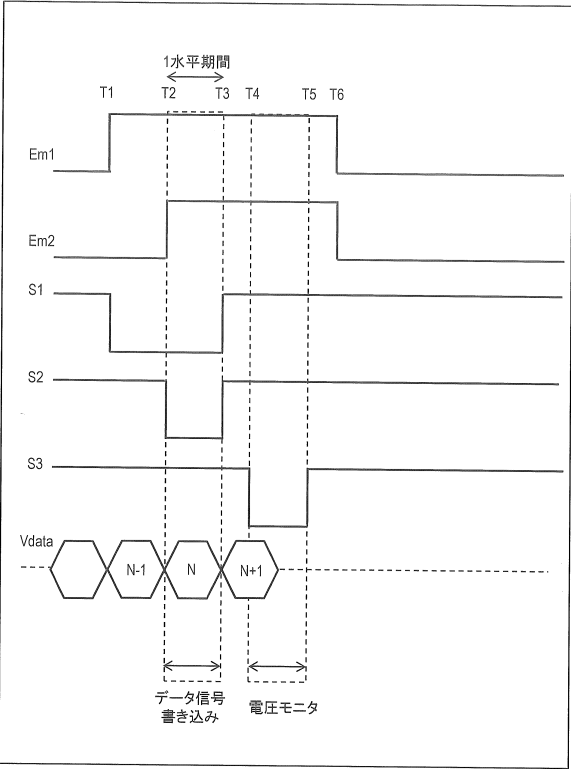
40

50

【図 7】



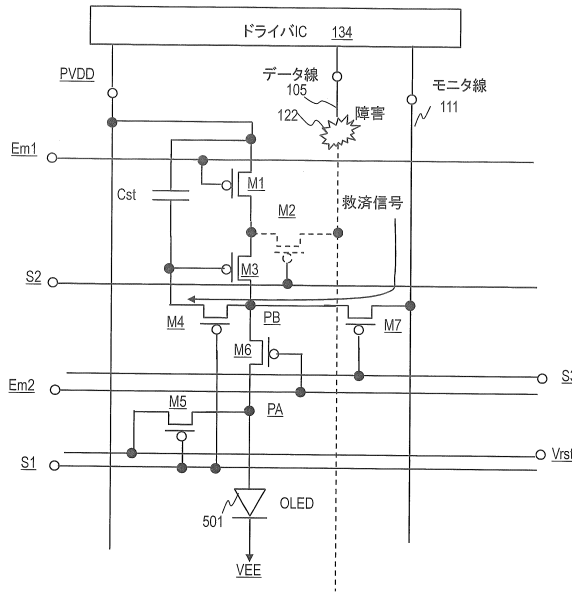
【図 8】



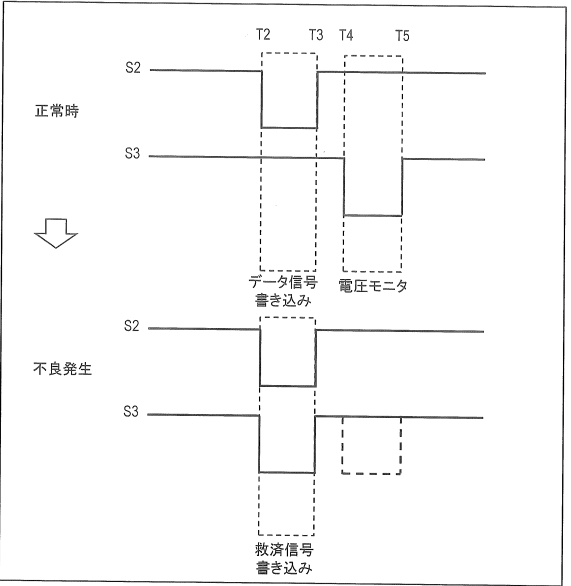
10

20

【図 9】



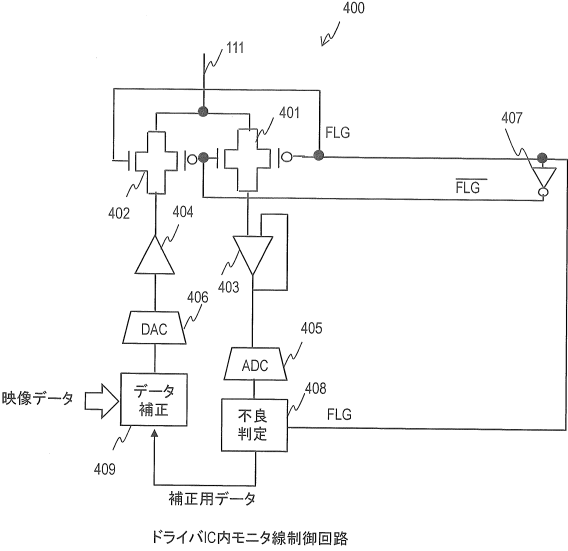
【図 10】



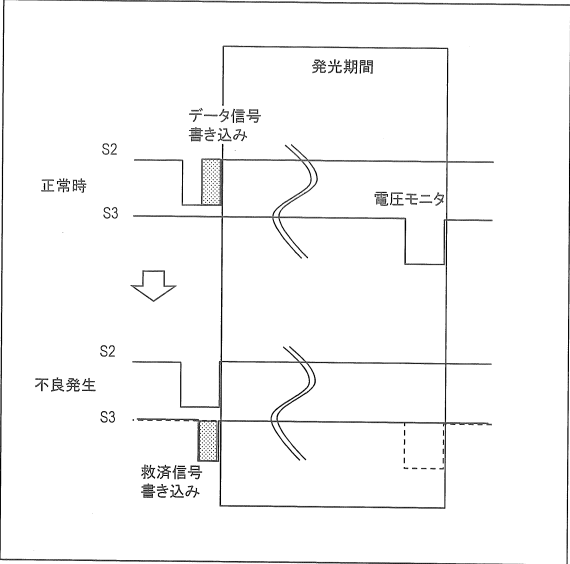
30

40

【図 1 1】

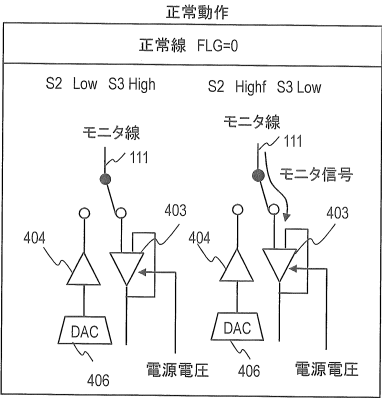


【図 1 2】

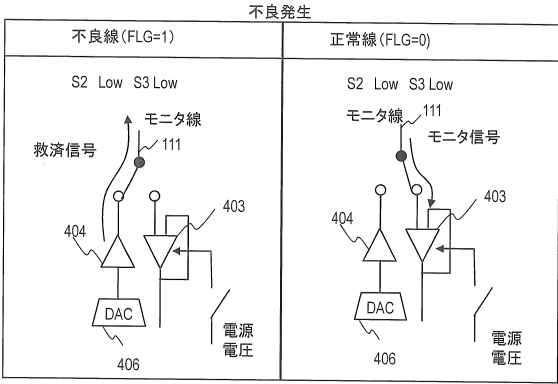


10

【図 1 3 A】



【図 1 3 B】



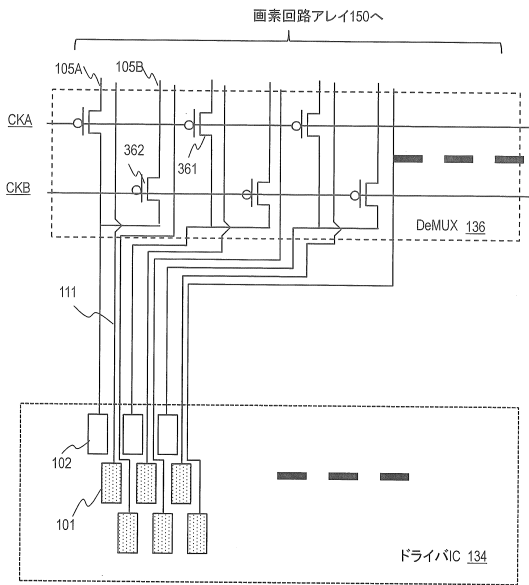
20

30

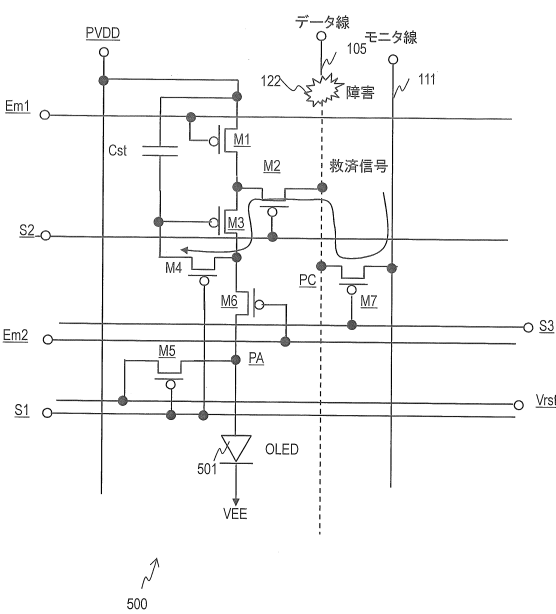
40

50

【図 1 4】

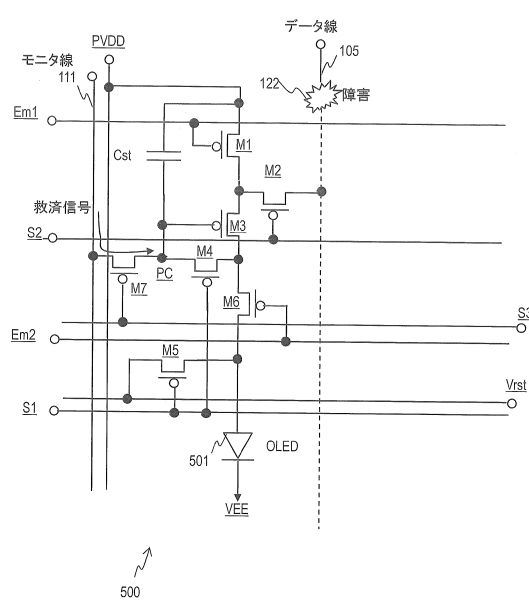


【図 1 5】

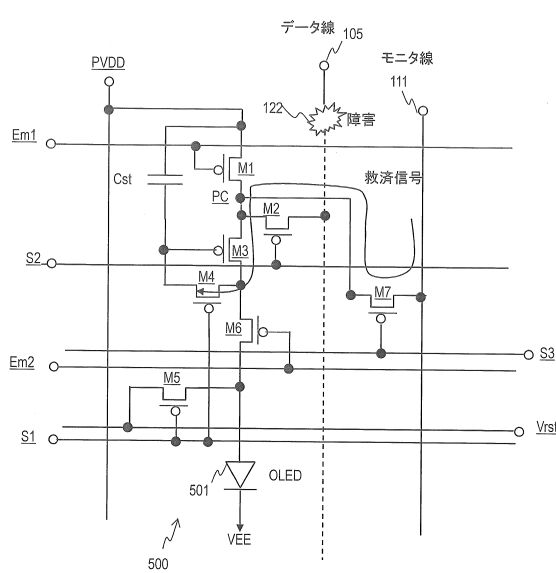


10

【図 1 6】



【図 1 7】



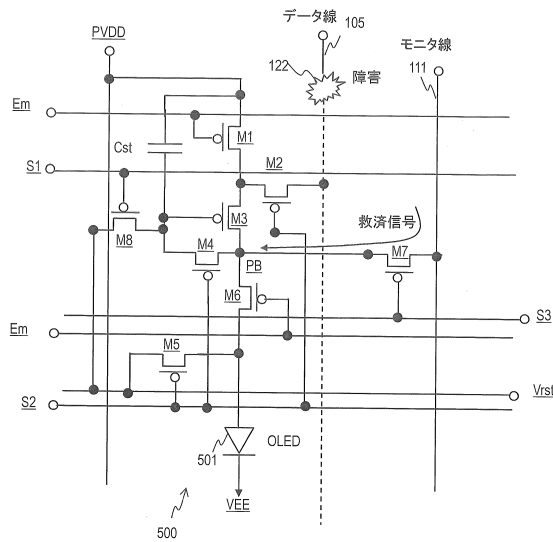
20

30

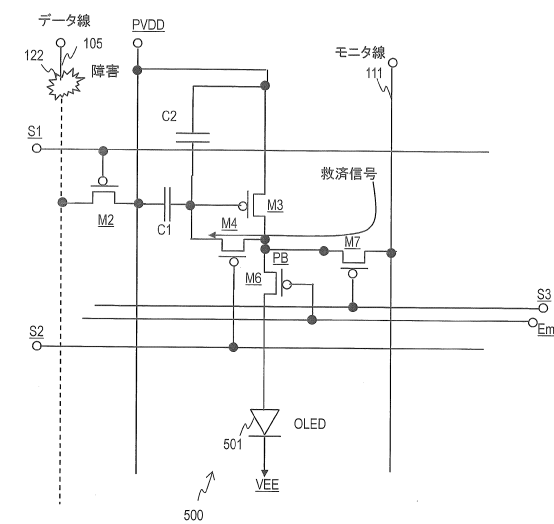
40

50

【図 18】

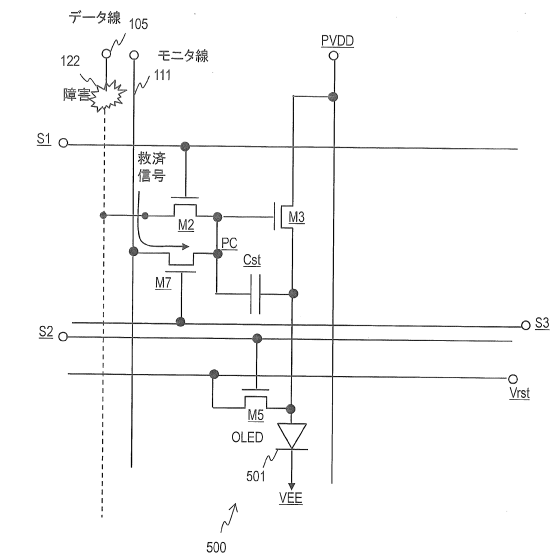


【図 19】

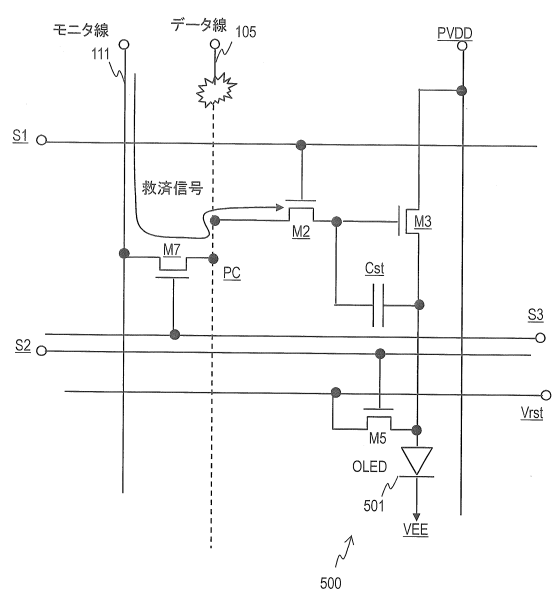


10

【図 20】



【図 21】



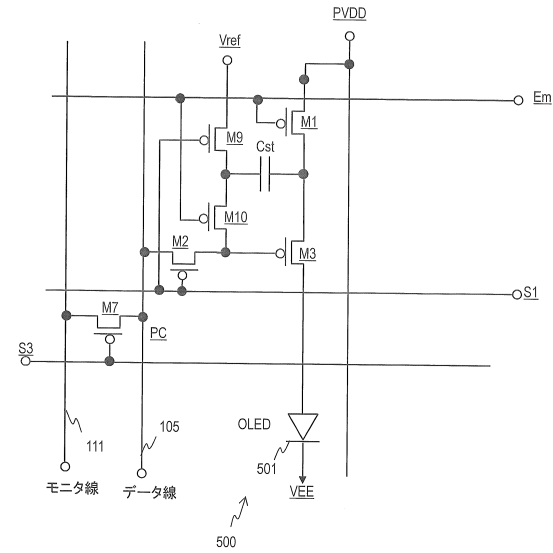
20

30

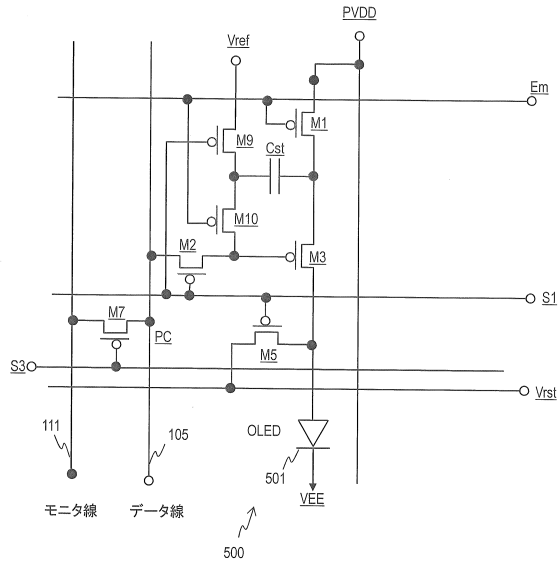
40

50

【図 2 2】

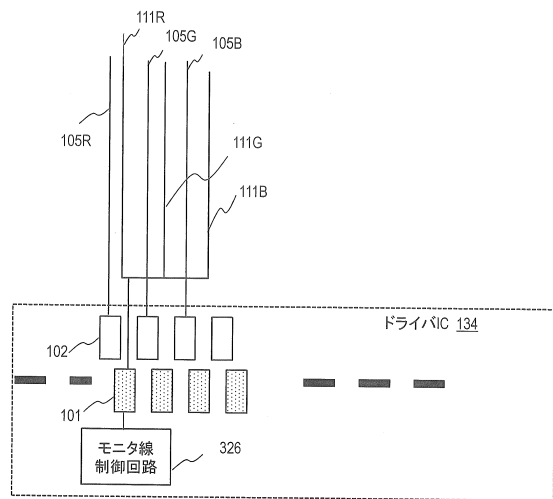


【図 2 3】

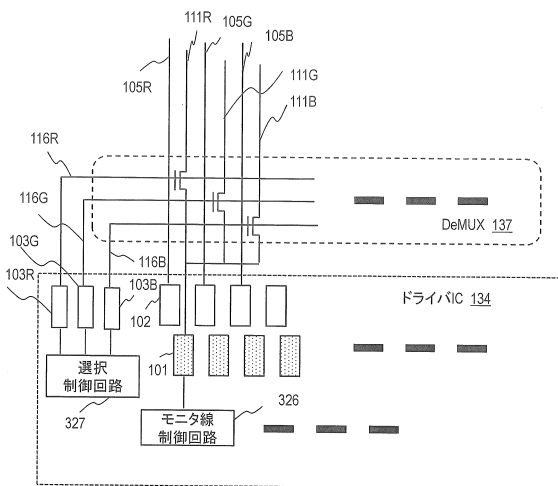


10

【図 2 4】



【図 2 5】



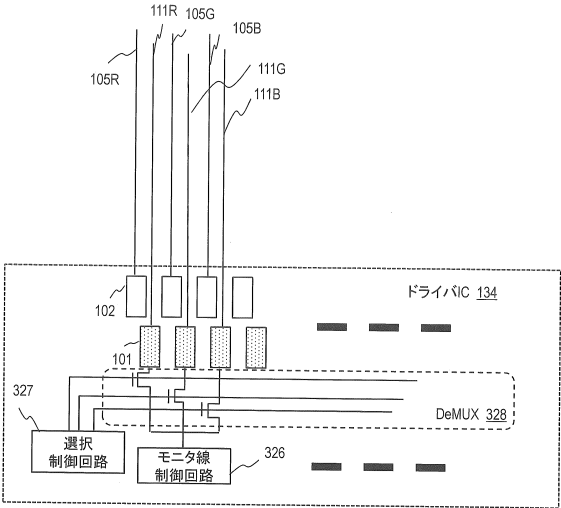
20

30

40

50

【図 26】



10

20

30

40

50

フロントページの続き

- 号 T i a n m a J a p a n 株式会社内
- (72)発明者 野中 義弘
神奈川県川崎市幸区鹿島田一丁目1番2号 T i a n m a J a p a n 株式会社内
- (72)発明者 柳瀬 慈郎
神奈川県川崎市幸区鹿島田一丁目1番2号 T i a n m a J a p a n 株式会社内
- 審査官 武田 悟
- (56)参考文献 特開平8-179373 (JP, A)
特開2002-221947 (JP, A)
特開2020-106633 (JP, A)
米国特許出願公開第2015/0102985 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8