

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年2月1日(2018.2.1)

【公開番号】特開2016-134417(P2016-134417A)

【公開日】平成28年7月25日(2016.7.25)

【年通号数】公開・登録公報2016-044

【出願番号】特願2015-6564(P2015-6564)

【国際特許分類】

H 01 L 23/12 (2006.01)

H 01 L 21/60 (2006.01)

【F I】

H 01 L 23/12 F

H 01 L 21/60 3 1 1 S

H 01 L 23/12 5 0 1 B

【手続補正書】

【提出日】平成29年12月13日(2017.12.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

パターン配線および絶縁樹脂を積層した半導体パッケージ基板において、半導体チップとの実装面のソルダーレジスト上の実装領域の外周部にアンダーフィルの浸透速度調整部位を有し、

前記アンダーフィルの浸透速度調整部位は、高さ10～100μmの範囲で、幅がアンダーフィル挿入時に形成されるフィレットの幅よりも長い凸状の枠を有することを特徴とする半導体パッケージ基板。

【請求項2】

前記アンダーフィルの浸透速度調整部位におけるアンダーフィル浸透位置には、前記凸状の枠の幅が前記半導体チップと前記半導体パッケージ基板間にアンダーフィルが十分に浸透できる長さであることを特徴とする請求項1に記載の半導体パッケージ基板。

【請求項3】

前記凸状の枠の線膨張係数は前記アンダーフィルの線膨張係数よりも小さく、前記ソルダーレジストの線膨張係数より大きいことを特徴とする請求項1及び2に記載の半導体パッケージ基板。

【請求項4】

請求項1乃至3の何れか1項に記載の半導体パッケージ基板と、電極パッドを介して、前記半導体パッケージ基板と接続している前記半導体チップと、前記半導体パッケージ基板と前記半導体チップとの間に挿入されたアンダーフィルを含む、半導体パッケージ。

【請求項5】

請求項4に記載の半導体パッケージにおいて、前記フィレットの長さが最短となる構造、つまり前記アンダーフィルが半導体チップの電極パッド形成面の外周部まで形成されていることを特徴とする半導体パッケージ。

【請求項6】

パターン配線および絶縁樹脂を積層した半導体パッケージ基板において、半導体チップ

との実装面のソルダーレジスト上の実装領域の外周部に、高さ  $10 \sim 100 \mu m$  の範囲で、幅がアンダーフィル挿入時に形成されるフィレットの幅よりも長い凸状の枠であるアンダーフィルの浸透速度調整部位を有することを特徴とする請求項 1 に記載の半導体パッケージ基板の製造方法。

【請求項 7】

前記アンダーフィルの浸透速度調整部位における浸透位置には、前記凸状の枠の幅が前記半導体チップと前記半導体パッケージ基板間にアンダーフィルが十分に浸透できる長さであることを特徴とする請求項 2 に記載の半導体パッケージ基板の製造方法。

【請求項 8】

前記半導体パッケージ基板と、

前記電極パッドを介して、前記半導体パッケージ基板と接続している前記半導体チップと、前記半導体パッケージと前記半導体チップとの間に挿入されたアンダーフィルを含む、請求項 4 または 5 に記載の半導体パッケージの製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

本発明の一態様は、

パターン配線および絶縁樹脂を積層した半導体パッケージ基板において、半導体チップとの実装面のソルダーレジスト上の実装領域の外周部にアンダーフィルの浸透速度調整部位を有し、前記アンダーフィルの浸透速度調整部位は、高さ  $10 \sim 100 \mu m$  の範囲で、幅がアンダーフィル挿入時に形成されるフィレットの幅よりも長い凸状の枠を有することを特徴とする半導体パッケージ基板。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

また、本発明の別の一態様は、パターン配線および絶縁樹脂を積層した半導体パッケージ基板において、半導体チップとの実装面のソルダーレジスト上の実装領域の外周部に、高さ  $10 \sim 100 \mu m$  の範囲で、幅がアンダーフィル挿入時に形成されるフィレットの幅よりも長い凸状の枠であるアンダーフィルの浸透速度調整部位を有することを特徴とする請求項 1 記載の半導体パッケージ基板の製造方法。