

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁵
H01L 29/784

(11) 공개번호 특 1993-0011301
(43) 공개일자 1993년06월24일

(21) 출원번호	특 1992-0016962					
(22) 출원일자	1992년09월17일					
(30) 우선권주장	7/790,735	1991년11월08일	미국(US)			
(71) 출원인	어드밴스드 마이크로 디바이시즈, 인코포레이티드	토마스 더블류. 앤스트롱				
미합중국 캘리포니아 서니베일 피.오.박스 3453 톰프슨 플레이스 901(우편 번호:94088-3453)						
(72) 발명자	요우-장 더블류. 리우					
미합중국 캘리포니아 산 호세 캘러 앤메이던 1116(우편번호:95120)						
루이스 나이-싱 쉐						
미합중국 캘리포니아 쿠퍼ти노 웨스턴 드라이브 10181(우편번호:95014)						
(74) 대리인	박장원					

심사점검 : 없음

(54) 서브-마이크로 메터 집적회로의 얇은 접합 형성방법

요약

본 발명은 스페이서 식각을 하지 않고 소스/드레인 접합(34)과 얇은 약 도핑 드레인(LDD)(30) 형성하는 방법에 관한 것으로, 접합 저항/용량을 감소시키고 규모(Scalability)를 개선하기 위한 것이다. 본 발명은 서브-마이크로메터 집적회로를 위한 소스/드레인 영역의 실리시데이션을 조절하기 위해 쉽게 확장할 수 있다. 특히, 등각이 박막(28)은 필드 산화질(12)안에 소스/드레인구멍 형성후와 게이트 산화질(14) 및 메탈 게이트(16) 형성후반도체 기판(10)의 모든 표면에 형성되어 진다. 동시에 소스 및 드레인 영역(32)의 삽입은 게이트 산화질/메탈스택(stack)의 상부부터 반도체 기판의 표면까지 경사를 이룬 박막의 두께 때문에 소스/드레인 영역과 게이트채널사이에 LDD 영역을 형성한다. LDD접합은 (1)등각의 박막 필름 제거 전 LDD 삽입, (2)등각의 박막 필름제거후 LDD 삽입, (3) 인으로 도핑한 등각의 박막으로부터 확산하는 세 방법중 하나로 형성된다. 후자의 경우에 P⁺ 삽입은 P영역안에 인 도우펀트의 함유량을 바꾸기 위해 조정할 필요가 있다. 세경우 모두에서 소스/드레인삽입은 항상 필름 제거후 수행되어진다.

대표도

도2

형세서

[발명의 명칭]

서브-마이크로 메터 집적회로의 얇은 접합 형성방법

[도면의 간단한 설명]

제2도는 본 발명 과정의 결과를 묘사한 제1도와 동일부분의 단면도.

제3도는 제2도의 삽입관을 표시한 확대도,

제4도는 선택적 실리시데이션(Silicidation)의 평면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

메탈 산화질 반도체 장치에 있어서 반도체 기판의 표면상에 게이트 산화물을 형성하는 단계 (a)와, 그리고 메탈게이트를 형성하는 단계 (b)와, 소스와 드래인 영역을 형성하기 위한 상기 반도체의 일부분에 부착하기 위한 상기 게이트 산화물 및 메탈 게이트를 패터닝하는 단계 (c)와, 상기 메탈 게이트 및 부착된 부분들 위에 적은 박막을 형성하는 단계 (d)와, 상기 소스 및 드래인 영역을 형성하기 위해 상기 기판안에 상기 박막을 통해 도우펀트를 주입하는 단계 (e)와, 상기 단계 (e) 또는 그 결과에 따라 약 도핑 드

레인 영역을 형성하기 위해 상기 게이트에 근접한 상기 기판안에 도우펀트를 도입하는 단계 (f)를 포함하는 것을 특징으로 하는 반도체 제조방법.

청구항 2

제1항에 있어서, 상기 박막영역은 약500~2000Å의 두께로 미리 설정된 스페이서 폭 필요조건을 충족시키기 위해 선택되는 것을 특징으로 하는 반도체 제조방법.

청구항 3

제2항에 있어서, 도우펀트는 주입에 의해 약 도핑 영역을 형성하기 위해 상기 기판에 도입되는 것을 특징으로 하는 반도체 제조방법.

청구항 4

제3항에 있어서, 상기 기판 내부에 상기 실리콘 막과 박막 사이에 형성된 인터페이스 밑에 주입피크가 있을 정도인 에너지에서 도우펀트 주입을 수행하는 것을 특징으로 하는 반도체 제조방법.

청구항 5

제1항에 있어서, 상기 박막은 주로 산화질로 구성하는 것을 특징으로 하는 반도체 제조방법.

청구항 6

제5항에 있어서, 상기 박막은 확산능력이 있는 공간을 포함하는 것을 특징으로 하는 반도체 제조방법.

청구항 7

제6항에 있어서, 상기 박막은 인을 포함한 유리로 구성하고 확산능력 있는 공간은 주로 인으로 구성하는 것을 특징으로 하는 반도체 제조방법.

청구항 8

제7항에 있어서, 상기 도우펀트는 단계 (d)의 결과로 발생하는 상승 온도에서 인의 확산에 의해 상기 약 도핑 영역을 형성하기 위해 상기 기판에 도입하는 것을 특징으로 하는 반도체 제조방법.

청구항 9

제1항에 있어서, 상기 박막은 주로 폴리실리콘, 규산질화물, 메탈을 구성하는 물질의 그룹으로 부터 선택적 물질로 구성하여 열적 산화 단계를 선행하여 상기 박막을 부착하고 상기 소스 및 드레인의 주입에 따라 상기 박막을 제거하는 것을 특징으로 하는 반도체 제조방법.

청구항 10

제1항에 있어서, 상기 반도체 기판안의 소스 및 드레인 영역의 부분들을 노출시키기 위해 상기 박막안에 구멍을 형성하고 거기에 메탈 실리사이드 콘택을 형성하는 것을 특징으로 하는 반도체 제조방법.

청구항 11

제10항에 있어서, 상기 메탈 실리사이드는 티타늄 실리사이드로 구성하는 것을 특징으로 하는 반도체 제조방법.

청구항 12

제1항에 있어서, 상기 메탈 게이트는 폴리실리콘의 제1층과 메탈 실리사이드의 제2층으로 구성하는 것을 특징으로 하는 반도체 제조방법.

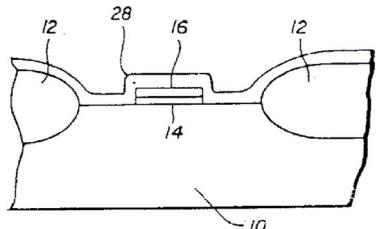
청구항 13

제12항에 있어서, 상기 메탈 실리사이드는 텅스텐 실리사이드로 구성하는 것을 특징으로 하는 반도체 제조방법.

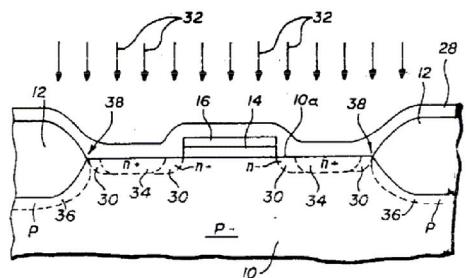
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2



도면3



도면4

