



(12) 发明专利

(10) 授权公告号 CN 102208410 B

(45) 授权公告日 2015. 05. 20

(21) 申请号 201110077707. 9

CN 101373766 A, 2009. 02. 25,

(22) 申请日 2011. 03. 29

US 2003/0052367 A1, 2003. 03. 20, 全文.

(30) 优先权数据

审查员 李静

2010-076373 2010. 03. 29 JP

(73) 专利权人 精工电子有限公司

地址 日本千叶县

(72) 发明人 山本祐广

(74) 专利代理机构 北京三友知识产权代理有限

公司 11127

代理人 李辉 黄纶伟

(51) Int. Cl.

H01L 27/02(2006. 01)

H01L 29/78(2006. 01)

(56) 对比文件

US 2003/0006463 A1, 2003. 01. 09, 说明书第 [0013], [0037]-[0047] 段、附图 1-2B.

CN 101022106 A, 2007. 08. 22,

US 2007/0090414 A1, 2007. 04. 26, 说明书第 [0046]-[0058] 段、附图 5-6, 8.

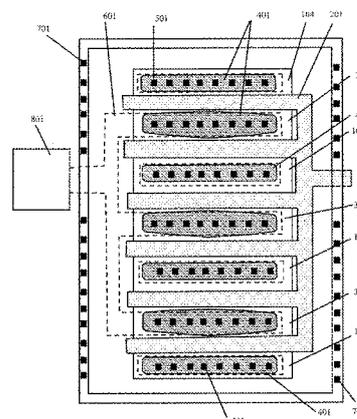
权利要求书1页 说明书4页 附图5页

(54) 发明名称

半导体装置

(57) 摘要

本发明提供一种半导体装置,其具有ESD保护用的MOS晶体管,在该ESD保护用的MOS晶体管中,交替地配置有多个漏区和多个源区,在上述漏区与上述源区之间配置有栅电极,且该ESD保护用的MOS晶体管具有多个晶体管被组合成一体的结构,其中,根据漏区上的接触孔与衬底接触区之间的距离,来确定形成于漏区上的自对准金属硅化物区与栅电极之间的距离。



1. 一种半导体装置,其特征在于,该半导体装置具有 ESD 保护用的 MOS 晶体管,该 ESD 保护用的 MOS 晶体管具有:配置成与设置在半导体衬底上的衬底接触区间隔开且交替配置的多个漏区和多个源区;以及配置于所述漏区与所述源区之间的栅电极,且该 ESD 保护用的 MOS 晶体管具有多个晶体管形成为一体的结构,

所述漏区与外部连接端子电连接,

所述源区与地电位供给线电连接,

离所述衬底接触区的距离越远,则形成于所述漏区中的自对准金属硅化物与栅电极之间的距离形成得越短,

在所述漏区上具有多列接触孔的情况下,自对准金属硅化物的端部与接触孔之间的距离被形成为恒定。

2. 根据权利要求 1 所述的半导体装置,其特征在于,在所述自对准金属硅化物中含有 Ti 或 Co。

3. 根据权利要求 1 所述的半导体装置,其特征在于,所述衬底接触区形成直线状的图案且配置在所述 ESD 保护用的 MOS 晶体管的周围。

4. 一种半导体装置,其特征在于,该半导体装置具有 ESD 保护用的 MOS 晶体管,该 ESD 保护用的 MOS 晶体管具有:配置成与外部连接端子间隔开且交替配置的多个漏区和多个源区;配置于所述漏区与所述源区之间的栅电极,且该 ESD 保护用的 MOS 晶体管具有多个晶体管形成为一体的结构,

所述漏区与外部连接端子电连接,

所述源区与地电位供给线电连接,

所述 ESD 保护用的 MOS 晶体管与所述外部连接端子之间的距离越远,则形成于所述漏区中的自对准金属硅化物与栅电极之间的距离形成得越短,

在所述漏区上具有多列接触孔的情况下,自对准金属硅化物的端部与接触孔之间的距离被形成为恒定。

5. 根据权利要求 4 所述的半导体装置,其特征在于,在所述自对准金属硅化物中含有 Ti 或 Co。

6. 根据权利要求 4 所述的半导体装置,其特征在于,该半导体装置还具有形成直线状的图案且配置在所述 ESD 保护用的 MOS 晶体管的周围的衬底接触区,所述衬底接触区配置在所述外部连接端子和所述 ESD 保护用的 MOS 晶体管之间。

半导体装置

技术领域

[0001] 本发明涉及将多指型 (multi finger type) (梳状) MOS 型晶体管用作 ESD 保护元件的半导体装置。

背景技术

[0002] 在具有 MOS 型晶体管的半导体装置中, 作为用于防止因来自外部连接用端子 (PAD) 的静电而导致内部电路发生损坏的 ESD 保护元件, 已知有将 N 型 MOS 晶体管的栅极电位固定于地 (Vss) 而设置为截止状态的所谓的截止晶体管。

[0003] 与构成其它逻辑电路等内部电路的 MOS 型晶体管不同, 截止晶体管需要瞬间流过因大量静电引起的电流, 因而大多由具有数百微米左右的较大栅极宽度 (W 宽度) 的晶体管形成。

[0004] 因此, 关于截止晶体管, 为了减小占有面积, 大多采取将多个漏区、源区、栅电极组合为梳状的多指型的方式。

[0005] 然而, 若采取组合了多个晶体管的结构, 则难以在 ESD 保护用的 MOS 晶体管整体上实现均匀的工作。例如, 会在离外部连接端子较近的部分或布线电阻与布线间电阻的合计数较小的部分中引起电流集中, 有时在充分发挥出原本的 ESD 保护功能之前就因应力局部集中而发生损坏。

[0006] 作为其改进对策, 已提出了如下办法: 根据与外部连接端子之间的距离或与衬底接触区之间的距离, 特别设计为与衬底接触区的距离越远, 使得漏区上的防止形成自对准硅化物 (salicide) 的自对准硅化物阻挡区 (salicide block) 的距离越大, 从而使晶体管的工作变得均匀 (例如参见专利文献 1)。

[0007] 【专利文献】日本特开 2007-116049 号公报

[0008] 然而, 例如如果为了使截止晶体管的工作均匀而减小了栅极宽度, 则无法实现充分的保护功能。另外, 上述专利文献 1 的目的在于: 根据与衬底接触区之间的距离来调整从漏区上的防止形成自对准硅化物的自对准硅化物阻挡区到栅电极之间的距离, 从而控制高电阻区域的长度, 局部性地调整晶体管的工作速度。然而, 由于存在越接近衬底接触区则自对准硅化物阻挡区的长度越短的特征, 因而, 靠近外部连接端子的截止晶体管的栅电极与漏区上的自对准金属硅化物之间的电阻会因自对准硅化物阻挡区的长度而减小, 由此, 存在着这样的课题: 不在截止晶体管的栅电极宽度的整体区域中进行工作, 而在靠近外部连接端子的一部分区域中产生单极集中性的损坏。

[0009] 尤其是, 近些年来, 由于包含高熔点金属的布线导致布线电阻变低, 因此当浪涌的传播速度进一步加快时, 反而造成浪涌集中于一部分漏区上的自对准硅化物区域, 具有不在截止晶体管的栅电极宽度的整体区域中进行工作的问题。另外, 即使在漏区上的自对准硅化物阻挡区与栅电极之间的距离恒定的情况下, 也存在这样的问题: 在靠近外部连接端子的栅电极与漏极间的一部分区域中, 引起单极集中性的损坏。图 5 是在施加了 ESD 浪涌而发生损坏后确定出截止晶体管的损坏部位的显微镜照片。图中圆圈所包围的部位表示被

浪涌损坏的部位。如图 5 所示,可知:在位于外部连接端子附近的栅电极与漏极之间的一部分区域中,产生了局部性的损坏。

发明内容

[0010] 为了解决上述课题,本发明按如下所述来构成半导体装置。

[0011] 在 ESD 保护用的 N 型 MOS 晶体管中,交替地配置有多个漏区和多个源区,在所述漏区与所述源区之间配置有栅电极,且该 ESD 保护用的 N 型 MOS 晶体管具有多个晶体管形成为一体的结构,其中,漏区与外部连接端子电连接,源区与地电位供给线电连接,将设置于漏区上的自对准硅化物阻挡区形成为:根据栅电极与接触孔数量之比,以与衬底接触区的距离越远则长度越短的方式来改变设置于漏区上的自对准硅化物阻挡区的长度。

[0012] 另外,形成为:以与外部连接端子越远则长度越长的方式,改变漏区上的自对准硅化物阻挡区的长度。

[0013] 另外,在漏区上设置有两列以上的接触孔的情况下,配置为:将所述自对准硅化物阻挡区与接触孔之间的距离保持为恒定。

[0014] 如上所述,根据本发明,通过这些手段,在使用包含高熔点金属在内的高速多层布线将导入到晶体管中的 ESD 浪涌从与截止晶体管的沟道宽度方向垂直的方向导入的情况下,也能在 ESD 保护用 MOS 晶体管的多指状部位整体中均匀地工作。

[0015] 因此,能够获得具有如下的 ESD 保护用 MOS 晶体管的半导体装置,即:该 ESD 保护用 MOS 晶体管具备充分的 ESD 保护功能。

附图说明

[0016] 图 1 是表示本发明的半导体装置的 ESD 保护用 MOS 晶体管的第一实施例的示意性俯视图。

[0017] 图 2 是表示本发明的半导体装置的 ESD 保护用 MOS 晶体管的第二实施例的示意性俯视图。

[0018] 图 3 是表示本发明的半导体装置的 ESD 保护用 MOS 晶体管的第三实施例的示意性俯视图。

[0019] 图 4 是表示本发明的半导体装置的 ESD 保护用 MOS 晶体管的第四实施例的示意性俯视图。

[0020] 图 5 是现有的 ESD 保护用 MOS 晶体管被施加了 ESD 浪涌后确定出损坏部位时的显微镜照片。

[0021] 符号说明

[0022] 101 第一源区;102 第二源区;103 第三源区;104 第四源区;201 栅电极;301 第一漏区;302 第二漏区;303 第三漏区;401 自对准金属硅化物区;501 接触孔;601(第一)金属布线;701 衬底接触区;801 外部连接端子。

具体实施方式

[0023] 下面,使用附图来说明针对用于实施发明的方式的多个实施例。

[0024] **【实施例 1】**

[0025] 图 1 是表示本发明的半导体装置的 ESD 保护用 MOS 晶体管的第一实施例的示意性俯视图。

[0026] 形成有由高浓度杂质区构成的第一源区 101 和第一漏区 301,在第一源区 101 与第一漏区 301 之间,设有未图示的由氧化硅膜等构成的栅绝缘膜,在其上表面形成有由多晶硅等构成的栅电极 201。接着,以重复图案的方式,从第一漏区 301 起隔着栅电极 201 形成第二源区 102,再隔着栅电极 201 形成第二漏区 302,再隔着栅电极 201 形成第三源区 103,再隔着栅电极 201 形成第三漏区 303,再隔着栅电极 201 形成第四源区 104。在各漏区上和源区上,利用防止形成自对准硅化物的自对准硅化物阻挡区形成了与栅电极 201 相距一定距离的自对准金属硅化物区 401。

[0027] 在实施例中,示出了将 4 个源区、3 个漏区、6 个栅电极组合起来的配置的例子。成为 6 个 MOS 晶体管组合成梳状的结构。

[0028] 虽然为了简化而省略了图示,但是,在第一源区 101、第二源区 102、第三源区 103 和第四源区 104 中,通过金属布线而被提供了地电位,该金属布线与地电位供给线连接,且由包含高熔点金属在内的材料等形成,所述接地电位供给线由较粗的低电阻布线形成,所述低电阻布线同样采用了包含高熔点金属在内的金属材料等。金属布线是从地电位供给线沿着与 ESD 保护用的 MOS 晶体管的沟道宽度方向垂直的方向配置的,虽然没有图示,但金属布线通过通孔等与由包含高熔点金属在内的材料等构成的金属布线连接,经由接触孔 501 与第一源区 101、第二源区 102、第三源区 103 和第四源区 104 连接。

[0029] 另一方面,在外部连接端子 801 上连接有由包含高熔点金属在内的材料等构成的(第一)金属布线 601,该金属布线 601 被导入至第一漏区 301、第二漏区 302 和第三漏区 303。而且,第一金属布线 601 经由接触孔 501 而连接到第一漏区 301、第二漏区 302 和第三漏区 303。

[0030] 在图 1 所示的第一实施例中,ESD 保护用的 MOS 晶体管的漏区上的自对准硅化物阻挡区被形成为:离衬底接触区 701 越远,该自对准硅化物阻挡区与栅电极 201 之间的距离就越短。设计成:在栅电极 201 的中央附近,栅电极 201 与自对准金属硅化物区 401 之间的距离变短。

[0031] 例如,在本发明中为了简化说明,而说明了接触孔 501 为 1 列的情况,此时,该接触孔 501 被设置为:对于离衬底接触区 701 最近的漏区上的接触孔 501 与栅电极 201 之间的自对准硅化物阻挡区,将栅电极 201 与该自对准硅化物阻挡区之间的距离设为 $10\ \mu\text{m}$,在此情况下,对于从衬底接触区起的第 10 个接触孔与栅电极 201 之间的自对准硅化物阻挡区,将栅电极 201 与该自对准硅化物阻挡区之间的距离设为 $9\ \mu\text{m}$,从而设置电阻差(计算例:距离 = $[10 - (\text{从衬底接触区起的个数} \div 10)]$)。同样地,如果是第 20 个,则将栅电极 201 与漏区上的自对准硅化物阻挡区之间的距离设定为 $8\ \mu\text{m}$ 。在此,关于距离的设定,也可以不采取上述例子,而是自由地设定为使得所使用的半导体元件的 ESD 特性成为最大。

[0032] 【实施例 2】

[0033] 图 2 是表示本发明的半导体装置的 ESD 保护用 MOS 型晶体管的第二实施例的示意性俯视图。在本说明中,为了省略而对与图 1 对应的部分标注相同的标号。

[0034] 与图 1 所示的第一实施例的不同之处在于漏区上的防止形成自对准硅化物的自对准硅化物阻挡区的距离的取值方式。在图 1 所示的第一实施例中,是根据与衬底接触区

701 之间的距离进行设置,将自对准硅化物阻挡区形成为:对于接近衬底接触区 701 的接触孔 501 与栅电极 201 之间的自对准硅化物阻挡区,该自对准硅化物阻挡区与栅电极 201 之间的距离较长,而对于离衬底接触区 701 最远的接触孔 501 与栅电极 201 之间的自对准硅化物阻挡区,该自对准硅化物阻挡区与栅电极 201 之间的距离较短。

[0035] 另一方面,在图 2 所示的第二实施例中,根据与外部连接端子 801 之间的距离进行设置。其中,将自对准硅化物阻挡区形成为:对于接近外部连接端子 801 的接触孔 501 与栅电极 201 之间的自对准硅化物阻挡区,该自对准硅化物阻挡区与栅电极 201 之间的距离较长,对于离外部连接端子最远的接触孔 501 与栅电极 201 之间的自对准硅化物阻挡区,该自对准硅化物阻挡区与栅电极 201 之间的距离较短。即配置成:离外部连接端子 801 越近,则接触孔 501 与栅电极 201 之间的电阻越高,离外部连接端子 801 越远,则接触孔 501 与栅电极 201 之间的电阻越小,在被施加了 ESD 浪涌的情况下,截止晶体管在栅电极宽度的整体区域中工作。

[0036] 【实施例 3】

[0037] 图 3 是表示本发明的半导体装置的 ESD 保护用 MOS 晶体管的第三实施例的示意性俯视图。省略与第一实施例相同的说明,仅对不同之处进行说明。

[0038] 与图 1 所示的第一实施例的不同之处在于,配置多列接触孔 501 的例子中的接触孔 501 的配置位置。在第一实施例中,由于是配置成 1 列的接触孔 501,因而与防止形成自对准硅化物的自对准硅化物阻挡区之间的距离不是固定的,接触孔 501 被配置于漏区上的中央,而在第三实施例中,配置成:使配置为多列的接触孔 501 与自对准金属硅化物区 401 的端部之间的距离成为恒定。

[0039] 并且,关于固定距离的设定,可以自由地设定使得所使用的半导体元件的 ESD 特性达到最大的尺寸。

[0040] 【实施例 4】

[0041] 图 4 是表示本发明的半导体装置的 ESD 保护用 MOS 晶体管的第四实施例的示意性俯视图。在本说明中为了省略,以具有两列接触孔的截止晶体管为例进行图示。省略与第二实施例相同的说明,仅对不同之处进行说明。与图 2 所示的第二实施例的不同之处在于,配置有多列接触孔 501 的例子中的接触孔 501 的配置位置。

[0042] 在第二实施例中,由于是配置为一列的接触孔 501,因而与防止形成自对准硅化物的自对准硅化物阻挡区之间的距离不是固定的,接触孔 501 被配置于漏区上的中央,而在第四实施例中,配置成:使配置为多列的所有接触孔 501 与自对准金属硅化物区 401 的端部之间的距离成为恒定。

[0043] 并且,关于固定距离的设定,可以自由地设定使得所使用的半导体元件的 ESD 特性达到最大的尺寸。

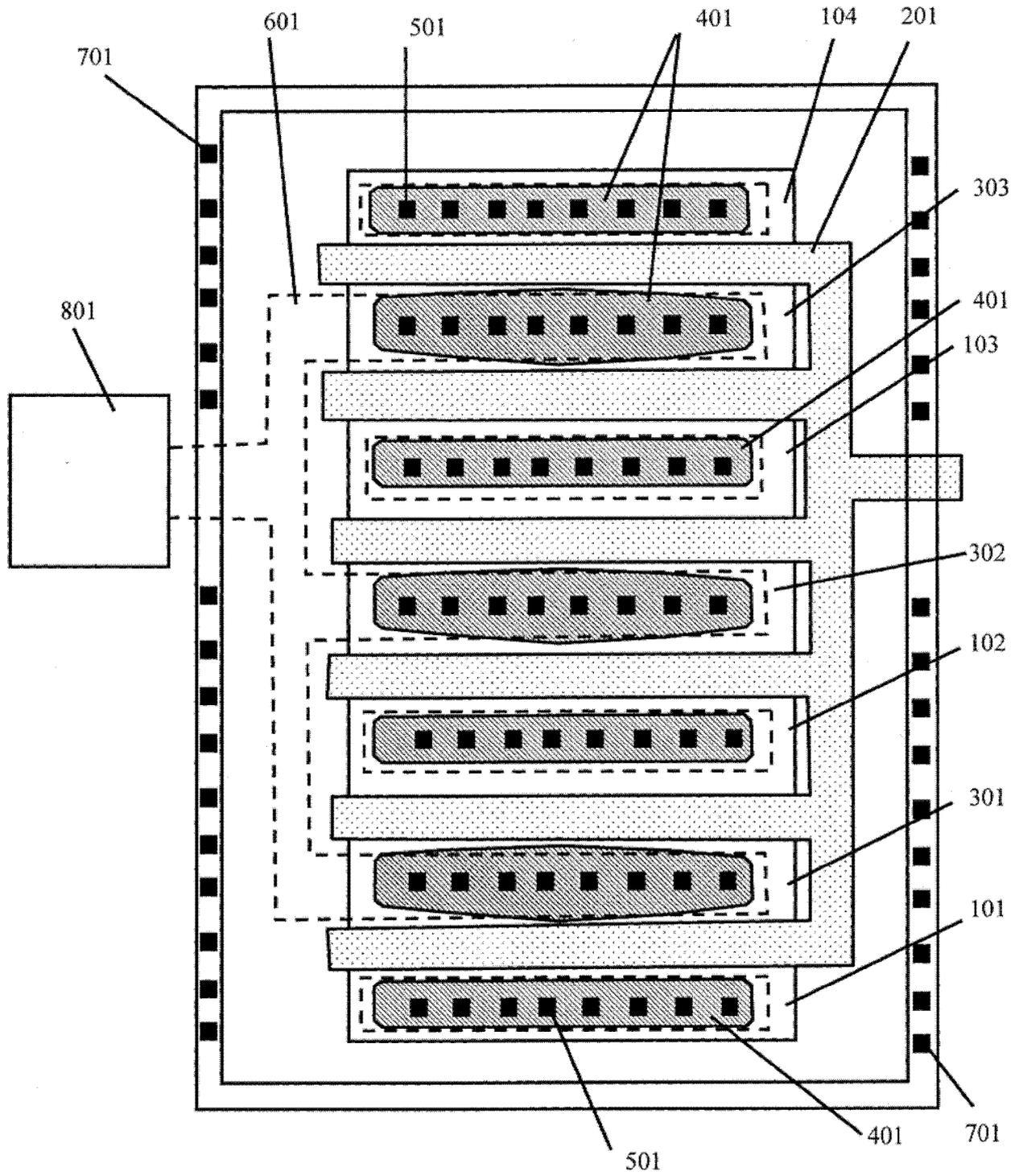


图 1

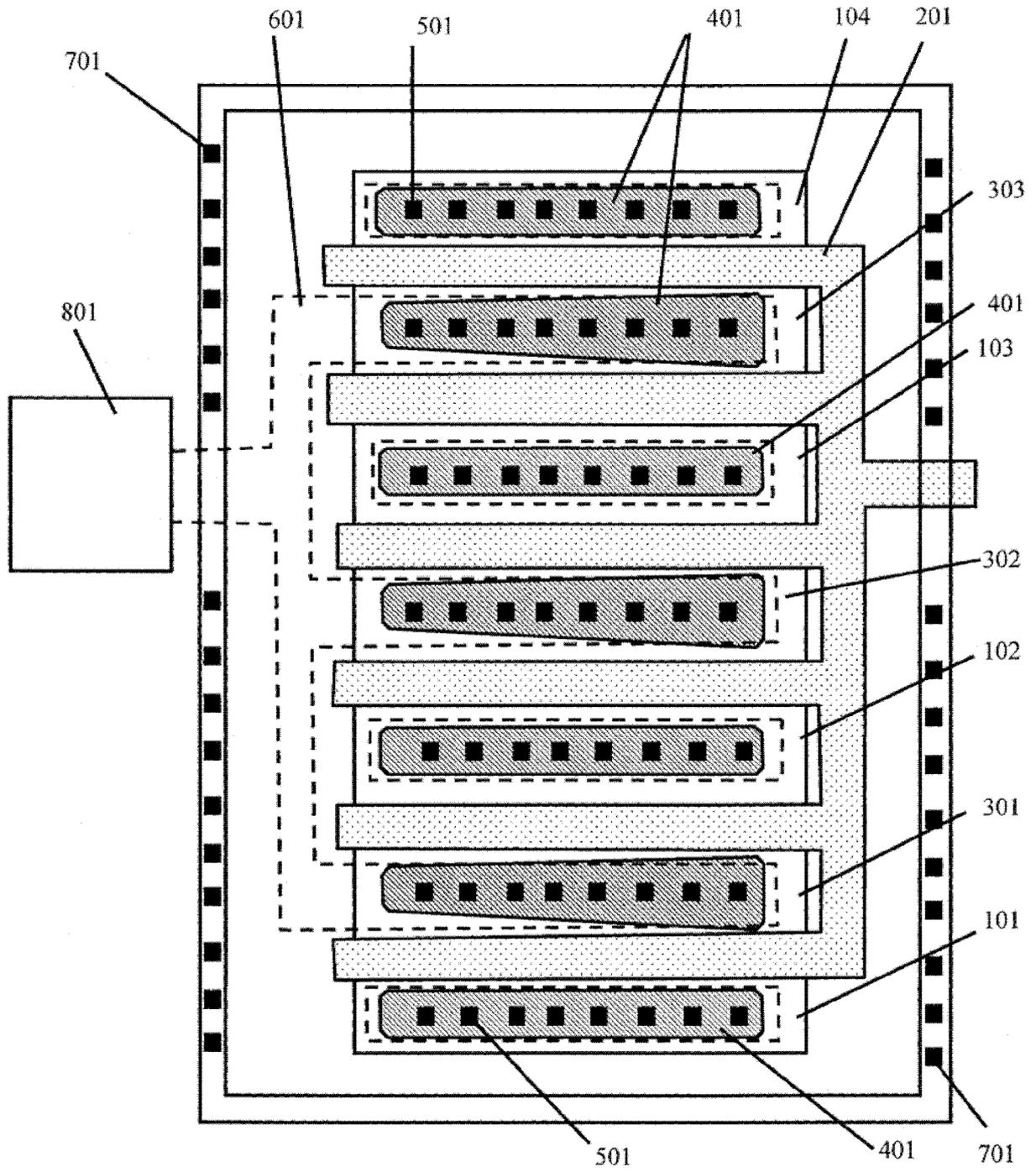


图 2

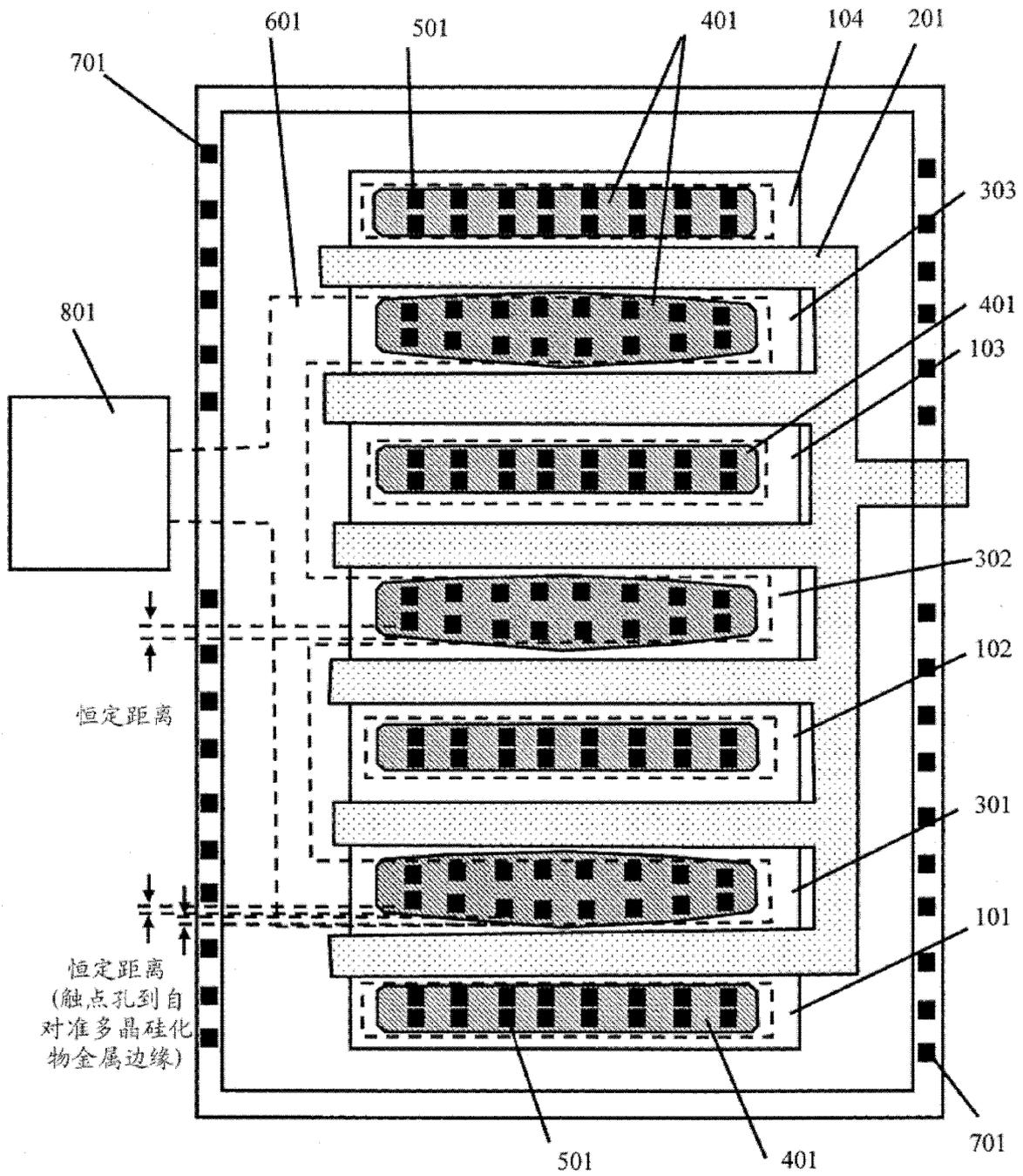


图 3

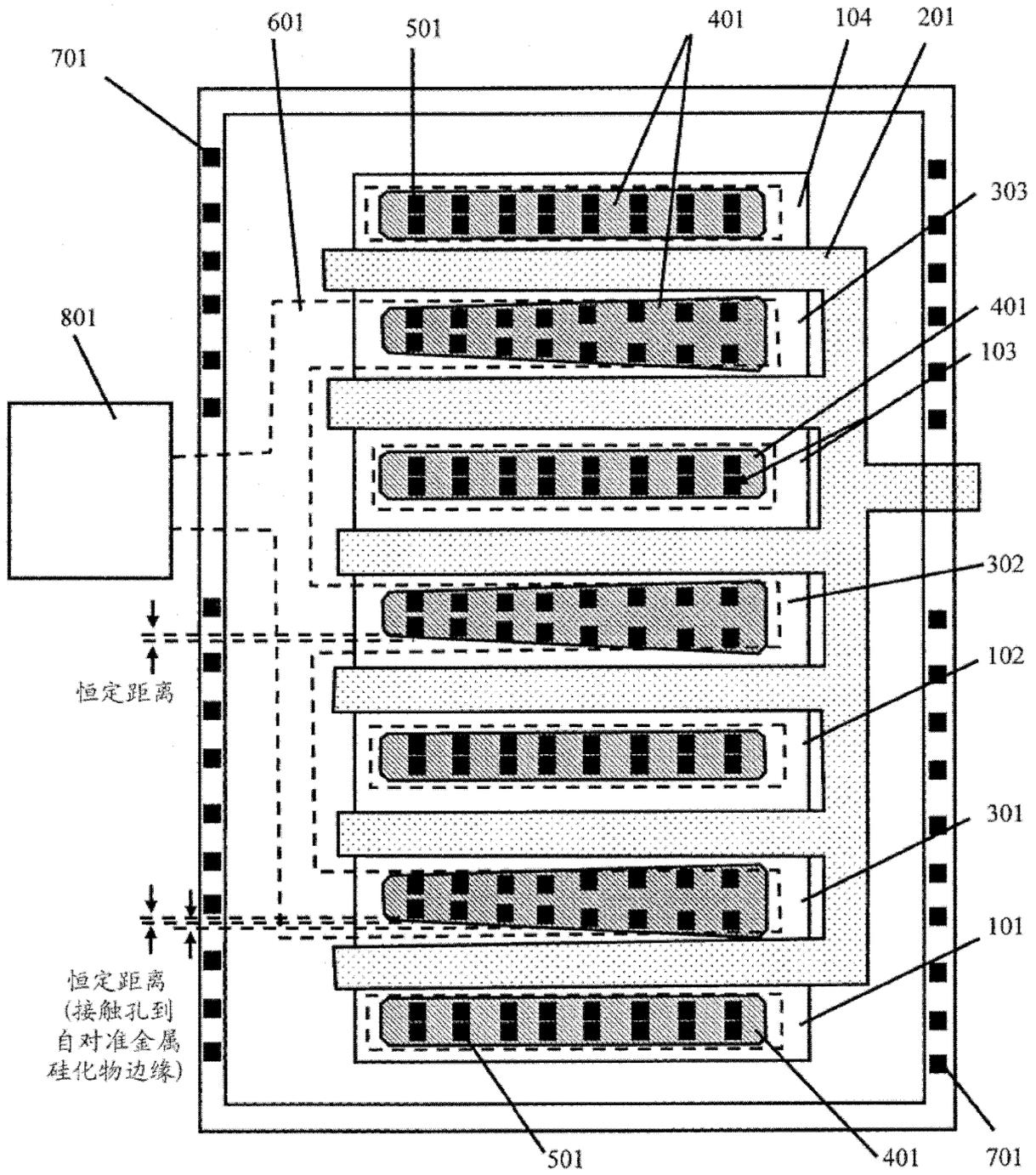


图 4

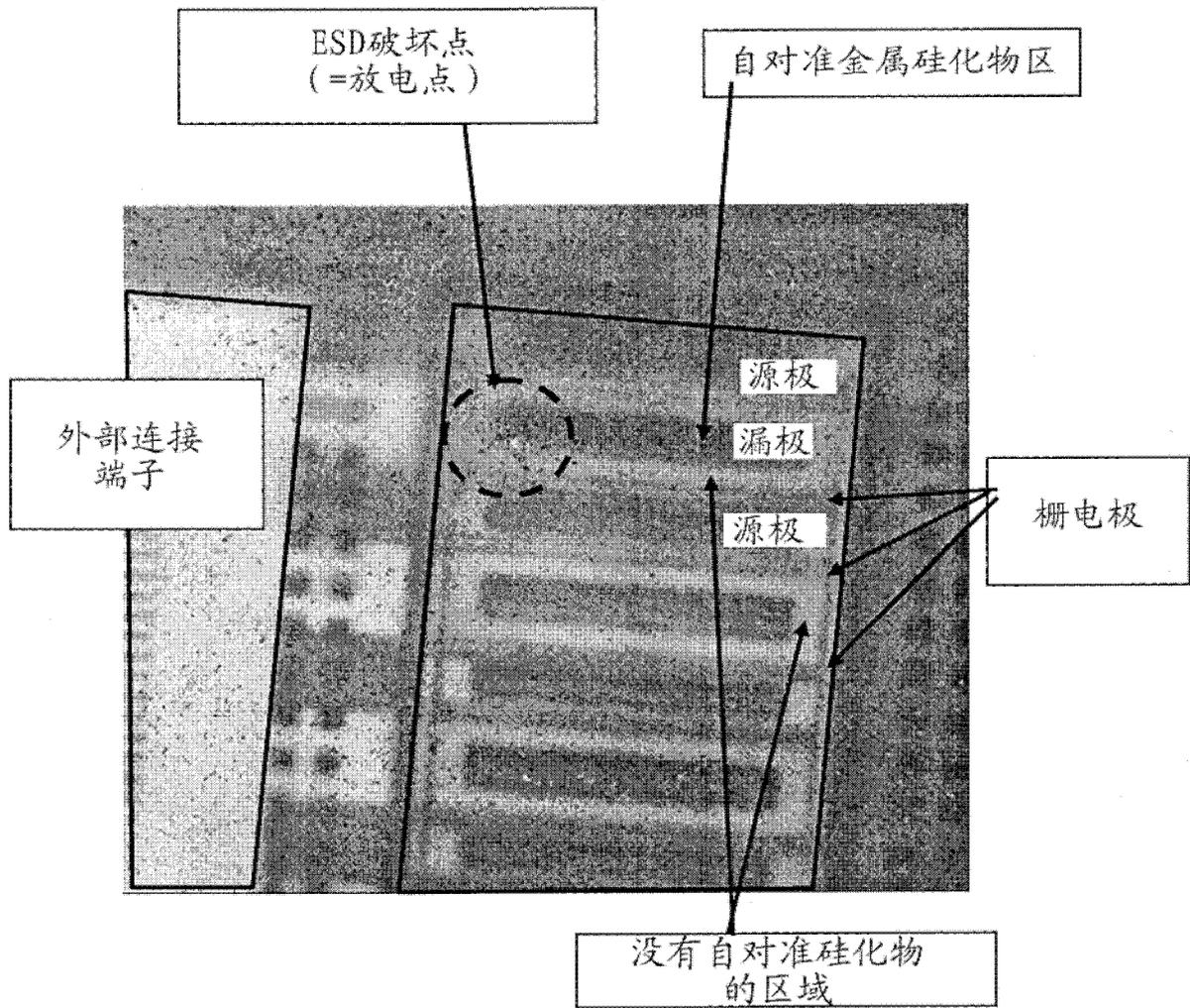


图 5