

# 發明專利說明書

I221675

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92104410 ※IPC分類：H01L29/14

※申請日期：92 3 3

## 壹、發明名稱

(中文) MOS 型可變電容元件

(英文) MOS-TYPE VARIABLE CAPACITANCE ELEMENT

## 貳、發明人 (共 3 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 小川隆興

(英文) Takaoki OGAWA

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,

Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

## 參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商·富士通股份有限公司

(英文) FUJITSU LIMITED

住居所或營業所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-

ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 秋草直之

(英文) Naoyuki Akikusa

續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人   2  

姓名：(中文) 富田和廣

(英文) Kazuhiro TOMITA

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,

Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本

(英文) JAPAN

發明人   3  

姓名：(中文) 青木考樹

(英文) Koju AOKI

住居所地址：(中文) 日本國愛知縣春日井市高藏寺町二丁目1844番2

(英文) 1844-2, Kozoji-cho 2-chome, Kasugai-shi,

Aichi 487-0013 Japan

國籍：(中文) 日本

(英文) JAPAN

發明人   4  

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人   5  

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

## 捌、聲明事項

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：\_\_\_\_\_

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. PCT； 2003.3.3； PCT/JP03/02443

2. \_\_\_\_\_

3. \_\_\_\_\_

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

4. \_\_\_\_\_

5. \_\_\_\_\_

6. \_\_\_\_\_

7. \_\_\_\_\_

8. \_\_\_\_\_

9. \_\_\_\_\_

10. \_\_\_\_\_

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

### 【發明所屬之技術領域】

#### 發明領域

本發明係關於一種MOS型可變電容元件。特別是有關  
5 於可以容易地以一般的半導體電路裝置之製造程序加以製  
造，而且具有良好的可變電容特性，並提高電壓控制振盪  
器等之性能之MOS型可變電容元件。

### 【先前技術】

#### 發明背景

10 使用可變電容元件的電路之一例可舉例如電壓控制振  
盪電路(以下簡稱為VCO電路)。第14圖中例示VCO電路100  
為其一例。VCO電路100中包含2個可變電容元件102。形  
成在其連接點，即結點104施加控制電壓VC的狀態。此處  
，因為結點105係直流地被施加一定的電壓，故可藉調整  
15 控制電壓VC的方式而調整可變電容元件102之電容值。因  
此，在VCO電路100中，可以利用控制電壓VC來控制取決  
於可變電容元件102和線圈103的LC共振頻率。相對於控制  
電壓VC，此種VCO電路的特性以其所獲得之振盪頻率係  
在廣範圍做線形變化者為宜。

20 為獲得VCO電路100之特性，必需採用可以相對於控  
制電壓VC在廣範圍獲得線形的電容變化之可變電容元件。

專利文獻1，特開2000-58877號公報中如第15圖所示  
係模式地示意所揭露之MOS型可變電容元件的平面圖，第  
16圖所示為第15圖中沿A-A'線的斷面圖。MOS型可變電容

## 玖、發明說明

元件200係如第16圖所示，在n型矽半導體基板201內形成有由p井所構成之第1半導體層202。在該第1半導體層202的表面選擇性地擴散有p型雜質而形成第2半導體層203。另，與該第2半導體層203相隔開來，形成有選擇性地擴散高濃度的p型雜質而成之接觸層204。然後在第2半導體層203的表面形成由氧化矽所構成的閘絕緣層205，而該閘絕緣層205的表面則形成有閘電極206。

第2半導體層203係由具有複數個(圖中為2個)不同的平帶電壓之區域203a及203b所構成。平帶電壓不同的區域203a及203b，係以其雜質濃度呈階段性變化的方式形成。

平帶電壓不同的區域203a及203b分別構成電容C100及C200。因此，MOS型可變電容元件200之電容CT100及CT200即為電容C100及C200之合成電容。電容C100及C200會因變更閘電極206和接觸層204間之端子間電壓VT而變化，所以MOS型可變電容件200之電容CT100產生變化。

在此，將相對於區域203a及203b之平帶電壓分別為VFB、VFB'時之端子間電壓VT的電容變化特性示於17圖(a)。因應平帶電壓VFB、VFB'之差異，電容C100及C200各自的特性曲線會並行移動，而開始產生電容變化之端子間電壓VT的電壓值會發生偏移，但是電容C100及C200的特性曲線本身之形狀則無變化。因此，此等合成電容，即MOS型可變電容元件200的電容CT100，如第17圖(b)所示，相對於端子間電壓VT，在相當於依電容C100及C200而

## 玖、發明說明

決定之電容變化區域的範圍，會形成具有線形性的特性。

然而，前述習知技術中存在如下所述之問題。亦即，專利文獻1所揭示之MOS型可變電容元件200中，如第17圖所示，透過將平帶電壓不同的2個區域之電容變化加以合成的方式，雖然獲得電容CT100的線形特性，但是在VCO電路100所要求之可變電容元件102中，某些情況會要求相對於控制電壓VT在更廣的範圍具有線形性優良的特性。MOS型電容元件200中必需設置多數個平帶電壓互有差異的區域。為製作多數個區域，必需進一步使用供選擇性地擴散雜質之曝光用遮罩，進而伴隨著必需額外增加曝光步驟、洗淨步驟等程序。除了製造步驟變得複雜以外，同時也無法避免製造成本的增加，這些都是問題。

本發明係為解決前述之習知技術所具有的問題點而完成者。亦即本發明之目的係為相對於控制電壓VT能在廣範圍獲得線形性良好的特性，也能對應地獲得VCO電路等之性能改善，此外，提供一種MOS型可變電容元件，其構造簡單，而且在一般的半導體電路裝置之製造程序中，毋需額外增加遮罩及步驟即可容易地製造。

### 【發明內容】

#### 20 發明概要

為達成前述目的，申請專利範圍第1項之MOS型可變電容元件的特徵在於具備，以第1導電型所構成之至少一個第1半導體層，和，鄰接於第1半導體層，以第2導電型所構成之至少一個第2半導體層，和，在第1及第2半導體

## 玖、發明說明

層各自的正上方，配置至少各一個的閘絕緣層，和，配置在閘絕緣層上之閘極層，和，鄰接閘絕緣層而配置之第1或第2導電型的源極層，且以閘極層和源極層做為電極。

5 在申請專利範圍第1項之MOS型可變電容元件中，除了在第1導電型之第1半導體層，以閘絕緣層、閘極層及鄰接於閘絕緣層之第1或第2導電型的源極層而構成之第1MOS構造外，在第2導電型之第2半導體層具有以閘絕緣層、閘極層及鄰接於閘絕緣層之第1或第2導電型的源極層所構成之第2MOS構造。

10 藉此，第1及第2MOS構造中有一個會成為源極層與後閘極(back gate)的導電型不同之一般的增強型MOS構造。另一個則成為源極層與後閘極為相同的導電型之MOS構造。2個不同的MOS構造被並列連接可以構成MOS型可變電容元件。

15 一般的增強型MOS構造中，對應電極間之偏電壓，在閘絕緣層正下方之第1或第2半導體層的載波狀態係由反轉狀態朝空乏狀態進行變化。對應該變化，電極間之MOS電容器的電容，會從單獨依閘絕緣層而定之電容，變化成由閘絕緣層與空乏層之串聯連接而形成之電容，電容值則減少。在此，電容值之減少除了因電容的串聯連接導致之減少外，由於空乏層變寬造成之電容值本身的減少，會變得急遽。

相對於此，在源極層與後閘極為相同的導電型之MOS構造中，對應電極間之偏電壓，在閘絕緣層正下方之第1

## 玖、發明說明

或第2半導體層的載波狀態會從蓄積狀態附近朝空乏狀態進行變化。對應該變化，電極間之MOS電容器的電容，在由閘絕緣層與空乏層之串聯連接而形成的電容中，會對應空乏層之變寬而變化，形成減少的狀態。電容值之減少因為只僅依靠空乏層的變寬，所以形成緩和的減少。

MOS型可變電容元件為上述2種不同的MOS構造之並列連接，其電容值為二者的合成電容值。除發生電容變化的偏電壓值在各別的MOS構造中不相同乃一般情形外，具有急遽的電容變化特性之構造與具有緩和的電容變化特性之構造互相組合的結果，合成電容值相對於廣範圍的偏電壓變成具有線形特性。可以獲得容易調整電容的MOS型可變電容元件。

而，申請專利範圍第2項之MOS型可變電容元件的特徵在於，申請專利範圍第1項記載之MOS型可變電容元件中，第1半導體層為半導體基板，第2半導體層則是從半導體基板的表面，沿深度方向上選擇性地形成者。在第1導電型的半導體基板內，第2半導體層被形成為第2導電型的井。另，申請專利範圍第3項之MOS型可變電容元件的特徵在於，申請專利範圍第1項記載之MOS型可變電容元件中具備半導體基板，第1半導體層係從半導體基板的表面沿深度方向選擇性地被形成，而第2半導體層則是從第1半導體層的表面沿深度方向，在第1半導體內選擇性地被形成者。在半導體基板內，第1半導體層被形成為第1導電型的井，並進一步於基中將第2半導體層選擇性地形成為第2

## 玖、發明說明

導電型的井。而，申請專利範圍第4項之MOS型可變電容元件的特徵在於，申請專利範圍第1項記載之MOS型可變電容元件中具備半導體基板，而第1及第2半導體層係從半導體基板的表面沿深度方向選擇性地被形成。在半導體基板內，第1及第2半導體層被形成為第1及第2導電型的井。

據此，可以利用MOS構造之半導體積體電路裝置中通常所使用的製造程序，來構成可變電容範圍不同之2種類之MOS構造。在一般的製造程序中，而且並不需要額外增加製造步驟，即可以實現合成電容相對於偏電壓之可變電容範圍為廣範圍之MOS型可變電容元件。可以不伴隨額外的製造成本，並直接適用於過去以來所製造的半導體積體電路裝置中。

另，申請專利範圍第5項之MOS型可變電容元件的特徵在於，申請專利範圍第1至第4項之至少一項所記載的MOS型可變電容元件中，源極層之雜質濃度比相同導電型之第1或第2半導體層之雜質濃度為高。藉此，可以容易地將電極從源極層引出來。

而，申請專利範圍第6項之MOS可變電容元件的特徵在於，申請專利範圍第1至第5項之至少一項所記載的MOS型可變電容元件中，至少在第1及第2半導體層中之一者的閘絕緣層之正下方區域，與第1及第2半導體層之主體(bulk)區域中的雜質濃度係為不同的雜質濃度。藉此，可以適當地調整對應偏電壓之電容變化特性。

此處，利用對閘絕緣膜正下方的區域選擇性地實施雜

## 玖、發明說明

質擴散之方式，可以獨立地對第1或第2半導體層調整雜質濃度。

另，申請專利範圍第7項之MOS可變電容元件的特徵在於，申請專利範圍第1至第6項之至少一項所記載的MOS型可變電容元件中，於源極層中包含相互鄰接，並被配置在第1半導體層內之閘絕緣層與第2半導體層內之閘絕緣層之間的第1共有源極層，且第1共有源極層係跨過第1及第2半導體層而配置。藉此，在以和閘絕緣層鄰接之源極層所構成的MOS構造布局(layout)中，可以將源極層的中間區域當做第1及第2半導體層的邊界，而將2個不同的MOS構造並列地配置。

另，申請專利範圍第8項之MOS可變電容元件的特徵在於，申請專利範圍第1至第7項之至少一項所記載的MOS型可變電容元件中，於閘絕緣層中包含越過第1半導體層與第2半導體層的邊界而配置之延長閘絕緣層，而與延長閘絕緣層鄰接之源極層中則包含越過第1半導體層與第2半導體層的邊界而配置之延長源極層，或者，越過橫跨第1及第2半導體層的區域而被配置在第1或第2半導體層之第2共有源極層。藉此，可以橫過第1及第2半導體層而配置延長閘絕緣層。伴隨著，也可以跨過第1及第2半導體層的邊界而配置延長源極層或第2共有源極層。在以和閘絕緣層鄰接之源極層所構成的MOS構造布局中，可以適當地切割區分2個不同的MOS構造。

圖式簡單說明

## 玖、發明說明

容元件 1a，係 MOS 型可變電容元件 1 中與 n 井 3 無關的部分。另一方面，第 2 圖 (b) 則是 MOS 型可變電容元件 1b，係 MOS 型可變電容元件 1 中與 n 井 3 相關的部分。

MOS 型可變電容元件 1a 中，分別對端子 12、13、14 施加電壓  $V_G$ 、 $V_D$ 、 $V_S$ 。被施加於端子 14 之電壓  $V_S$  為接地電壓。控制電壓  $V_C$  被外加 (參見第 14 圖) 而成為電壓  $V_D$ 。和對端子 12 直流地施加一定的電壓成為電壓  $V_G$  相結合，端子間電壓  $V_T$  可以寫成  $V_T = V_D - V_G$ 。端子間電壓  $V_T$  的增減可以利用電壓  $V_D$  之增減來加以控制。

當端子間電壓  $V_T$  小，且相對於電壓  $V_G$  之電壓  $V_D$  的電壓差不大時，在閘氧化膜 4 的正下方形成反轉層。MOS 型可變電容元件 1a 中之端子 12 及 13 間的電容  $C_a$  成為閘氧化膜 4 之電容，維持著一定的電容值。如果端子間電壓  $V_T$  變大，且電壓  $V_D$  相對於電壓  $V_G$  而變大，則空乏層會從源極層 8 和 p 型半導體基板 2 的接合面朝 p 型半導體基板 2 伸長。電容  $C_a$  成為閘氧化膜 4 與空乏層之串聯連接的電容，電容值會減少。相對於端子間電壓  $V_T$  之電容  $C_a$  的特性示於第 3 圖 (a)。在 MOS 型可變電容元件 1a 中可以藉由在從反轉區域至空乏區域的空乏層之變化而獲得電容變化。

其次，在 MOS 型可變電容元件 1b 中，分別對端子 12、13、14 施加電壓  $V_G$ 、 $V_D$ 、 $V_S$ 。在 n 井 3 中形成施加電壓  $V_D$  的狀態。控制電壓  $V_C$  被外加於端子 13 (參見第 14 圖) 而成為電壓  $V_D$ 。對端子 12 直流地外加一定的電壓成為電壓  $V_G$ 。因為端子間電壓  $V_T$  為  $V_T = V_D - V_G$ ，故端子間電壓

## 玖、發明說明

VT的增減變成受到電壓VD之增減所控制。

對應端子間電壓VT從小電壓值變化成大電壓值的情況，電壓VD之電壓差相對於電壓VG逐漸變大。藉此，閘氧化膜4的正下方，空乏層會從蓄積層被形成的狀態之接近狀態而逐漸伸長。相對於此時之端子間電壓VT的電容Cb，其特性示於第3圖(b)。在MOS型可變電容元件1b，電容Cb成為閘氧化膜4與空乏層之串聯連接的電容，變成空乏層從接近蓄積區域的狀態緩緩地伸長之特性，電容值減少而可獲得電容變化。

10 在此，在第3圖(a)及(b)中，當比較電容Ca及Cb時，在MOS型可變電容元件1a，如果對應端子間電壓VT，反轉層被形成，並從利用閘氧化膜4維持一定電容值的狀態形成空乏層，則會變成由空乏層決定之電容成分被串聯連接的情形。因為除了電容值因電容成分的串聯連接而減少  
15 外，因空乏層的變寬，被串聯連接之電容值本身也減少，故電容Ca乃形成對應端子間電壓VT，電容值急遽地減少之特性。相對於此，在MOS型可變電容元件1b，從端子間電壓VT之大電壓值的階段即形成有空乏層，電容Cb變成由閘絕緣膜4決定之電容成分，和由空乏層決定之電容成分的串聯連接。因此，取決於端子間電壓VT的電容值之  
20 減少特性，變成僅依存於空乏層的長度，和MOS型可變電容元件1a的情形相比，相對於端子間電壓VT的電容值之變化曲線變成緩和的曲線。

此處，將第3圖(a)及(b)所示之MOS型可變電容元件1a

## 玖、發明說明

及1b的電容 $C_a$ 及 $C_b$ 之變化特性重疊描繪另外示於第4圖(a)。MOS型可變電容元件1a之電容 $C_T$ 係將MOS型可變電容元件1a及1b的電容 $C_a$ 及 $C_b$ 並列連接而成。因此，如第4圖(b)所示，相對於端子間電壓 $V_T$ 的電容變化特性，即為示於第4圖(a)之電容 $C_a$ 及 $C_b$ 的電容變化特性之合成結果。另外，將第4圖(b)中透過平帶電壓不同的2個區域(203a、203b)而獲得之示於第4圖(c)的電容 $C_{100}$ 、 $C_{200}$ 之變化特性(第17圖(a))予以合成，所獲得之依據習知技術的MOS型可變電容元件200之電容 $C_{T100}$ 的變化特性，亦在比較的目的下予以示出。

由於MOS型可變電容元件1b，其電容變化形成和緩的曲線，所以MOS型可變電容元件1之電容變化特性，除了相對於端子間電壓 $V_T$ 而有良好的線形性以外，而且相對於習知技術之MOS型可變電容元件200的電容變化特性，可以在廣範圍得到線形的特性。因此，亦可賦與VCO電路100性能上的改善。

再者，MOS型可變電容元件1之製造可以採用一般的半導體積體電路裝置之製造工程而容易地進行。因此，沒有因遮罩增加而招致成本上昇的情形。

第5圖至第10圖係從MOS型可變電容元件1的上方視之時的布局例。第5至第10圖中，源極層8和閘電極6被交互地配置在p型半導體基板2上。閘絕緣膜(未圖示)被配置於閘電極6的下方。而，在p型半導體基板2配置有和此等有別之接觸層11。第5圖至第10圖中n井3分別被任意地配置

## 玖、發明說明

。在第5圖中分成3個區域，配置成以閘電極6每隔一個即包含所規定之MOS型可變電容元件單元。第6圖中，係包含鄰接的3個MOS型可變電容元件單元而配置者。第7圖中，係包含MOS型可變電容元件單元的通道寬度方向之一部分而配置者。在第8圖中，係被配置於MOS型可變電容元件單元之通道寬度方向中的兩端部及中間部3個區域。在第9圖係面對鄰接的3個MOS型可變電容元件單元並包含通道寬度方向的一部分而配置。第10圖係將第6圖與第9圖的配置組合而成者。任一者均可表現如前所述之相對於端子間電壓VT的可變電容特性。另，有關n井3之配置並無不受限於此等態樣，而可以配置於適當的位置。

第11圖顯示應用本發明於MOS型可變電容元件21做為實施態樣2之一例。MOS型可變電容元件21係於p型半導體基板22中形成有n井23及p井25。於n井23及p井25形成有閘絕緣膜24，而於閘絕緣膜24上又形成有閘電極26。除了與閘絕緣膜24鄰接以外，在n井23、p井25，及跨過n井23和p井25的區域，在各個表面上形成有3個選擇性地擴散了高濃度之n型雜質的源極層28。且，和該源極層28隔離開而在p型半導體基板22的表面上，形成有選擇性地擴散了高濃度之p型雜質的接觸層31。閘電極26由端子32供給電壓。另，因MOS型可變電容元件21的動作及其作用，效果基本上與MOS型可變電容元件1相同，故此處省略其說明。

而，實施態樣3，如示於第12圖之MOS型可變電容元件41，在p型半導體基板中形成p井45，於p井45中形成n井

## 玖、發明說明

43亦可。

在p井45及n井43上形成有閘絕緣膜44，在閘絕緣膜44上則形成有閘電極46。除了與閘絕緣膜44鄰接以外，在p井45、n井43，及跨過p井45與n井43的區域，於各個表面上形成有3個選擇性地擴散了高濃度的n型雜質之源極層48。而且，和源極層48相隔，在p井45的表面形成有選擇性地擴散了高濃度的p型雜質之接觸層51。閘電極46由端子52供給電壓。源極層48由端子53，接觸層51由端子54供給電壓。此態樣亦可獲得與MOS型可變電容元件1基本上相同的重作及作用效果。

配合半導體積體電路裝置之製造工程，可以選擇MOS型可變電容元件1、21或41。而，在任一者中都可以如實施態樣1中所示，將n井配置在適當的位置。

以上，如果依據所詳細說明之實施態樣的MOS型可變電容元件，則在實施態樣1(第1圖)係將n井3形成於p型半導體基板2中。在實施態樣2(第11圖)係形成p井25和n井23。在實施態樣3(第12圖)則是將n井43形成於p井45中。在p型半導體基板2及n井3、p井25及n井23，或p井45及n井43的正上方形成閘絕緣膜4、24，在閘絕緣膜4、24上形成閘電極6、26。和閘絕緣膜4、24鄰接，在p型半導體基板2及n井3、p井25及n井23，或p井45及n井43的表面上，形成3個選擇性地擴散了高濃度之n型雜質之源極層8、28。藉外加控制電壓 $V_T$ 於源極層8、28與閘電極6、26之間的方式，可以相對於控制電壓 $V_T$ 在廣範圍獲得線形性良好的電容

## 玖、發明說明

特性。

亦即，構成了導電型互不相同之，以源極層8、28與後閘極，即p型半導體基板2、p井25所構成之一般的增強型MOS構造，和以互為相同的導電型之源極層8、28與後  
5 閘極，即n井23所構成之MOS構造二種相異的MOS構造。此等MOS構造可以被並列連接而構成MOS型可變電容元件。

在一般的增強型MOS構造中，閘絕緣膜4、24正下方之後閘極中的載波狀態會對應電極間之控制電壓 $V_T$ 而從反轉狀態向朝乏狀態進行變化。因應該變化，電極間之  
10 MOS電容器的電容會從單獨依閘絕緣膜4、24而定之電容，變化成因閘絕緣膜4、24與空乏層的串聯連接而形成的電容，電容值會減少。在此，電容值之減少除了因電容的串聯連接造成之減少以外，因空乏層變寬所造成之電容值本身的減少，故形成急峻的狀態。

15 相對於此，在源極層8、28和後閘極為相同的導電型之MOS構造中，閘絕緣膜4、24正下方之後閘極中的載波狀態係對應電極間之控制電壓 $V_T$ 而從蓄積狀態附近朝空乏狀態發生變化。電極間之MOS電容器的電容因應該變化，而在因閘絕緣膜4、24與空乏層之串聯連接而形成的電  
20 容中，對應空乏層之變寬而變化並且減少。電容值之減少因為僅依存於空乏層的變寬，故成為緩和的減少。

MOS型可變電容元件1、21、41係上述2種不同的MOS構造之並列連接，其電容值為兩者的合成容量值。除了發生電容變化的控制電壓值在各個MOS構造中互不相同乃一

## 玖、發明說明

般狀況外，將具有急峻的電容變化特性之構造，和具有緩和的電容變化特性之構造加以組合的結果，合成電容值變成在廣範圍相對於偏電壓具有線形特性。可以獲得容易調整電容之MOS型可變電容元件。

5           在依據習知技術的MOS型可變電容元件中，為了相對於控制電壓 $V_T$ 而在廣範圍獲得線形性良好之電容特性，設有平帶電壓不同的區域。然而，對於變更平帶電壓，電容變化僅起始控制電壓值偏移，特性曲線的形狀則無變化。因此，為了在廣範圍獲得線形性良好的電容特性，必需  
10 設有複數個平帶電壓相異的區域。為了設置複數個平帶電壓相異的區域，必需分別改變雜質濃度，製造程序變得複雜。伴隨著，除了必需額外增加遮罩外，曝光步驟、洗淨步驟等之製造程序增加，導致成本增大。

另一方面，在本實施態樣之MOS型可變電容元件1、  
15 21、41中，可以以一般的半導體積體電路裝置之製造程序，容易地製造相對於控制電壓 $V_T$ 在廣範圍中線形性良好之電容特性。因此，可以廉價地提供電容特性良好之MOS型可變電容元件。在MOS構造之半導體積體電路裝置中，利用通常所使用的製造程序即可以構成可變電容範圍不同的  
20 的2種MOS構造，並且可以在一般的製造程序中，而且是不額外增加製造步驟的情形下，實現相對於偏電壓之合成電容的可變電容範圍為廣範圍之MOS型可變電容元件1、21、41。也可以在不伴隨有額外的製造成本下，直接應用於過去以來所製造之半導體積體電路裝置中。

## 玖、發明說明

此處，源極層8、28的雜質濃度比起是相同導電型之第1或第2半導體層的，p型半導體基板2或n井3，p井25或n井23，p井45或n井43之雜質濃度，屬於高濃度。藉此，從源極層8、28可以容易地引出電極。

5 另，在p型半導體基板2及n井3，p井25及n井23，或者，p井45及n井43當中之至少任一者中，閘絕緣膜4、24的正下方區域，與主體區域中之雜質濃度為不同的雜質濃度。藉此，可以適當地調整對應控制電壓 $V_T$ 之電容變化特性。此處，利用對閘絕緣膜4、24的正下方區域選擇性地  
10 實施雜質之擴散的方式，可以獨立地調整雜質濃度。

對所有連接源極層8、28的端子13、33外加控制電容之控制電壓 $V_T$ 。可以在與連接所有的閘電極6、26之端子12、32之間構成MOS型可變電容元件1、21、41。藉此，可以使MOS型可變電容元件1、21、41之電容，成為特性  
15 互異之2個MOS型構造的合成電容。

再者，如第5至第10圖所示，有關以正下方有閘絕緣膜之間電極6和鄰接的源極層8所構成之MOS構造的布局，可以將源極層8的中間區域當做邊界而並列地配置2個不同的MOS構造。另，可以橫斷p型半導體基板2與n井3的邊界而配置閘電極6做為延長閘絕緣層。伴隨此，可以跨過p型  
20 半導體基板2與n井3的邊界而配置源極層8做為延長源極層或第2共有源極層。在MOS構造布局中，可以適當地切割區分2個不同的MOS構造。關於n井3之配置並不限於第5圖至第10圖的情形，而可以配置在適合的場所。此外，適當

## 玖、發明說明

地組合第5圖至第10圖的可能性自亦不待多言。

而，本發明並不限於前述實施態樣，在不脫離本發明之旨趣的範圍內，可以有各種改良、變形亦不待多言。在實施態樣中，雖將本發明應用於p型半導體基板上，但是當然也可以應用在n型半導體基板上。此時，只要將所有的井、源極層、接觸層做成和在本實施態樣所示之導電型相反的導電型即可。

另，也可以構成示於第13圖之實施態樣4的MOS型可變電容元件61。可以考慮應用SOI等之技術，將內面的半導體基板予以研磨的情形。在鄰接p型半導體層62及n型半導體層63上，形成有閘絕緣膜64，閘絕緣膜64上則形成有閘電極66。除和閘絕緣膜64鄰接之外在p型半導體層62、n型半導體層63各自的表面上形成有選擇性地擴散了高濃度之n型不純物的源極層68。在第13圖雖示出於p型半導體層62和n型半導體層63之各個區域形成有源極層68的情形，惟如實施態樣1至3所示，亦可以形成在跨過p型半導體層62和n型半導體層63的區域。源極層68由端子73供給電壓。而，由未圖示出之端子對p型半導體層62、n型半導體層63供給預定電壓的情況亦不待言。此情形亦可獲得和實施態樣1至3所示之MOS型可變電容元件基本上同等的動作及作用·效果。

產業上之利用可能性

依據本發明，除了可以相對於端子間電壓 $V_T$ ，在廣範圍獲得線形性良好的特性，VCO電路等之性能改善亦可

## 玖、發明說明

64… 閘絕緣膜	103… 線圈
66… 閘電極	104… 結點
68… 源極層	105… 結點
72… 端子	200… MOS型可變電容元件
73… 端子	204… 接觸層
100… VCO電路	205… 閘絕緣層
102… 可變電容元件	206… 閘電極

## 肆、中文發明摘要

本發明係在p型半導體基板(2)中形成n井(3)。在p型半導體基板(2)及n井(3)上形成閘絕緣膜(4)，再於閘絕緣膜(4)上形成閘電極(6)。在p型半導體基板(2)、n井(3)及跨過二者的區域之表面上形成有和閘絕緣膜(4)鄰接且選擇性地擴散有高濃度的n型雜質之源極層(8)。另，和該源極層(8)隔開地形成有選擇性地擴散了高濃度之p型雜質的接觸層(11)。透過在源極層(8)與閘電極(6)之間施加端子間電壓 $V_T$ 的方式，可以相對於端子間電壓 $V_T$ 在廣範圍內獲得線形性優良的電容特性。本發明可以提供一種MOS型可變電容元件，其不僅可以相對於端子間電壓 $V_T$ 在廣範圍內獲得線形性良好的特性，改善VCO電路等之性能，而且造構造簡單，又不需額外增加遮罩及步驟即可以製造。

## 伍、英文發明摘要

陸、(一)、本案指定代表圖為：第  1  圖

(二)、本代表圖之元件代表符號簡單說明：

- 1…MOS型可變電容元件
- 2…半導體基板
- 3…n井
- 4…閘絕緣膜
- 6…閘電極
- 8…源極層
- 11…接觸層
- 12…端子
- 13…端子
- 14…端子

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 拾、申請專利範圍

1. 一種MOS型可變電容元件，特徵在於其具備以第1導電型構成之至少一個第1半導體層，和
  - 鄰接於第1半導體層，以第2導電型所構成之至少一個第2半導體層，和
- 5            在前述第1及第2半導體層各自的正上方，配置成至少各一個的閘絕緣層，和
  - 配置在前述閘絕緣層上之閘極層，和
  - 鄰接前述閘絕緣層而配置之第1或第2導電型的源極層
- 10           並以前述閘極層和前述源極層做為電極。
2. 如申請專利範圍第1項記載之MOS型可變電容元件，特徵在於前述第1半導體層為半導體基板，前述第2半導體層則是從半導體基板的表面，沿深度方向上選擇性地形成者。
- 15           3. 如申請專利範圍第1項記載之MOS型可變電容元件，其具備半導體基板，且特徵在於
  - 前述第1半導體層係從半導體基板的表面沿深度方向選擇性地被形成，
  - 前述第2半導體層係從前述第1半導體層的表面沿
- 20           深度方向，在前述第1半導體內選擇性地被形成。
4. 如申請專利範圍第1項記載之MOS型可變電容元件，其具備半導體基板，且特徵在於
  - 前述第1及第2半導體層係從前述半導體基板的表面沿深度方向選擇性地被形成。

## 拾、申請專利範圍

5. 如申請專利範圍第1項至第4項之至少任一項記載的MOS型可變電容元件，特徵在於前述源極層之雜質濃度比相同導電型之第1或第2半導體層之雜質濃度為高。
6. 如申請專利範圍第1項至第4項之至少任一項記載的MOS型可變電容元件，特徵為至少在前述第1及第2半導體層中之任一者的前述閘絕緣層之正下方區域，與前述第1及第2半導體層之主體區域中的雜質濃度係為不同的雜質濃度。
7. 如申請專利範圍第1項至第4項之至少任一項記載的MOS型可變電容元件，特徵在於，源極層中包含相互鄰接，且被配置在前述第1半導體層內之前述閘絕緣層與前述第2半導體層內之前述閘絕緣層之間的第1共有源極層，
- 前述第1共有源極層係跨過前述第1及第2半導體層而配置。
8. 如申請專利範圍第1項至第4項之至少任一項記載的MOS型可變電容元件，特徵在於前述閘絕緣層中包含越過前述第1半導體層與第2半導體層的邊界而配置之延長閘絕緣層，
- 在與前述延長閘絕緣層鄰接之前述源極層中包含越過前述第1半導體層與第2半導體層的邊界而配置之延長源極層，或者，越過橫跨前述第1及第2半導體層的區域而被配置在前述第1或第2半導體層之第2共有源極層。

## 拾、申請專利範圍

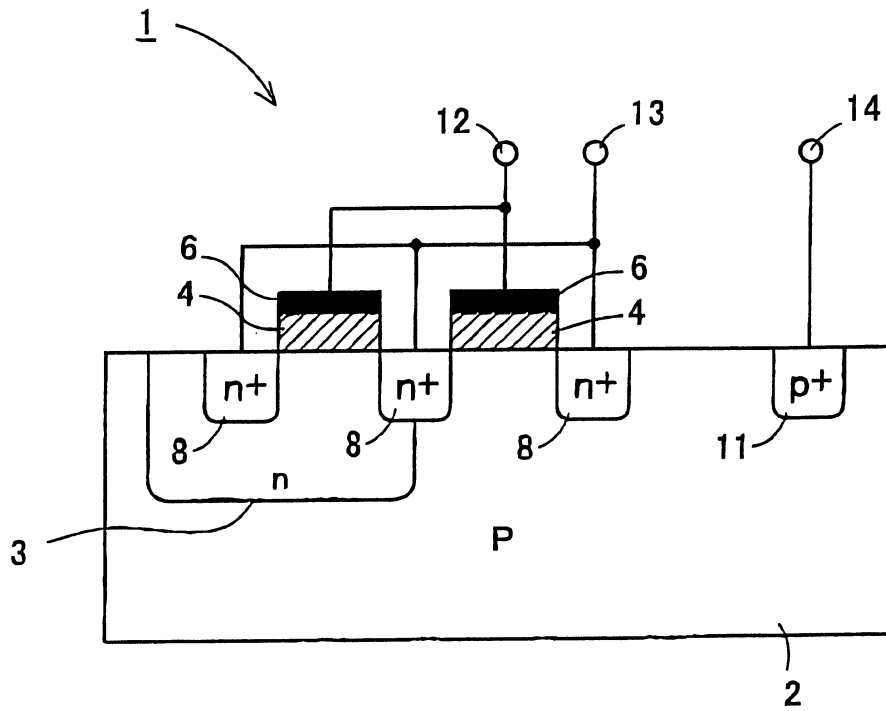
9. 一種MOS型可變電容元件，特徵在於其係由第1 MOS型可變電容元件，和

比前述第1 MOS型可變電容元件，其相對於端子間電壓之電容變化區域的線形性更為廣範圍之第2

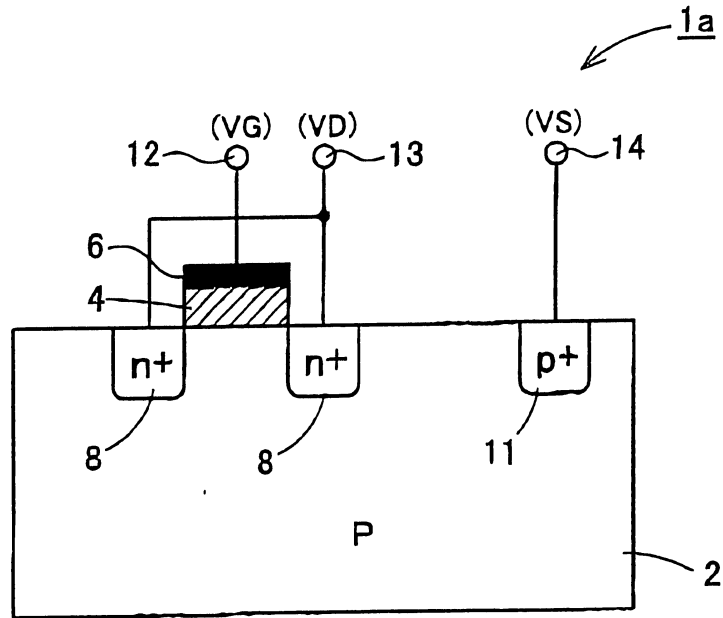
5 MOS型可變電容元件的合成電容所構成。

10. 如申請專利範圍第9項記載之MOS型可變電容元件，特徵在於前述第2 MOS型可變電容元件具備源極層及汲極層，和由同一導電型的半導體層所構成之後閘極層。

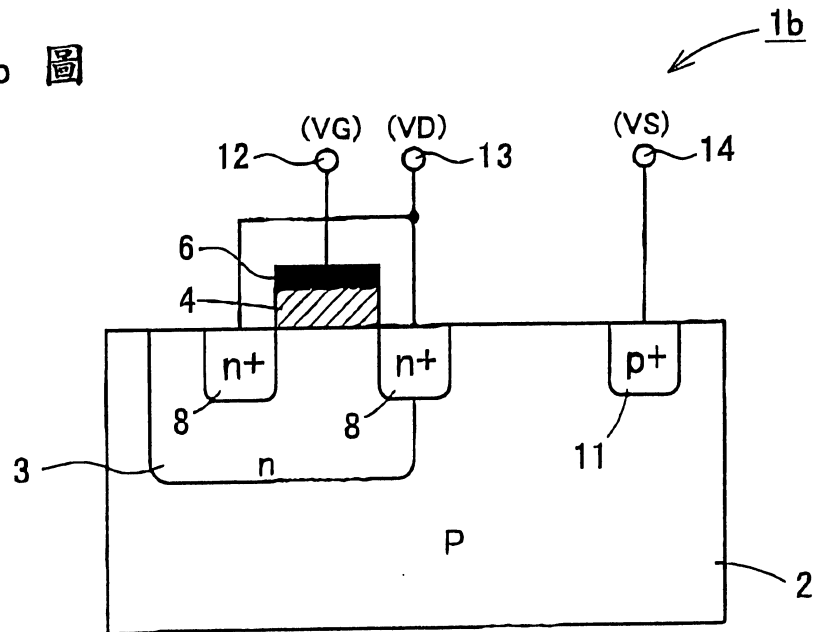
第 1 圖



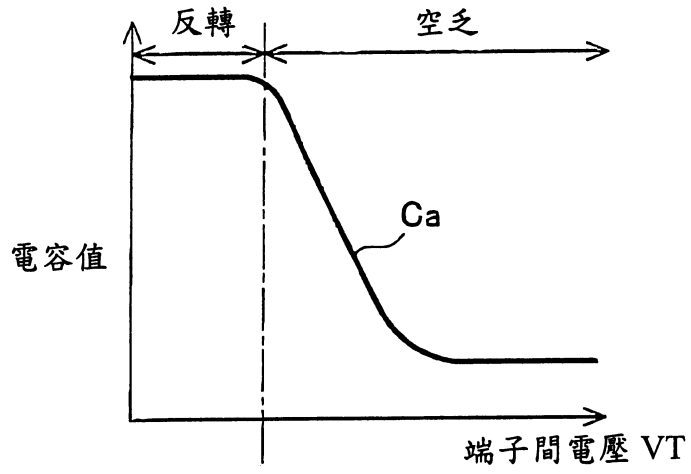
第 2a 圖



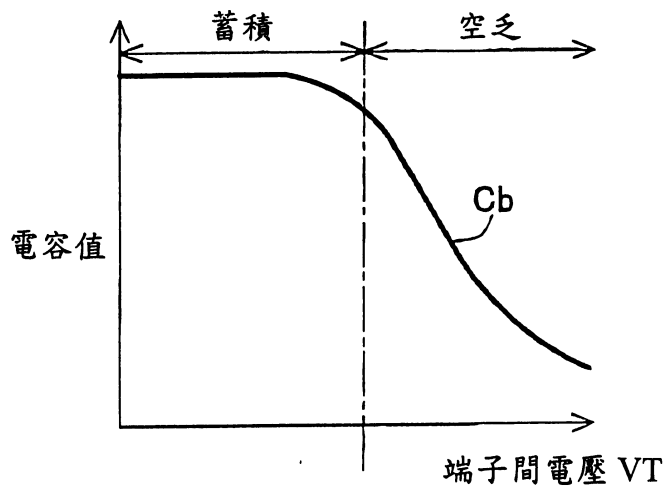
第 2b 圖



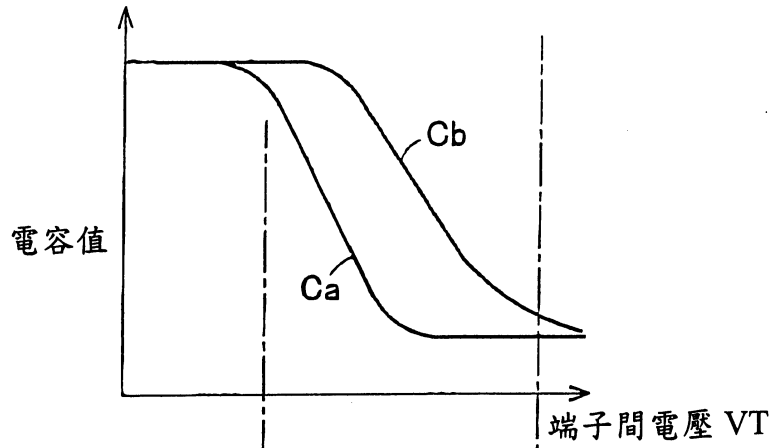
第 3a 圖



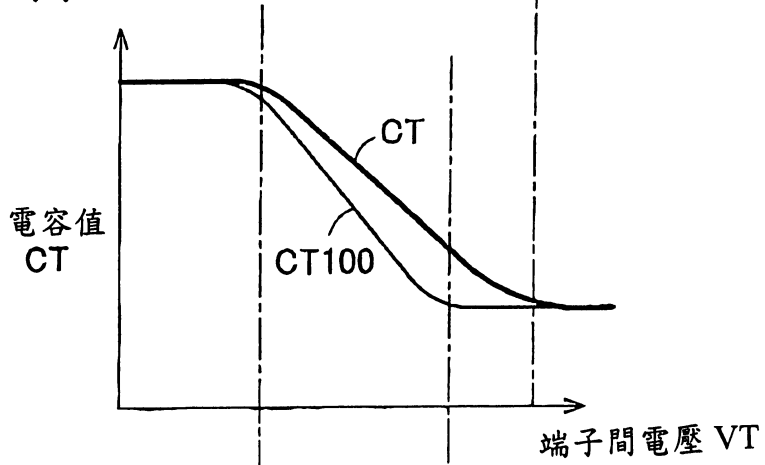
第 3b 圖



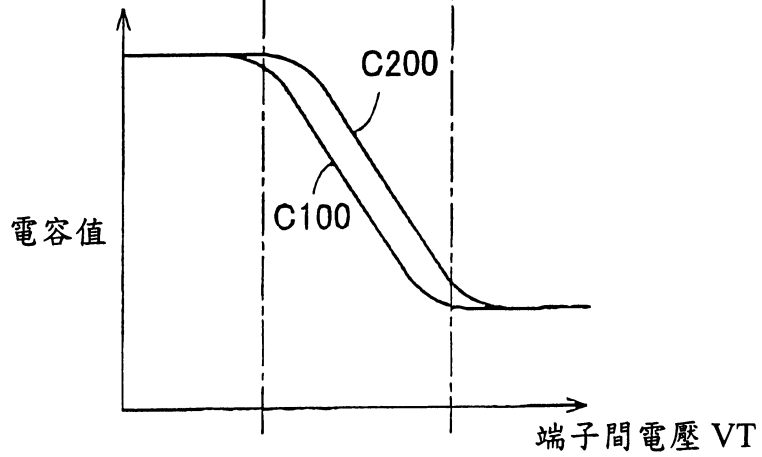
第 4a 圖



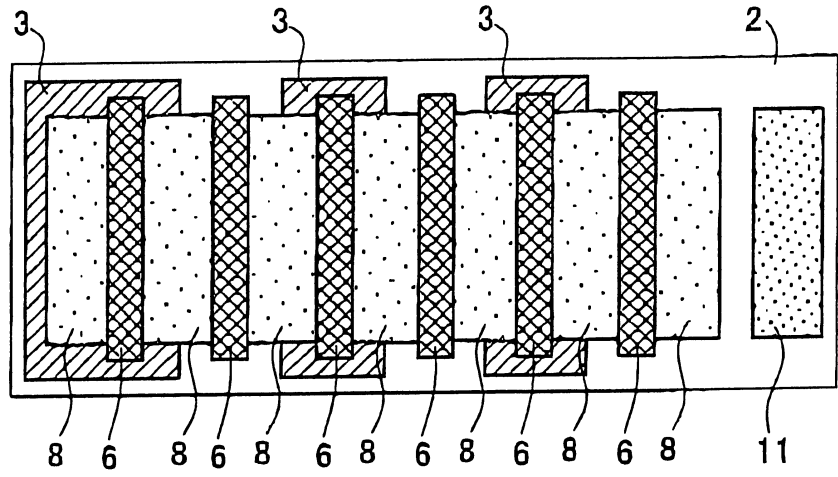
第 4b 圖



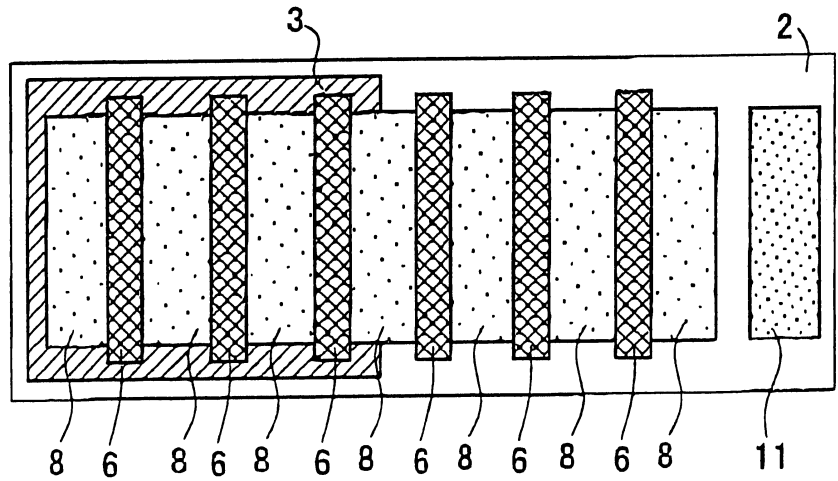
第 4c 圖



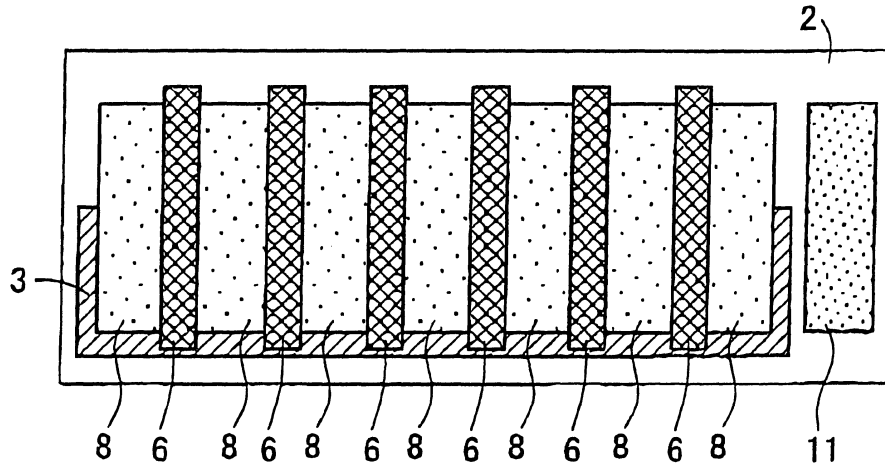
第 5 圖



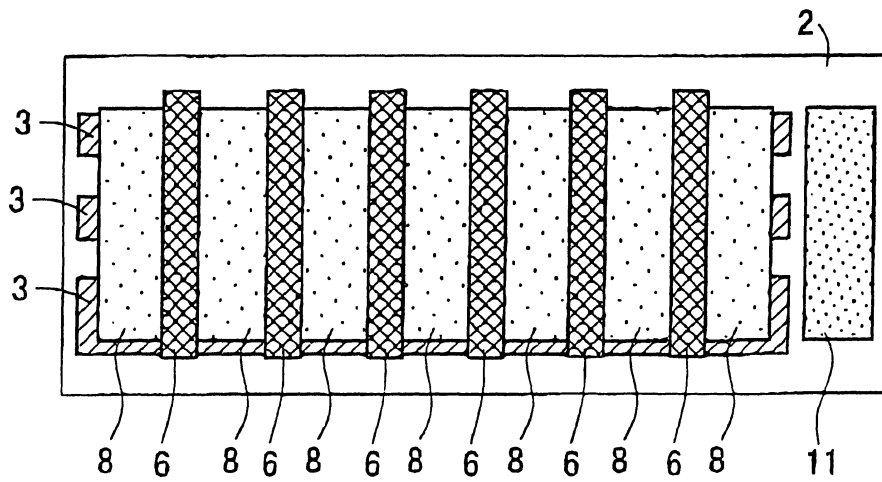
第 6 圖



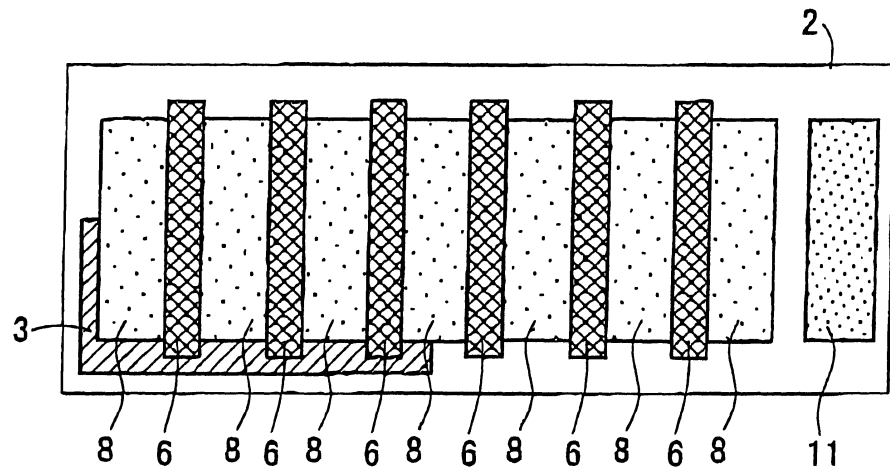
第 7 圖



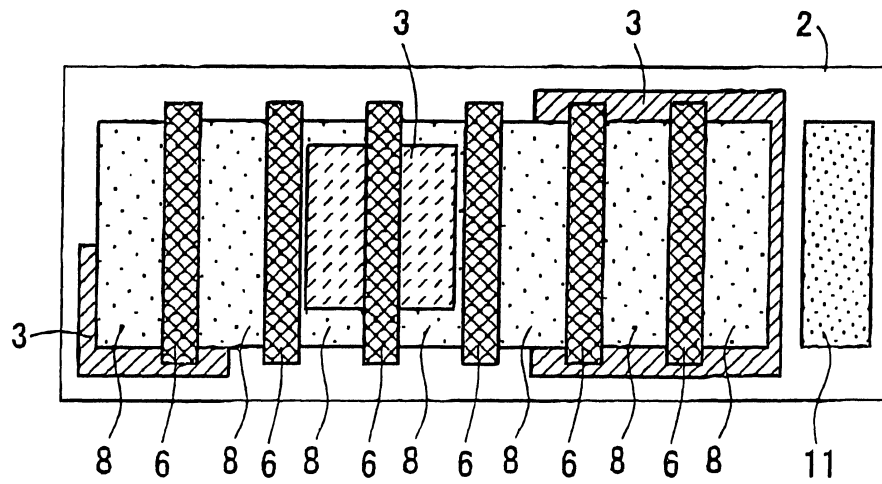
第 8 圖



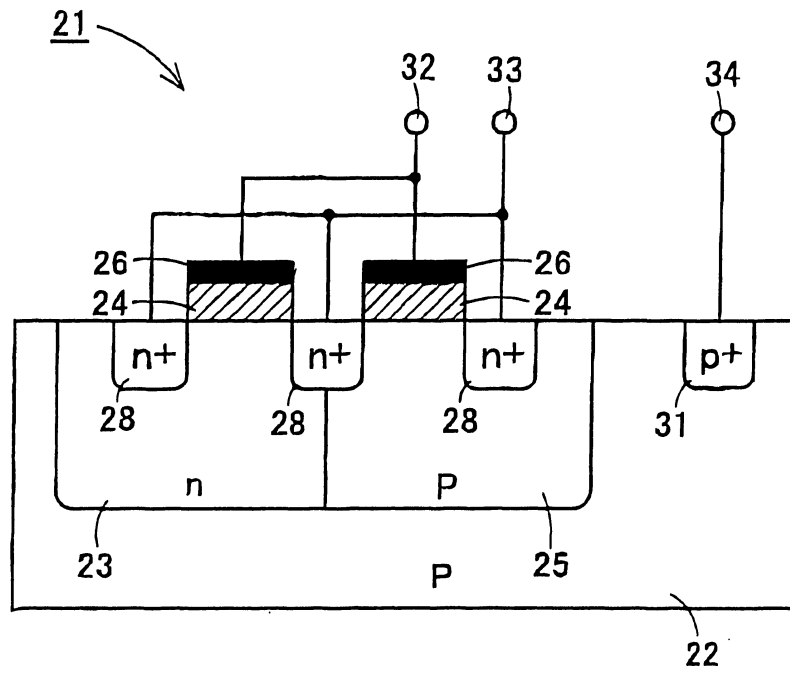
第 9 圖



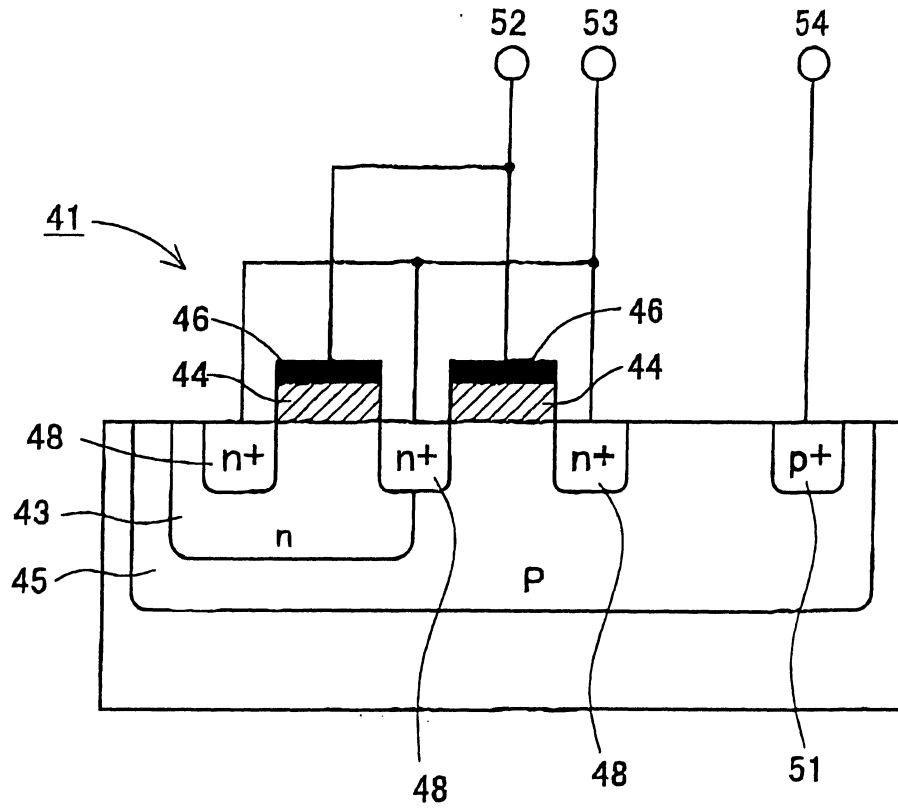
第 10 圖



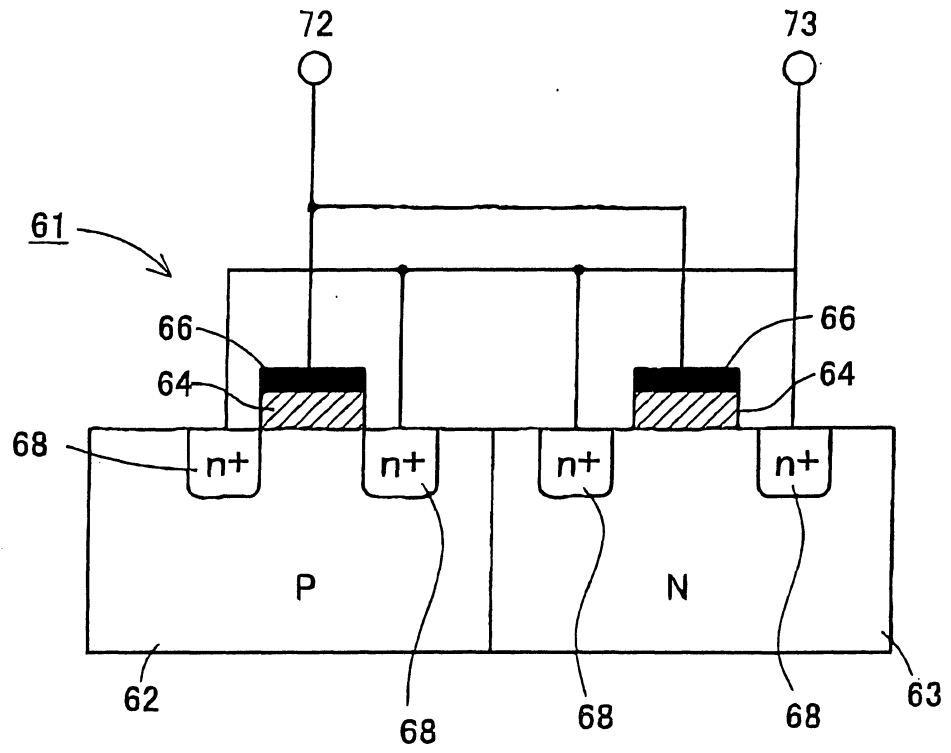
第 11 圖



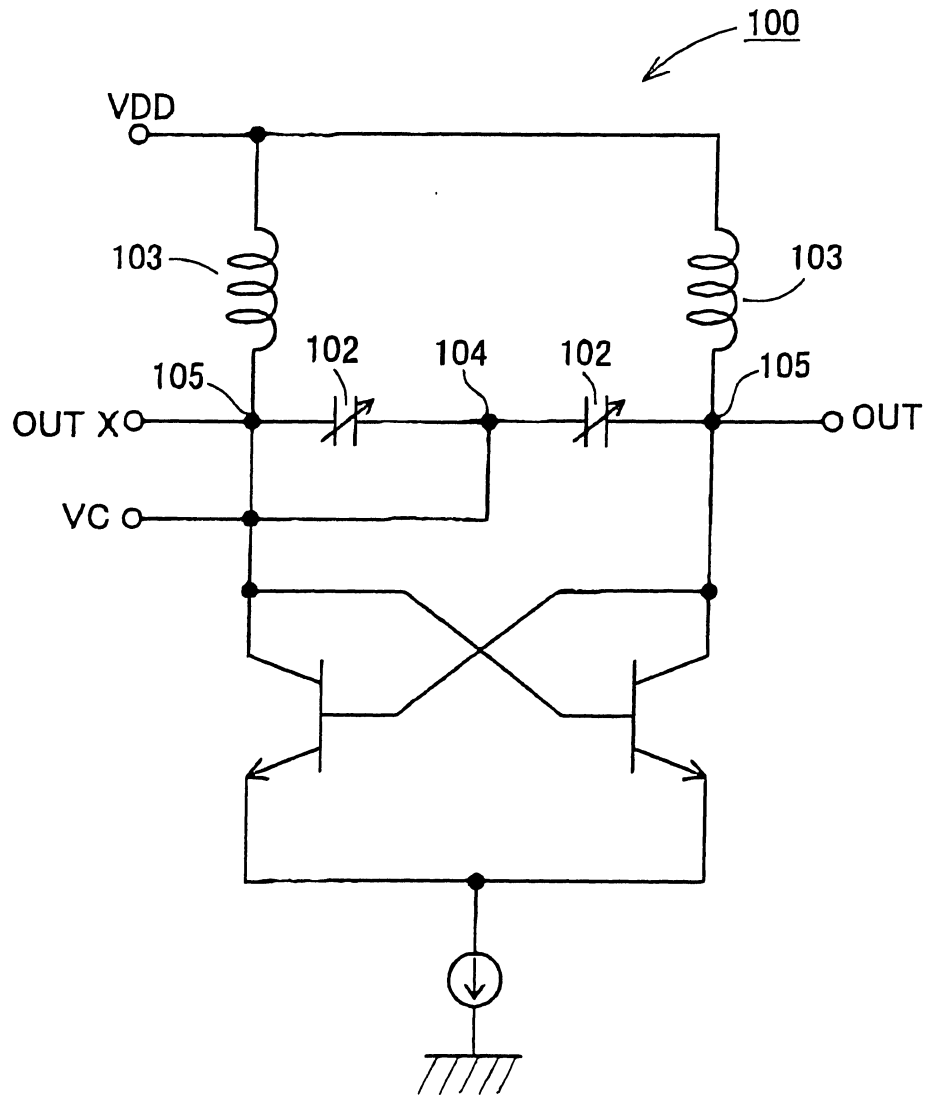
第 12 圖



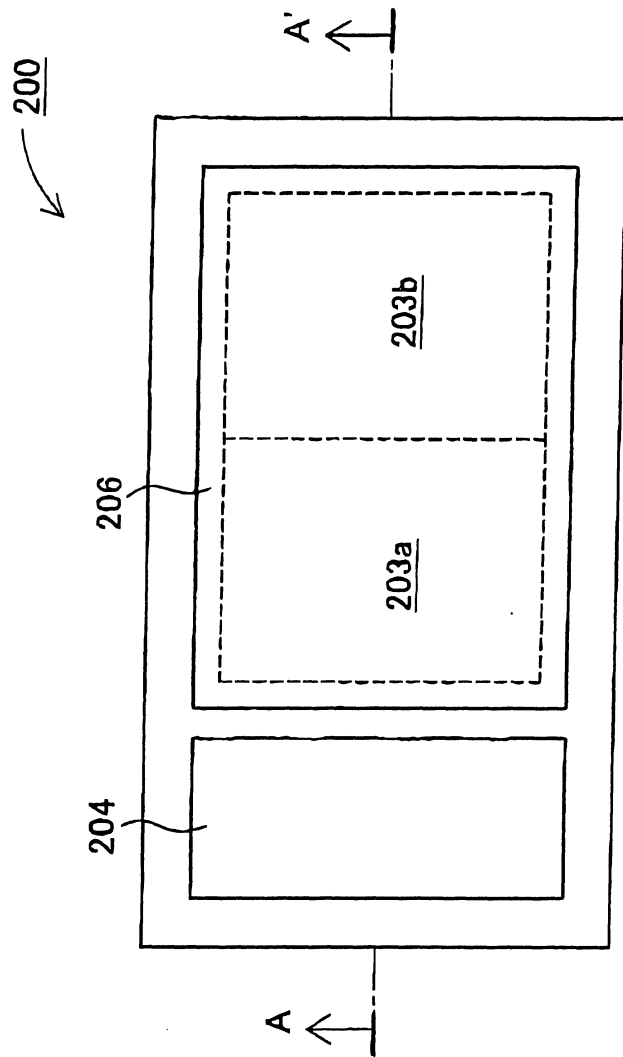
第 13 圖



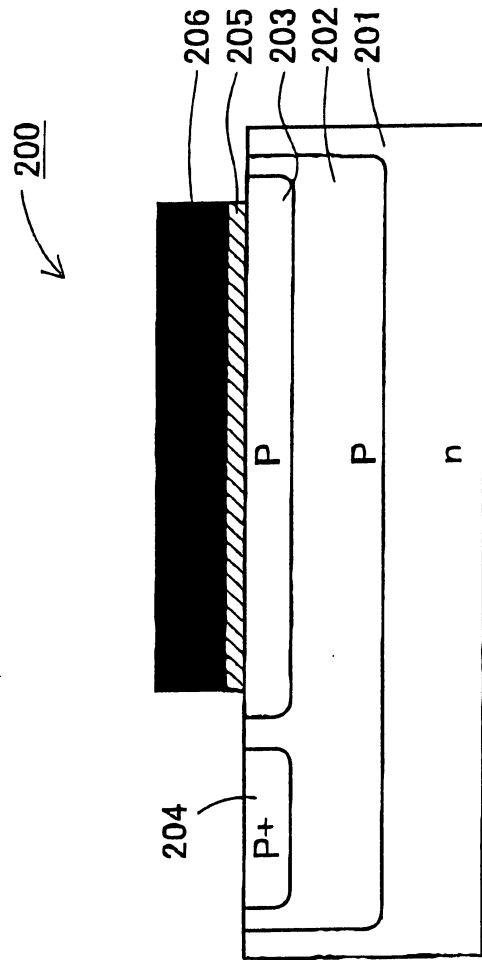
第 14 圖



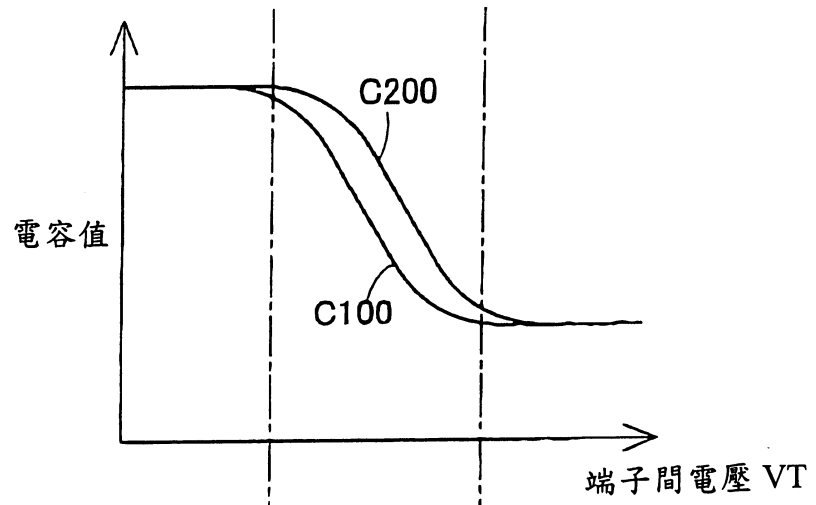
第 15 圖



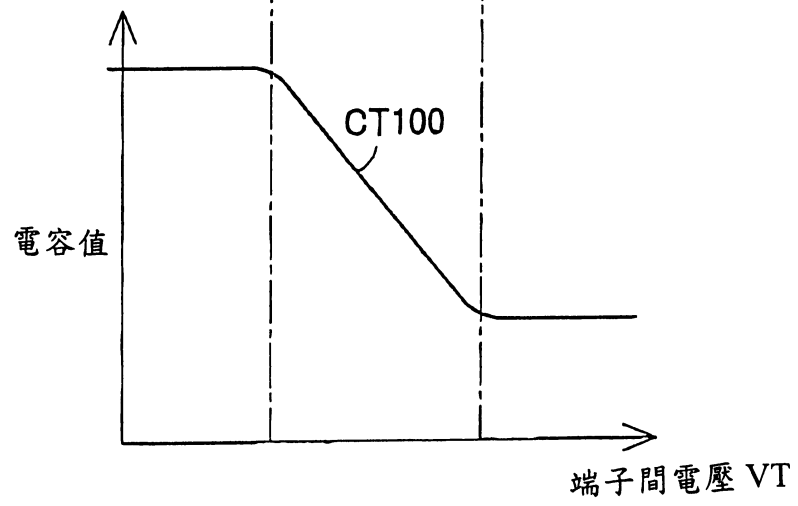
第 16 圖

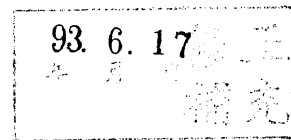


第 17a 圖



第 17b 圖





## 玖、發明說明

第1圖為實施態樣1之MOS型可變電容元件的斷面圖。

第2(a)、(b)圖係將實施態樣1之MOS型可變電容元件分成2個時之斷面圖。

第3(a)、(b)圖為MOS型可變電容元件1a及1b的特性示意圖。

5 第4(a)~(c)圖為實施態樣1之MOS型可變電容元件的特性示意圖。

第5圖為實施態樣1之MOS型可變電容元件的布局例1示意圖。

10 第6圖為實施態樣1之MOS型可變電容元件的布局例2示意圖。

第7圖為實施態樣1之MOS型可變電容元件的布局例3示意圖。

第8圖為實施態樣1之MOS型可變電容元件的布局例4示意圖。

15 第9圖為實施態樣1之MOS型可變電容元件的布局例5示意圖。

第10圖為實施態樣1之MOS型可變電容元件的布局例6示意圖。

第11圖為實施態樣2之MOS型可變電容元件的斷面圖。

20 第12圖為實施態樣3之MOS型可變電容元件的斷面圖。

第13圖為實施態樣4之MOS型可變電容元件的斷面圖。

第14圖為示意VCO電路之一例的電路圖。

第15圖為專利文獻1之MOS型可變電容元件的平面圖。

第16圖為第15圖中之A-A'的斷面圖。

93. 6. 17  
年 月 日  
修正  
補充

## 玖、發明說明

第17(a)、(b)圖為專利文獻1之MOS型可變電容元件的特性示意圖。

### 【實施方式】

較佳實施例之詳細說明

5 以下係同時參照第1圖至第12圖，就本發明之具體化實施態樣做詳細說明。

第1圖中所示係將本發明應用於MOS型可變電容元件1以做為實施態樣1之一例。MOS型可變電容元件1係於p型之矽半導體基板2中形成有n井3。在p型半導體基板2及n井3之上形成有閘絕緣膜4，而閘絕緣膜4之上則形成有閘電極6。與閘絕緣膜4鄰接，同時在p型半導體基板2、n井3、及跨過p型半導體基板2與n井3的區域之上，於各自的表面形成有3個選擇性地擴散了高濃度之n型雜質的源極層8。另，和源極層8隔開又在p型半導體基板2的表面形成有選擇性地擴散了高濃度之p型雜質的接觸層11。閘電極6由端子12供給電壓。源極層8由端子13，接觸層11由端子14供給電壓。

將MOS型可變電容元件1當做VCO電路100內之可變電容元件102使用時，源極層8之端子，即端子13被連接到結點104。而，閘電極6之端子，即端子12被連接到結點105。當以結點105做為基準電壓時，端子間電壓 $V_T$ 即為從結點105到結點104的電壓差。而，端子14被連接於接地電壓。

此處，有關MOS型可變電容元件1的動作係如第2圖所示地，要分成2個部分來做說明。第2圖(a)為MOS型可變電

93. 6. 17	修正
年 月 日	補充

## 玖、發明說明

對應獲得之外，同時可以提供構造簡單，而且可以在一般的半導體電路裝置之製造程序中，不需要額外增加遮罩及步驟之下即容易地製成之MOS型可變電容元件。

### 【圖式簡單說明】

5 第1圖為實施態樣1之MOS型可變電容元件的斷面圖。

第2(a)、(b)圖係將實施態樣1之MOS型可變電容元件分成2個時之斷面圖。

第3(a)、(b)圖為MOS型可變電容元件1a及1b的特性示意圖。

10 第4(a)~(c)圖圖為實施態樣1之MOS型可變電容元件的特性示意圖。

第5圖為實施態樣1之MOS型可變電容元件的布局例1示意圖。

第6圖為實施態樣1之MOS型可變電容元件的布局例2示意圖。

15 第7圖為實施態樣1之MOS型可變電容元件的布局例3示意圖。

第8圖為實施態樣1之MOS型可變電容元件的布局例4示意圖。

20 第9圖為實施態樣1之MOS型可變電容元件的布局例5示意圖。

第10圖為實施態樣1之MOS型可變電容元件的布局例6示意圖。

第11圖為實施態樣2之MOS型可變電容元件的斷面圖。

第12圖為實施態樣3之MOS型可變電容元件的斷面圖。

93. 6. 17  
年 月 日  
補充

## 玖、發明說明

第13圖為實施態樣4之MOS型可變電容元件的斷面圖。

第14圖為示意VCO電路之一例的電路圖。

第15圖為專利文獻1之MOS型可變電容元件的平面圖。

第16圖為第15圖中之A-A'的斷面圖。

- 5 第17(a)、(b)圖為專利文獻1之MOS型可變電容元件的特性示意圖。

### 【圖式之主要元件代表符號表】

1...MOS型可變電容元件	31...接觸層
2...半導體基板	32...端子
3...n井	33...端子
4...閘絕緣膜	34...端子
6...閘電極	41...MOS型可變電容元件
8...源極層	43...n井
11...接觸層	44...閘絕緣膜
12...端子	45...p井
13...端子	46...閘電極
14...端子	48...源極層
21...MOS型可變電容元件	51...接觸層
22...半導體基板	52...端子
23...n井	53...端子
24...閘絕緣膜	54...端子
25...p井	61...MOS型可變電容元件
26...閘電極	62...p型半導體層
28...源極層	63...n型半導體層