



(12) 发明专利申请

(10) 申请公布号 CN 104246892 A

(43) 申请公布日 2014. 12. 24

(21) 申请号 201280072828. 7

(51) Int. Cl.

(22) 申请日 2012. 07. 10

G11C 11/413 (2006. 01)

(85) PCT国际申请进入国家阶段日

2014. 10. 31

(86) PCT国际申请的申请数据

PCT/US2012/046018 2012. 07. 10

(87) PCT国际申请的公布数据

W02014/011149 EN 2014. 01. 16

(71) 申请人 惠普发展公司, 有限责任合伙企业

地址 美国德克萨斯州

(72) 发明人 F. A. 佩尔纳

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 张凌苗 徐红燕

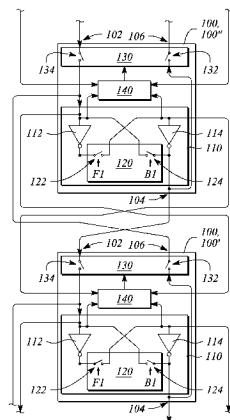
权利要求书3页 说明书16页 附图10页

(54) 发明名称

列表排序静态随机存取存储器

(57) 摘要

列表排序静态随机存取存储器(LSSRAM)组件单元包括:静态随机存取存储器(SRAM)单元,其具有一对交叉耦合元件,以存储数据;以及动态/静态(D/S)模式选择器,其在动态存储模式和静态存储模式之间可选择性地切换LSSRAM组件单元。LSSRAM组件单元还包括:交换选择器,其当交换选择器被激活时在动态存储模式期间交换所存储的数据与在相邻存储器单元中存储的数据;以及数据比较器,其比较在SRAM单元中的所存储的数据与存储在相邻存储器单元中的数据,并根据比较的结果来激活交换选择器。



1. 一种列表排序随机存取存储器(LSSRAM)组件单元,包括:

静态随机存取存储器(SRAM)单元,其具有一对交叉耦合元件,以存储数据;

动态/静态(D/S)模式选择器,其在动态存储模式和静态存储模式之间可选择性地切换所述LSSRAM组件单元;

交换选择器,其当所述交换选择器被激活时在所述动态存储模式期间交换所存储的数据与在相邻存储器单元中存储的数据;以及

数据比较器,其比较在所述SRAM单元中的所存储的数据与存储在所述相邻存储器单元中的数据,并根据所述比较的结果来激活所述交换选择器。

2. 如权利要求1所述的LSSRAM组件单元,其中所述交叉耦合元件包括交叉耦合到第二逆变器的第一逆变器,且其中所述D/S模式选择器包括连接在所述第一逆变器的输出和所述第二逆变器的输入之间的第一晶体管开关,和连接在所述第二逆变器的输出和所述第一逆变器的输入之间的第二晶体管开关,所述动态存储模式由所述第一晶体管开关和所述第二晶体管开关二者的断开状态来提供,以使交叉耦合的第一和第二逆变器解耦合。

3. 如权利要求1所述的LSSRAM组件单元,其中所述SRAM单元是六晶体管(6T)SRAM单元。

4. 如权利要求1所述的LSSRAM组件单元,其中所述交换选择器包括:

第一开关,其当所述第一开关在接通状态中时将所述SRAM单元的输出可选择性地连接到所述相邻存储器单元的输入;以及

第二开关,其当所述第二开关在接通状态中时将所述相邻存储器单元的输出可选择性地连接到所述SRAM单元的输入,

其中所述交换选择器的激活表示所述第一开关和所述第二开关在接通状态中,且其中分别存储在所述LSSRAM组件单元和所述相邻存储器单元中的数据通过所述交换选择器借助于所述第一开关和所述第二开关被传送。

5. 如权利要求1所述的LSSRAM组件单元,其中当所述SRAM单元存储的数据大于所述相邻存储器单元存储的数据时,所述数据比较器激活所述交换选择器。

6. 如权利要求1所述的LSSRAM组件单元,其中所述数据比较器包括:

第一多个开关,其连接到比较/交换(CS)线以当所述第一多个开关在接通状态中时向所述CS线提供有效逻辑电平;以及

第二多个开关,其连接到所述CS线以当所述第二多个开关在接通状态中时向所述CS线提供无效逻辑电平,

其中所述CS线连接到所述交换选择器,在所述CS线上的有效逻辑电平用于激活所述交换选择器。

7. 一种包括布置在行和列中的多个权利要求1所述的LSSRAM组件单元的列表排序静态随机存取存储器(LSSRAM),在每列中的LSSRAM组件单元连接到彼此以在相应列的LSSRAM组件单元中的相邻LSSRAM组件单元之间交换数据,其中每行的LSSRAM组件单元的相应数据比较器使用相应的LSSRAM交换选择器协作地控制在相邻行的LSSRAM组件单元之间的数据的交换。

8. 一种列表排序静态随机存取存储器(LSSRAM),包括:

多个LSSRAM组件单元,其布置在行的阵列中以存储数据字,所述多个LSSRAM组件单元

中的每个包括动态 / 静态(D/S) 存储器单元和交换选择器, 所述交换选择器在被激活时在第一行 LSSRAM 组件单元和相邻于所述第一行的第二行 LSSRAM 组件单元之间交换数据字 ; 以及

数据比较器, 其比较在所述第一行和所述第二行中的数据字并在所述比较指示交换要被执行时激活所述交换选择器,

其中当所述第一行的数据字大于所述第二行的数据字时, 所述比较指示交换要被执行。

9. 如权利要求 8 所述的 LSSRAM, 其中所述 LSSRAM 通过在所述阵列的所述行的列中的数据字的连续交换来当所述第一行在所述第二行之上时提供所述数据字的降序列表排序, 和当所述第一行在所述第二行之下时提供所述数据字的升序列表排序。

10. 如权利要求 8 所述的 LSSRAM, 其中所述 LSSRAM 组件单元的所述 D/S 存储器单元包括 :

静态随机存取存储器(SRAM) 单元, 其具有一对交叉耦合元件, 以存储数据 ; 以及

动态 / 静态(D/S) 模式选择器, 其在动态存储模式和静态存储模式之间可选择性地切换所述 LSSRAM 组件单元, 所述 D/S 模式选择器包括使所述一对交叉耦合元件可选择性地耦合和解耦合的开关。

11. 如权利要求 8 所述的 LSSRAM, 其中所述交换选择器包括 :

第一开关, 其当所述第一开关在接通状态中时将所述 D/S 存储器单元的输出可选择性地连接到相邻存储器单元的输入 ; 以及

第二开关, 其当所述第二开关在接通状态中时将所述相邻存储器单元的输出可选择性地连接到所述 D/S 存储器单元的输入,

其中所述交换选择器的激活通过闭合所述第一开关和所述第二开关以提供接通状态来交换所存储的数据。

12. 一种使用列表排序静态随机存取存储器(LSSRAM) 来执行列表排序的方法, 所述方法包括 :

比较一对数据字以确定是否执行所述一对数据字的交换, 所述一对数据字存储在布置在所述 LSSRAM 中的两行中的一对动态 / 静态(D/S) 存储器单元中, 每个 D/S 存储器单元包括动态 / 静态(D/S) 模式选择器以在动态存储模式和静态存储模式之间切换所述 D/S 存储器单元 ; 以及

当比较数据字对确定交换要被执行时交换所述一对数据字, 其中交换由交换选择器执行以在所述两行的所述一对 D/S 存储器单元之间交换所存储的一对数据字。

13. 如权利要求 12 所述的执行列表排序的方法, 其中交换所存储的数据字包括 :

通过使用 D/S 存储器单元对的相应 D/S 模式选择器使 D/S 存储器单元对的交叉耦合元件解耦合, 来将所述两行中的所述一对 D/S 存储器单元从所述静态存储模式切换到所述动态存储模式 ;

激活在所述两行中的所述一对 D/S 存储器单元之间的所述交换选择器 ;

通过所激活的交换选择器将数据从在所述两行的第一行中的 D/S 存储器单元对的第一单元的输出耦合到第二行中的 D/S 存储器单元对的第二单元的输入, 并从第二 D/S 存储器单元的输出耦合到第一 D/S 存储器单元的输入, 以交换所述一对数据字 ; 以及

通过使用所述 D/S 模式选择器将所述一对 D/S 存储器单元切换回到所述静态存储模式来存储所耦合的数据。

14. 如权利要求 12 所述的执行列表排序的方法, 其中每个 D/S 存储器单元还包括具有交叉耦合元件的静态随机存取存储器(SRAM)单元, 以在静态存储器模式中存储所述数据字的数据。

15. 如权利要求 12 所述的执行列表排序的方法, 其中比较一对数据字包括: 当且仅当在所述对中的数据字的测试比特的比较指示交换且没有比所述测试比特更高有效的任何比特使交换指示无效时才确定交换要被执行。

列表排序静态随机存取存储器

[0001] 相关申请的交叉引用

N/A。

[0002] 关于联邦政府资助的研究或发展的声明

N/A。

背景技术

[0003] 现代计算机和有关处理系统一般包括处理器和某种形式的存储器。处理器通常负责执行计算机的各种计算任务，而存储器存储在计算任务中使用的并由计算任务产生的数据。由处理器进行的处理和由存储器进行的数据存储的架构划分在这样的系统的几乎整个历史期间已证明是成功的。

[0004] 例如，一般通用计算机通常包括通过一个或多个通信信道（例如数据、命令和地址总线）彼此通信的中央处理（CPU）和主存储器。一般，CPU 提供设施来执行各种算术和逻辑运算，提供操作排序并另外控制通用计算机的各方面。例如，实质上，所有 CPU 提供用于从存储器读取数据、将数据写到存储器并执行包括一组指令的程序的功能或操作，这组指令利用数据来执行预定定义的任务。此外，CPU 可操纵允许与外围设备以及在通用计算机之外的子系统的通信的输入 / 输出。在一些例子中，CPU 可甚至提供图形处理以操纵图形显示器（例如监视器）的产生和更新。

[0005] 相对地，可包括静态随机存取存储器（SRAM）、动态随机存取存储器（DRAM）、只读存储器（ROM）、可编程 ROM（PROM）、闪存和各种其它存储器类型中的一个或多个的现代计算机的主存储器一般提供相对窄的一组能力。在这些能力当中的原理是存储由 CPU 执行并使用的计算机程序和数据。在可在现代计算机的主存储器中找到的或常常与现代计算机的主存储器相关的其它有限的能力当中是某些存储器管理功能。例如，主存储器的 DRAM 存储器子系统可拥有用于自动刷新存储在其中的数据的电路。

附图说明

[0006] 根据本文描述的原理的例子的各种特征可参考结合附图进行的下面的详细描述被更容易理解，其中相似的附图标记表示相似的结构元件，且其中：

图 1A-1B 示出根据与本文描述的原理一致的例子的数据字的列表。

[0007] 图 2 示出根据与本文描述的原理一致的例子的列表排序静态随机存取存储器（LSSRAM, list sort static random access memory）组件单元的方框图。

[0008] 图 3A-3F 示出根据与本文描述的原理一致的例子的、描绘在数据交换期间一对 LSSRAM 组件单元的开关状态的序列和在一对 LSSRAM 组件单元之间的互连的方框图。

[0009] 图 4 示出根据与本文描述的原理一致的例子的数据比较器的方框图。

[0010] 图 5A 示出根据与本文描述的原理一致的例子的 LSSRAM 组件单元的一部分的示意图。

[0011] 图 5B 示出根据与本文描述的原理一致的另一例子的 LSSRAM 组件单元的一部分的

示意图。

[0012] 图 6 示出根据与本文描述的原理一致的例子的列表排序随机存取存储器 (LSSRAM) 的方框图。

[0013] 图 7 示出根据与本文描述的原理一致的例子的使用列表排序随机存取存储器 (LSSRAM) 执行列表排序的方法的流程图。

[0014] 某些例子具有附加于和代替在上面提到的附图中示出的特征这两种情况之一的其它特征。参考上面提到的附图在下面详述这些和其它特征。

具体实施方式

[0015] 根据本文描述的原理的例子提供具有内置数据排序能力的存储器。特别地，作为“数据字”存储在存储器的选定行中的数据的连续子集或列表由存储器本身排序以实现内置数据排序能力。因此，本文描述的存储器可被称为“列表排序”存储器，因为它对所存储的数据字的列表排序。此外，根据各种例子，列表排序存储器可使用静态随机存取存储器 (SRAM)，且因此可被称为列表排序 SRAM (LSSRAM)。

[0016] 在各种例子中，通过交换在列表内的数据字直到列表被排序为止来实现列表排序。根据各种例子，已排序列表可将数据字组织成上升(即，非降低)或下降(即，非增加)顺序。根据本文描述的原理的例子在计算机系统和有关数据处理系统中有应用。特别地，本文描述的例子提供可能对各种各样的数据处理系统和由这样的系统执行的数据处理任务有用的 LSSRAM。

[0017] 根据各种例子，被组织为一组数据字的所有存储的数据的列表可在完全在 LSSRAM 内的存储器内被排序(例如，以升序或降序)。特别地，列表排序完全发生在 LSSRAM 内(例如在实现 LSSRAM 的存储器芯片或芯片组内)，且排序通常在基本上不使用在 LSSRAM 之外的资源(例如处理器)的情况下实现。特别地，根据各种例子，可使用包括构成 LSSRAM 的存储器单元的电路(例如排序电路)的排序逻辑来实现数据字的列表的排序。此外，根据各种例子，排序不涉及在处理器和存储器之间移动数据(例如数据字)。

[0018] 根据一些例子，与不使用 LSSRAM 的情况下通常可能的情况相比，对数据排序以在 LSSRAM 中产生数据字的已排序列表可以在更少的时间内且在一些例子中在明显更少的时间内实现。事实上，根据一些例子，可使用 LSSRAM 在基本上恒定的时间(例如固定数量的时钟周期)中实现排序。例如，根据一些例子，可在 LSSRAM 的一定数量的“时钟周期”中实现排序，该数量与已排序列表的数据字中的比特的数量成比例。

[0019] 相对地，例如，依赖于处理器来执行排序的常规存储器通常需要与被排序的数据的量成比例的时间量。例如，对常规存储器中的数据移位一般涉及处理器读取待排序的数据以及接着在另一位置将数据写回到存储器。例如，由于常规存储器的结构和功能，读和写可在逐字基础上由处理器执行。例如，因为在被排序的数据中的每个数据片(例如数据字)首先由处理器从常规存储器读取并接着写回到常规存储器，所以对数据排序的时间通常与被排序的数据的量或长度(例如，数据字的数量)成比例。数据量越大，排序操作将花费的时间越长。

[0020] 而且，在对数据排序时，常规存储器依赖于在常规存储器外部的资源(例如处理器)来执行读和写。因为执行排序的资源在常规存储器外部，所以在逐字排序中涉及的每个

数据字必须通过某种形式的数据总线或类似的通信信道经过外部资源和常规存储器之间。数据总线或类似的通信信道可实质上限制读和写操作的速度,且作为结果限制排序的总速度。因此,由于数据总线速度的影响和使用常规存储器执行排序的比例时间方面这两项中的一个或两个,对数据字的大子集排序可能从处理时间方面来说变得过分昂贵。

[0021] 根据本文描述的原理, LSSRAM 具有内置排序能力,例如使得数据字未被外部资源读取并接着写入来执行排序。已排序数据字的列表对 LSSRAM 被识别(例如使用地址和长度),且 LSSRAM 被指示对列表排序。排序然后由 LSSRAM 实现并完全发生在 LSSRAM 内。根据本文描述的原理的例子,与将数据传送至外部资源和传送来自外部资源的数据相关的速度限制基本上被 LSSRAM 消除。而且,例如,用于排序的时间可基本上独立于数据字的列表的长度。

[0022] 特别地,根据本文描述的原理,可利用 LSSRAM 本身的电路实现在 LSSRAM 内的排序。因此,使用 LSSRAM 进行排序并不需要顺序地读和写连续子集的每个数据字。例如,使用 LSSRAM 进行排序可以用基本上同步的方式对列表内的所有数据字排序。因此,LSSRAM 可在基本上独立于数据字的列表的长度的时间内实现列表的排序。

[0023] 在本文,术语“存储器”指可使用交叉耦合元件接收和存储数据的基本上任何种类的存储器。所述存储器通常与可由计算机处理器或在计算机系统中作为静态主存储器使用的存储器一致,静态主存储器保留数据而不需要例如周期性数据刷新。根据本文的定义的其它类型的静态存储器包括但不限于例如各种类型的锁存器、触发器和使用锁存器和触发器之一或二者的移位寄存器。

[0024] 特别地,按照本文的定义,用于 LSSRAM 的存储器通常指被称为或可被称为静态随机存取存储器(SRAM)的任何种类的存储器。按照本文的定义,SRAM 是基本上维持数据而不需要被刷新的存储器。一般,SRAM 使用反馈回路或在 SRAM 单元的部件或元件之间的交叉耦合来维持数据(例如作为编程逻辑状态)。例如,交叉耦合元件可包括但不限于交叉耦合逆变器、交叉耦合与非门和交叉耦合或非门。按照本文的定义,用于实现 SRAM 或 SRAM 型电路的一些形式的某些反馈回路也被考虑为交叉耦合元件。此外在本文中,LSSRAM 按照定义使用被称为“列表排序”静态随机存取存储器(LSSRAM) 单元的特定和唯一类型的 SRAM 单元。下面更详细描述 LSSRAM 单元。

[0025] 此外在本文中,根据各种例子,存储器(例如 LSSRAM) 可包括被布置为阵列的多个存储器单元(例如 LSSRAM 单元或 LSSRAM 单元和其它存储器单元的混合)。例如,存储器单元可被布置为二维(2D) 阵列。2D 阵列可被布置为例如包括多个行(即,多个水平定向的线性阵列)和多个列(即,多个垂直定向的线性阵列)的存储器单元的矩形 2D 阵列。如在本文使用的,“行”被定义为布置在一维(1D) 阵列(例如线性阵列)中的存储器单元的集合或组。类似地,“列”被定义为布置在定向或可定向成垂直于 2D 阵列中的行的另一线性阵列中的存储器单元的集合或组。因此,例如,2D 阵列可包括以基本上平行的方式布置的多个行,和也以基本上平行的方式布置的与行正交的多个列。通常,特定的存储器单元是行和列二者的成员。也可使用较高阶(例如三维或更多维)阵列。

[0026] 在一些例子中,较低阶阵列(例如线性阵列)被定义在具有较大维度的阵列(例如 2D 阵列)上。根据一些例子,可使用多个相邻的 2D 阵列来实现存储器单元的三维(3D) 布置。此外,阵列可分成子阵列。例如,2D 矩形阵列可分成作为四个子阵列的象限。在另一例

子中,2D 矩形阵列可分成相邻列的子组。在一些例子中,列子组可具有相应于用于保持或代表数据字的存储器单元的数量的宽度,如下面所讨论的。

[0027] 此外在本文中,包括一组存储器单元的行可保持构成特定的计算机系统的一个或多个数据字的数据(例如多个数据比特)。根据各种例子,一行的存储器单元在物理上相邻于彼此。例如,一行的第一存储器单元可定位成紧接着该行的第二存储器单元,从该行的开始端(例如左端)到该行的末尾端(例如右端)依此类推。行可包括相对大数量的存储器单元。例如,根据与本文描述的原理一致的例子,在各种实际实现中,行的长度可以是 1024 数据比特、2048 数据比特、4096 数据比特或更多。

[0028] 存储器单元(例如 LSSRAM 单元)是保持、保留或存储数据的电路或有关结构,如在本文定义和使用的。此外,根据一些例子,按照本文的定义,存储器单元可通常存储数据的单个“比特”。例如,比特可代表二进制值(例如“0”或“1”),且存储器单元可在任何给定时刻保持单个特定的二进制值。此外按照本文的定义,数据字可包括通常存储在一个或多个相邻存储器单元中的数据的一个或多个比特。例如,数据字可包括存储在相应数量的存储器单元中的 4、8、16、32 或 64 个二进制比特。存储器单元可以是例如相邻的存储器单元。在一些例子中,存储数据字的相邻存储器单元在存储器单元的阵列的一行的长度中或沿着存储器单元的阵列的一行的长度布置。类似地,数据字可在列的子组的长度或宽度中或沿着列的子组的长度或宽度布置。例如,列子组的每行可保持多个数据字中的不同数据字。为了讨论的简单,列的子组可被称为数据字列或甚至列。

[0029] 被组织在 2D 阵列的行和列中的存储器单元(例如 LSSRAM 的 LSSRAM 单元)在本文也常常被称为“存储器位置”。严格地说,存储器位置是在存储器内的特定位置处的存储器单元,该位置由(例如特定行和特定列的)地址指定或识别。可使用例如地址来访问存储器单元。然而,为了本文的讨论的简单,存储器单元本身常常被称为具有地址或在地址处。类似地,在一些例子中,包括多个存储器单元的数据字可由地址指定或识别。地址可相应于例如构成数据字的多个存储器单元中的第一存储器单元的地址。因此,数据字可被称为具有存储器位置或在存储器位置处或等效地在存储器中的数据字位置或数据字地址(或简称为“地址”)处。此外,根据一些例子,“位置”可用于指由起始地址(例如起始数据字位置或地址)和结尾地址(例如结尾数据字位置或地址)指定的数据字的连续子集的位置。

[0030] 根据各种例子,LSSRAM 可以是通用计算机系统的主存储器的一部分。LSSRAM 可代表例如构成主存储器的存储器的子集。在另一例子中,LSSRAM 可以是移位寄存器。例如,移位寄存器在每行中可具有单个存储器单元。在另一例子中,移位寄存器在每行中可具有全数据字并因此包括多个列。

[0031] 在本文中,“列表排序”是根据数据字的相对值对数据字列表中的数据字定序的排序。在一些例子中,列表排序可根据数据字的相对值以基本上升序(即,非降低次序)对数据字定序。在其它例子中,可根据相对值以基本上降序(即,非增加次序)按照列表排序来对数据字定序。根据各种例子,列表排序可以通过以迭代的方式交换列表的数据字来产生已排序列表。在一些例子中,数据字的迭代交换可继续进行,直到列表基本上被排序为止,而在其它例子中,迭代交换可在排序完成之前终止。

[0032] 图 1A-1B 示出根据与本文描述的原理一致的例子的数据字的列表。特别地,图 1A 示出根据一些例子的在一对数据字在列表排序期间被交换之前的数据字的列表。数据字是

8 比特数据字并被组织在由行地址(例如 00 到 11)标记的行中。图 1B 示出在一对数据字被交换之后的图 1A 的数据字的列表。按照本文的定义,交换将存储在一对存储器位置中的整个数据字进行互换,如所示的。特别地,在行 03 处的数据字 01001100 和在行 04 处的数据字 11001010 被交换,如所示的。在图 1A 和 1B 中的双向弯曲箭头示出数据字的交换。

[0033] 此外,如在本文使用的,冠词“一”意图具有在专利领域中的其普通意义,即,“一个或多个”。例如,“一存储器单元”意指一个或多个存储器单元,且因此“所述存储器单元”在本文意指“一个或多个所述存储器单元”。此外,在本文对“顶部”、“底部”、“上部”、“下部”、“向上”、“向下”、“前面”、“后面”、“左边”或“右边”的任何提及在本文中并不意图作为限制。此外,术语“列”和“行”当在阵列中使用或描述阵列时是描述基本上正交的结构的任意表示。因此,在包含行和列的阵列或类似结构的适当旋转下,行可被视为列,且列可被视为行。在本文中,除非另外明确规定,否则术语“大约”在应用于值时通常意味着在用于产生该值的设备的容限范围内,或在一些例子中意味着加或减 10% 或加或减 5% 或加或减 1%。而且,本文的例子意图仅仅是说明性的且为了讨论目的而不是作为限制被给出。

[0034] 图 2 示出根据与本文描述的原理一致的例子的列表排序静态随机存取存储器(LSSRAM)组件单元 100 的方框图。根据各种例子,LSSRAM 组件单元 100 被定义为提供动态存储模式和静态存储模式二者的存储器单元。特别地,LSSRAM 组件单元 100 可以选择性地在动态存储模式和静态存储模式中操作或在动态存储模式和静态存储模式之间原位切换。当在静态存储模式中操作时,LSSRAM 组件单元 100 基本上类似于 SRAM 单元进行动作来维持所存储的数据而没有刷新。可替代地,当切换到动态存储模式时,LSSRAM 组件单元 100 展示例如基本上模仿动态随机存取存储器(DRAM)的所存储的数据的时间衰减。时间衰减可由例如 LSSRAM 组件单元 100 的一个或多个元件的电容(例如栅极电容)提供。根据一些例子,当 LSSRAM 组件单元 100 操作来在相邻 LSSRAM 组件单元 100 之间交换数据时使用动态存储模式。根据一些例子,交换数据的操作可用于对数据的列表排序(因此是“列表排序”)。

[0035] 如所示,LSSRAM 组件单元 100 具有接收数据的输入端口 102(术语“数据端口”和“输入”可互换地使用)和输出由 LSSRAM 组件单元 100 存储的数据的输出端口 104、106(术语“输出端口”和“输出”可互换地使用)。在一些例子中,输入端口 102 可用于接收数据并将数据耦合到 LSSRAM 组件单元 100 中,而输出端口 104、106 可用于从 LSSRAM 组件单元 100 传送数据。具体地,当 LSSRAM 组件单元 100 操作来利用用于加载数据的动态存储模式和用于存储所加载的数据的静态存储模式的组合来交换数据时,输入端口 102 可连接到相邻存储器单元(例如下面进一步描述的相邻 LSSRAM 组件单元 100')的输出端口 104、106。相邻存储器单元供应加载到 LSSRAM 组件单元 100 中并由 LSSRAM 组件单元 100 存储的数据。根据一些例子,LSSRAM 组件单元 100 的输出端口 104、106 中的每个可连接到不同的相邻存储器单元的输入端口以促进将存储在 LSSRAM 组件单元 100 中的数据传输到相邻的存储器单元。在各种例子中,连接可基本上是临时的,仅在 LSSRAM 组件单元 100 在动态存储模式中时存在。

[0036] 在一些例子中,LSSRAM 组件单元 100 可具有其它输入 / 输出(I/O)端口(未在图 2 中示出)。例如,LSSRAM 组件单元 100 可具有与使用 LSSRAM 组件单元 100 的存储器阵列的比特线或一对比特线通信的一个或多个其它 I/O 端口。当 LSSRAM 组件单元 100 在静态存储模式中作为例如随机存取存储器阵列(例如作为 SRAM 阵列)的存储器单元操作时,其它 I/O

端口可用于以下中的一个或二者：将数据写到 LSSRAM 组件单元 100 和从 LSSRAM 组件单元 100 读取数据。为了说明的简单，比特线没有在图 2 中被显式描绘，但在下面被处理（例如见下面的图 5A-5B）。

[0037] 此外，图 2 作为例子而不是限制示出在列中布置和互连的多个 LSSRAM 组件单元 100。特别地，在图 2 中示出构成列的多个 LSSRAM 组件单元 100 中的两个 LSSRAM 组件单元 100。如所示，多个 LSSRAM 组件单元 100 中的特定 LSSRAM 组件单元 100' 的输出端口 106 连接到在列中的特定 LSSRAM 组件单元 100' 之上的相邻 LSSRAM 组件单元 100'' 的输入端口 102。在一些例子中，特定 LSSRAM 组件单元 100' 的输出端口 104 也可连接到在列中的特定 LSSRAM 组件单元 100' 之下的另一相邻 LSSRAM 组件单元（未示出）的输入端口。此外如所示，在列中的特定 LSSRAM 组件单元 100' 之上的相邻 LSSRAM 组件单元 100'' 的输出端口 104 连接到特定 LSSRAM 组件单元 100' 的输入端口 102。在一些例子中，特定 LSSRAM 组件单元 100' 的输入端口 102 也可连接到在列中的特定 LSSRAM 组件单元 100' 之下的另一相邻 LSSRAM 组件单元（未示出）的输出端口。

[0038] 在 LSSRAM 组件单元 100 之间的连接可促进在例如 LSSRAM 组件单元 100 之间交换数据。特别地，根据各种例子，交换可以在特定 LSSRAM 组件单元 100' 和相邻 LSSRAM 组件单元 100'' 或特定 LSSRAM 组件单元 100' 和另一相邻 LSSRAM 单元（在下面且未在图 2 中示出）或相邻 LSSRAM 组件单元 100'' 和另一相邻 LSSRAM 组件单元（在上面且未在图 2 中示出）之间。此外根据一些例子（未示出），在列中的在上面 - 相邻的存储器单元和在下面 - 相邻的存储器单元（未示出）中的一个或二者可被实现为不是 LSSRAM 组件单元（例如实现为常规 SRAM 单元）。此外，根据各种例子，图 2 所示的列可以是独立列（例如实现 1 比特宽数据字）或多个列中的代表性列，所述多个列一起代表 2D 存储器阵列的多个多比特数据字。

[0039] 进一步参考图 2，LSSRAM 组件单元 100 包括静态随机存取存储器（SRAM）单元 110。根据各种例子，SRAM 单元 110 是这样的存储器单元：所述存储器单元配置成基本上提供静态的数据存储，而不需要数据刷新来维持所存储的数据。如所示，SRAM 单元 110 包括一对交叉耦合元件 112、114。交叉耦合元件 112、114 配置成通过在交叉耦合元件 112、114 之间的协作交互或“交叉耦合”或作为在交叉耦合元件 112、114 之间的协作交互或“交叉耦合”的结果来提供数据存储。特别地，根据各种例子，交叉耦合元件 112、114 的交叉耦合可充当信号反馈回路，其协作地加强 SRAM 单元 110 的可编程逻辑状态以存储数据。

[0040] 在一些例子中，在 SRAM 单元 110 外部的电路（例如驱动器）可提供编程逻辑状态的编程。例如，编程可经由比特线（未示出）由驱动器提供。在编程之后，根据一些例子，交叉耦合维持编程逻辑状态。在一些例子中，SRAM 单元 110 的交叉耦合元件 112、114 也常常被称为锁存器或锁存电路。

[0041] 在一些例子中，交叉耦合元件 112、114 包括一对交叉耦合逆变器 112、114。在一些例子中，这对交叉耦合逆变器 112、114 可包括通过交叉耦合连接而交叉耦合到第二逆变器 114 的第一逆变器 112。在一些例子中，第一和第二逆变器 112、114 可以是交叉耦合的，使得第一逆变器 112 的输出信号通过交叉耦合连接被传递到第二逆变器 114 的输入。类似地，例如，交叉耦合连接可将第二逆变器 114 的输出信号传递到第一逆变器 112 的输入。逆变器 112、114 的操作结合交叉耦合连接用作反馈或耦合电路，反馈或耦合电路是具有存储数据的能力的双稳态。在其它例子（未在图 2 中示出）中，不是或附加于一对逆变器 112、114

的元件可用作交叉耦合元件 112、114。

[0042] 此外如图 2 所示, LSSRAM 组件单元 100 还包括动态 / 静态(D/S)模式选择器 120。D/S 模式选择器 120 配置成在动态存储模式和静态存储模式之间选择性地切换 LSSRAM 组件单元 100。当 D/S 模式选择器 120 将 LSSRAM 组件单元 100 切换到静态存储模式中时, SRAM 单元 110 维持编程逻辑状态, 而基本上没有衰减或降级(即, 至少直到 SRAM 单元 110 被重新编程为止)。可替代地, 当 D/S 模式选择器 120 选择性地将 LSSRAM 组件单元 100 切换到动态存储模式时, 按照本文的定义, 以前存储在 SRAM 单元 100 中或由 SRAM 单元以前存储的逻辑状态随着时间的过去而衰减。

[0043] 根据各种例子, D/S 模式选择器 120 配置成通过中断 SRAM 单元 110 的信号反馈回路来产生动态存储模式。特别地, 通过基本上切断或解耦合在 SRAM 单元 110 的交叉耦合元件 112、114 之间的交叉耦合连接来中断信号反馈回路。根据一些例子, 使交叉耦合连接解耦合也基本上使交叉耦合元件 112、114 彼此隔离。

[0044] 根据一些例子, D/S 模式选择器 120 包括开关以选择性地使 SRAM 单元 110 的这对交叉耦合元件 112、114 耦合和解耦合 / 隔离。LSSRAM 组件单元 100 的动态存储模式相应于交叉耦合元件 112、114 被解耦合, 且静态存储模式相应于交叉耦合元件被耦合。因此, 根据各种例子, 使用开关使这对交叉耦合元件 112、114 可选择性地解耦合产生 LSSRAM 组件单元 100 的动态存储模式, 而使用开关在这对交叉耦合元件 112、114 之间的可选择性耦合提供静态存储模式。

[0045] 在一些例子中, 开关可位于交叉耦合连接中或是交叉耦合连接的一部分。例如, 开关可包括第一开关 122。例如, 第一开关 122 可连接在第一交叉耦合元件 112 (例如第一逆变器 112) 的输出和第二交叉耦合元件 114 (例如第二逆变器 114) 的输入之间作为交叉耦合连接的部分。当第一开关 122 被断开或在断开条件或状态(例如高阻抗条件或断开开关)中时, 第一交叉耦合元件 112 的输出基本上从第二交叉耦合元件 114 的输入断开或解耦合并隔离。可替代地, 当第一开关被接通或在接通条件或状态(例如低阻抗条件或闭合开关)中时, 促进在第一交叉耦合元件的输出和第二交叉耦合元件的输入之间的耦合。第一开关 122 可由或根据例如控制信号 F1 来控制。

[0046] 在一些例子中, 开关还可包括第二开关 124。第二开关 124 可作为交叉耦合连接的部分连接在例如第二交叉耦合元件 114 (例如第二逆变器 114) 的输出和第一交叉耦合元件 112 (例如第一逆变器 112) 的输入之间。当第二开关 124 被断开或在断开状态(例如高阻抗条件或断开开关)中时, 第二交叉耦合元件 114 的输出基本上从第一交叉耦合元件 112 的输入断开或解耦合并隔离。可替代地, 当第二开关被接通或在接通状态(例如低阻抗条件或闭合开关)中时, 促进在第二交叉耦合元件的输出和第一交叉耦合元件的输入之间的耦合。第二开关 124 可由或根据例如控制信号 B1 来控制。

[0047] 根据一些例子, D/S 模式选择器 120 可配置 LSSRAM 组件单元 100 以当第一和第二开关 122、124 二者都在断开状态中时在动态存储模式中操作。根据一些例子, 由第一和第二开关 122、124 提供的可选择的解耦合可基本上使交叉耦合逆变器 112、114 的交叉耦合失效, 以提供动态存储模式。此外, 可选择性地解耦合基本上使交叉耦合逆变器 112、114 彼此隔离。根据各种例子, 第一和第二开关 122、124 中的一个或二者可包括晶体管开关。晶体管开关的例子包括但不限于串联连接的金属氧化物(MOS)晶体管(例如 NMOS 或 PMOS 晶体

管)以及传输门,所述传输门包括 NMOS 晶体管和 PMOS 晶体管的并联连接。

[0048] 在一些例子中,LSSRAM 组件单元 100 还包括交换选择器 130。交换选择器 130 配置成交换所存储的数据与存储在相邻存储器单元中的数据。相邻存储器单元可以是例如另一 LSSRAM 组件单元 100 (例如在上面 - 相邻的 LSSRAM 组件单元 100'')。当交换选择器 130 被激活时,交换选择器 130 在动态存储模式期间交换所存储的数据。

[0049] 特别地,如图 2 所示,交换选择器 130 在被激活时将特定 LSSRAM 组件单元 100' 的数据连接或耦合到相邻 LSSRAM 组件单元 100'' 的 SRAM 单元 110 的输入(例如连接或耦合到第一逆变器 112 的输入)。所耦合的数据通过端口 106 从特定 LSSRAM 组件单元 100' 被传递,如所示的。激活的交换选择器 130 也将在相邻 LSSRAM 组件单元 100'' 的输出端口 104 处的数据连接或耦合到特定 LSSRAM 组件单元 100' 的 SRAM 单元 110 的输入(例如连接或耦合到第一逆变器 112 的输入)。从相邻 LSSRAM 组件单元 100'' 耦合的数据通过特定 LSSRAM 组件单元 100' 的输入端口 102 被传递,如所示的。例如,所耦合的数据可以是在这两个 LSSRAM 组件单元 100 的每个中的第二交叉耦合元件 114 (例如第二交叉耦合逆变器 114) 的相应输出处的数据。此外,根据各种例子,当未被激活时,交换连接器 130 基本上使这两个 LSSRAM 单元 100 彼此隔离。

[0050] 根据各种例子,由激活的交换选择器 130 提供的连接进行动作来在 LSSRAM 单元 100 之间传送数据。因为当这两个 LSSRAM 单元 100 在动态存储模式中时交换选择器 130 被激活,所以第一和第二交叉耦合元件 112、114 通过 D/S 模式选择器 120 基本上彼此隔离。根据各种例子,连接将由一个 LSSRAM 单元 100 的第二交叉耦合元件 114 动态地存储的数据耦合到数据被传送到的相邻 LSSRAM 单元 100 的第一交叉耦合元件 112。根据各种例子,一旦数据被传送,交换选择器 130 就可以被解激活,且 LSSRAM 单元 100 可切换回到静态存储模式以存储所传送的数据,从而完成数据交换。还要注意,在动态存储模式中提供的第一和第二交叉耦合元件 112、114 的隔离基本上消除了竞争条件的发展,同时交换选择器 130 耦合相邻 LSSRAM 单元 100 的输入和输出。

[0051] 在一些例子中,(例如,如图 2 所示),交换选择器 130 包括第一开关 132 和第二开关 134。第一开关 132 配置成当第一开关 132 在接通状态中(即,闭合)时,通过输出 106 将 LSSRAM 组件单元 100' 的 SRAM 单元 110 的输出可选择性地连接到相邻 LSSRAM 组件单元 100'' 的 SRAM 单元的输入。第二开关 134 配置成当第二开关在接通状态中(即,闭合)时,在 LSSRAM 单元 100' 的输入 102 处将相邻 LSSRAM 组件单元 100'' 的输出 104 可选择性地连接到 LSSRAM 组件单元 100' 的 SRAM 单元 110。交换选择器 130 的激活通过经由交换选择器 130 的开关 132、134 传送数据来交换所存储的数据。

[0052] 在一些例子中,交换选择器 130 配置成被激活并通过逻辑“1”的接收而可选择性地传送数据。例如,交换选择器 130 可由在交换选择器 130 的输入处接收的逻辑“1”来激活。例如,逻辑“1”可闭合第一和第二开关 132、134,以将开关置于接通状态中。例如,第一和第二开关 132、134 可由 NMOS 开关实现,且逻辑“1”可在 NMOS 开关上产生具有足够幅度的正栅极 - 源极电压以将 NMOS 开关置于低阻抗状态中。

[0053] 图 3A-3F 示出根据与本文描述的原理一致的例子的、描绘在数据字交换期间一对 LSSRAM 组件单元 100 的开关状态的序列和在一对 LSSRAM 组件单元 100 之间的互连的方框图。特别地,如图 3A 所示,第一 LSSRAM 组件单元 100' 和第二 LSSRAM 组件单元 100'' 二者

都在静态存储模式中,D/S 模式选择器开关 122、124 二者都在接通状态中(即,闭合)以促进每个 LSSRAM 组件单元 100 的交叉耦合元件 112、114 的相对应的耦合。此外,第一和第二交换选择器开关 132、134 是断开的或在断开状态中以使这对 LSSRAM 组件单元 100 彼此隔离,如图 3A 所示。

[0054] 图 3B 示出在开始数据交换序列之后在动态存储模式中的这对 LSSRAM 组件单元 100。特别地,D/S 模式选择器开关 122、124 已被断开(即,在断开状态中)以使在第一和第二 LSSRAM 组件单元 100'、100'' 的每个中的第一交叉耦合元件与第二交叉耦合元件 114 隔离,如所示的。当 D/S 模式选择器开关 122、124 被断开时,由每个 LSSRAM 组件单元 100 存储的数据由隔离的交叉耦合元件 112、114 动态地保留。

[0055] 图 3C 示出在第一和第二交换选择器开关 132、134 已闭合以提供接通状态之后的这对 LSSRAM 组件单元 100。闭合的第一交换选择器开关 132 将这对 LSSRAM 组件单元 100 的第一 LSSRAM 组件单元 100' 的输出连接到第二 LSSRAM 组件单元 100'' 的输入。类似地,闭合的第二交换选择器开关 134 将第二 LSSRAM 组件单元 100'' 的输出连接到第一 LSSRAM 组件单元 100' 的输入。连接将在相应输出处的动态地存储的数据耦合到第一和第二 LSSRAM 组件单元 100'、100'' 的相应输入。

[0056] 图 3D 示出在动态地存储的数据的传送之后的这对 LSSRAM 组件单元 100。如所示,一旦再次使 LSSRAM 组件单元 100 彼此隔离,交换选择器开关 132、134 就已被断开。隔离 LSSRAM 组件单元 100 在准备重新建立静态存储模式中被执行。

[0057] 在图 3E 中,每个 LSSRAM 组件单元 100 的第一 D/S 模式选择器开关 122 已被闭合以开始静态存储模式的重新建立,如所示的。闭合第一 D/S 模式选择器开关 122 将从第一交叉耦合元件 122 传送的动态地存储的数据耦合到第二交叉耦合元件 114。最后,通过闭合这对 LSSRAM 组件单元 100 的每个 LSSRAM 组件单元 100 的第二 D/S 模式选择器开关 124 来完成静态存储模式的重新建立,如图 3F 所示。一旦静态存储模式被重新建立,数据交换就被认为完成。

[0058] 再次参考图 2,根据各种例子,LSSRAM 组件单元 100 还包括数据比较器 140。数据比较器 140 配置成比较存储在 LSSRAM 组件单元 100 的 SRAM 单元 110 中的数据与存储在相邻存储器单元(例如在下面 - 相邻的 LSSRAM 组件单元 100)中的数据。数据比较器 140 还配置成根据或基于比较的结果激活交换选择器 130。在一些例子中,数据比较器 140 配置成当存储在 LSSRAM 组件单元 100 的 SRAM 单元 110 中的数据大于存储在相邻存储器单元中的数据时激活交换比较器 130。例如,当 SRAM 单元 110 存储逻辑“1”且相邻存储器单元存储逻辑“0”(即,“1”>“0”)时,数据比较器 140 可激活交换选择器 130。在其它例子中,当 SRAM 单元 110 的所存储的数据小于相邻存储器单元存储的数据时,数据比较器 140 可激活交换选择器 130。例如,可通过升序排序还是降序排序由 LSSRAM 组件单元 100 提供来确定基于该比较的激活。

[0059] 图 4 示出根据与本文描述的原理一致的例子的数据比较器 140 的方框图。如所示,数据比较器 140 包括第一多个开关 142。当第一多个开关 142 在接通状态中(即,闭合)时,第一多个开关连接到比较 / 交换(CS)线以提供有效逻辑电平,如所示的。根据一些例子,提供到 CS 线的有效逻辑电平可以是基本上等于正供电电压(例如 V_{DD})的电压电平的逻辑“1”。特别地,当第一多个开关 142 闭合时,CS 线被“上拉”到基本上与正供电电压的电压电平类

似的电压电平以提供逻辑“1”，例如所示的。在一些例子中，在沿着第一行 LSSRAM 组件单元 100 的任何 LSSRAM 组件单元 100 中或与沿着第一行 LSSRAM 组件单元 100 的任何 LSSRAM 组件单元 100 相关的数据比较器 140 可激活在第一行和第二相邻行中的所有 LSSRAM 组件单元 100 的交换。

[0060] 根据一些例子，第一多个开关 142 中的第一开关可由在至 LSSRAM 组件单元的 SRAM 单元的输入上或处的逻辑“1”或逻辑高电平激活(即，闭合)。第一多个开关 142 中的第二开关可由例如在至相邻存储器单元(例如，相邻 LSSRAM 组件单元)的 SRAM 单元的输入上或处的逻辑“0”激活(即，闭合)。因此，当 LSSRAM 组件单元存储逻辑“1”且相邻存储器单元存储逻辑“0”时，第一多个开关 142 的第一和第二开关二者都将被激活或闭合。在图 4 中，与第一多个开关 142 相关的到 LSSRAM 组件单元(例如图 2 的 LSSRAM 组件单元 100')的连接被表示为 $a[i]$ ，而到相邻存储器单元(例如图 2 的 LSSRAM 组件单元 100'')的连接被表示为 $\overline{a[i+1]}$ 。第一多个开关 142 还包括连接到比特选择测试(BST)线的第三开关，如图 4 所示。当第一多个开关 142 的第一和第二开关二者都被激活或闭合时断言 BST 线(即，应用逻辑“1”)将使 CS 线连接到正供电电压，从而产生在 CS 线上的有效逻辑电平(即，CS 线被“上拉”到等于逻辑“1”状态的正供电电压)。另一方面，如果第一多个开关 142 中的任一开关未闭合(即，未激活或在接通状态中)，则 CS 线将不被上拉到逻辑“1”。

[0061] 如图 4 所示，数据比较器 140 还包括第二多个开关 144。当第二多个开关 144 中的开关在接通状态中(即，闭合)时，第二多个开关 144 连接到 CS 线以向 CS 线提供无效逻辑电平(例如逻辑“0”)，如所示的。根据一些例子，被提供到 CS 线的无效逻辑电平可以是基本上等于接地电压(例如 V_{GG})的电压电平的逻辑“0”。特别地，当第二多个开关 144 闭合时，CS 线被“下拉”到基本上与接地电压的电压电平相似的电压电平以提供逻辑“0”，如所示的。

[0062] 根据一些例子，第二多个开关 144 中的第一开关可由在至相邻存储器单元的输入上或处的逻辑“1”或逻辑高电平激活(即，闭合)。第二多个开关 144 中的第二开关可由例如在至 LSSRAM 组件单元的 SRAM 单元的输入上或处的逻辑“0”激活(即，闭合)。因此，当 LSSRAM 组件单元存储逻辑“0”且相邻存储器单元存储逻辑“1”时，第二多个开关 144 的第一和第二开关二者都将被激活或闭合。在图 4 中，与第二多个开关 144 相关的到 LSSRAM 组件单元(例如图 2 的 LSSRAM 组件单元 100')的连接被表示为 $a[i]$ ，而到相邻存储器单元(例

如图 2 的 LSSRAM 组件单元 100'')的连接被表示为 $\overline{a[i+1]}$ 。如图 4 所示，第二多个开关 144 还包括连接到比特选择重置测试(BSR)线的第三开关。当第二多个开关 144 的第一和第二开关二者都被激活或闭合时断言 BSR 线(即，应用逻辑“1”)将使 CS 线连接到接地电压，以产生在 CS 线上的无效逻辑电平(即，CS 线被下拉到等于逻辑“0”状态的接地)。另一方面，如果第二多个开关 144 中的任一开关未闭合，则 CS 线将不被下拉到逻辑“0”。因此，选择性地断言 BST 线或 BSR 线提供对存储在 LSSRAM 组件单元中的数据是否大于或小于存储在相邻存储器单元中的数据的确定。

[0063] 在一些例子中，可使用 BST 线和 BSR 线在比较之间维持 CS 线的状态为动态逻辑状态。例如，CS 线可以是由逻辑门 146 发源的，如图 4 所示。逻辑门 146(即，在图 4 中由逆变器表示)可用于在使用 BST 和 BSR 线进行测试之前提供初始逻辑状态(例如以重置 CS 线)。

然后,根据各种例子,数据比较器 140 在 BST 和 BSR 线的控制下的动作可用于根据在 LSSRAM 组件单元和相邻存储器单元中的数据的比较来设置或重置 CS 线。在一些例子中,可结合第 j 个测试比特 TB_j 的比较来使用 BST 线,而可在涉及更高有效比特 b_k ($k < j$) 的比较中使用 BSR 线,如在下面更详细描述的。

[0064] 图 5A 示出根据与本文描述的原理一致的例子的 LSSRAM 组件单元 200 的一部分的示意图。根据一些例子,图 5A 所示的 LSSRAM 组件单元 200 可基本上类似于上面关于图 2 描述的 LSSRAM 组件单元 100。特别地,LSSRAM 组件单元 200 包括 SRAM 单元 210、动态 / 静态(D/S)模式选择器 220、交换选择器 230 和数据比较器(未示出),它们中的每一个基本上类似于 LSSRAM 组件单元 100 的 SRAM 单元 110、D/S 模式选择器 120、交换选择器 130 和数据比较器 140 中的相应一个。

[0065] 如图 5A 所示,SRAM 单元 210 是例如六晶体管(6T)SRAM 单元 210。所示的 6T SRAM 单元 210 包括使用一对晶体管 212a、212b 实现的第一逆变器 212 和使用另一对晶体管 214a、214b 实现的第二逆变器 214。作为例子而不是限制,在第一和第二逆变器 212、214 中的每对第一或上晶体管 212a、214a 在图 5A 中被示为 PMOS 晶体管,而在第一和第二逆变器 212、214 中的每对第二或下晶体管 212b、214b 被示为 NMOS 晶体管。第一逆变器 212 通过交叉耦合电路交叉耦合到第二逆变器 214。交叉耦合的第一和第二逆变器 212、214 用来将数据存储在 6T SRAM 单元 210 中。6T SRAM 单元 210 还包括一对存取晶体管 216a、216b。当 LSSRAM 组件单元 200 作为随机存取存储器在静态存储模式中的存储器单元操作时,存取晶体管 216a、216b 连接到一对比特线 b_1 和 b_2 以促进到 6T SRAM 单元 210 的写入和从 6T SRAM 单元 210 的读取。根据一些例子,存取晶体管 216a、216b 由字线 WZ 激活,且比特线 b_1 和 b_2 可以是彼此的相反(例如 $b_2 = \overline{b_1}$)。

[0066] 如所示,LSSRAM 组件单元 200 的 D/S 模式选择器 220 包括在第一和第二逆变器 212、214 之间的交叉耦合电路中的一对晶体管开关 222、224。将这对晶体管开关 222、224 置于断开条件中(即,断开晶体管开关 222、224)的断言控制信号(例如在端口 $F1$ 和 $B1$ 处)将第一和第二逆变器 212、214 的交叉耦合彼此解耦合和隔离,以提供 LSSRAM 单元 200 的动态存储模式。静态存储模式由将晶体管开关 222、224 置于接通条件中的控制信号(例如在端口 $F1$ 和 $B1$ 处)提供。如所示,D/S 模式选择器 220 的这对晶体管开关 222、224 被示为例如 NMOS 晶体管。在其它例子(未示出)中,D/S 模式选择器 220 可包括 PMOS 晶体管或 NMOS 和 PMOS 晶体管的组合。

[0067] 此外如所示,交换选择器 230 包括一对晶体管开关 232、234。断言比较 / 交换(CS)线以接通这对晶体管开关 232、234 允许数据从 LSSRAM 组件单元 200 的输出耦合到相邻存储器单元(未示出),并从相邻存储器单元的输出耦合到 LSSRAM 组件单元 200 的输入,以支持数据交换。如所示,交换选择器 230 的这对晶体管开关 232、234 被示为例如一对 NMOS 晶体管。在其它例子(未示出)中,交换选择器 230 可包括 PMOS 晶体管或 NMOS 和 PMOS 晶体管的组合。在一些例子中,交换选择器 230 还包括第二对晶体管开关(未示出)。根据一些例子,第二对晶体管开关与这对晶体管开关 232、234 串联连接,并可用于选择 LSSRAM 组件单元 200 是否参与数据交换。例如,第二组晶体管开关可被约束到行选择线(未示出)或由行选择线控制,行选择线选择 LSSRAM 存储器的行来参与与列表排序相关的数据交换。

[0068] 虽然未在图 5A 中示出,但是数据比较器包括第一多个晶体管开关和第二多个晶

体管开关。根据一些例子,第一和第二多个晶体管开关可基本上类似于上面描述的第一和第二多个开关 142、144。使用数据比较器进行的对在 LSSRAM 组件单元 200 中的数据与在所连接的相邻存储器单元(例如也未示出的另一 LSSRAM 组件单元)中的数据的比较断言或不断言连接到交换选择器 230 的 CS 线(即,在 CS 线上设置有效逻辑电平或无效逻辑电平)。根据各种例子,通过数据比较器进行的比较的结果可在一行 LSSRAM 存储器中的多个 LSSRAM 组件单元 200 当中被共享。

[0069] 图 5B 示出根据与本文描述的原理一致的另一例子的 LSSRAM 组件单元 200 的一部分的示意图。在图 5B 所示的例子中,SRAM 单元 210 被实现为四晶体管(4T)SRAM 单元 210。4T SRAM 单元 210 类似于 6T SRAM 单元 210,除了第一和第二逆变器 212、214 每个使用单个相应的晶体管 212c、214c 连同相应的偏压电阻器 212d、214d 而不是对晶体管来实现以外。此外类似于 6T SRAM 单元 210,图 5B 的 LSSRAM 组件单元 200 还包括由这对晶体管开关 222、224(例如在端口 F1 和 B1 处)实现的 D/S 模式选择器 220、由这对晶体管开关 232、234 实现的交换选择器 230 和数据比较器(未示出),例如如上所述的。

[0070] 根据一些例子,其它 SRAM 单元配置可代替在图 5A 和 5B 中所示的 4T SRAM 单元 210 或 6T SRAM 单元 210 中的任一个。例如,图 5B 的 4T SRAM 单元 210 可由所谓的“无负载”4T SRAM 单元(未示出)代替。在其它例子中,可使用其它 SRAM 单元(例如但不限于八晶体管(8T)SRAM 单元和十晶体管(10T)SRAM 单元(未示出))来代替在图 5A 中所示的 6T SRAM 单元 210。所有这样的代替都在本文描述的原理的范围内。

[0071] 图 6 示出根据与本文描述的原理一致的例子的列表排序随机存取存储器(LSSRAM)300 的方框图。LSSRAM 300 包括布置在具有行 302 的阵列中的多个列表排序随机存取存储器(LSSRAM)单元 310 以存储数据字。LSSRAM 组件单元 310 的数量而且在 LSSRAM 300 中的列 304 的数量相应于数据字中的比特数量,如所示的。因此,每行 302 包括相应于数据字的宽度的数量的 LSSRAM 单元 310。在一些例子中,代表数据字的列的 LSSRAM 单元 310 的列-组可布置在具有比数据字长的行 302 的 LSSRAM 300 中的蛇状模式中。虽然未示出,这样的布置可容易被理解为仅仅是关于图 6 所示的行 302 的列-组的上述概念的扩展。

[0072] 在各种例子中,多个 LSSRAM 单元 310 可基本上类似于上面描述的 LSSRAM 组件单元 100。特别地,在一些例子中,多个 LSSRAM 单元 310 可包括动态 / 静态(D/S)存储器单元和交换选择器。D/S 存储器单元配置成以类似于上面描述的 LSSRAM 组件单元 100 的部分的方式在静态存储器模式和动态存储器模式之间切换。而且,LSSRAM 单元 310 可沿着列 304 以与上面关于 LSSRAM 组件单元 100 描述的方式类似的方式彼此互连。根据各种例子,交换选择器配置成在 LSSRAM 存储器 300 的第一行和第二行 LSSRAM 单元 310 之间交换数据字。例如,第一和第二行可在 LSSRAM 存储器 300 中相邻于彼此。

[0073] 特别地,D/S 存储器单元可包括具有一对交叉耦合元件的静态随机存取存储器(SRAM)单元以存储数据。D/S 存储器单元的 SRAM 单元可基本上类似于上面关于 LSSRAM 组件单元 100 描述的 SRAM 单元 110。此外,D/S 存储器单元可包括动态 / 静态(D/S)模式选择器。D/S 模式选择器配置成可选择性地在动态存储模式和静态存储模式之间切换 LSSRAM 单元。D/S 模式选择器可基本上类似于上面关于 LSSRAM 组件单元 100 描述的 D/S 模式选择器 120。

[0074] 具体地,在一些例子中,D/S 模式选择器可包括在 LSSRAM 单元 310 的交叉耦合元

件之间的解耦合开关。例如, LSSRAM 单元 310 的 D/S 模式选择器的解耦合开关可配置成使用交叉耦合元件的可选择的耦合和解耦合来提供在动态模式和静态存储模式之间的切换。根据各种例子, 解耦合开关可基本上类似于上面关于 LSSRAM 组件单元 100 描述的开关, 例如这对开关 122、124。

[0075] 在一些例子中, 交换选择器可基本上类似于上面关于 LSSRAM 组件单元 100 描述的交换选择器 130。特别地, 交换选择器可包括第一开关, 用于当第一开关在接通状态中时可选择性地将 D/S 存储器单元的输出连接到相邻存储器单元的输入。交换选择器还可包括第二开关, 用于当第二开关在接通状态中时可选择性地将 D/S 存储器单元的输入连接到相邻存储器单元的输出。交换选择器的激活通过闭合第一和第二开关以提供接通状态来交换所存储的数据。根据一些例子, 交换选择器的第一和第二开关可基本上类似于上面关于 LSSRAM 组件单元 100 描述的交换选择器 130 的第一和第二开关 132、134。例如, 当被 LSSRAM 存储器 300 的 CS 线上的逻辑“1”激活时, 第一和第二开关可闭合以在第一和第二行 302 的相应 LSSRAM 单元 310 之间交换数据。

[0076] 再次参考图 6, LSSRAM 300 还包括数据比较器 320。数据比较器 320 比较在 LSSRAM 300 的第一和第二行 302 中的数据字。此外, 数据比较器 320 配置成当比较指示交换要被执行时激活交换选择器。在一些例子中, 比较指示当第一行 302 的数据字大于第二行 302 的数据字时交换要被执行。在一些例子中, 第一行 302 可以在第二行 302 之上, 而在其它例子中, 第一行 302 可以在第二行 302 之下。

[0077] 在一些例子中, 可沿着行 302 和在行 302 的 LSSRAM 单元 310 当中分布数据比较器 320。特别地, 根据一些例子, 数据比较器 320 可基本上类似于上面关于 LSSRAM 组件单元 100 描述的数据比较器 140。在这些例子中, 数据比较器 320 可被考虑为例如 LSSRAM 单元 310 的部分。特别地, 数据比较器 320 可包括相当于每个 LSSRAM 单元 310 的第一多个开关和第二多个开关。根据一些例子, 第一和第二多个开关可基本上类似于上面关于 LSSRAM 组件单元 100 描述的数据比较器 140 的第一和第二多个开关 142、144。

[0078] 图 7 示出根据与本文描述的原理一致的例子的使用列表排序随机存取存储器 (LSSRAM) 执行列表排序的方法 400 的流程图。如所示, 执行列表排序的方法 400 包括比较 410 一对数据字以确定是否执行所存储的数据字的交换。根据各种例子, 这对数据字存储在布置在 LSSRAM 中的两行中的一对动态 / 静态 (D/S) 存储器单元中。此外, 根据各种例子, 每个 D/S 存储器单元包括动态 / 静态 (D/S) 模式选择器以在动态存储模式和静态存储模式之间切换 D/S 存储器单元。在一些例子中, D/S 存储器单元基本上类似于上面关于 LSSRAM 存储器 300 描述的 D/S 存储器单元。特别地, D/S 存储器单元可包括基本上类似于上面关于 LSSRAM 组件单元 100 描述的 SRAM 单元 110 的静态随机存取存储器 (SRAM) 单元。此外, D/S 存储器单元可包括基本上类似于上面描述的 LSSRAM 组件单元 100 的 D/S 模式选择器 120 的动态 / 静态 (D/S) 模式选择器。

[0079] 执行列表排序的方法 400 还包括当比较 410 确定交换要被执行时交换 420 存储的数据字。根据各种例子, 交换 420 由交换选择器执行以在两行的 D/S 存储器单元之间交换所存储的数据字。根据一些例子, 交换选择器基本上类似于上面关于 LSSRAM 组件单元 100 描述的交换选择器 130。

[0080] 根据一些例子, 交换 420 所存储的数据字包括执行在上面的图 3A-3F 中示出的开

关配置和互连的序列。特别地，交换 420 所存储的数据字可包括通过使用 D/S 模式选择器使 D/S 存储器单元的交叉耦合元件解耦合来将在两行中的 D/S 存储器单元从静态存储模式切换到动态存储模式。根据一些例子，交换 420 所存储的数据字还包括激活在两行中的相对应 D/S 存储器单元之间的交换选择器。根据一些例子，交换 420 所存储的数据字还包括：通过激活的交换选择器将数据从在这两行的第一行中的 D/S 存储器单元的输出耦合到在第二行中的相应 D/S 存储器单元的输入，并从相应的第二行 D/S 存储器单元的输出耦合到在第一行 D/S 存储器单元的输入，以交换数据字。根据一些例子，交换 420 所存储的数据字还包括：使用 D/S 模式选择器通过将第一和第二行 D/S 存储器单元切换回静态存储模式来存储耦合的数据。

[0081] 在一些例子中，比较 410 一对数据字以按比特方式被执行，包括：确定当且仅当在一对中的数据字的测试比特的比较指示交换且没有比测试比特更高有效的任何比特使交换指示无效时，交换才要被执行。特别地，数据字可以用按比特方式彼此比较，以最高有效比特用作测试比特开始，并以迭代的方式顺序地前进到最低有效比特作为测试比特。测试比特 TB_j 是数据字的第 j 比特，其被比较以确定一对的数据字的交换是否被指示。可使用例如上面关于数据比较器 140 描述的 BST 线来比较测试比特。

[0082] 在第一迭代中，测试比特 TB_j 是所述对的数据字的最高有效比特（例如对于具有从 1 到 n 的比特数的 n 比特数据字， $j=1$ ）。在随后的迭代中，当没有额外的交换对于数据字中的当前测试比特位置是可能的时，测试比特 TB_j 可移动（例如 $j=j+1$ ）到在数据字中的下一最高有效比特。此外，在测试比特 TB_j 指示交换的每次迭代期间，在测试比特 TB_j 之上的任何更高有效比特中的每个（即，比特 B_k ，其中 $k < j$ ）被比较以确定所指示的交换是否是有效的。只有当交换被验证时，以按比特方式比较 410 这对数据字才确定交换应被做出。

[0083] 以按比特方式比较 410 这对数据字可由这样的例子示出，在所述例子中，4 比特数据字的列表根据执行列表排序的方法 400 被排序。作为例子而不是限制，下面提供的例子产生以降序排序的列表。在降序列表排序中，用于确定交换是否被指示的标准是一对数据字中的第一字的值是否小于该对数据字中的第二字的值。例如，令 $a[i+1]$ 表示该对数据字的第一数据字并令 $a[i]$ 表示该对数据字的第二数据字，其中第一数据字 $a[i+1]$ 位于第二数据字 $a[i]$ 之上。于是，如果 $a[i+1] < a[i]$ ，则交换被指示。该标准可从测试比特 TB_j 方面被解释为：当且仅当数据字 $a[i+1]$ 的测试比特 TB_j 小于数据字 $a[i]$ 的测试比特 TB_j 且没有数据字 $a[i+1]$ 的任何更高有效比特 B_k 大于数据字 $a[i]$ 的相应更高有效比特 B_k 时，才交换数据字。根据一些例子，可通过切换在上面讨论中的“大于”和“小于”来提供升序列表排序。

[0084] 在示例性列表排序开始之前，4 比特数据字的列表例如可由表 1 给出：

表 1：对测试比特 TB_j 的迭代， $j=1$

A	1001	→	1001	→	1001	→	1001
B	0111	→	0111	↙	1100	→	1100
C	0010	↙	1100	↗	0111	↙	1010
D	1100	↗	0010	↙	1010	↗	0111
E	0101	↙	1010	↗	0010	→	0010
F	1010	↗	0101	→	0101	→	0101

其中第一或最左列提供固定的行标签(即, A-F),且相邻于第一列的第二列包含在交换之前的数据字的列表。上面的(即,粗箭头的)第三列指示数据字是否被交换,而上面的第四或最右列示出交换 420 数据字对的结果,如下面解释的。

[0085] 在示例性列表排序的第一迭代中,以按比特方式的比较 410 以测试比特 TB_j ($j=1$) 开始,并比较在示例性列表中的每个数据字对的最高有效比特(例如数据字对 {A|B B|C C|D D|E E|F})。当执行比较 410 时,第一数据字对 A|B 的测试比特 TB_1 指示没有交换,因为数据字 A 的测试比特 TB_1 大于数据字 B 的测试比特 TB_1 (即, $1>0$)。类似地,通过比较 410,对于第二数据字对 B|C 或第四数据字对 D|E 中的任一个,没有交换被指示(例如分别 $0=0$ 和 $1>0$)。然而,对于第三数据字对 C|D 和第五数据字对 E|F 中的每个,以按比特方式比较 410 测试比特 TB_1 确实指示交换,因为数据字 C 的测试比特 TB_1 小于数据字 D 的测试比特 1(即, $0<1$)以及数据字 E 的测试比特 TB_1 小于数据字 F 的测试比特 TB_1 (即, $0<1$)。上文通过以下来示出前两个对 - 比较(A|B 和 B|C)的结果:上文的第三列中的水平箭头和第四列中的条目表明数据字 A 和 B 已被传送而没有进行交换。第三和第五数据字对 C|D 和 E|F 的结果通过以下来示出:上文的示出交换方向的非水平箭头以及第四列中的条目表明数据字 C 和 D 连同数据字 E 和 F 已被交换。应注意,虽然第四数据字对 D|E 的比较并不指示交换,但是数据字 E 在 E|F 比较中与数据字 F 交换,且数据字 D 在 C|D 比较中与数据字 C 交换。

[0086] 使用测试比特 TB_j ($j=1$) 以按比特方式比较 410 的随后迭代导致进一步的交换,如在上面的表 1 的第五到第七列中所示的。在比较 410 和在第七列中产生的交换之后,对测试比特 TB_j ($j=1$) 没有指示额外的交换。比较 410 接着对下一测试比特 TB_j ($j=2$)、第三测试比特 TB_j ($j=3$) 等继续进行,直到在数据字中的所有比特已被用作测试比特为止。

[0087] 例如,在随后的迭代中,在行 A-F 中的 4 比特数据字的列表可被给出,如在下面的表 2 的第二列中的那样:

表 2: 对测试比特 TB_j ($j=3$) 的迭代

A	1100	→	1100
B	1001	↙	1010
C	1010	↗	1001
D	0111	→	0111
E	0101	→	0101
F	0010	→	0010

其中测试比特 TB_j 指向数据字的第三比特(即, $j=3$)。在该迭代中,以按比特方式的比较 410 通过比较每个数据字对的测试比特 TB_3 开始。测试比特 TB_3 的比较最初表明数据字对 B|C 和 E|F 应被交换。比较 410 接着执行每个更高有效比特 B_k ($k<3$) 的比较,以验证测试比特比较的结果。可使用例如上面关于数据比较器 140 描述的 BSR 线来执行更高有效比

特 B_k ($k < 3$) 的比较。在数据字对 B|C 的情况下, 更高有效比特 B_k 的每对指示交换指示是有效的, 因为在每种情况下, 比特比较未能发现数据字 B 具有大于数据字 C 的值。特别地, 数据字 B 的每个更高有效比特 B_k 等于或小于数据字 C 的相应更高有效比特 B_k 。因此, 由测试比特比较指示的交换是有效的, 且数据字被交换, 如上面箭头和在第四列中的相应数据字条目指示的。然而, 对于数据字对 E|F, 由测试比特 TB_3 比较指示的交换不是有效的, 因为数据字 E 的更高有效比特 B_k 中的至少一个大于数据字 F 的相应更高有效比特 B_k 。特别地, 数据字 E 的更高有效比特 B_2 大于数据字 F 的相应更高有效比特 B_2 (即, $1 > 0$), 指示数据字 E 具有大于数据字 F 的值。比较 410 和相应的交换 420 继续, 直到在所述对的数据字中的所有比特都已被分析为止。

[0088] 因此, 描述有列表排序静态随机存取存储器(LSSRAM)和LSSRAM组件单元以及在LSSRAM中或使用LSSRAM执行列表排序的方法的例子。应理解, 上述例子仅仅说明代表本文描述的原理的很多特定例子中的一些。清楚地, 本领域中的技术人员可容易设计很多其它布置, 而不偏离所附权利要求所限定的范围。

00	0	1	0	0	0	1	1	1
01	0	1	1	1	1	0	1	0
02	1	1	0	0	1	0	1	1
03	0	1	0	0	1	1	0	0
04	1	1	0	0	1	0	1	0
05	0	1	0	0	1	0	0	0
06	1	1	1	1	1	0	0	1
07	0	0	0	0	0	1	0	0
08	1	1	0	1	1	0	1	1
09	0	1	1	0	1	1	1	1
10	1	1	1	0	0	1	0	0
11	0	1	1	0	0	0	1	0



图 1A

00	0	1	0	0	0	1	1	1
01	0	1	1	1	1	0	1	0
02	1	1	0	0	1	0	1	1
03	1	1	0	0	1	0	1	0
04	0	1	0	0	1	1	0	0
05	0	1	0	0	1	0	0	0
06	1	1	1	1	1	0	0	1
07	0	0	0	0	0	1	0	0
08	1	1	0	1	1	0	1	1
09	0	1	1	0	1	1	1	1
10	1	1	1	0	0	1	0	0
11	0	1	1	0	0	0	1	0

图 1B

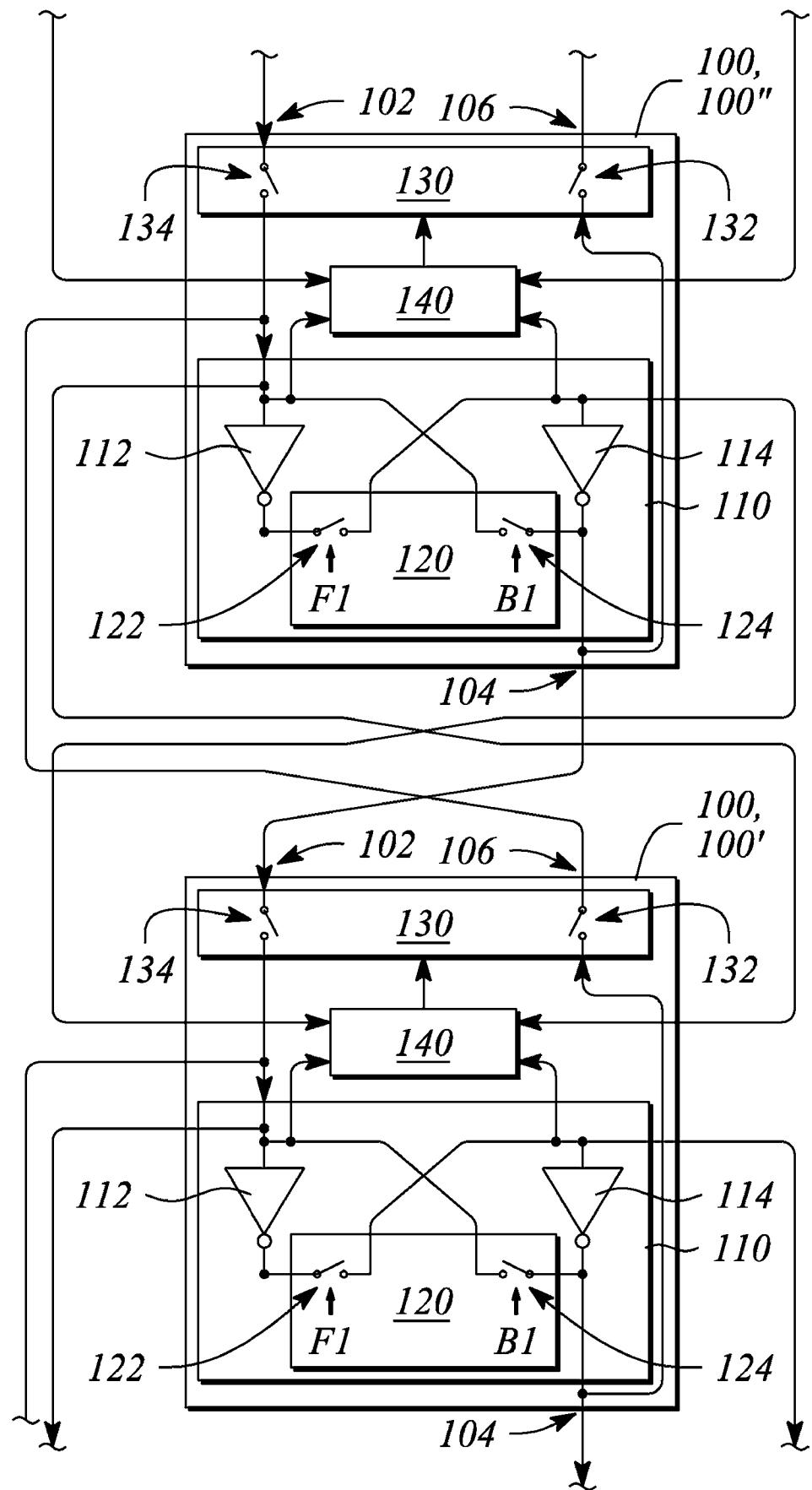


图 2

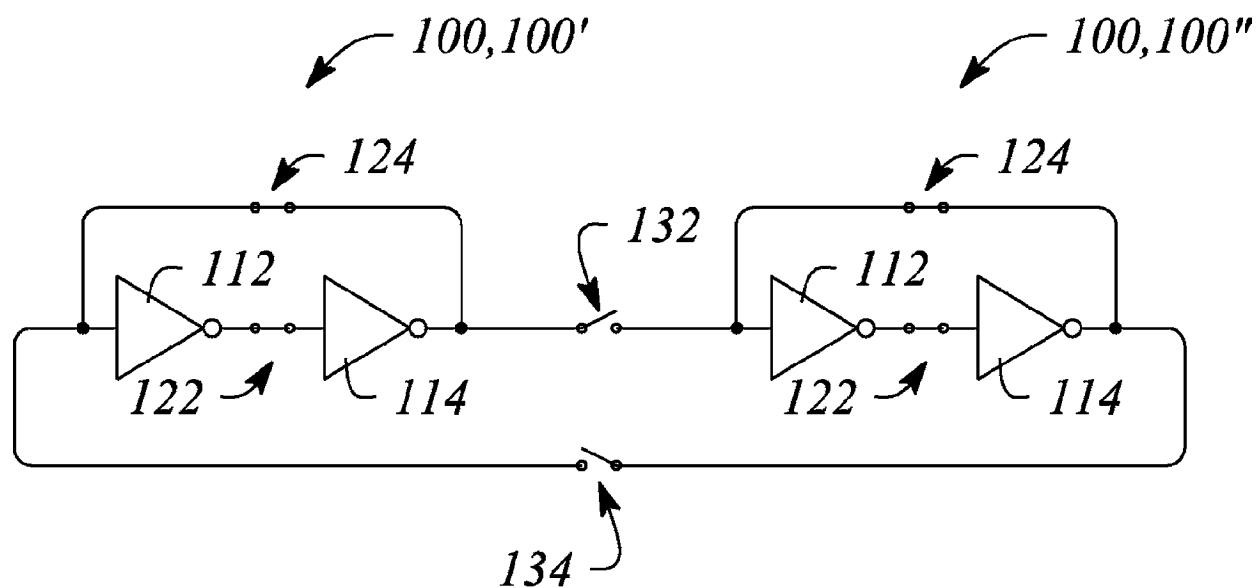


图 3A

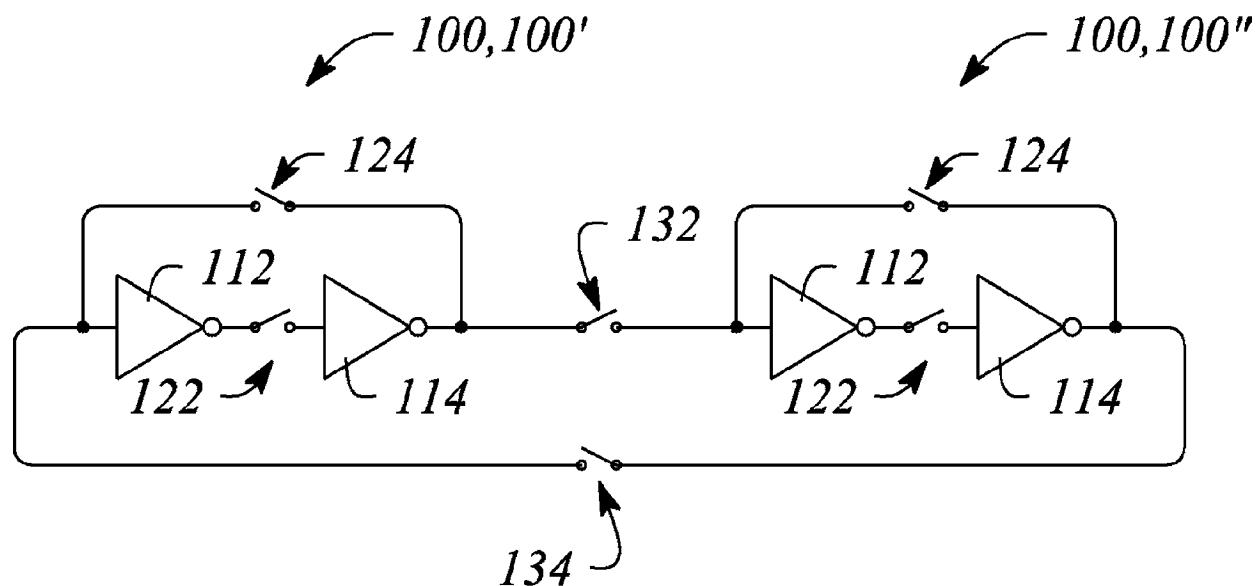


图 3B

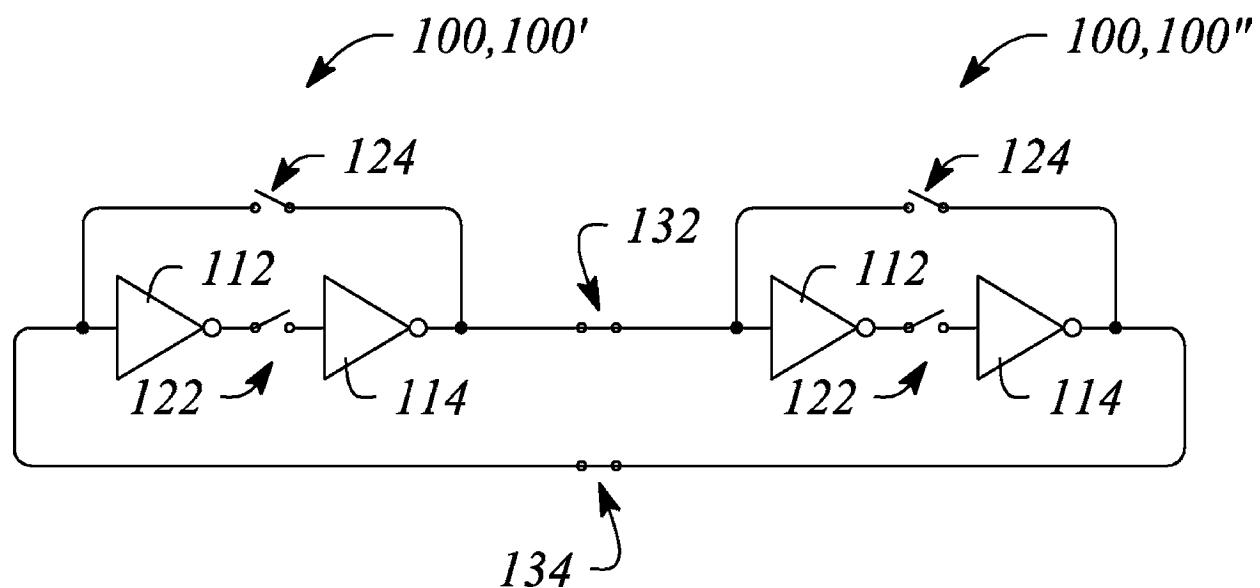


图 3C

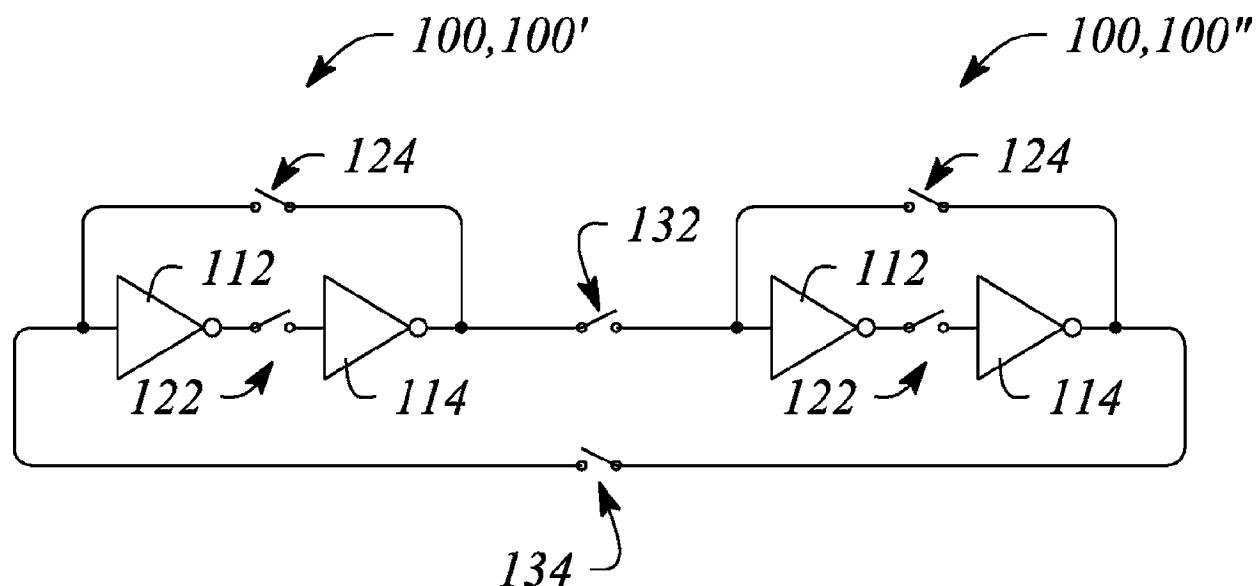


图 3D

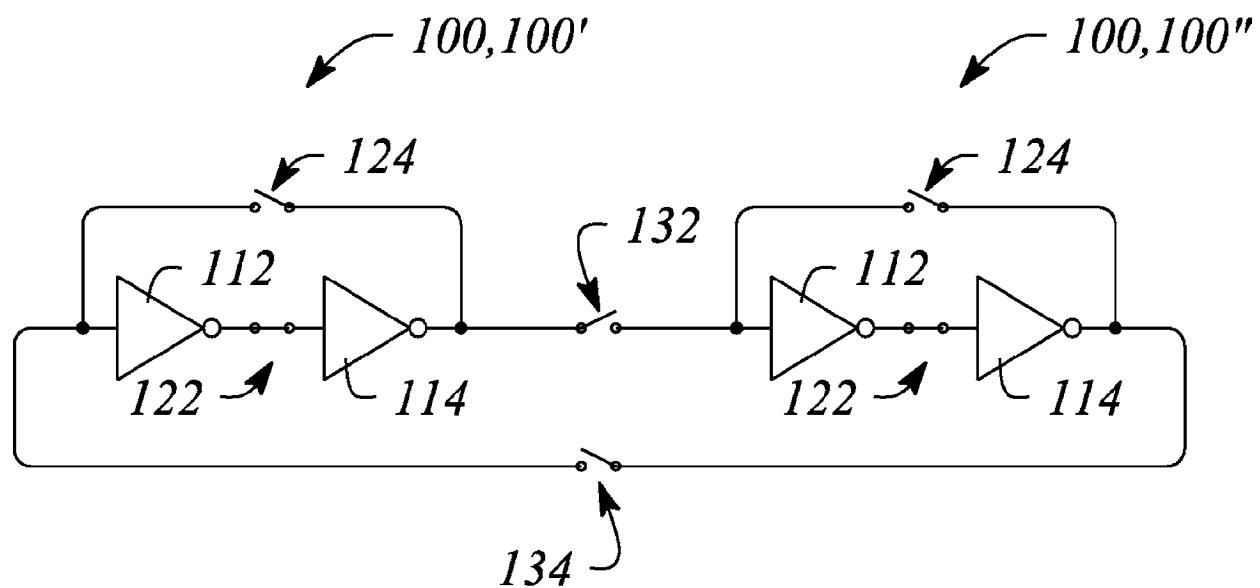


图 3E

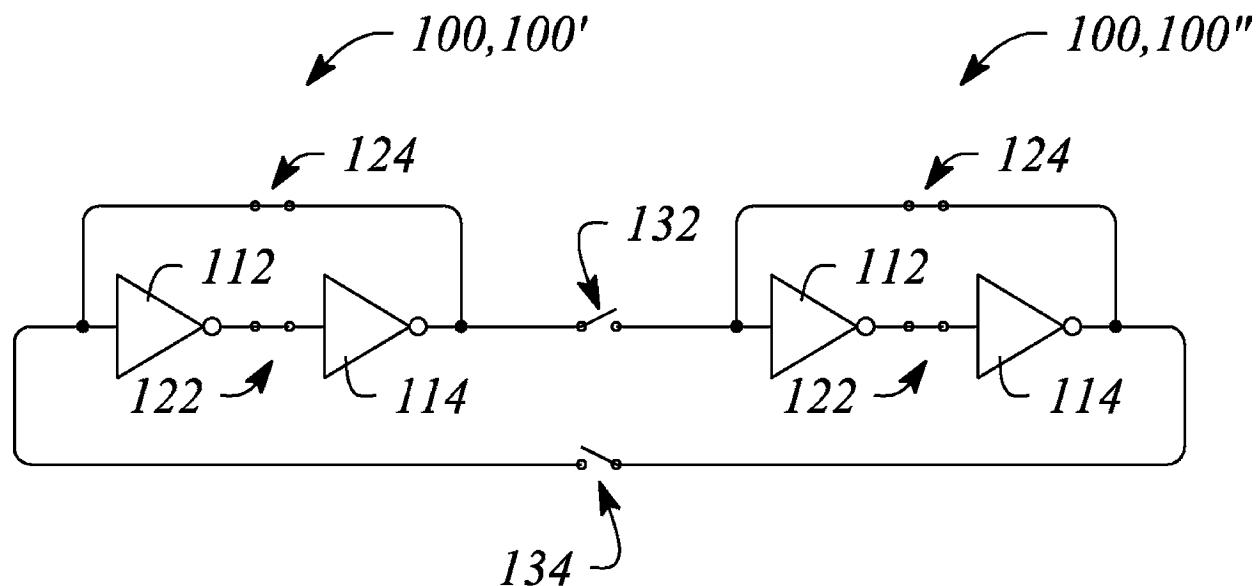


图 3F

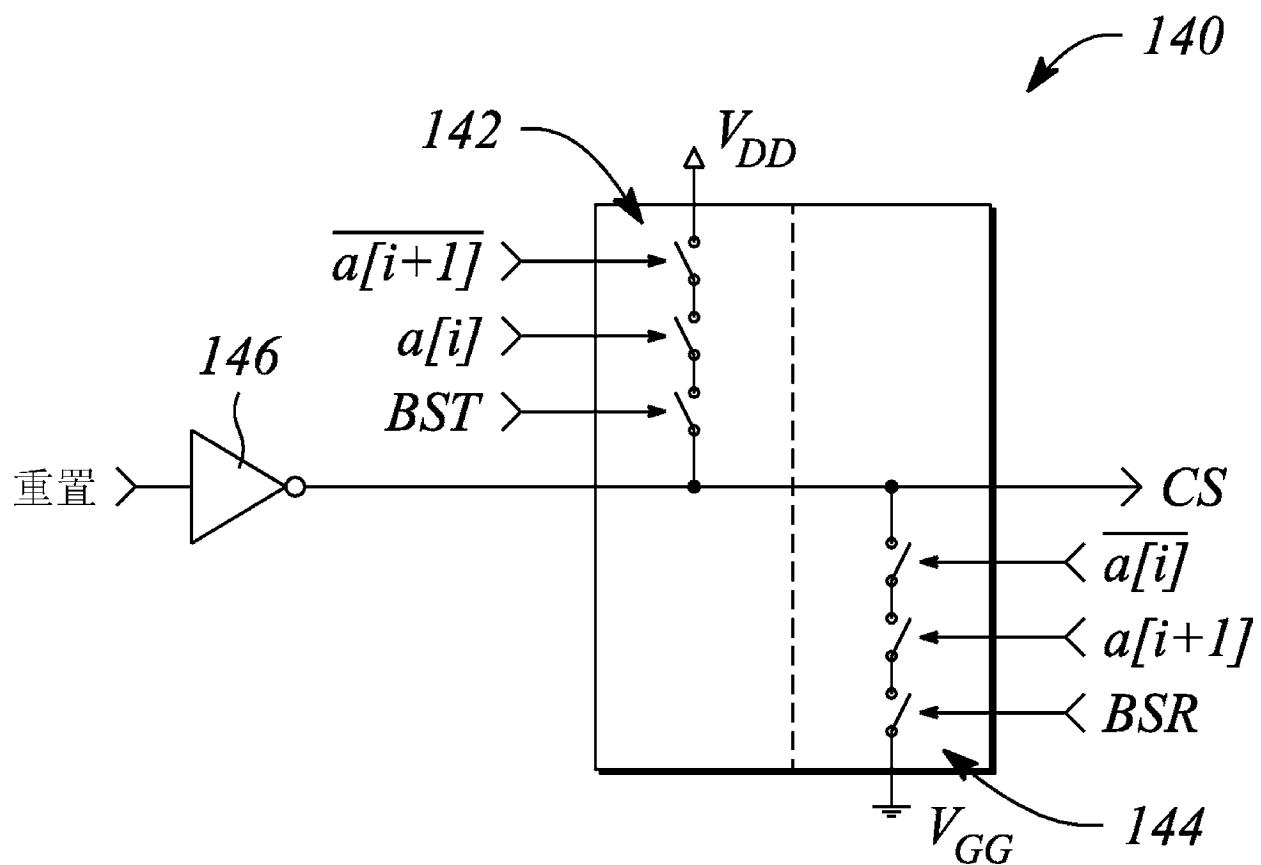


图 4

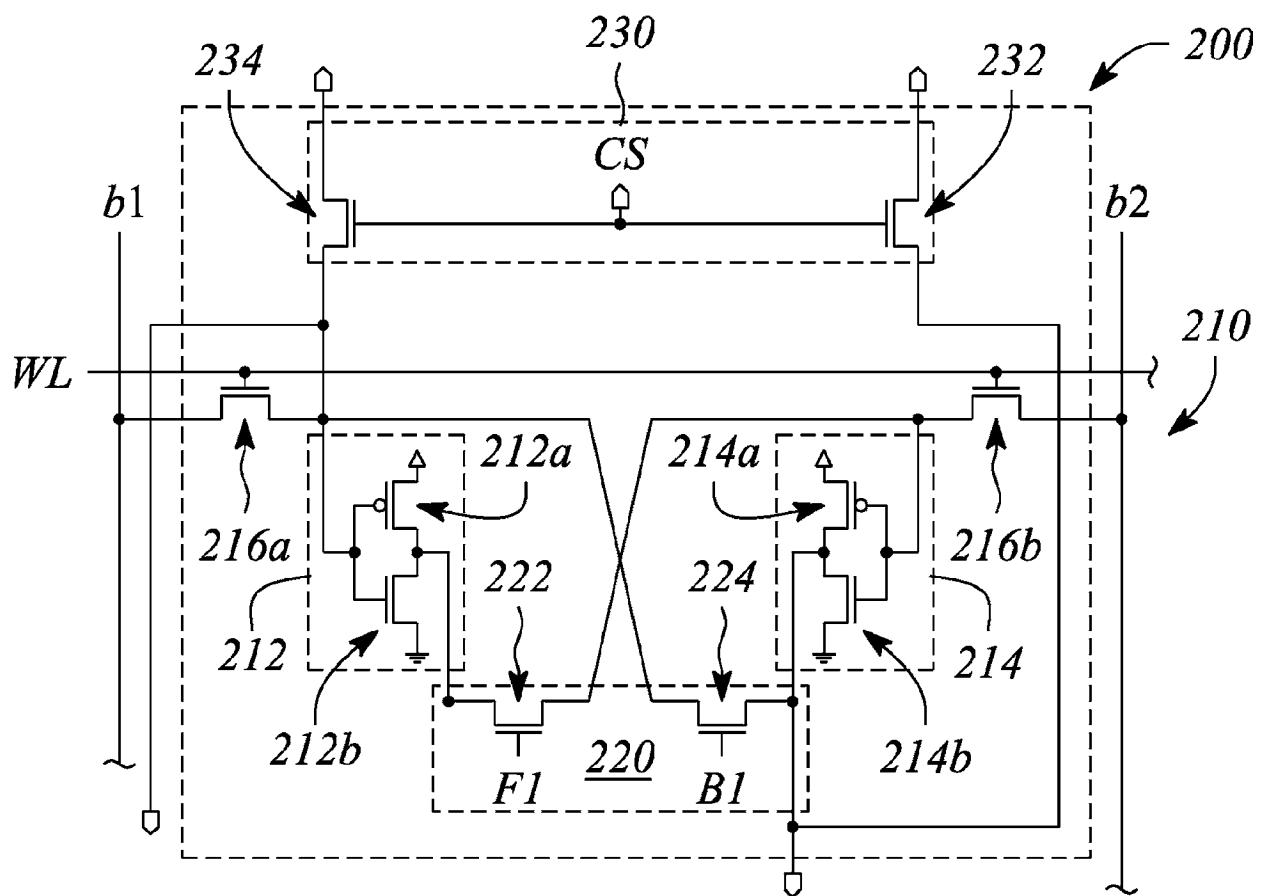


图 5A

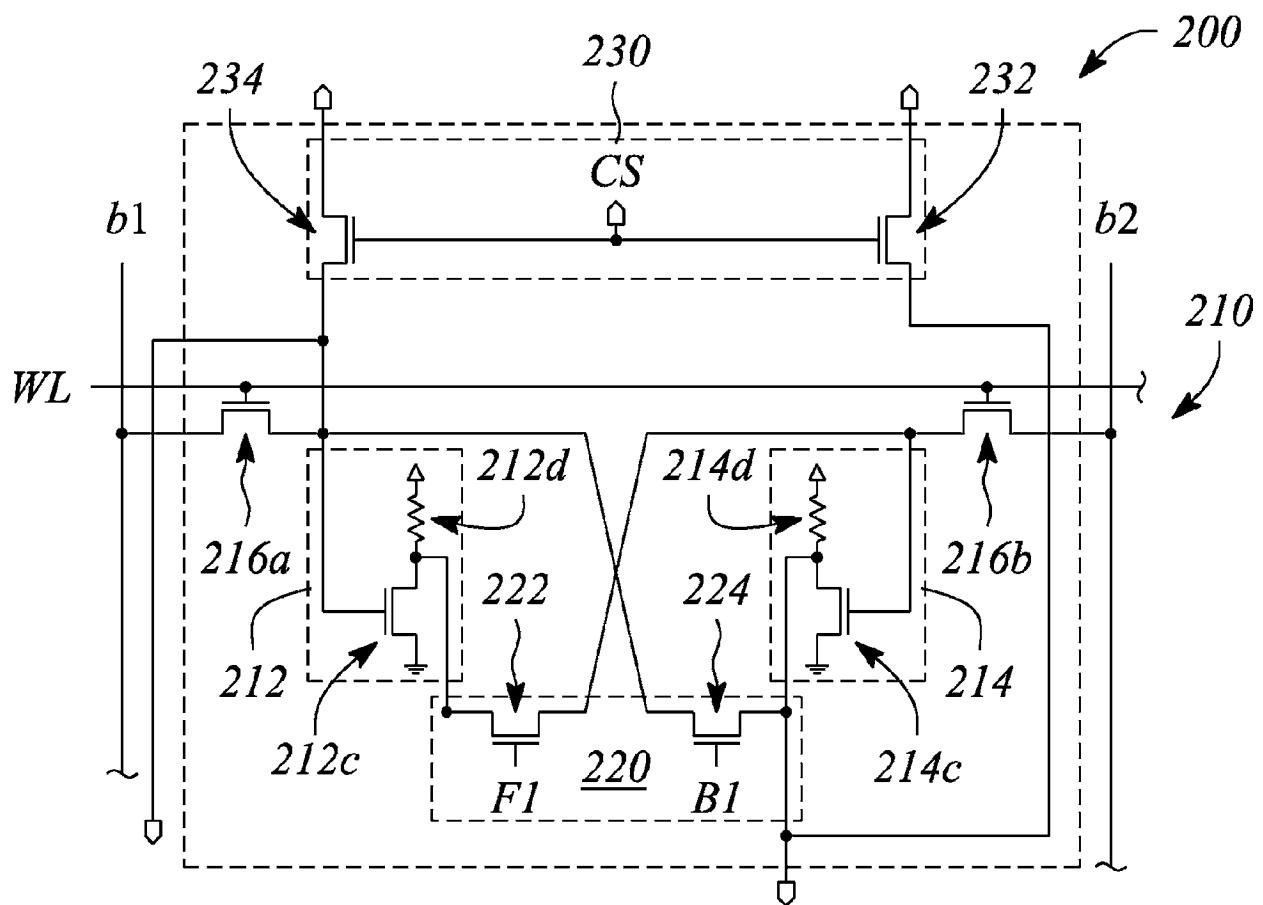


图 5B

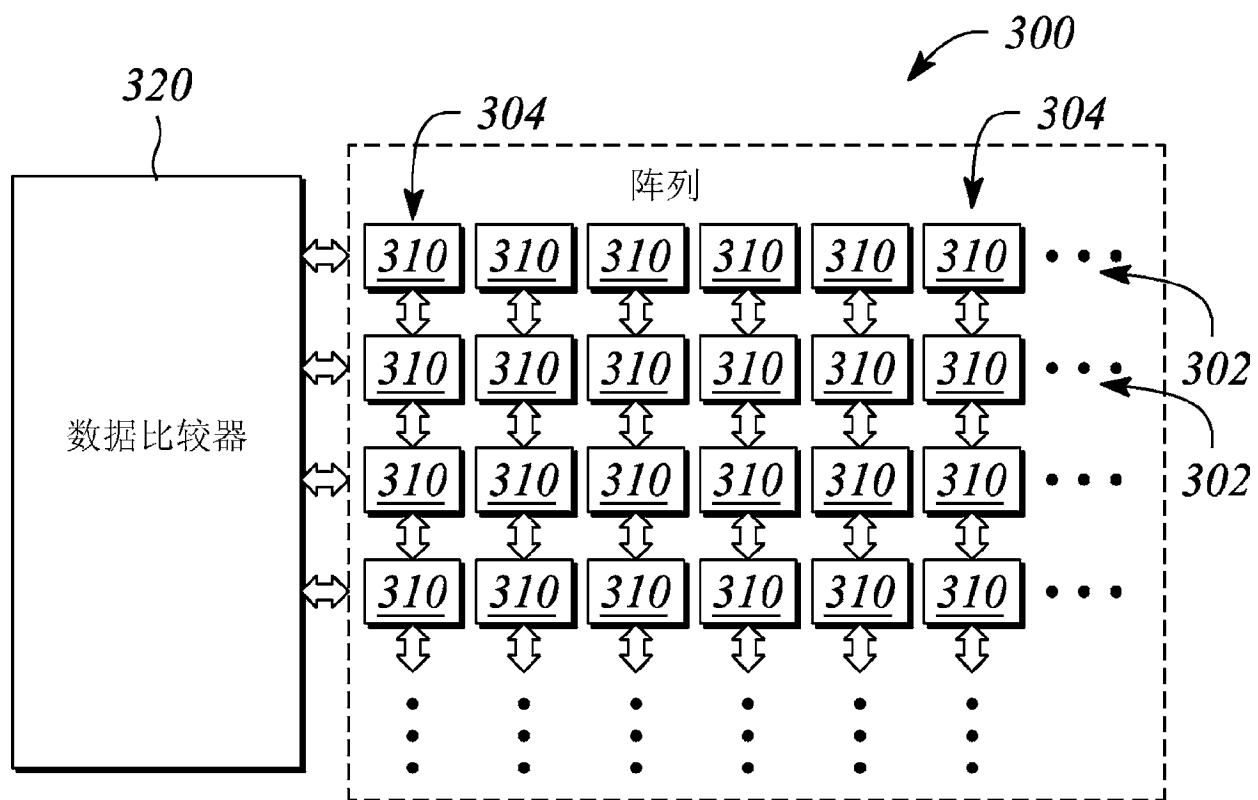


图 6

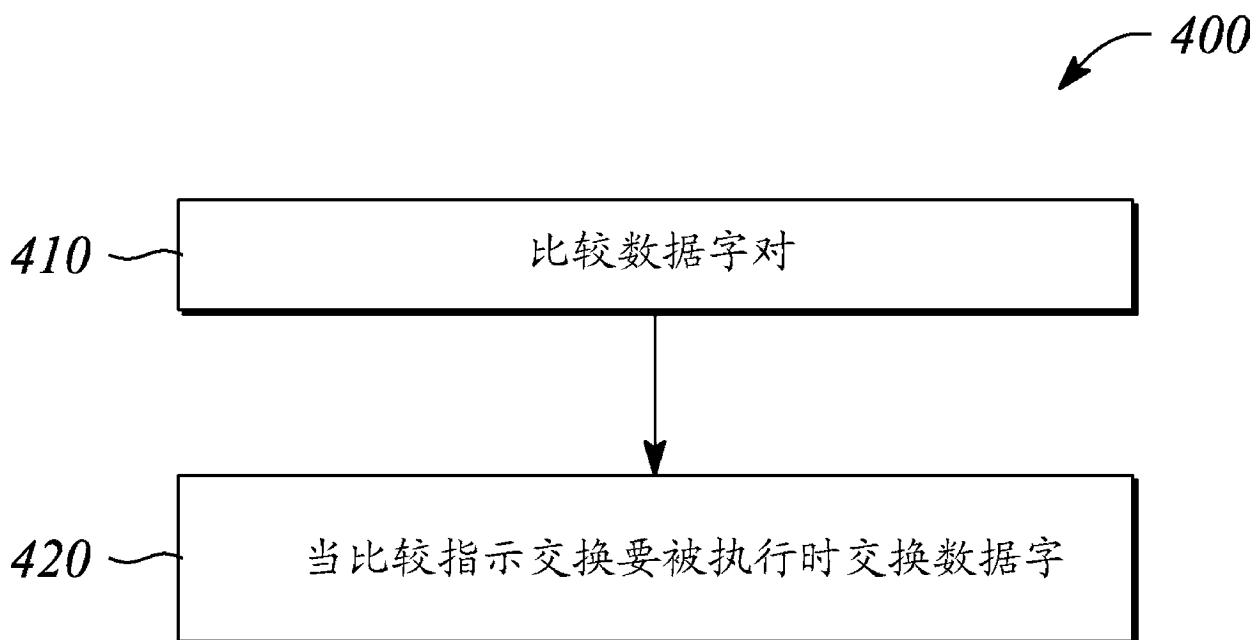


图 7