

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7582005号  
(P7582005)

(45)発行日 令和6年11月13日(2024.11.13)

(24)登録日 令和6年11月5日(2024.11.5)

(51)国際特許分類	F I
H 0 1 L 21/822(2006.01)	H 0 1 L 27/04 L
H 0 1 L 27/04(2006.01)	H 0 1 L 27/04 A
H 0 1 L 21/8232(2006.01)	H 0 1 L 27/06 F
H 0 1 L 27/06(2006.01)	

請求項の数 6 (全19頁)

(21)出願番号	特願2021-49890(P2021-49890)	(73)特許権者	000002130 住友電気工業株式会社 大阪府大阪市中央区北浜四丁目5番33号
(22)出願日	令和3年3月24日(2021.3.24)	(74)代理人	100107766 弁理士 伊東 忠重
(65)公開番号	特開2022-148274(P2022-148274 A)	(74)代理人	100070150 弁理士 伊東 忠彦
(43)公開日	令和4年10月6日(2022.10.6)	(72)発明者	濱野 皓志 大阪府大阪市中央区北浜四丁目5番33号 住友電気工業株式会社内
審査請求日	令和5年9月21日(2023.9.21)	審査官	石川 雄太郎

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1の方向に延伸され入力信号が伝達されるゲート配線と、  
前記ゲート配線に間隔を置いて接続され、前記第1の方向に直交する第2の方向に延伸する複数のゲート電極と、前記複数のゲート電極の各々を挟んで前記第1の方向に沿って設けられたソース領域およびドレイン領域とを含み、前記ゲート配線を挟んで前記第2の方向に並べて配置された2つのトランジスタと、  
前記ソース領域の各々の上に配置され、前記ソース領域に接続されたソース配線と、第1金属配線層を使用して設けられ、前記ドレイン領域の各々の上に配置され、前記ドレイン領域に接続されたドレイン配線と、  
前記トランジスタ上を前記ソース配線の少なくともいずれかおよび前記ゲート電極の少なくともいずれかを跨いで前記第1の方向に延伸し、前記ドレイン配線の各々に接続され、前記ドレイン領域から出力される出力信号が伝達され、前記ソース配線および前記ドレイン配線に使用される金属配線層より上層の金属配線層を使用して形成される出力配線と、  
2つの前記トランジスタの前記ドレイン領域に前記ドレイン配線を介して接続された前記出力配線を互いに接続する配線合成部と、  
前記第1金属配線層および前記第1金属配線層の上層である第2金属配線層の少なくともいずれかを使用して設けられ、前記ドレイン配線の少なくともいずれかにおける前記ゲート配線と反対側に接続されたスタブと、  
を備えた半導体装置。

## 【請求項 2】

第 1 の方向に延伸され入力信号が伝達されるゲート配線と、

前記ゲート配線に間隔を置いて接続され、前記第 1 の方向に直交する第 2 の方向に延伸する複数のゲート電極と、前記複数のゲート電極の各々を挟んで前記第 1 の方向に沿って設けられたソース領域およびドレイン領域とを含むトランジスタと、

前記ソース領域の各々の上に配置され、前記ソース領域に接続されたソース配線と、第 1 金属配線層を使用して設けられ、前記ドレイン領域の各々の上に配置され、前記ドレイン領域に接続されたドレイン配線と、前記トランジスタ上を前記ソース配線の少なくともいずれかおよび前記ゲート電極の少なくともいずれかを跨いで前記第 1 の方向に延伸し、前記ドレイン配線の各々に接続され、前記ドレイン領域から出力される出力信号が伝達され、前記ソース配線および前記ドレイン配線に使用される金属配線層より上層の金属配線層を使用して形成される出力配線と、前記第 1 金属配線層および前記第 1 金属配線層の上層である第 2 金属配線層の少なくともいずれかを使用して設けられ、前記ドレイン配線の少なくともいずれかにおける前記ゲート配線と反対側に接続され、複数の前記ドレイン配線にそれぞれ接続される複数のスタブと、

を備えた半導体装置。

10

## 【請求項 3】

前記トランジスタの外側であって、前記出力配線における前記出力信号の伝達方向と逆側に配置されたダミー配線を備え、

前記出力配線における伝達方向と逆側の端は、前記トランジスタの前記外側まで延伸されて前記ダミー配線に接続されている

請求項 1 または請求項 2 に記載の半導体装置。

20

## 【請求項 4】

前記スタブの各々は、他の信号配線と交差せずに配線される

請求項 1 または請求項 2 に記載の半導体装置。

## 【請求項 5】

複数の前記スタブの配線長、配線幅および配線材料のそれぞれは、互いに同じである

請求項 4 に記載の半導体装置。

## 【請求項 6】

前記出力配線は、前記トランジスタの前記ゲート配線側に配置されている

請求項 1 または請求項 2 に記載の半導体装置。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本開示は、半導体装置に関する。

## 【背景技術】

## 【0002】

一般に、高周波信号を増幅するトランジスタを含む増幅器は、トランジスタの出力に整合回路を接続することでインピーダンスを整合させている。例えば、この種の整合回路は、トランジスタの出力に一端が接続されたインダクタと、インダクタの他端に並列に接続されたショートスタブおよびオープンスタブとを有する（例えば、特許文献 1 参照）。

40

## 【先行技術文献】

## 【特許文献】

## 【0003】

【文献】特開 2011-35761 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

増幅器の周波数帯域を広くし、周波数特性を向上するためには、トランジスタのドレイ

50

ン・ソース間容量を補償し、寄生容量の影響をできる限り見えなくする必要がある。従来、ドレイン・ソース間容量の補償は、トランジスタの出力に接続された整合回路にインダクタを付加することで行っている。しかしながら、ドレイン・ソース間容量を効率的に補償するためには、補償回路を整合回路内ではなく、トランジスタ内またはトランジスタの近傍に設けることが好ましい。

【0005】

そこで、本開示は、ドレイン・ソース間容量を補償し、周波数特性を向上することができるトランジスタおよびこのトランジスタが搭載された半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本実施形態の一観点によれば、半導体装置は、第1の方向に延伸され入力信号が伝達されるゲート配線と、前記ゲート配線に間隔を置いて接続され、前記第1の方向に直交する第2の方向に延伸する複数のゲート電極と、前記複数のゲート電極の各々を挟んで前記第1の方向に沿って設けられたソース領域およびドレイン領域とを含み、前記ゲート配線を挟んで前記第2の方向に並べて配置された2つのトランジスタと、前記ソース領域の各々の上に配置され、前記ソース領域に接続されたソース配線と、第1金属配線層を使用して設けられ、前記ドレイン領域の各々の上に配置され、前記ドレイン領域に接続されたドレイン配線と、前記トランジスタ上を前記ソース配線の少なくともいずれかおよび前記ゲート電極の少なくともいずれかを跨いで前記第1の方向に延伸し、前記ドレイン配線の各々に接続され、前記ドレイン領域から出力される出力信号が伝達され、前記ソース配線および前記ドレイン配線に使用される金属配線層より上層の金属配線層を使用して形成される出力配線と、2つの前記トランジスタの前記ドレイン領域に前記ドレイン配線を介して接続された前記出力配線を互いに接続する配線合成部と、前記第1金属配線層および前記第1金属配線層の上層である第2金属配線層の少なくともいずれかを使用して設けられ、前記ドレイン配線の少なくともいずれかにおける前記ゲート配線と反対側に接続されたスタブと、を備えている。

【発明の効果】

【0007】

本開示によれば、ドレイン・ソース間容量を補償し、周波数特性を向上することができるトランジスタおよびこのトランジスタが搭載された半導体装置を提供することができる。

【図面の簡単な説明】

【0008】

【図1】図1は、第1の実施形態にかかる半導体装置の回路構成の一例を示すレイアウト図である。

【図2】図2は、図1の半導体装置の概要を示す斜視図である。

【図3】図3は、図1の半導体装置の等価回路図である。

【図4】図4は、オープンスタブを有する窒化ガリウム高電子移動度トランジスタの等価回路図である。

【図5】図5は、図1の半導体装置が搭載される広帯域増幅器と、広帯域増幅器を含む通信システムの一例を示すシステム構成図である。

【図6】図6は、第2の実施形態にかかる半導体装置の回路構成の一例を示すレイアウト図である。

【図7】図7は、図6の半導体装置の等価回路図である。

【図8】図8は、第3の実施形態にかかる半導体装置の概要を示す斜視図である。

【図9】図9は、第4の実施形態にかかる半導体装置の概要を示す斜視図である。

【図10】図10は、第5の実施形態にかかる半導体装置の回路構成の一例を示すレイアウト図である。

【図11】図11は、第6の実施形態にかかる半導体装置の回路構成の一例を示すレイアウト図である。

10

20

30

40

50

【図 1 2】図 1 2 は、他の半導体装置の回路構成の一例を示すレイアウト図（比較例）である。

【図 1 3】図 1 3 は、図 1 2 の半導体装置の等価回路図である。

【発明を実施するための形態】

【0009】

[本開示の実施形態の説明]

最初に本開示の実施態様を列記して説明する。

【0010】

〔1〕本開示の一態様にかかる半導体装置は、第 1 の方向に延伸され入力信号が伝達されるゲート配線と、前記ゲート配線に間隔を置いて接続され、前記第 1 の方向に直交する第 2 の方向に延伸する複数のゲート電極と、前記複数のゲート電極の各々を挟んで前記第 1 の方向に沿って設けられたソース領域およびドレイン領域とを含むトランジスタと、前記ドレイン領域の各々の上に配置され、前記ドレイン領域に接続されたドレイン配線と、前記ドレイン配線に接続され、前記ドレイン領域から出力される出力信号が伝達される出力配線と、前記ドレイン配線の少なくともいずれかにおける前記ゲート配線と反対側に接続されたスタブと、を備えている。

10

【0011】

この半導体装置では、ドレイン配線の少なくともいずれかにスタブを接続することで、トランジスタの出力に接続された整合回路にスタブを設ける場合に比べて、トランジスタのドレイン・ソース間容量を効率的に補償することができる。この際、スタブをゲート配線と反対側からドレイン配線に接続することで、接続の容易性とスタブのレイアウトの自由度とを向上することができる。

20

【0012】

〔2〕上記〔1〕において、前記ドレイン配線は、第 1 金属配線層を使用して設けられ、前記スタブは、前記第 1 金属配線層および前記第 1 金属配線層の上層である第 2 金属配線層の少なくともいずれかを使用して設けられてもよい。これにより、例えば、第 1 金属配線層を使用して設けられる他の配線を跨いで、ドレイン配線とスタブとを互いに接続することができる。

【0013】

〔3〕上記〔2〕において、前記ソース領域の各々の上に配置され、前記ソース領域に接続されたソース配線を備え、前記出力配線は、前記トランジスタ上を前記ソース配線の少なくともいずれかおよび前記ゲート電極の少なくともいずれかを跨いで前記第 1 の方向に延伸し、前記ドレイン配線の各々に接続されてもよい。この場合、出力配線をトランジスタの周囲に迂回させることなく配置できるため、出力配線の配線抵抗および寄生容量を最小限にすることができる。したがって、出力配線をトランジスタの周囲に迂回させる場合に比べて、出力信号の周波数特性を向上することができる。

30

【0014】

〔4〕上記〔3〕において、前記出力配線は、前記ソース配線および前記ドレイン配線に使用される金属配線層より上層の金属配線層を使用して形成されてもよい。この場合、出力配線の下に絶縁膜が設けられないため、配線負荷を低減することができ、高周波特性を向上することができる。

40

【0015】

〔5〕上記〔4〕において、前記ゲート配線を挟んで前記第 2 の方向に並べて配置された 2 つの前記トランジスタと、2 つの前記トランジスタの前記ドレイン領域に前記ドレイン配線を介して接続された前記出力配線を互いに接続する配線合成部とを備えてもよい。2 つのトランジスタの周囲に迂回させず形成した出力配線を配線合成部に接続することで、合成配線部の電気長を短くすることができる。この結果、出力信号のインピーダンスおよび損失を低減することができ、オープンスタブにより周波数特性が向上する半導体装置の出力電力を増大することができる。また、配線合成部に接続される整合回路の回路サイズを削減することができ、半導体装置のサイズを小さくすることができる。

50

## 【 0 0 1 6 】

〔 6 〕 上記〔 4 〕または〔 5 〕において、複数の前記スタブが、複数の前記ドレイン配線にそれぞれ接続されてもよい。これにより、レイアウト設計において、配線長を同じすることで複数のスタブの寄生容量を互いに同じにすることができ、インダクタンスを互いに同じにすることができる。この結果、トランジスタにおいてゲート電極毎に形成されるサブトランジスタのインピーダンスを揃えることができ、出力信号の周波数特性の劣化を防止することができる。

## 【 0 0 1 7 】

〔 7 〕 上記〔 4 〕または〔 5 〕において、前記トランジスタの外側であって、前記出力配線における前記出力信号の伝達方向と逆側に配置されたダミー配線を備え、前記出力配線における伝達方向と逆側の端は、前記トランジスタの前記外側まで延伸されて前記ダミー配線に接続されてもよい。この場合、各ドレイン配線を介して各ドレイン領域に接続される出力配線による寄生容量の対称性を補償することができる。この補償回路は、マルチフィンガー型やフィッシュポーン型のように複数存在する、各ドレイン電極のインピーダンスを均一にし、インピーダンスミスマッチを低減する。その結果、提案のトランジスタ形状は、出力電力、および、利得を向上させることが可能となる。

10

## 【 0 0 1 8 】

〔 8 〕 上記〔 4 〕または〔 5 〕において、前記スタブの各々は、他の信号配線と交差せずに配線されてもよい。これにより、スタブを1つの金属配線層の配線のみを使用して形成することができる。この結果、スタブの寄生容量またはインダクタンス等の電気的特性を、容易に互いに同じにすることができる。

20

## 【 0 0 1 9 】

〔 9 〕 上記〔 8 〕において、複数の前記スタブの配線長、配線幅および配線材料のそれぞれは、互いに同じでもよい。この結果、スタブの寄生容量またはインダクタンス等の電気的特性を、容易に互いに同じにすることができる。

## 【 0 0 2 0 】

〔 1 0 〕 上記〔 4 〕または〔 5 〕において、前記出力配線は、前記トランジスタの前記ゲート配線側に配置されてもよい。これにより、出力配線の電気長、配線抵抗および寄生容量をさらに小さくすることができる。

## 【 0 0 2 1 】

〔 本開示の実施形態の詳細 〕

本開示の半導体装置の具体例を、以下に図面を参照しつつ説明する。なお、本実施形態は、以下の説明に限定されるものではない。例えば、1つのトランジスタ領域 T R A に設けられるゲート電極は、少なくとも2本あればよく、各図に示す本数に限定されない。

30

## 【 0 0 2 2 】

〔 第 1 の実施形態 〕

〔 半導体装置のレイアウト 〕

図 1 は、第 1 の実施形態にかかる半導体装置の回路構成の一例を示すレイアウト図である。例えば、図 1 に示す半導体装置 1 0 0 は、ミリ波帯（数十 G H z から数百 G H z ）の広帯域増幅器に搭載され、高周波信号の電力を増幅するために使用される。

40

## 【 0 0 2 3 】

半導体装置 1 0 0 は、共通の入力端子 I N に供給される高周波の入力信号を増幅し、増幅した高周波の出力信号を共通の出力端子 O U T から出力するトランジスタ T R 1 を有する。トランジスタ T R 1 は、点線の矩形で示すトランジスタ領域 T R A に形成される。例えば、トランジスタ T R 1 は、窒化ガリウム高電子移動度トランジスタ（ G a N H E M T : Gallium Nitride High Electron Mobility Transistor ）である。なお、トランジスタ T R 1 は、 G a A s トランジスタでもよい。

## 【 0 0 2 4 】

トランジスタ T R 1 は、方向 D I R 1 に延伸され入力信号が伝達されるゲート配線 W G に間隔を置いて接続され、方向 D I R 1 に直交する方向 D I R 2 に延伸する 4 本のゲート

50

電極 G 1 を有する。また、トランジスタ T R 1 は、4 つのゲート電極 G 1 の各々を挟んで方向 D I R 1 に沿って交互に設けられたソース領域 S 1 およびドレイン領域 D 1 を有する。方向 D I R 1 は、第 1 の方向の一例であり、方向 D I R 2 は、第 2 の方向の一例である。

【 0 0 2 5 】

例えば、ゲート電極 G 1 は、第 1 金属配線層 M 1 を使用して形成される。第 1 金属配線層 M 1 は、半導体装置 1 0 0 が形成される半導体基板に最も近い金属配線層である。図 1 に示す例では、トランジスタ T R 1 が形成されるトランジスタ領域 T R A において、方向 D I R 1 の両端側にドレイン領域 D 1 が形成される。そして、トランジスタ T R 1 は、交互に設けられた 3 つのドレイン領域 D 1 と 2 つのソース領域 S 1 とを有する。

【 0 0 2 6 】

ドレイン領域 D 1 には、第 1 金属配線層 M 1 を使用して形成されるドレイン配線（ドレイン電極）W D 1 が直接接続される。ソース領域 S 1 には、第 1 金属配線層 M 1 を使用して形成されるソース配線 W S 1（ソース電極）が直接接続される。なお、各図において、X 印を含む矩形は、第 1 金属配線層 M 1 を使用して形成される配線と、第 2 金属配線層 M 2 を使用して形成される配線との接続部分を示す。

【 0 0 2 7 】

ソース領域 S 1 上に形成されるソース配線 W S 1 は、方向 D I R 2 におけるゲート配線 W G と反対側の端でグランドパターン G N D と直接接続される。ソース配線 W S 1 およびグランドパターン G N D は、第 1 金属配線層 M 1 を使用して一体に形成される。また、グランドパターン G N D は、ビア V I A を介して半導体装置 1 0 0 の基板の裏面全体に形成されたグランドパターンに接続される。

【 0 0 2 8 】

各ドレイン配線 W D 1 は、方向 D I R 1 に延伸される出力配線 W O 1 にドレイン領域 D 1 上で接続される。出力配線 W O 1 は、第 2 金属配線層 M 2 を使用して形成され、各ドレイン配線 W D 1 におけるゲート配線 W G 側に接続される。第 2 金属配線層 M 2 は、半導体装置 1 0 0 において、第 1 金属配線層 M 1 の上に設けられる金属配線層である。

【 0 0 2 9 】

ドレイン配線 W D 1 に接続される出力配線 W O 1 は、ソース配線 W S 1 およびゲート電極 G 1 を跨いで形成され、出力配線 W O 3 に接続される。出力配線 W O 1 により、各ドレイン配線 W D 1 を直線的に出力配線 W O 3 に接続することができる。出力配線 W O 1 は、ゲート電極 G 1 およびソース配線 W S 1 を迂回させることなくレイアウトできるため、トランジスタ T R 1 の出力信号が伝達される出力配線 W O 1、W O 3 の配線抵抗または配線容量等の寄生的な付加成分を最小限にすることができる。この結果、出力配線をトランジスタの周囲に迂回させる場合に比べて、出力信号の周波数特性を向上することができる。

【 0 0 3 0 】

出力端子 O U T 側（図 1 の右側）のドレイン配線 W D 1 は、第 1 金属配線層 M 1 を使用して形成される出力配線 W O 3 に直接接続される。そして、各ドレイン配線 W D 1 は、出力配線 W O 3 を介して出力端子 O U T に電氣的に接続される。

【 0 0 3 1 】

各ドレイン配線 W D 1 におけるゲート配線 W G と反対側は、第 2 金属配線層 M 2 を使用して形成される E 字状のドレイン配線 W D 3 に接続される。ドレイン配線 W D 3 は、各ドレイン配線 W D 1 に対応する位置に、ゲート配線 W G と反対側に突出し、グランドパターン G N D を跨ぐ突出部を有する。3 つの突出部の先端は、第 1 金属配線層 M 1 を使用して形成されるオープンスタブ S T B にそれぞれ接続される。すなわち、オープンスタブ S T B は、ゲート配線 W G と反対側からドレイン配線 W D 1 に接続される。

【 0 0 3 2 】

オープンスタブ S T B は、ドレイン配線 W D 3 の突出部を含めて定義されてもよい。オープンスタブ S T B は、他の信号配線とは交差されずに配線される。なお、接地されるグランドパターン G N D は、他の信号配線に含まれない。また、オープンスタブ S T B は、互いに交差しない。これにより、ドレイン配線 W D 1 に接続されるオープンスタブ S T B

10

20

30

40

50

の接続の容易性とスタブのレイアウトの自由度とを向上することができる。すなわち、レイアウト設計を容易にすることができる。

【0033】

なお、第2金属配線層M2を使用して形成されたオープンスタブSTBが、第2金属配線層M2を使用して形成されるドレイン配線WD3の突出部に直接接続されてもよい。第1および第2金属配線層M1、M2間の接続を少なくすることで、オープンスタブSTBのレイアウト設計をさらに容易にすることができる。

【0034】

オープンスタブSTBの長さは、トランジスタTR1から出力される出力信号の波長の4分の1 ( $\lambda/4$ )以上に設計される。これにより、オープンスタブSTBをインダクタ成分として機能させることができ、トランジスタTR1のドレイン・ソース間容量を効率的に補償することができる。すなわち、各ドレイン電極WD1からインダクティブに見えるオープンスタブSTBにより、ドレイン・ソース間容量を効率的にキャンセルすることができる。また、オープンスタブSTBの配線長、配線幅および配線材料のそれぞれは、互いに同じである。これにより、複数のオープンスタブSTBの寄生容量を容易に互いに同じにすることができ、インダクタンスを容易に互いに同じにすることができる。一例として、半導体装置100が、比誘電率が9から12程度の窒化ガリウム(GaN)層または窒化アルミニウムガリウム(AlGaN)層等の化合物半導体を使用して製造され、出力信号の周波数帯が80GHzであるとすると、このとき、 $\lambda/4$ は、350 $\mu\text{m}$ 程度になる。

【0035】

半導体装置100の基板の裏面全体に形成されたグランドパターンにより、各オープンスタブSTBは、マイクロストラップライン構造を有する。なお、オープンスタブSTBの代わりにショートスタブが設けられてもよい。また、半導体装置100は、マイクロ波帯(数GHzから数十GHz)の広帯域増幅器に搭載されてもよい。この場合、オープンスタブSTBの長さは、出力信号の波長の4分の1以上になるように、図1のオープンスタブSTBよりも長く設計される。

【0036】

なお、図1では、ソース配線WS1およびグランドパターンGNDを第1金属配線層M1で一体化して形成している。しかしながら、ソース配線WS1とグランドパターンGNDとの接続は、第2金属配線層M2に形成したグランド配線を介して行われてもよい。この場合、第2金属配線層M2のグランド配線は、ドレイン配線WD3と出力配線WO1との間に、方向DIR1に沿って形成される。

【0037】

そして、第2金属配線層M2のグランド配線は、グランドパターンGNDまで延伸されてグランドパターンGNDに接続される。これにより、後述する図11と同様に、第1金属配線層M1のみを使用して各オープンスタブSTBを各ドレイン配線WD1と一体に形成することができる。この結果、第2金属配線層M2を使用してオープンスタブSTBを形成する場合に比べて、オープンスタブSTBのレイアウト設計を容易にすることができる。

【0038】

〔出力配線のエアブリッジ配線構造〕

図2は、図1の半導体装置100の概要を示す斜視図である。各ドレイン領域D1は、ドレイン配線WD1およびエアブリッジ配線構造を有する出力配線WO1を介して出力配線WO3に接続される。このため、出力配線WO1と、出力配線WO1と対向するゲート電極G1およびソース配線WS1との間には、空気による間隙が形成される。出力配線WO1の下に絶縁膜が設けられないため、配線負荷を低減することができ、高周波特性を向上することができる。

【0039】

例えば、半導体装置100は、シリコンカーバイド(SiC)基板上に積層された窒化

10

20

30

40

50

ガリウム層、窒化アルミニウムガリウム層および窒化ガリウム層を有する。シリコンカーバイド基板の裏面全体のグランドパターンには、金 (Au) の膜が形成される。

【0040】

最も上の窒化ガリウム層の上には、第1金属配線層M1を使用してゲート電極G1、ソース配線WS1およびドレイン配線WD1が形成される。例えば、ゲート電極G1、ソース配線WS1、ドレイン配線WD1およびオープンスタブSTBは、金 (Au) で形成される。

【0041】

ゲート電極G1は、窒化ガリウム層とショットキー接続される。なお、ゲート電極G1は、リセス構造にされてもよい。トランジスタ領域TRAにおいてソース配線WS1およびドレイン電極WD1は、窒化ガリウム層とオーミック接触される。

10

【0042】

〔半導体装置の等価回路〕

図3は、図1の半導体装置100の等価回路図である。図3では、ゲート電極G1毎に形成される4つのトランジスタは、サブトランジスタSTRと称される。この実施形態では、4つのサブトランジスタSTRのうち、中央の2つのサブトランジスタSTRのソース領域S1およびドレイン領域D1は、隣接するサブトランジスタSTRのソース領域S1およびドレイン領域D1にそれぞれ共有される。

【0043】

図1に示したように、ドレイン配線WD1とオープンスタブSTBとは、グランドパターンGNDと交差させて互いに接続される。このため、図1に示した各オープンスタブSTBに接続されるドレイン配線WD3 (第2金属配線層M2) の突出部と、グランドパターンGND (第1金属配線層M1) との間には、配線間容量Cpが形成される。しかしながら、ドレイン配線WD1とオープンスタブSTBとを接続する構造は、全て同じため、配線間容量Cpは、全て同じになる。このため、オープンスタブSTBのインダクタンスを全て同じにすることができ、インダクタンスの差によるトランジスタTR1の特性の劣化を防止することができる。

20

【0044】

〔窒化ガリウム高電子移動度トランジスタの等価回路〕

図4は、オープンスタブSTBを有する窒化ガリウム高電子移動度トランジスタの等価回路図である。図4において、符号Rg、Rs、Rds、Riは、それぞれゲート抵抗、ソース抵抗、ドレイン・ソース間抵抗、内部抵抗を示す。符号Cgd、Cgs、Cdsは、それぞれゲート・ドレイン間容量、ゲート・ソース間容量、ドレイン・ソース間容量を示す。符号gmVgsは、ドレイン電流 (電流源) を示す。

30

【0045】

トランジスタの広帯域化には、ドレイン・ソース間容量Cdsを補償する必要がある。通常、ドレイン・ソース間容量Cdsの補償は、トランジスタの外側に接続される整合回路により行われる。しかしながら、補償の効果をより上げるためには、トランジスタ自体もしくはトランジスタの近傍でドレイン・ソース間容量Cdsを補償することが好ましい。このため、本実施形態では、トランジスタのドレインに直接接続されるオープンスタブSTBが設けられる。

40

【0046】

〔半導体装置が搭載される通信システム〕

図5は、図1の半導体装置100が搭載される広帯域増幅器14と、広帯域増幅器14を含む通信システムSYSの一例を示すシステム構成図である。通信システムSYSは、高周波信号を無線で送信する送信機10と、送信機10から送信される高周波信号を受信する受信機20とを有する。例えば、送信機10および受信機20は、携帯電話の基地局に搭載される。

【0047】

送信機10は、可変利得増幅器12、広帯域増幅器14および送信アンテナ16を有す

50

る。受信機 20 は、受信アンテナ 22 および図示しない受信回路を有する。可変利得増幅器は、例えば、制御電圧に応じて入力信号の利得を変化させて出力信号を生成し、生成した出力信号を広帯域増幅器 14 に出力する。

【0048】

広帯域増幅器 14 は、可変利得増幅器 12 から受信した信号の電力を増幅し、送信アンテナ 16 に出力する。送信アンテナ 16 は、広帯域増幅器 14 から受信する電気信号を電波に変換し、受信機 20 に向けて送信する。受信機 20 は、送信機 10 からの電波を受信アンテナ 22 で受信して信号処理を実施する。

【0049】

広帯域増幅器 14 は、ドレイン配線 WD1 に直接接続されたオープンスタブ STB を含む半導体装置 100 を有するため、送信機 10 から送信される無線信号の周波数特性を向上することができる。

10

【0050】

以上、この実施形態では、トランジスタ TR1 の各ドレイン領域 D1 に接続されるドレイン配線（ドレイン電極）WD1 のそれぞれにオープンスタブ STB が直接接続される。換言すれば、オープンスタブ STB は、トランジスタ TR1 からの出力信号が伝達される出力配線 WO3 よりトランジスタ TR1 側でトランジスタ TR1 に接続される。これにより、トランジスタ TR1 の出力に接続された整合回路にオープンスタブ STB を設ける場合に比べて、トランジスタ TR1 のドレイン・ソース間容量を効率的に補償することができる。

20

【0051】

オープンスタブ STB は、他の信号配線と交差せずに配線することが可能である。また、オープンスタブ STB の配線長、配線幅および配線材料のそれぞれは、互いに同じに設計することが可能である。これにより、複数のオープンスタブ STB の寄生容量を互いに同じにすることができ、インダクタンスを互いに同じにすることができる。すなわち、複数のオープンスタブ STB の電気的特性を互いに同じにすることができる。複数のオープンスタブ STB の寄生容量およびインダクタンスのそれぞれを互いに同じにすることで、ゲート電極 G1 毎に形成されるサブトランジスタ STR のインピーダンスを互いに揃えることができ、トランジスタ TR1 の出力信号の周波数特性の劣化を防止することができる。

【0052】

オープンスタブ STB の配線長、配線幅および配線材料のそれぞれを互いに同じにすることで、複数のオープンスタブ STB の寄生容量を容易に互いに同じにすることができ、インダクタンスを容易に互いに同じにすることができる。

30

【0053】

ソース配線 WS1 およびゲート電極 G1 を跨いで形成される出力配線 WO1 により、各ドレイン配線 WD1 を直線的に出力配線 WO3 に接続することができる。出力配線 WO1 をゲート電極 G1 およびソース配線 WS1 を迂回せずにレイアウトできるため、出力配線 WO1、WO3 の配線抵抗および寄生容量を最小限にすることができ、出力信号の周波数特性を向上することができる。

【0054】

オープンスタブ STB の長さは、トランジスタ TR1 から出力される出力信号の波長の 4 分の 1 以上に設計される。これにより、オープンスタブ STB をインダクタ成分として機能させることができ、トランジスタ TR1 のドレイン・ソース間容量を効率的に補償することができる。すなわち、各ドレイン電極 WD1 からインダクティブに見えるオープンスタブ STB により、ドレイン・ソース間容量を効率的に補償することができる。

40

【0055】

送信機 10 に搭載される広帯域増幅器 14 は、ドレイン配線 WD1 に直接接続されたオープンスタブ STB を含む半導体装置 100 を有する。このため、送信機 10 から送信される無線信号の周波数特性を向上することができる。

【0056】

50

〔第2の実施形態〕

〔半導体装置のレイアウト〕

図6は、第2の実施形態にかかる半導体装置の回路構成の一例を示すレイアウト図である。図1と同様の要素については、同じ符号を付し、詳細な説明は省略する。図6に示す半導体装置102は、方向DIR1に延伸されるゲート配線WGを軸として線対称にレイアウトされた2つのトランジスタTR1、TR2を有する。すなわち、半導体装置102は、背骨部分に対応するゲート配線WGの両側にゲート電極G1、G2が直接接続された、いわゆるフィッシュボーン型のトランジスタ構造を有する。例えば、半導体装置102は、半導体装置100の代わりに、図5の電力増幅器14に搭載される。

【0057】

トランジスタTR1は、各要素の名称も含めて、図1に示したトランジスタTR1と同じである。トランジスタTR2は、各要素の名称が異なることを除き、図1に示したトランジスタTR1と同じである。トランジスタTR2は、ゲート配線WGに接続され、方向DIR2に延伸する4本のゲート電極G2を有する。トランジスタTR2は、各ゲート電極G2の各々を挟んで方向DIR1に沿って交互に設けられたソース領域S2およびドレイン領域D2を有する。ドレイン領域D2には、ドレイン配線（ドレイン電極）WD2が直接接続される。ソース領域S2には、グランドパターンGNDに接続されたソース配線（ソース電極）WS2が直接接続される。

【0058】

ここでフィッシュボーン型のゲート電極、もしくは、フィッシュボーン型のトランジスタの説明を行う。フィッシュボーンとは、魚の骨という意味である。魚は、頭と尾ひれを繋ぐ背骨があり、その背骨にほぼ垂直に背びれ側と腹びれ側に、それぞれ互いに逆向きに延伸するろっ骨などの細い骨がある。この背骨にあたるゲート配線WGを中心とし、細い骨にあたるゲート電極G1、G2がゲート配線WGを挟み両側に配置されるゲート電極構造を言う。さらに、それぞれのゲート電極G1、G2を挟むように両側にそれぞれのソース領域S1、S2とドレイン領域D1、D2が配置され、それぞれでトランジスタTR1、TR2が形成される構造を言う。フィッシュボーン型のトランジスタのゲート幅は、ゲート配線に接続されたそれぞれのゲート電極の幅を合計した値となる。

【0059】

各ドレイン配線WD2は、方向DIR1に延伸される出力配線WO2に接続される。出力配線WO2は、各ドレイン配線WD2におけるゲート配線WG側に接続される。ドレイン配線WD2に接続される出力配線WO2は、ソース配線WS2およびゲート電極G2を跨いで形成され、方向DIR2に延伸される出力配線WO3に接続される。出力配線WO2により、各ドレイン配線WD2を直線的に出力配線WO3に接続することができる。

【0060】

各ドレイン配線WD2におけるゲート配線WGと反対側は、第2金属配線層M2を使用して形成されるドレイン配線WD4に接続される。ドレイン配線WD4は、ドレイン配線WD2に対応する位置に、ゲート配線WGと反対側に突出し、グランドパターンGNDを跨ぐ突出部を有する。3つの突出部の先端は、オープンスタブSTBにそれぞれ接続される。なお、オープンスタブSTBは、ドレイン配線WD4の突出部を含めて定義されてもよい。

【0061】

出力配線WO3の一端側および他端側は、出力配線WO1、WO2にそれぞれ接続される。出力配線WO3の方向DIR2の中央部分は、出力配線WO4を介して出力端子OUTに電氣的に接続される。出力配線WO3、WO4は、配線合成部の一例である。この実施形態では、出力配線WO1をゲート電極G1およびソース配線WS1を迂回させることなく出力配線WO3の一端に接続させることができる。同様に、出力配線WO2をゲート電極G2およびソース配線WS2を迂回させることなく出力配線WO3の他端に接続させることができる。

【0062】

10

20

30

40

50

したがって、トランジスタ  $TR1$ 、 $TR2$  の出力信号が伝達される出力配線  $WO1$ 、 $WO2$ 、 $WO3$  の配線抵抗および寄生容量を最小限にすることができ、出力信号の周波数特性を向上することができる。また、出力配線  $WO3$  の方向  $DIR2$  の電気長を最小限にすることができる。特に、出力配線  $WO1$ 、 $WO2$  をゲート配線  $WG$  側に配置することで、出力配線  $WO3$  の方向  $DIR2$  の電気長を最小限にすることができる。さらに、最小限の長さの出力配線  $WO1$ 、 $WO2$ 、 $WO3$  に接続されるトランジスタ  $TR1$ 、 $TR2$  が、ゲート配線  $WG$  を軸として線対称に形成されるため、出力配線  $WO1$ 、 $WO2$  に伝達される出力信号の位相ずれを小さくすることができる。

#### 【0063】

この結果、半導体装置 102 からの出力信号の損失を低減することができ、半導体装置 102 の出力電力を増大することができる。さらに、出力配線  $WO1$ 、 $WO2$  がエアブリッジ配線構造を有するため、配線の寄生容量を低減することができ、高周波特性を向上することができる。

10

#### 【0064】

図7は、図6の半導体装置 102 の等価回路図である。図3と同様の要素については、詳細な説明は省略する。図7では、2つのトランジスタ  $TR1$ 、 $TR2$  が、入力端子  $IN$  と出力端子  $OUT$  とを結ぶ線を軸として線対称に配置されている。トランジスタ  $TR1$ 、 $TR2$  の回路要素は、図3に示したトランジスタ  $TR1$  の回路要素と同様である。

#### 【0065】

図7においても、図3と同様に、図6に示した各オープンスタブ  $STB$  に接続されるドレイン配線  $WD3$ 、 $WD4$  (第2金属配線層  $M2$ ) の突出部と、グランドパターン  $GND$  (第1金属配線層  $M1$ ) との間には、配線間容量  $Cp$  がそれぞれ形成される。しかしながら、配線間容量  $Cp$  は全て同じになるため、オープンスタブ  $STB$  のインダクタンスを全て同じにすることができ、インダクタンスの差によるトランジスタ  $TR1$  の特性の劣化を防止することができる。

20

#### 【0066】

以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。例えば、ドレイン配線  $WD1$ 、 $WD2$  のそれぞれにオープンスタブ  $STB$  を直接接続することで、トランジスタ  $TR1$  のドレイン・ソース間容量を効率的に補償することができる。さらに、この実施形態では、フィッシュボーン型のトランジスタ構造を有する半導体装置 102 において、トランジスタ  $TR1$  の出力配線  $WO1$  とトランジスタ  $TR2$  の出力配線  $WO2$  とを接続する出力配線  $WO3$  の方向  $DIR2$  の電気長を最小限にすることができる。

30

#### 【0067】

この結果、出力信号の損失を低減することができ、オープンスタブ  $STB$  により周波数特性が向上する半導体装置 102 の出力電力を増大することができる。

#### 【0068】

出力配線  $WO1$  をドレイン配線  $WD1$  のゲート配線  $WG$  側に配置し、出力配線  $WO2$  をドレイン配線  $WD2$  のゲート配線  $WG$  側に配置することで、出力配線  $WO3$  の電気長、配線抵抗および寄生容量を、さらに小さくすることができる。ドレイン配線  $WD1$ 、 $WD2$  から出力配線  $WO4$  までの配線長を互いに等しくし、かつ最短にすることで、出力配線  $WO1$ 、 $WO2$  を介して出力配線  $WO4$  に伝達される出力信号の位相ずれを小さくすることができる。

40

#### 【0069】

図8は、第3の実施形態にかかる半導体装置の概要を示す斜視図である。図2と同様の要素については同じ符号を付し、詳細な説明は省略する。図8に示す半導体装置 104 は、出力配線  $WO1$  において出力配線  $WO3$  と反対側の端に、トランジスタ領域  $TRA$  の外側まで延伸され、トランジスタ領域  $TRA$  の外側に配置されたダミー配線  $DMY1$  を有する。例えば、ダミー配線  $DMY1$  は、第1金属配線層  $M1$  を使用して形成され、出力配線  $WO1$  以外に電氣的に接続されない。例えば、半導体装置 104 は、半導体装置 100 の

50

代わりに、図 5 の電力増幅器 1 4 に搭載される。

#### 【 0 0 7 0 】

図 8 に示す出力配線 W O 1 の 3 つの部分配線は、それぞれエアブリッジ配線構造を有する。例えば、図 8 の左側のドレイン配線 W D 1 とダミー配線 D M Y 1 との距離は、2 つのドレイン配線 W D 1 間の距離および図 8 の右側のドレイン配線 W D 1 と出力配線 W O 3 との距離と等しい。このため、各ドレイン配線 W D 1 に対して方向 D I R 1 の両側に向けて延伸し、隣接するドレイン配線 W D 1 と出力配線 W O 3 (またはダミー配線 D M Y 1) とに接続される出力配線 W O 1 の部分配線に対称性を持たせることができる。

#### 【 0 0 7 1 】

この結果、ドレイン配線 W D 1 を介して各ドレイン領域 D 1 に接続される出力配線 W O 1 による寄生容量に対称性を持たせることができ、高周波特性を向上させることができる。なお、ゲート電極 G 1 の数が奇数(例えば、3 本)の場合で、図 8 の最も左側にあるゲート電極 G 1 とソース領域 S 1 とが形成されない場合にも、ダミー配線 D M Y 1 は、図 8 に示す位置に配置される。そして、出力配線 W O 1 は、ダミー配線 D M Y 1 に接続される。これにより、ゲート電極 G 1 の数にかかわらず、出力配線 W O 1 による寄生容量に対称性を持たせることができる。

10

#### 【 0 0 7 2 】

以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。例えば、ドレイン配線 W D 1 にオープンスタブ S T B を直接接続することで、トランジスタ T R 1 のドレイン・ソース間容量を効率的に補償することができる。さらに、この実施形態では、出力配線 W O 1 において出力配線 W O 3 との接続部分と反対側の端は、ダミー配線 D M Y 1 に接続される。これにより、各ドレイン配線 W D 1 を介して各ドレイン領域 D 1 に接続される出力配線 W O 1 による寄生容量に対称性を持たせることができ、高周波特性を向上させることができる。

20

#### 【 0 0 7 3 】

図 9 は、第 4 の実施形態にかかる半導体装置の概要を示す斜視図である。図 2、図 6 および図 8 と同様の要素については同じ符号を付し、詳細な説明は省略する。図 9 に示す半導体装置 1 0 6 は、図 6 に示したトランジスタ T R 1、T R 2 を有する半導体装置 1 0 2 の出力配線 W O 1、W O 2 にダミー配線 D M Y 1、D M Y 2 がそれぞれ接続された構造と同様である。例えば、半導体装置 1 0 6 は、半導体装置 1 0 0 の代わりに、図 5 の電力増幅器 1 4 に搭載される。以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。

30

#### 【 0 0 7 4 】

図 1 0 は、第 5 の実施形態にかかる半導体装置の回路構成の一例を示すレイアウト図である。図 1 および図 6 と同様の要素については同じ符号を付し、詳細な説明は省略する。図 1 0 に示す半導体装置 1 0 8 は、トランジスタ T R 1 において出力配線 W O 3 と反対側に位置するドレイン配線 W D 1 のみにオープンスタブ S T B が接続される。同様に、トランジスタ T R 2 において出力配線 W O 3 と反対側に位置するドレイン配線 W D 2 のみにオープンスタブ S T B が接続される。例えば、半導体装置 1 0 8 は、半導体装置 1 0 0 の代わりに、図 5 の電力増幅器 1 4 に搭載される。

40

#### 【 0 0 7 5 】

なお、オープンスタブ S T B は、中央に位置するドレイン配線 W D 1、W D 2 のみにそれぞれ接続されてもよい。あるいは、オープンスタブ S T B は、出力配線 W O 3 側に位置するドレイン配線 W D 1、W D 2 のみにそれぞれ接続されてもよい。また、第 2 金属配線層 M 2 を使用して形成されたオープンスタブ S T B が、第 2 金属配線層 M 2 を使用して形成される L 字状のドレイン配線 W D 3、W D 4 の突出部にそれぞれ直接接続されてもよい。以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。

#### 【 0 0 7 6 】

図 1 1 は、第 6 の実施形態にかかる半導体装置の回路構成の一例を示すレイアウト図である。図 1 および図 6 と同様の要素については同じ符号を付し、詳細な説明は省略する。

50

図 1 1 に示す半導体装置 1 1 0 は、トランジスタ T R 1 においてソース領域 S 1 とドレイン領域 D 1 の並び順が図 6 と相違する。また、トランジスタ T R 2 においてソース領域 S 2 とドレイン領域 D 2 の並び順が図 6 と相違する。なお、図 1 1 は、ゲート電極 G 1 の数およびゲート電極 G 2 の数がそれぞれ偶数の場合を示す。例えば、半導体装置 1 1 0 は、半導体装置 1 0 0 の代わりに、図 5 の電力増幅器 1 4 に搭載される。

【 0 0 7 7 】

トランジスタ T R 1 において、3つのソース領域 S 1 は、方向 D I R 1 の両端と中央とにそれぞれ形成される。各ドレイン領域 D 1 上に配置されるドレイン配線 W D 1 は、各ドレイン領域 D 1 に直接接続される。方向 D I R 1 の両端のソース領域 S 1 上に配置されるソース配線 W S 1 は、グランドパターン G N D に直接接続される。

10

【 0 0 7 8 】

方向 D I R 1 の中央のソース領域 S 1 上に配置されるソース配線 W S 1 は、方向 D I R 1 に延伸するソース配線 W S 3 を介して、方向 D I R 1 の両端のソース配線 W S 1 に接続される。ソース配線 W S 3 は、第 2 金属配線層 M 2 を使用して形成される。2つのドレイン配線（ドレイン電極）W D 1 は、第 1 金属配線層 M 1 を使用して形成されるオープスタブ S T B にそれぞれ直接接続される。

【 0 0 7 9 】

トランジスタ T R 2 において、3つのソース領域 S 2 は、方向 D I R 1 の両端と中央とにそれぞれ形成される。各ドレイン領域 D 2 上に配置されるドレイン配線 W D 2 は、各ドレイン領域 D 2 に直接接続される。方向 D I R 1 の両端のソース領域 S 2 上に配置されるソース配線 W S 2 は、グランドパターン G N D に直接接続される。

20

【 0 0 8 0 】

方向 D I R 1 の中央のソース領域 S 2 上に配置されるソース配線 W S 2 は、方向 D I R 1 に延伸するソース配線 W S 4 を介して、方向 D I R 1 の両端のソース配線 W S 2 に接続される。ソース配線 W S 4 は、第 2 金属配線層 M 2 を使用して形成される。2つのドレイン配線（ドレイン電極）W D 2 は、第 1 金属配線層 M 1 を使用して形成されるオープスタブ S T B にそれぞれ直接接続される。

【 0 0 8 1 】

この実施形態では、方向 D I R 1 の中央部分に配置されるソース配線 W S 1 は、第 2 金属配線層 M 2 を使用して形成されるソース配線 W S 3 を介してグランドパターン G N D に接続される。方向 D I R 1 の中央部分に配置されるソース配線 W S 2 は、第 2 金属配線層 M 2 を使用して形成されるソース配線 W S 4 を介してグランドパターン G N D に接続される。

30

【 0 0 8 2 】

これにより、第 2 金属配線層 M 2 を使用することなく、第 1 金属配線層 M 1 のみを使用して各オープスタブ S T B を各ドレイン配線 W D 1 または W D 2 と一体に形成することができる。この結果、第 2 金属配線層 M 2 を使用する場合に比べて、オープスタブ S T B のレイアウト設計を容易にすることができる。以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。

【 0 0 8 3 】

図 1 2 は、他の半導体装置の回路構成の一例を示すレイアウト図（比較例）である。図 1 および図 6 と同様の要素については同じ符号を付し、詳細な説明は省略する。図 1 2 に示す半導体装置 2 0 0 に搭載されるトランジスタ T R 1 は、いわゆるマルチフィンガー型のトランジスタ構造を有する。マルチフィンガー型のトランジスタ T R 1 では、トランジスタ T R 1 に入力される入力信号の伝達方向と、トランジスタ T R 1 から出力される出力信号の伝達方向とが、ゲート電極 G 1 の延伸方向と一致する。

40

【 0 0 8 4 】

例えば、トランジスタ T R 1 は、方向 D I R 1 に延伸する 8 本のゲート電極 G 1 を有し、方向 D I R 2 の両端にソース領域 S 1 が形成される。4つのドレイン領域 D 1 上に配置され、第 1 金属配線層 M 1 を使用して形成されるドレイン配線 W D 1 は、第 1 金属配線層

50

M 1 を使用して形成される出力配線 W O 3 に直接接続される。

【 0 0 8 5 】

4 つのドレイン配線 W D 1 のそれぞれに接続される 4 つのオープンスタブ S T B ( S T B a、S T B b ) の配線は、各ドレイン配線 W D 1 と出力配線 W O 3 の接続部分から引き出される。但し、方向 D I R 2 の中央側の 2 つのドレイン配線 W D 1 に接続されるオープンスタブ S T B b は、オープンスタブ S T B a に接続される出力配線 W O 3 を跨ぐ、第 2 金属配線層 M 2 に形成された配線を有する。

【 0 0 8 6 】

図 1 3 は、図 1 2 の半導体装置 2 0 0 の等価回路図である。図 1 3 に示すように、オープンスタブ S T B b は、出力配線 W O 3 との間の配線間容量 C p を、オープンスタブ S T B a に対して余分に持つ。このため、オープンスタブ S T B b のインダクタンスは、オープンスタブ S T B a のインダクタンスに比べて小さくなる。これにより、オープンスタブ S T B b に接続されるサブトランジスタ S T R と、オープンスタブ S T B a に接続されるサブトランジスタ S T R との間でインピーダンスに差が発生し、トランジスタ T R 1 の周波数特性を劣化させてしまう。

【 0 0 8 7 】

これに対して、図 6、図 9、図 1 0 および図 1 1 に示したフィッシュボーン型のトランジスタ構造を有する半導体装置 1 0 2、1 0 6、1 0 8、1 1 0 では、オープンスタブ S T B が交差しない構造を有する。このため、オープンスタブ S T B 間でインダクタンスの差はなく、サブトランジスタ S T R 間でのインピーダンスの差は発生しない。したがって、トランジスタ T R 1、T R 2 の周波数特性の劣化を抑制することができる。

【 0 0 8 8 】

以上、本開示の実施形態などについて説明したが、本開示は上記実施形態などに限定されない。特許請求の範囲に記載された範囲内において、各種の変更、修正、置換、付加、削除、および組み合わせが可能である。それらについても当然に本開示の技術的範囲に属する。

【 符号の説明 】

【 0 0 8 9 】

1 0 送信機

1 2 可変利得増幅器

1 4 広帯域増幅器

1 6 送信アンテナ

2 0 受信機

2 2 受信アンテナ

1 0 0、1 0 2、1 0 4、1 0 6、1 0 8、1 1 0 半導体装置

2 0 0 半導体装置

C p 配線間容量

D 1、D 2 ドレイン領域

D I R 1、D I R 2 方向

D M Y 1、D M Y 2 ダミー配線

G 1、G 2 ゲート電極

G N D グランド配線

I N 入力端子

L 1 電気長

M 1 第 1 金属配線層

M 2 第 2 金属配線層

O U T 出力端子

S 1、S 2 ソース領域

S T B、S T B a、S T B b

S T R サブトランジスタ

10

20

30

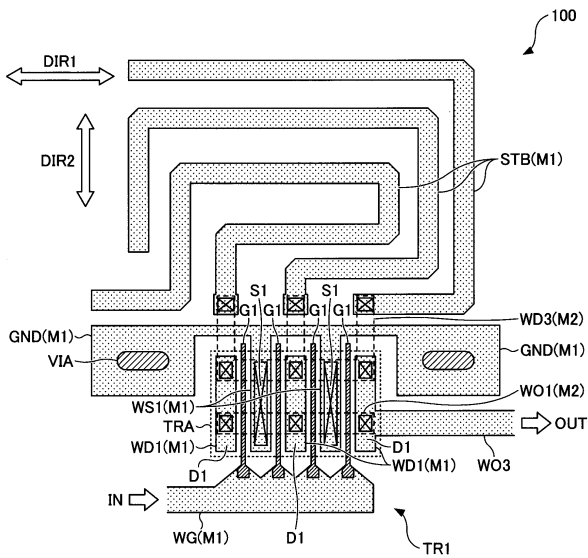
40

50

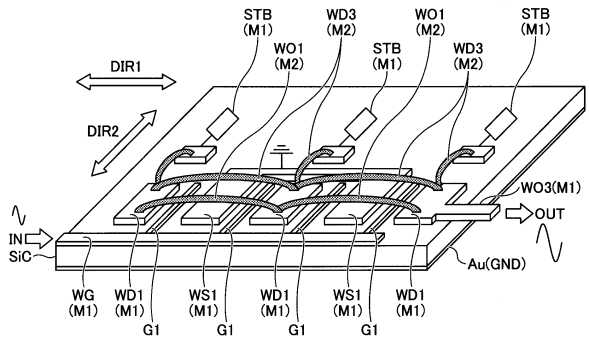
S Y S 通信システム  
 T R 1、T R 2 トランジスタ  
 T R A トランジスタ領域  
 V I A ビア  
 W D 1、W D 2、W D 3、W D 4 ドレイン配線  
 W I 1 入力配線  
 W O 1、W O 2、W O 3、W O 4 出力配線  
 W O U T 配線合成部  
 W S 1、W S 2 ソース配線

【図面】

【図 1】



【図 2】



10

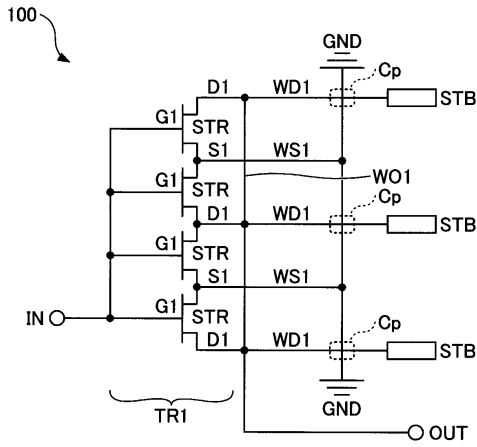
20

30

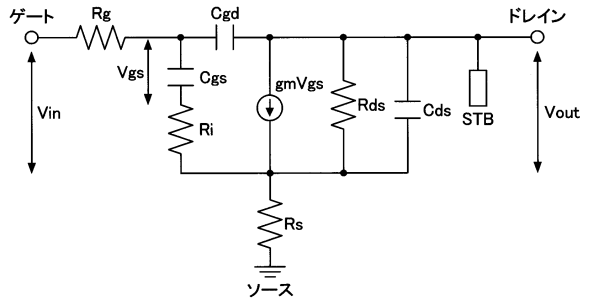
40

50

【 図 3 】

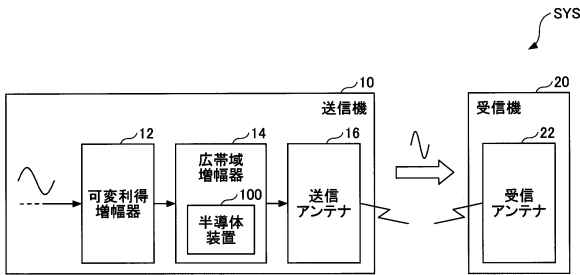


【 図 4 】

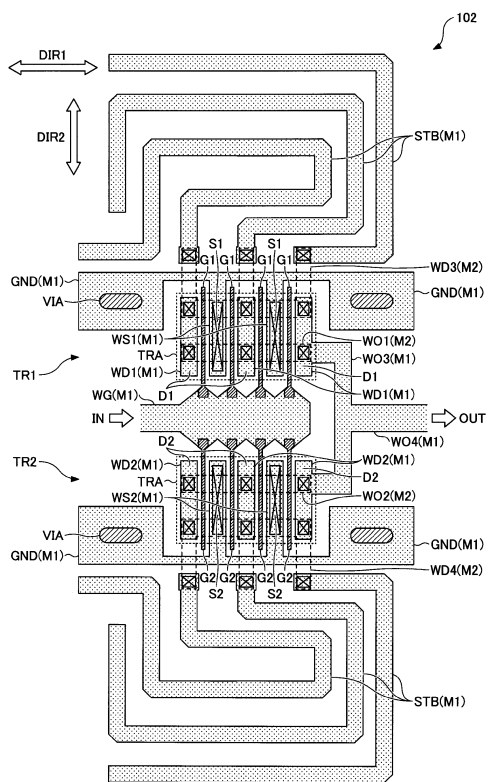


10

【 図 5 】



【 図 6 】



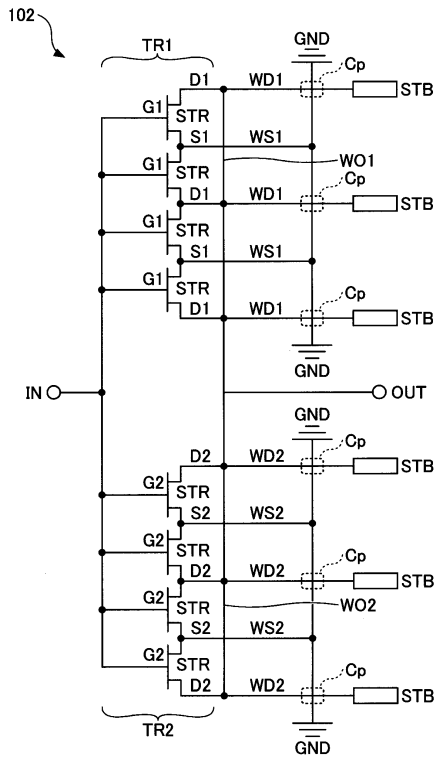
20

30

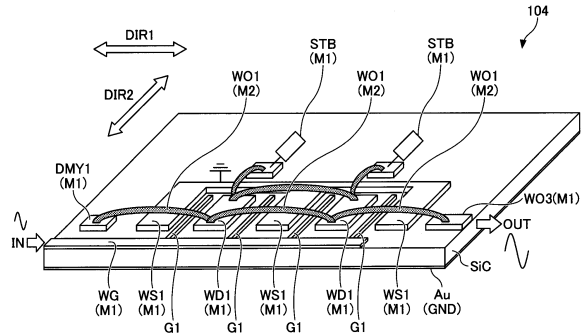
40

50

【 図 7 】



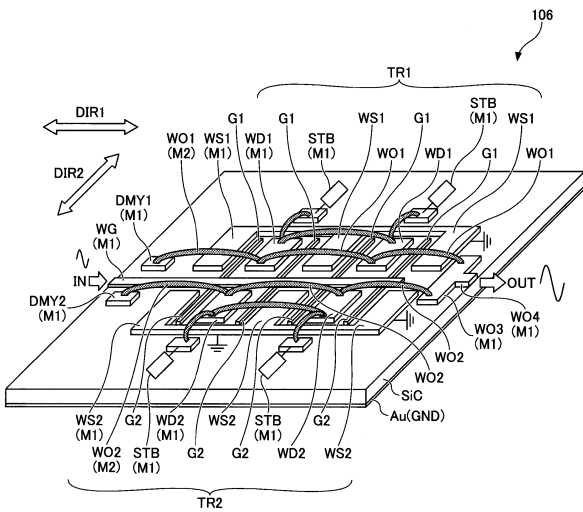
【 図 8 】



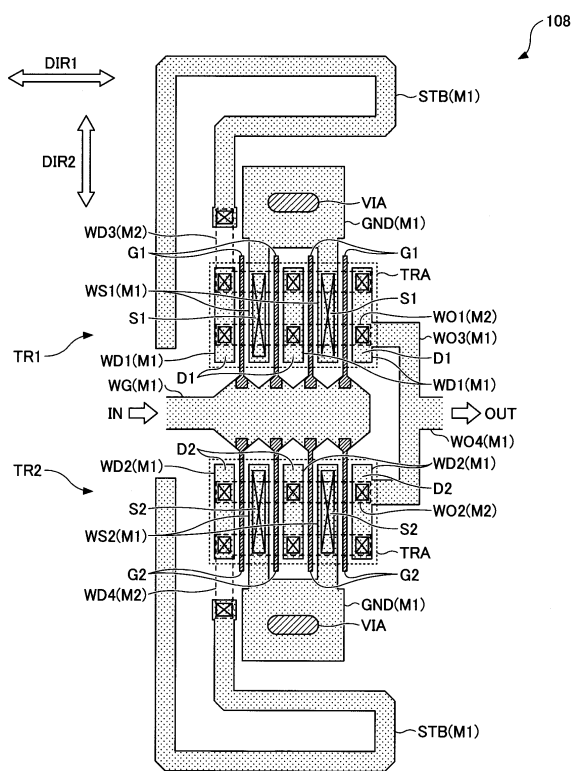
10

20

【 図 9 】



【 図 10 】

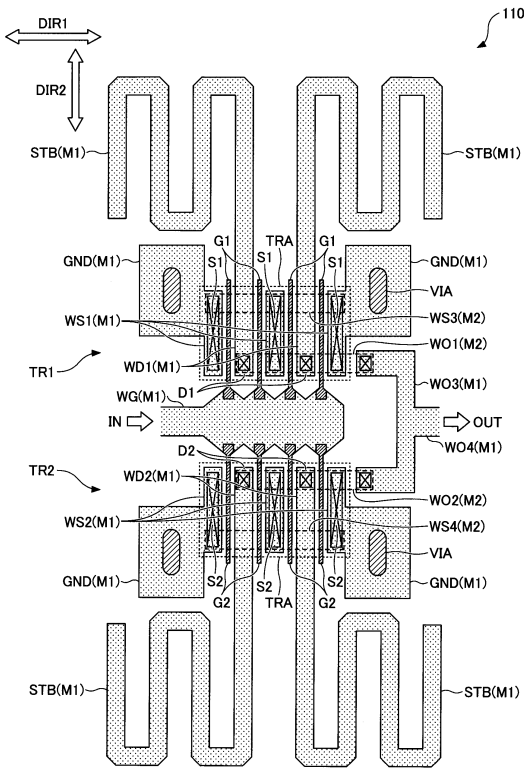


30

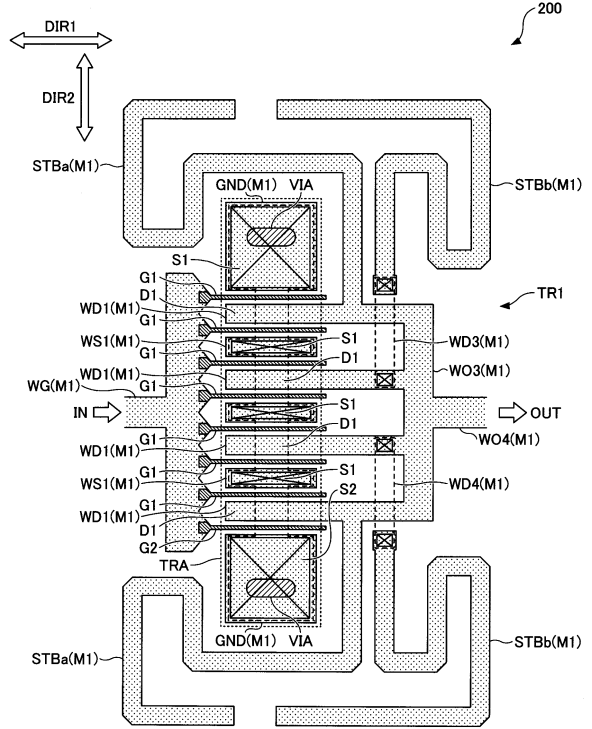
40

50

【 図 1 1 】



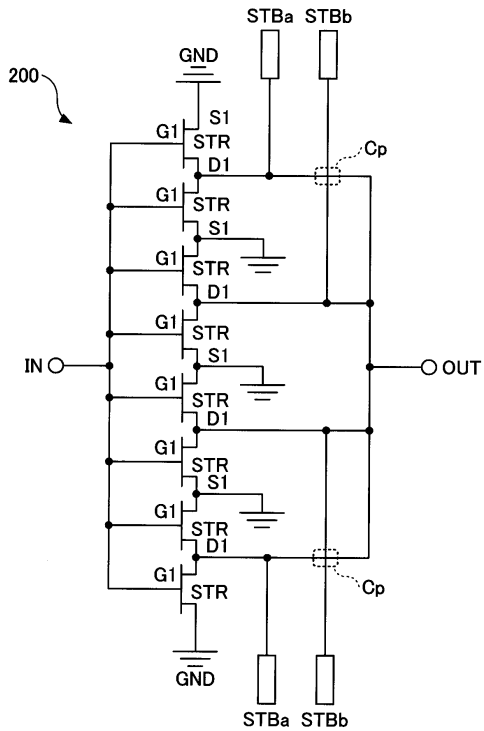
【 図 1 2 】



10

20

【 図 1 3 】



30

40

50

---

フロントページの続き

- (56)参考文献 特開平 1 1 - 1 5 0 1 2 6 ( J P , A )  
特開 2 0 1 2 - 0 8 4 7 4 3 ( J P , A )  
特開平 0 9 - 3 2 1 5 9 5 ( J P , A )  
国際公開第 2 0 1 9 / 2 2 9 9 8 2 ( W O , A 1 )  
米国特許第 0 5 4 1 2 3 4 7 ( U S , A )
- (58)調査した分野 (Int.Cl. , D B 名)  
H 0 1 L 2 1 / 8 2 2  
H 0 1 L 2 1 / 8 2 3 2  
H 0 1 L 2 7 / 0 4 - 2 7 / 0 6