(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 120167134 A
(43)申请公布日 2025.06.17

(21)申请号 202380077250.2
(22)申请日 2023.11.08
(30)优先权数据
2022-182247 2022.11.15 JP
(85)PCT国际申请进入国家阶段日
2025.05.06
(86)PCT国际申请的申请数据
PCT/IB2023/061251 2023.11.08
(87)PCT国际申请的公布数据
WO2024/105497 JA 2024.05.23
(71)申请人 株式会社半导体能源研究所
地址 日本神奈川县厚木市
(72)发明人 井上广树 松崎隆德 楠本直人
(74)专利代理机构 中国专利代理(香港)有限公司 72001
专利代理师 李啸 胡莉莉
(51)Int.Cl.
H10B 12/00(2023.01)
H10D 30/67(2025.01)
H10B 41/70(2023.01)

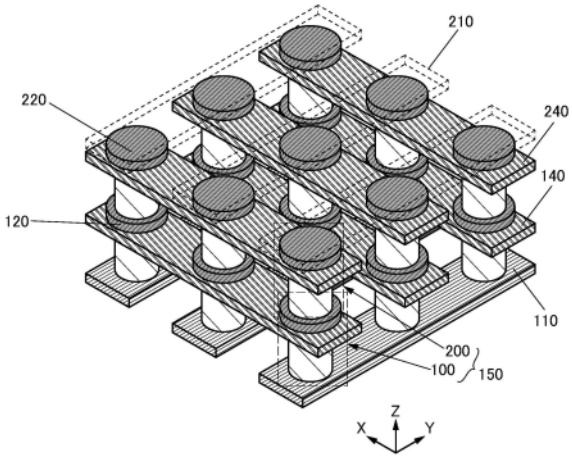
权利要求书3页 说明书34页 附图28页

(54)发明名称

存储装置

(57)摘要

提供一种数据读出的可靠性高的存储装置。一种在存储单元中包括第一晶体管及第二晶体管的存储装置,其中作为两个晶体管使用在设置在绝缘层中的开口部的侧面具有沟道形成区域的占有面积小的纵向晶体管。通过使用于存储单元的晶体管及布线具有适当的结构,可以减少产生在数据保持节点与布线之间的寄生电容的静电电容,从而可以提高数据读出的可靠性。



CN 120167134 A

1.一种存储装置,包括:

存储单元;

第一布线;

第二布线;以及

第三布线,

其中,所述存储单元包括第一晶体管及第二晶体管,

所述第二晶体管设置在所述第一晶体管的上方,

所述第一晶体管包括第一半导体、第一绝缘体及第一导电体,

所述第一半导体具有在贯穿所述第一布线、第二绝缘体及所述第二布线的第一开口部的侧面形成的区域,

所述第一绝缘体具有与所述第一半导体接触地覆盖所述第一开口部的区域,

所述第一导电体以与所述第一绝缘体接触地嵌入所述第一开口部的方式设置,

所述第二晶体管包括第二半导体,

所述第二半导体具有在贯穿第三绝缘体及所述第三布线的第二开口部的侧面设置的区域,

并且,所述第二半导体具有在所述第二开口部的底部与所述第一导电体接触的区域。

2.根据权利要求1所述的存储装置,

其中所述第二布线设置在所述第二绝缘体上且所述第二绝缘体设置在所述第一布线上。

3.根据权利要求1所述的存储装置,

其中所述第二晶体管包括第四绝缘体及第二导电体,

所述第四绝缘体具有与所述第二半导体接触地覆盖所述第二开口部的区域,

并且所述第二导电体以与所述第四绝缘体接触地嵌入所述第二开口部的方式设置。

4.根据权利要求1所述的存储装置,

其中所述第三布线设置在所述第三绝缘体上且所述第三绝缘体设置在所述第一导电体上。

5.根据权利要求1所述的存储装置,

其中所述第一布线具有用作所述第一晶体管的源电极和漏电极中的一个的区域,

所述第二布线具有用作所述第一晶体管的源电极和漏电极中的另一个的区域,

所述第三布线具有用作所述第二晶体管的源电极和漏电极中的一个的区域,

并且所述第一导电体具有用作所述第一晶体管的栅电极的区域及用作所述第二晶体管的源电极和漏电极中的另一个的区域。

6.一种存储装置,包括:

存储单元;

第一布线;

第二布线;以及

第三布线,

其中,所述存储单元包括第一晶体管及第二晶体管,

所述第二晶体管设置在所述第一晶体管的上方,

所述第一晶体管包括第一半导体、第一绝缘体及第一导电体，

所述第一半导体具有在贯穿所述第一布线、第二绝缘体、所述第二布线及第三绝缘体的第一开口部的侧面形成的区域，

所述第一绝缘体具有与所述第一半导体接触地覆盖所述第一开口部的区域，

所述第一导电体以与所述第一绝缘体接触地嵌入所述第一开口部的方式设置，

所述第二晶体管包括第二半导体，

所述第二半导体具有在贯穿第四绝缘体及所述第三布线的第二开口部的侧面设置的区域，

并且，所述第二半导体具有在所述第二开口部的底部与所述第一导电体接触的区域。

7.根据权利要求6所述的存储装置，

其中所述第三绝缘体设置在所述第二布线上，所述第二布线设置在所述第二绝缘体上且所述第二绝缘体设置在所述第一布线上。

8.根据权利要求6所述的存储装置，

其中所述第二晶体管包括第五绝缘体及第二导电体，

所述第五绝缘体具有与所述第二半导体接触地覆盖所述第二开口部的区域，

并且所述第二导电体以与所述第五绝缘体接触地嵌入所述第二开口部的方式设置。

9.根据权利要求6所述的存储装置，

其中所述第三布线设置在所述第四绝缘体上且所述第四绝缘体设置在所述第一导电体上。

10.根据权利要求6所述的存储装置，

其中所述第一布线具有用作所述第一晶体管的源电极和漏电极中的一个的区域，

所述第二布线具有用作所述第一晶体管的源电极和漏电极中的另一个的区域，

所述第三布线具有用作所述第二晶体管的源电极和漏电极中的一个的区域，

并且所述第一导电体具有用作所述第一晶体管的栅电极的区域及用作所述第二晶体管的源电极和漏电极中的另一个的区域。

11.一种存储装置，包括：

存储单元；

第一布线；

第二布线；

第三布线；以及

第四布线，

其中，所述存储单元包括第一晶体管、第二晶体管及电容器，

所述电容器设置在所述第一晶体管与所述第二晶体管之间，

所述第一晶体管包括第一半导体、第一绝缘体及第一导电体，

所述第一半导体具有在贯穿所述第一布线、第二绝缘体及所述第二布线的第一开口部的侧面形成的区域，

所述第一绝缘体具有与所述第一半导体接触地覆盖所述第一开口部的区域，

所述第一导电体以与所述第一绝缘体接触地嵌入所述第一开口部的方式设置，

所述电容器包括第三绝缘体及第二导电体，

所述第三绝缘体具有在贯穿第四绝缘体及所述第三布线的第二开口部的侧面形成的区域，

所述第二导电体以与所述第三绝缘体接触地嵌入所述第二开口部的方式设置，

所述第二导电体具有在所述第二开口部的底部与所述第一导电体接触的区域，

所述第二晶体管包括第二半导体，

所述第二半导体具有在贯穿第五绝缘体及所述第四布线的第三开口部的侧面设置的区域，

并且，所述第二半导体具有在所述第三开口部的底部与所述第二导电体接触的区域。

12.根据权利要求11所述的存储装置，

其中所述第二布线设置在所述第二绝缘体上，所述第二绝缘体设置在所述第一布线上且所述第三布线设置在所述第四绝缘体上。

13.根据权利要求11所述的存储装置，

其中所述第二晶体管包括第六绝缘体及第三导电体，

所述第六绝缘体具有与所述第二半导体接触地覆盖所述第三开口部的区域，

并且所述第三导电体以与所述第六绝缘体接触地嵌入所述第三开口部的方式设置。

14.根据权利要求11所述的存储装置，

其中所述第四布线设置在所述第五绝缘体上且所述第五绝缘体设置在所述第二导电体上。

15.根据权利要求11所述的存储装置，

其中所述第一布线具有用作所述第一晶体管的源电极和漏电极中的一个的区域，

所述第二布线具有用作所述第一晶体管的源电极和漏电极中的另一个的区域，

所述第三布线具有用作所述电容器的一个电极的区域，

所述第四布线具有用作所述第二晶体管的源电极和漏电极中的一个的区域，

所述第一导电体具有用作所述第一晶体管的栅电极的区域，

并且所述第二导电体具有用作所述电容器的另一个电极的区域及用作所述第二晶体管的源电极和漏电极中的另一个的区域。

16.根据权利要求1至15中任一项所述的存储装置，

其中所述第一半导体及所述第二半导体都是氧化物半导体，

并且所述氧化物半导体包含选自In、Ga和Zn中的一个或多个。

存储装置

技术领域

[0001] 本发明的一个方式涉及一种晶体管、半导体装置、存储装置以及电子设备。此外，本发明的一个方式涉及一种半导体装置的制造方法。此外，本发明的一个方式涉及一种半导体晶片及模块。

[0002] 注意，在本说明书等中，半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等的半导体元件之外，半导体电路、运算装置、存储装置也是半导体装置的一个方式。显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置、电子设备等有时包括半导体装置。

[0003] 注意，本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式涉及一种物体、方法或制造方法。另外，本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition ofmatter)。

背景技术

[0004] LSI、CPU、存储器等的半导体电路(IC芯片)被安装在印刷线路板等上，并被用作各种电子设备的构件之一。此外，通过使用半导体薄膜构成晶体管的技术受到注目。该晶体管已被应用于图像显示装置(有时仅记作显示装置)等电子设备，并期待将其应用于上述半导体电路。

[0005] 作为可以应用于晶体管的半导体薄膜，硅类半导体材料被广泛地周知。作为其他材料，氧化物半导体受到关注。已知使用氧化物半导体的晶体管为非导通状态(关闭状态)时流过的电流极小。

[0006] 例如，专利文献1公开了利用使用氧化物半导体的晶体管的泄漏电流小的特性实现存储内容的长期保持的存储装置等。

[0007] 近年来，随着电子设备的小型化和轻量化，对集成电路的进一步高密度化的要求提高。例如，专利文献2及非专利文献1公开了一种技术，其中通过层叠使用氧化物半导体膜的第一晶体管和使用氧化物半导体膜的第二晶体管，重叠地设置多个存储单元，由此提高集成电路的密度。

[0008] 并且，如果能够实现纵向晶体管，可以实现集成电路的高密度化。例如，专利文献3公开了一种纵向晶体管，其中氧化物半导体的侧面隔着栅极绝缘体被栅电极覆盖。

[先行技术文献]

[专利文献]

[0009] [专利文献1]日本专利申请公开第2011-151383号公报

[专利文献2]国际专利申请公开第2021/053473号

[专利文献3]日本专利申请公开第2013-211537号公报

[非专利文献]

[0010] [非专利文献1]M.Oota,et al.,“3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of72nm”,IEDM Tech.Dig.,2019,pp.50-53

发明内容

发明所要解决的技术问题

[0011] 专利文献1所公开的存储单元包括写入用晶体管及读出用晶体管,通过使读出用晶体管流过对应于在栅极中保持的数据电位的电流,使位线(读出线)的电位变化。

[0012] 该存储单元不需要如DRAM那样在单元内设置容积大的电容器,因此能够形成集成度高的存储装置(存储器)。通过将存储单元所包括的构成要素以二维方式及三维方式适当地配置,可以进一步提高集成度,由此可以形成存储容量大的存储装置(存储器)。

[0013] 另一方面,通过提高存储单元的微型化及集成度,起因于布线的重叠等的寄生电容的影响变大。有时由于寄生电容的电容耦合导致所保持的数据电位变动,由此降低数据读出的可靠性。

[0014] 由此,本发明的一个方式的目的之一是提供一种数据读出的可靠性高的存储装置。另外,本发明的一个方式的目的之一是提供一种可以实现高集成化的存储装置。另外,本发明的一个方式的目的之一是提供一种具有良好的电特性的存储装置。另外,本发明的一个方式的目的之一是提供一种可靠性高的存储装置。另外,本发明的一个方式的目的之一是提供一种功耗低的存储装置。另外,本发明的一个方式的目的之一是提供一种新颖存储装置。另外,本发明的一个方式的目的之一是提供一种新颖半导体装置等。

[0015] 注意,这些目的的记载并不妨碍其他目的的存在。注意,本发明的一个方式并不需要实现所有上述目的。注意,可以从说明书、附图、权利要求书等的记载得知并抽出上述以外的目的。

解决技术问题的手段

[0016] 本发明的一个方式是一种存储装置,该存储装置包括存储单元、第一布线、第二布线及第三布线,存储单元包括第一晶体管及第二晶体管,第二晶体管设置在第一晶体管的上方,第一晶体管包括第一半导体、第一绝缘体及第一导电体,第一半导体具有在贯穿第一布线、第二绝缘体及第二布线的第一开口部的侧面形成的区域,第一绝缘体具有与第一半导体接触地覆盖第一开口部的区域,第一导电体以与第一绝缘体接触地嵌入第一开口部的方式设置,第二晶体管包括第二半导体,第二半导体具有在贯穿第三绝缘体及第三布线的第二开口部的侧面设置的区域,第二半导体具有在第二开口部的底部与第一导电体接触的区域。

[0017] 第二布线可以设置在第二绝缘体上,第二绝缘体可以设置在第一布线上。

[0018] 第二晶体管可以包括第四绝缘体及第二导电体,第四绝缘体可以具有与第二半导体接触地覆盖第二开口部的区域,第二导电体可以以与第四绝缘体接触地嵌入第二开口部的方式设置。

[0019] 第三布线可以设置在第三绝缘体上,第三绝缘体可以设置在第一导电体上。

[0020] 第一布线可以具有用作第一晶体管的源电极和漏电极中的一个的区域,第二布线可以具有用作第一晶体管的源电极和漏电极中的另一个的区域,第三布线可以具有用作第二晶体管的源电极和漏电极中的一个的区域,第一导电体可以具有用作第一晶体管的栅电极的区域及用作第二晶体管的源电极和漏电极中的另一个的区域。

[0021] 本发明的另一个方式是一种存储装置,该存储装置包括存储单元、第一布线、第二布线及第三布线,存储单元包括第一晶体管及第二晶体管,第二晶体管设置在第一晶体管

的上方,第一晶体管包括第一半导体、第一绝缘体及第一导电体,第一半导体具有在贯穿第一布线、第二绝缘体、第二布线及第三绝缘体的第一开口部的侧面形成的区域,第一绝缘体具有与第一半导体接触地覆盖第一开口部的区域,第一导电体以与第一绝缘体接触地嵌入第一开口部的方式设置,第二晶体管包括第二半导体,第二半导体具有在贯穿第四绝缘体及第三布线的第二开口部的侧面设置的区域,第二半导体具有在第二开口部的底部与第一导电体接触的区域。

[0022] 第三绝缘体可以设置在第二布线上,第二布线可以设置在第二绝缘体上,第二绝缘体可以设置在第一布线上。

[0023] 第二晶体管可以包括第五绝缘体及第二导电体,第五绝缘体可以具有与第二半导体接触地覆盖第二开口部的区域,第二导电体可以以与第五绝缘体接触地嵌入第二开口部的方式设置。

[0024] 第三布线可以设置在第四绝缘体上,第四绝缘体可以设置在第一导电体上。

[0025] 第一布线可以具有用作第一晶体管的源电极和漏电极中的一个的区域,第二布线可以具有用作第一晶体管的源电极和漏电极中的另一个的区域,第三布线可以具有用作第二晶体管的源电极和漏电极中的一个的区域,第一导电体可以具有用作第一晶体管的栅电极的区域及用作第二晶体管的源电极和漏电极中的另一个的区域。

[0026] 本发明的另一个方式是一种存储装置,该存储装置包括存储单元、第一布线、第二布线、第三布线及第四布线,存储单元包括第一晶体管、第二晶体管及电容器,电容器设置在第一晶体管与第二晶体管之间,第一晶体管包括第一半导体、第一绝缘体及第一导电体,第一半导体具有在贯穿第一布线、第二绝缘体及第二布线的第一开口部的侧面形成的区域,第一绝缘体具有与第一半导体接触地覆盖第一开口部的区域,第一导电体以与第一绝缘体接触地嵌入第一开口部的方式设置,电容器包括第三绝缘体及第二导电体,第三绝缘体具有在贯穿第四绝缘体及第三布线的第二开口部的侧面形成的区域,第二导电体以与第三绝缘体接触地嵌入第二开口部的方式设置,第二导电体具有在第二开口部的底部与第一导电体接触的区域,第二晶体管包括第二半导体,第二半导体具有在贯穿第五绝缘体及第四布线的第三开口部的侧面设置的区域,第二半导体具有在第三开口部的底部与第二导电体接触的区域。

[0027] 第二布线可以设置在第二绝缘体上,第二绝缘体可以设置在第一布线上,第三布线可以设置在第四绝缘体上。

[0028] 第二晶体管可以包括第六绝缘体及第三导电体,第六绝缘体可以具有与第二半导体接触地覆盖第三开口部的区域,第三导电体可以以与第六绝缘体接触地嵌入第三开口部的方式设置。

[0029] 第四布线可以设置在第五绝缘体上,第五绝缘体可以设置在第二导电体上。

[0030] 第一布线可以具有用作第一晶体管的源电极和漏电极中的一个的区域,第二布线可以具有用作第一晶体管的源电极和漏电极中的另一个的区域,第三布线具有用作电容器的一个电极的区域,第四布线可以具有用作第二晶体管的源电极和漏电极中的一个的区域,第一导电体可以具有用作第一晶体管的栅电极的区域,第二导电体可以具有用作电容器的另一个电极的区域及用作第二晶体管的源电极和漏电极中的另一个的区域。

[0031] 在上述存储装置中,优选的是,第一半导体及第二半导体都是氧化物半导体,氧化

物半导体包含选自In、Ga和Zn中的任一个或多个。

发明效果

[0032] 根据本发明的一个方式可以提供一种数据读出的可靠性高的存储装置。另外,根据本发明的一个方式可以提供一种可以实现高集成化的存储装置。另外,根据本发明的一个方式可以提供一种具有良好的电特性的存储装置。另外,根据本发明的一个方式可以提供一种可靠性高的存储装置。另外,根据本发明的一个方式可以提供一种功耗低的存储装置。另外,根据本发明的一个方式可以提供一种新颖存储装置。另外,根据本发明的一个方式可以提供一种新颖半导体装置等。

[0033] 注意,这些效果的记载并不妨碍其他效果的存在。注意,本发明的一个方式并不需要具有所有上述效果。注意,可以从说明书、附图、权利要求书等的记载得知并抽出上述以外的效果。

附图简要说明

[0034] 图1是说明存储装置的图。

图2A至图2C是说明存储单元的电路图。

图3是说明存储单元的工作的时序图。

图4是说明存储单元的工作的时序图。

图5是说明存储单元的工作的时序图。

图6A及图6B是说明存储单元的立体图。

图7A及图7B是说明存储单元的俯视图。图7C至图7E是说明存储单元的截面图。

图8A是说明存储单元的立体图。图8B及图8C是说明存储单元的截面图。

图9A是说明存储单元的立体图。图9B及图9C是说明存储单元的截面图。

图10A是说明存储单元的截面立体图。图10B及图10C是说明存储单元的截面图。

图11A及图11B是说明存储单元的立体图。

图12A是说明存储单元的截面立体图。图12B及图12C是说明存储单元的截面图。

图13A及图13B是说明存储单元的立体图。

图14A及图14B是说明晶体管的图。

图15A及图15B是说明存储装置的结构例子的图。

图16A及图16B是说明电子构件的一个例子的图。

图17A及图17B是说明电子设备的一个例子的图。图17C至图17E是说明大型计算机的一个例子的图。

图18是说明太空设备的一个例子的图。

图19是说明可用于数据中心的存储系统的一个例子的图。

实施发明的方式

[0035] 下面,参照附图对实施方式进行说明。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面所示的实施方式所记载的内容中。

[0036] 另外,在附图中,有时在不同的附图之间共同使用相同的符号来表示相同的部分或具有相同功能的部分,而省略其重复说明。此外,当表示具有相同功能的部分时有时使用

相同的阴影线,而不特别附加符号。

[0037] 注意,在本说明书等中,氧氮化物是指在其组成中含氧量多于含氮量的物质。作为氧氮化物,可以举出氧氮化硅、氧氮化铝及氧氮化铪等。另外,氮氧化物是指在其组成中含氮量多于含氧量的物质。作为氮氧化物,可以举出氮氧化硅、氮氧化铝及氮氧化铪等。

[0038] 另外,在本说明书等中,可以将“绝缘体”换称为绝缘膜或绝缘层。另外,可以将“导电体”换称为导电膜或导电层。另外,可以将“半导体”换称为半导体膜或半导体层。

[0039] 此外,在本说明书等中,“平行”是指两条直线形成的角度为-10度以上且10度以下的状态。因此,也包括该角度为-5度以上且5度以下的状态。此外,“大致平行”是指两条直线形成的角度为-30度以上且30度以下的状态。另外,“垂直”是指两条直线形成的角度为80度以上且100度以下的状态。因此,也包括该角度为85度以上且95度以下的状态。此外,“大致垂直”是指两条直线形成的角度为60度以上且120度以下的状态。另外,“正交”是指两条直线以80°以上且100°以下的角度交叉或连接的状态。因此,也包括该角度为85°以上且95°以下的状态。另外,“大致正交”是指两条直线以60°以上且120°以下的角度交叉或连接的状态。

[0040] 注意,有时在本说明书的附图等中附上表示X方向、Y方向以及Z方向的箭头。注意,在本说明书等中,“X方向”是指沿着X轴的方向,除了明确指出的情况以外,有时不区别其顺向及逆向。“Y方向”及“Z方向”也是同样的。另外,X方向、Y方向以及Z方向是彼此交叉的方向。具体而言,X方向、Y方向以及Z方向是彼此正交的方向。在本说明书等中,有时将X方向、Y方向或Z方向称为“第一方向”。此外,有时将其他另一个称为“第二方向”。此外,有时将剩下的一个称为“第三方向”。

[0041] 此外,在本说明书等中,为了方便起见,使用了“上”、“下”等表示配置的词句,以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各构成的方向适当地改变。因此,不局限于说明书所说明的词句,根据情况可以适当地换词句。

[0042] (实施方式1)

在本实施方式中,对本发明的一个方式的存储装置进行说明。本发明的一个方式的存储装置中,存储单元包括第一晶体管及第二晶体管。

[0043] 作为两个晶体管,使用沿着绝缘体中的开口部的侧面具有沟道形成区域的纵向晶体管。纵向晶体管可以具有沟道长度短且沟道宽度长的结构,因此可以提高通态电流。此外,纵向晶体管在俯视时可以减小占有面积。因此,通过将纵向晶体管用于存储单元,可以形成能够进行高速工作且集成度高的存储装置。

[0044] 存储单元连接有多个布线,在各布线与存储单元的数据保持部之间产生寄生电容。由于该寄生电容的电容耦合,有时随着布线电位的变化数据保持部的电位变动,而降低数据读出的可靠性。在本发明的一个方式的存储装置中,通过采用适当的存储单元的结构,可以减小该寄生电容的静电电容,由此可以提高数据读出的可靠性。

[0045] 图1是示出本发明的一个方式的存储装置的一部分的立体图,示出多个存储单元150(晶体管100、晶体管200)。晶体管100及晶体管200为纵向晶体管,在晶体管100的上方设置晶体管200。存储单元150与布线110、布线140、布线240及布线210电连接。注意,在图1中,为了明确起见,不示出层间膜等绝缘体且以虚线表示位于最顶部的布线210。

[0046] 晶体管100作为构成要素包括布线110、布线140及导电体120。晶体管200作为构成

要素包括导电体120、布线240及导电体220。

[0047] 布线110具有用作晶体管100的源电极和漏电极中的一个的区域。布线140具有用作晶体管100的源电极和漏电极中的另一个的区域。

[0048] 导电体120具有被用作晶体管100的栅电极的区域及被用作晶体管200的源电极和漏电极中的一个的区域。换言之,导电体120具有兼用作晶体管100的栅电极以及晶体管200的源电极和漏电极中的一个的区域。

[0049] 布线240具有用作晶体管200的源电极和漏电极中的另一个的区域。

[0050] 导电体220具有用作晶体管200的栅电极的区域并与形成在导电体220上的布线210电连接。此外,导电体220和布线210也可以形成为同一构成要素。在后面详细说明各晶体管的结构及连接形状。

[0051] 注意,图1示出存储单元150在X方向及Y方向上以相等间隔被配置的例子,但也可以采用将存储单元150以逐个交替地错开的方式配置的交错配置。

[0052] 图2A是说明存储单元150的电路图的一个例子的图。晶体管100具有读出数据的功能。晶体管200具有写入数据的功能。

[0053] 晶体管200的源极和漏极中的一个与晶体管100的栅极连接。在图1中的导电体120具有该连接结构。图2A所示的在存储单元150中,也可以说导电体120是保持数据电位的节点SN的构成要素。

[0054] 与晶体管200的栅极连接的布线210是对存储单元150供应写入字信号的布线,布线210也被称为写入字线(WWL)。写入字信号是控制对存储单元150写入数据的时序的信号。

[0055] 与晶体管200的源极和漏极中的另一个连接的布线240是对存储单元150供应对应于数据信号(数据)的电位的布线,布线240也被称为写入位线(WBL)。数据信号是由对存储单元150写入的高电平(也称为“1”或V_H)或低电平(也称为“0”或V_L)的两值表示的信号。

[0056] 与晶体管100的源极和漏极中的一个连接的布线110是对存储单元150供应读出字信号的布线,布线110也被称为读出字线(RWL)。读出字信号是控制从存储单元150读出数据的时序的信号。

[0057] 与晶体管100的源极和漏极中的另一个连接的布线140是读出对应于存储单元150中保持的数据信号(数据)的电位的布线,布线140也被称为读出位线(RBL)。对应于写入到存储单元150的数据(“1”或“0”)在晶体管100中电流流过而使被预充电的布线140的电位变化。通过将该电位输入到读出放大器,可以读出数据。

[0058] 在此,说明产生在节点SN与各布线之间的寄生电容。如图1所示,当以节点SN的构成要素的导电体120为中心时,在导电体120与各布线之间设置有未图示的绝缘体,可以说形成有多个寄生电容。

[0059] 在此,为了简化说明,将节点SN与一个布线之间产生的寄生电容视为一个寄生电容进行说明。如图2B所示,在节点SN与布线210之间产生寄生电容Cp1。在节点SN与布线240之间产生寄生电容Cp2。在节点SN与布线110之间产生寄生电容Cp3。在节点SN与布线140之间产生寄生电容Cp4。另外,各寄生电容的构成要素包括晶体管100或晶体管200的构成要素。

[0060] 由于节点SN处于浮动状态,所以在各布线的电位变动时寄生电容Cp1至Cp4中的一个或多个受到影响,节点SN的电位也因电容耦合而变动。节点SN的电位的变动的幅度根据

各布线的电位的变动量及各寄生电容的静电电容而不同,但是在节点SN的电位的变动过大时,晶体管100不能正常工作,有时不能准确地读出数据。

[0061] 作为对抗这些寄生电容的影响的方法之一,可以举出如图2C所示设置其一个电极与晶体管200的源极和漏极中的一个及晶体管100的栅极连接的电容器300。电容器300的另一个电极与被供应固定电位的布线连接。通过设置电容器300,可以将由寄生电容的节点SN的电位变动抑制为较小,从而可以提高读出的精度。另外,可以提高数据保持能力。

[0062] 注意,本发明的一个方式可以应用于图2A所示的电路结构及图2C所示的电路结构中的任一个。

[0063] 接着,参照图3说明存储单元150的工作。在此,描述排除各寄生电容的影响的理想的工作。图3是说明图2A所示的存储单元150的工作例子的时序图。

[0064] 在图3中示出:对布线210(WWL)、布线240(WBL)及布线110(RWL)供应的电位;被读出到布线140(RBL)的电位;以及节点SN的电位。另外,在图3中,将布线240(WBL)的待机状态设定为低电平(V_L)。

[0065] 期间T1是准备期间。期间T2是写入期间。期间T3是准备期间。期间T4至T5是读出期间。期间T6是准备期间。注意,在图3中,示出通过布线240(WBL)对存储单元150(节点SN)写入的数据“1”或“0”。作为对存储单元150写入的数据,在高电平时数据为“1”且在低电平时数据为“0”。

[0066] 图3示出从存储单元150通过布线140(RBL)读出的数据“1”或“0”。布线140(RBL)在读出期间被预充电为高电平的电位(例如,VDD等高电源电位),根据被预充电的电位的变化数据被读出到与布线140(RBL)连接的外部的读出电路。

[0067] 在存储单元150(节点SN)中保持的数据为数据“1”时,流过晶体管100的电流大,因此布线140(RBL)的电位降低。在存储单元150(节点SN)中保持的数据为数据“0”时,流过晶体管100的电流小,因此布线140(RBL)的电位变动小。由此,在存储单元150(节点SN)中保持的数据为数据“1”时,布线140(RBL)的电位变为低电平。此外,在存储单元150(节点SN)中保持的数据为数据“0”时,布线140(RBL)的电位变为高电平(被预充电的电位)。

[0068] 在期间T1,布线210(WWL)为低电平、布线240(WBL)为低电平(V_L)、布线110(RWL)为高电平,布线140(RBL)为高电平。此时,晶体管200变为非导通状态。此外,晶体管100由于成为源极或漏极的端子间为等电位,所以没有电流流过。另外,晶体管100的栅极(节点SN)的电位为在之前的写入期间被写入的电位V_H或V_L。

[0069] 在期间T2,布线210(WWL)为高电平、布线240(WBL)为根据数据的信号(V_H或V_L)、布线110(RWL)为高电平,布线140(RBL)为高电平。此时,晶体管200变为导通状态,晶体管100的栅极(节点SN)的电位变为根据数据的电位。晶体管100由于成为源极或漏极的端子间为等电位,所以不管栅极的电位没有电流流过。

[0070] 在期间T3,布线210(WWL)为低电平、布线240(WBL)为低电平(V_L)、布线110(RWL)为高电平,布线140(RBL)为高电平。此时,晶体管100、200变为非导通状态。在期间T3,保持写入到晶体管100的栅极(节点SN)的电位。晶体管100由于成为源极或漏极的端子间为等电位,所以不管栅极的电位没有电流流过。

[0071] 在期间T4,布线210(WWL)为低电平、布线240(WBL)为低电平(V_L)、布线110(RWL)为高电平。布线140(RBL)预充电为高电平(也称为预充电电位V_{PRE})。此时,晶体管200变为非导

通状态。预充电电位V_{PRE}例如为VDD,即与布线140(RBL)的高电平等电位。晶体管100由于成为源极或漏极的端子间为等电位,所以不管栅极(节点SN)的电位没有电流流过。也就是说,布线140的电位不变化。

[0072] 在期间T5,布线210(WWL)为低电平、布线240(WBL)为低电平(V_L)、布线110(RWL)为低电平。此时,晶体管200变为非导通状态。此外,在期间T5,布线140(RBL)为电浮动状态。也就是说,电位根据流过存储单元150的晶体管100的电流而变化。

[0073] 在期间T5,由于成为晶体管100的源极或漏极的端子间产生电位差,所以根据晶体管100的栅极(节点SN)的电位流过电流。在存储单元150所保持的数据为数据“1”时,流过晶体管100的电流大,布线140(RBL)的电位降低为低电平。这布线140(RBL)的电位的变化可以将通过使与布线140(RBL)连接的读出放大器活性化而被选择的存储单元150的数据读出到外部。

[0074] 此外,存储单元150中所保持的数据为数据“0”时,流过晶体管100的电流小,布线140(RBL)的电位从高电平(预充电的电位)几乎没有变化。

[0075] 在期间T5,非选择行的存储单元150中,布线110(RWL)为高电平,晶体管100由于成为源极或漏极的端子间为等电位,所以不管栅极的电位没有电流流过。

[0076] 在期间T6,布线210(WWL)为低电平、布线240(WBL)为低电平(V_L)、布线110(RWL)为高电平,布线140(RBL)为高电平。此时,晶体管200变为非导通状态。晶体管100由于成为源极或漏极的端子间为等电位,所以不管栅极的电位没有电流流过。

[0077] 通过以上的工作,可以从选择行的存储单元150读出数据。

[0078] 接着,参照图4所示的时序图说明与图3同样的工作中的寄生电容Cp1至Cp4的影响。注意,虽然寄生电容Cp1至Cp4的实际的静电电容不同,但是这里将其视为大致相等。另外,图4所示的起因于寄生电容的节点SN的电位变动的举动只是一个例子,有时与实际上的变动的大小及时序的偏差等略微不同。

[0079] 到期间T2中的对节点SN的数据写入工作为止的工序与图3同样。注意,期间T1中的节点SN的电位是对应于在之前的写入期间中被写入的电位的电位。

[0080] 在期间T2,在布线210(WWL)为高电平时,节点SN成为对应于供应到布线240(WBL)的数据的电位(“1”(V_H)或“0”(V_L))。

[0081] 并且,在期间T3,在布线210(WWL)切换为低电平时,由于寄生电容Cp1(节点SN与布线210(WWL)之间的寄生电容)的电容耦合而节点SN的电位降低。

[0082] 再者,在数据为数据“1”时,在期间T3,布线240(WWL)降低到低电平(V_L),因此由于利用寄生电容Cp2(节点SN与布线240(WBL)之间的寄生电容)的电容耦合而对应于数据“1”的节点SN的电位进一步降低。注意,在数据为数据“0”时布线240(WWL)的电位不变,因此节点SN的电位不变。

[0083] 在期间T5,在布线110(RWL)的电位从高电平切换为低电平时,由于寄生电容Cp3(节点SN与布线110(WWL)之间的寄生电容)的电容耦合而节点SN的电位降低。

[0084] 再者,在数据为数据“1”时,布线140(RBL)以接近低电平(V_L)的方式降低,因此由于利用寄生电容Cp4(节点SN与布线140(WBL)之间的寄生电容)的电容耦合而对应于数据“1”的节点SN的电位逐渐降低。注意,在数据为数据“0”时布线140(WWL)的电位不变,因此节点SN的电位不变。

[0085] 再者,在布线110(RWL)的电位切换为高电平时,由于寄生电容Cp3的电容耦合而节点SN的电位上升。

[0086] 另外,在数据为数据“1”时,在布线140(RBL)成为高电平时,由于利用寄生电容Cp4的电容耦合而对应于数据“1”的节点SN的电位上升。注意,在数据为数据“0”时布线140(WWL)的电位不变,因此节点SN的电位不变。

[0087] 如此,节点SN的电位受到寄生电容Cp1至Cp4的影响而变动。尤其是,在写入数据“1”时,直到数据读出为止受到寄生电容Cp1至Cp4的所有影响而节点SN的电位降低,因此有时会使所读出的数据的可靠性下降。

[0088] 另外,在图4中,将布线240(WBL)的待机状态设定为低电平(V_L),但是通过将待机状态设定为高电平(V_H),可以避免寄生电容的一部分的影响。

[0089] 图5是将布线240(WBL)的待机状态设定为高电平(V_H)时的时序图。

[0090] 在期间T3开始时,直到因寄生电容Cp1的电容耦合而节点SN的电位降低为止与图4相同。

[0091] 在数据为数据“1”时,在期间T3中,布线240(WWL)的电位不变,所以节点SN的电位不变。另外,在数据为数据“0”时,布线240(WWL)切换为高电平(V_H),因此因寄生电容Cp2的电容耦合而对应于数据“0”的节点SN的电位上升。

[0092] 在此,在数据为“0”时,由于之前由于寄生电容Cp1的电容耦合而节点SN的电位降低,所以寄生电容Cp2的电容耦合作用于抵消寄生电容Cp1的电位降低的方向。

[0093] 此后的起因于寄生电容的节点SN的电位变动与图4的说明相同。因此,通过将布线240(WBL)的待机状态设定为高电平(V_H),可以减少节点SN的电位变动。

[0094] 在数据为“1”时,直到数据读出为止受到寄生电容Cp1、Cp3、Cp4的影响。另外,在数据为“0”时,直到数据读出为止受到寄生电容Cp1、Cp2、Cp3的影响。注意,在数据为“0”时,寄生电容Cp1及寄生电容Cp2起到抵消起因于各寄生电容Cp1及寄生电容Cp2的节点SN的电位变动的作用,所以也可以说只受到寄生电容Cp3的影响。

[0095] 因此,无论数据“1”或数据“0”,都可以说对节点SN的电位变动最影响的寄生电容为寄生电容Cp3,优选减少寄生电容Cp3的静电电容。另外,为了减少读出数据“1”时的影响,优选还减少寄生电容Cp4的静电电容。

[0096] <存储单元的结构例子1>

接着,说明存储单元150的结构例子。图6A是说明存储单元150的结构例子1的立体图。注意,为了明确起见,未图示层间膜等绝缘体,以虚线表示布线110、布线140及布线240的一部分及布线210。

[0097] 图6A所示的存储单元150具有如下结构:在晶体管100中,布线110的开口部中设置有半导体层(氧化物半导体170),该开口部中的布线110的侧面与该半导体层接触。

[0098] 注意,图6A示出布线110的宽度在长边方向上恒定的例子,但是如图6B所示,也可以采用在开口部附近布线110的宽度变宽的结构。同样的结构也可以用于布线140及布线240。

[0099] 图7A是说明晶体管100的俯视图,图7B是说明晶体管200的俯视图。注意,在俯视图中,为了明确起见,省略部分构成要素。另外,图7A及图7B所示的俯视图在本实施方式所说明的其他存储单元150的结构例子中也是相同的。

[0100] 图7C是相当于沿图7A和图7B所示的线段A1-A2的截面的图。图7D是相当于沿图7A和图7B所示的线段B1-B2的截面的图。

[0101] 存储单元150包括衬底(未图示)上的绝缘体160、设置在绝缘体160上的晶体管100及设置在晶体管100上的晶体管200。此外,在晶体管间及各种布线间,可以设置用作层间膜的绝缘体180、绝缘体185、绝缘体280及绝缘体285等。

[0102] 晶体管100包括氧化物半导体170、绝缘体130及导电体120。氧化物半导体170被用作半导体层,绝缘体130被用作栅极绝缘体,导电体120被用作栅电极。此外,布线110具有用作晶体管100的源电极和漏电极中的一个的区域。此外,布线140具有用作晶体管100的源电极和漏电极中的另一个的区域。

[0103] 以贯穿布线140、绝缘体180及布线110的方式设置到达绝缘体160的开口部190。开口部190的顶面是大致圆形的柱状的形状。通过采用这种结构,可以实现存储单元的微型化或高集成化。注意,开口部190的侧面优选垂直于绝缘体160的顶面。

[0104] 氧化物半导体170的至少一部分配置在开口部190。氧化物半导体170具有在开口部190与布线110的侧面接触的区域、与布线140的侧面接触的区域、绝缘体160的顶面接触的区域以及与绝缘体180的侧面接触的区域。

[0105] 绝缘体130以其至少一部分覆盖开口部190的方式配置。导电体120以其至少一部分位于开口部190的方式配置。注意,导电体120优选以嵌入开口部190的方式设置,为了提高集成度,其顶面形状优选为大致圆形。

[0106] 通过采用这种结构,可以减少导电体120(节点SN)与布线110之间的寄生电容Cp3的静电电容。

[0107] 如图7E所示,在开口部190不形成在布线110中的情况下,在开口部190的底部露出布线110的顶面。因此,在开口部190的底部附近生成寄生电容Cp3b,该寄生电容Cp3b将导电体120的一个区域用作一个电极,将绝缘体130的一个区域用作介电质,并且将与导电体120的底面相对的布线110的一个区域用作另一个电极。此时,氧化物半导体170被用作电介质和另一个电极中的一个或两个。

[0108] 在本发明的一个方式中,通过以贯穿布线110的方式设置开口部190,可以形成没有与导电体120的底面相对的布线110的一个区域的状态。就是说,在静电电容$C=\varepsilon\times S/d$(ε:介电常数,S:电极面积,d:介电体的厚度)中,减小电极面积S的值(S为0)而减小C的值。

[0109] 在图7E所示的形成有寄生电容Cp3b的区域中,介电质的厚度d的值小,寄生电容Cp3b成为较大的静电电容。寄生电容Cp3b是寄生电容Cp3的一部分,所以通过采用不形成寄生电容Cp3b的结构,可以减小寄生电容Cp3的静电电容。

[0110] 注意,与导电体120的底面相对的氧化物半导体170的一个区域不与n型化的构成要素(布线110等)接触,所以其导电型为i型(本征)且电阻高。因此,可以说与导电体120的底面相对的氧化物半导体170的一个区域不容易成为寄生电容的构成要素(另一个电极)。

[0111] 晶体管200包括氧化物半导体270、绝缘体230及导电体220。氧化物半导体270被用作半导体层,绝缘体230被用作栅极绝缘体,导电体220被用作栅电极。此外,导电体120具有用作晶体管200的源电极和漏电极中的一个方的区域。此外,布线240具有用作晶体管200的源电极和漏电极中的另一个方的区域。

[0112] 以贯穿布线240及绝缘体280的方式设置到达导电体120的开口部290。开口部290

的顶面是大致圆形的柱状的形状。通过采用这种结构,可以实现存储单元的微型化或高集成化。注意,开口部290的侧面优选垂直于导电体120的顶面。

[0113] 氧化物半导体270的至少一部分配置在开口部290。氧化物半导体270具有在开口部290中与导电体120的顶面接触的区域、与布线240的侧面接触的区域以及与绝缘体280的侧面接触的区域。

[0114] 绝缘体230以其至少一部分覆盖开口部290的方式配置。导电体220以其至少一部分位于开口部290的方式配置。注意,导电体220优选以嵌入开口部290的方式设置,为了提高集成度,其顶面形状优选为大致圆形。此外,在导电体220上配置布线210。注意,导电体220及布线210也可以作为同一构成要素形成。

[0115] 开口部190的直径与开口部290的直径大致相同,开口部190和开口部290优选重叠地设置。此外,在存储单元150中,布线110的宽度与布线210的宽度大致相同,布线110和布线210优选重叠地设置。此外,在存储单元150中,布线140的宽度与布线240的宽度大致相同,布线140和布线240优选重叠地设置。

[0116] 通过采用这种结构,可以以不大幅度地增大单元面积的方式设置两个晶体管,所以可以以高密度配置存储单元150而增大存储装置的存储容量。换言之,可以实现存储装置的高集成化。

[0117] 此外,晶体管200的源电极和漏电极中的一个兼用作晶体管100的栅电极,即,晶体管200与晶体管100直接连接而不是通过布线等连接。由此,两者间的电阻可以为最小,可以迅速地进行数据的写入等。

[0118] <存储单元的结构例子2>

接着,说明存储单元150的结构例子2。图8A是说明存储单元150的结构例子2的立体图。为了明确起见,未图示层间膜等绝缘体,以虚线表示布线110、布线140及布线240的一部分及布线210。

[0119] 图8B是相当于图7A、图7B所示的线段A1-A2的截面的图。图8C是相当于图7A、图7B所示的线段B1-B2的截面的图。注意,省略与结构例子1共同的各构成要素的说明。

[0120] 在结构例子2中,与结构例子1同样地在布线110中形成开口部190,并且进一步减小在导电体120的顶部与布线110之间生成的寄生电容的静电电容。

[0121] 由于导电体120以嵌入开口部190的方式形成,所以导电体120的顶部的直径优选大于开口部190的直径。另外,由于导电体120还被用作晶体管200的源电极和漏电极中的一个,所以优选增大与氧化物半导体270接触的面积。就是说,导电体120的顶部的直径优选大于开口部290的直径。

[0122] 因此,导电体120的顶部成为增大与其他布线之间生成的寄生电容的静电电容的要素之一。在结构例子2的晶体管100中,使绝缘体180变厚而增大开口部190的深度值。

[0123] 在结构例子1中示出开口部190与开口部290大致相同的结构,但是在结构例子2中,开口部190的深度的值大于开口部290的深度的值。在纵向晶体管中,增大开口部190的深度值相当于沟道长度变长,所以在晶体管100的通态电流特性充分高时有效。

[0124] 通过采用这种结构,可以物理性地增大布线110与导电体120的顶部之间的距离,并可以减小以绝缘体180等为电介质的形成在布线110与导电体120(节点SN)之间的寄生电容Cp3的静电电容。就是说,在静电电容$C=\varepsilon\times S/d$中,增大介电质的厚度d的值而减小C的

值。

[0125] <存储单元的结构例子3>

接着,说明存储单元150的结构例子3。图9A是说明存储单元150的结构例子3的立体图。为了明确起见,未图示层间膜等绝缘体,以虚线表示布线140及布线240的一部分及布线210。

[0126] 图9B是相当于图7A、图7B所示的线段A1-A2的截面的图。图9C是相当于图7A、图7B所示的线段B1-B2的截面的图。注意,省略与结构例子1共同的各构成要素的说明。

[0127] 与结构例子1同样,结构例子3具有在布线110中形成开口部190且通过设置绝缘体181增大开口部190的深度值的结构,并且减小在导电体120的顶部与布线140之间生成的寄生电容的静电电容。在结构例子3中,在布线140上形成绝缘体181,以贯穿绝缘体181、布线140、绝缘体180及布线110到达绝缘体160的方式形成开口部190。

[0128] 通过采用这种结构,与结构例子2同样可以得到减少寄生电容Cp3的静电电容的效果。另外,通过在布线140与导电体120的顶部之间设置绝缘体181,与结构例子2相比,进一步可以减小形成在布线140与导电体120(节点SN)之间的寄生电容Cp4的静电电容。就是说,在静电电容C=ε×S/d中,增大介电质的厚度d的值而减小C的值。

[0129] 另外,在上述结构例子2中,布线110与导电体120的顶部的距离及布线110与布线140的距离受到的绝缘体180的厚度的影响很大。因此,当增大布线110与导电体120的顶部之间的距离时,布线110(源电极和漏电极中的一个)与布线140(源电极和漏电极中的另一个)之间的距离也变大。该结构相当于纵向晶体管中的沟道长度变长的情况。当沟道长度长时电流值变小,因此有时电路设计的自由度变低。

[0130] 另一方面,在结构例子3中,沟道长度可以根据绝缘体180的厚度调整。另外,布线110与导电体120的顶部之间的距离可以根据绝缘体180和绝缘体181的总厚度来调整。因此,可以提高电路设计自由度。

[0131] <存储单元的结构例子4>

接着,说明存储单元150的结构例子4。图10A是说明存储单元150的结构例子4的截面立体图。为了明确起见,未图示层间膜等绝缘体,以虚线表示布线210。另外,电容器300在Z方向上分断,示出截面。

[0132] 图10B是相当于图7A、图7B所示的线段A1-A2的截面的图。图10C是相当于图7A、图7B所示的线段B1-B2的截面的图。另外,图10B、图10C以点划线示出图10A所示的电容器300的分断位置。注意,省略与结构例子1共同的各构成要素的说明。

[0133] 结构例子4除了结构例子1的结构以外还包括晶体管100与晶体管200间的电容器300。该结构可以用于图2C所示的电路图的存储单元150。

[0134] 电容器300包括导电体320、绝缘体330及布线310。导电体320被用作一个电极,绝缘体330被用作介电质,布线310被用作另一个电极。

[0135] 晶体管100上设置有绝缘体380,布线310设置在绝缘体380上。以贯穿布线310及绝缘体380的方式设置开口部390,绝缘体330以覆盖开口部390的方式设置。在开口部390的底部,绝缘体330中设置有到达导电体120的开口部。导电体320以嵌入开口部390的方式设置,在开口部390的底部与导电体120接触。在开口部390的外侧,在绝缘体330上设置有用作层间膜的绝缘体385。

[0136] 绝缘体385及导电体320上设置有晶体管200。晶体管200的氧化物半导体270具有在开口部290的底部与导电体320接触的区域。换言之,导电体320也可以说具有用作晶体管200的源电极和漏电极中的一个的区域。另外,导电体320也可以说是具有连接晶体管200的源电极和漏电极中的一个与晶体管100的栅电极(导电体120)的布线的功能的导电体。

[0137] 通过设置电容器300,节点SN的静电电容变大,因此可以抑制各寄生电容的电容耦合所导致的电位变动。由此,可以提高读出数据的可靠性。

[0138] 注意,在图10A至图10C中示出对结构例子1附加电容器300的结构,但是如图11A的立体图所示,也可以对结构例子2附加电容器300。此外,如图11B的立体图所示,也可以对结构例子3附加电容器300。

[0139] <存储单元的结构例子5>

接着,说明存储单元150的结构例子5。图12A是说明存储单元150的结构例子5的立体图。为了明确起见,未图示层间膜等绝缘体,以虚线表示布线210。另外,电容器300在Z方向上分断,示出截面。

[0140] 图12B是相当于图7A、图7B所示的线段A1-A2的截面的图。图12C是相当于图7A、图7B所示的线段B1-B2的截面的图。另外,图12B、图12C以点划线示出图12A所示的电容器300的分断位置。注意,省略与结构例子1及结构例子4共同的各构成要素的说明。

[0141] 结构例子5是设置有与结构例子4不同的结构的电容器300的例子。绝缘体380、布线310、开口部390及绝缘体330具有与结构例子4同样的结构,以覆盖布线310及开口部390的方式形成导电体320。

[0142] 通过采用这种结构,也可以在开口部390的外侧形成如下电容器:将布线310用作一个电极;将绝缘体330用作介电质;并且将导电体320用作另一个电极。就是说,相当于在静电电容$C=\varepsilon\times S/d$中增大电极面积S的值而增大C的值。

[0143] 注意,在图12A至图12C中示出对结构例子1附加电容器300的结构,但是如图13A的立体图所示,也可以对结构例子2附加电容器300。此外,如图13B的立体图所示,也可以对结构例子3附加电容器300。

[0144] [晶体管100、200]

接着,详细说明晶体管100、200。注意,如上所述,晶体管100与晶体管200的布线连接形态等不同,但是关于工作的部分基本上它们具有相同的结构,所以在此对晶体管200进行说明。

[0145] 如图7C、图7D等所示,晶体管200可以包括导电体120、绝缘体280上的布线240、以与露出在开口部290的导电体120的顶面、开口部290中的绝缘体280的侧面、开口部290中的布线240的侧面及布线240的顶面的至少一部分接触的方式设置的氧化物半导体270、以与氧化物半导体270的顶面接触的方式设置的绝缘体230、以与绝缘体230的顶面接触的方式设置的导电体220。

[0146] 晶体管200的构成要素的至少一部分配置在开口部290中。在此,开口部290的底部是导电体120的顶面,开口部290的侧面也是绝缘体280的侧面及布线240的侧面。

[0147] 开口部290的顶面是大致圆形的柱状的形状。通过采用这种结构,可以实现存储装置的微型化或高集成化图。注意,开口部290的侧面优选垂直于布线110的顶面。

[0148] 为了增大晶体管200与晶体管100的重叠面积,优选使开口部290的顶面形状与形

成晶体管100的开口部190的顶面形状为相同形状或相似形状。

[0149] 氧化物半导体270、绝缘体230及导电体220的配置在开口部290中的部分反映了开口部290的形状。因此,以覆盖开口部290的底部及侧面的方式设置氧化物半导体270,以覆盖氧化物半导体270的方式设置绝缘体230,并且以嵌入反映了开口部290的形状的绝缘体230的凹部的方式设置导电体220。

[0150] 注意,本实施方式示出开口部290及导电体220的俯视时的形状为大致圆形的例子,但是本发明不局限于此。例如,开口部290及导电体220的俯视时的形状也可以为椭圆形状、四角形等多角形形状、使四角形等多角形的角部带弧形的形状。此时,开口部290的最大宽度根据开口部290的俯视时的形状适当地算出即可。另外,导电体220的最大宽度可以根据导电体220的俯视时的形状适当地算出。

[0151] 例如,当在俯视时开口部290为四角形的情况下,开口部290的最大宽度优选为该四角形的对角线长度。此外,当在俯视时导电体220为四角形的情况下,导电体220的最大宽度可以为该四角形的对角线长度。此外,例如,当在俯视时的开口部290及导电体220为椭圆形状、多角形形状或使多角形的角部弧形的形状等的情况下,开口部290及导电体220的最大宽度可以为包含开口部290的俯视时的形状的最小的圆(也称为最小包含圆)的直径。

[0152] 上述开口部290的形状的说明也可以应用于开口部190。此外,上述导电体220的形状的说明可以应用于导电体120。

[0153] 在此,图14A示出图7C、图7D所示的氧化物半导体270及其附近的放大图。此外,图14B示出包括布线240的XY平面的截面图。

[0154] 如图14A所示,氧化物半导体270具有区域270i、以夹着区域270i的方式设置的区域270na及区域270nb。

[0155] 区域270na是氧化物半导体270中的与导电体120接触的区域。区域270na的至少一部分被用作晶体管200的源极区域和漏极区域中的一方。区域270nb是氧化物半导体270中的与布线240接触的区域。区域270nb的至少一部分被用作晶体管200的源极区域和漏极区域中的另一方。如图14B所示,布线240接触于氧化物半导体270的外周整体。因此,晶体管200的源极区域和漏极区域中的另一方有可能形成在氧化物半导体270的形成在与布线240相同层中的部分的外周整体。

[0156] 区域270i是氧化物半导体270中的区域270na与区域270nb之间的区域。区域270i的至少一部分被用作晶体管200的沟道形成区域。也就是说,晶体管200的沟道形成区域形成在位于导电体120与布线240之间的区域的氧化物半导体270的一部分。另外,也可以说晶体管200的沟道形成区域位于氧化物半导体270的接触于绝缘体280的区域或其附近的区域。

[0157] 晶体管200的沟道长度为源极区域与漏极区域之间的距离。换言之,可以说晶体管200的沟道长度根据导电体120上的绝缘体280的厚度决定。在图14A中,以虚线的双箭头表示晶体管200的沟道长度L。在从截面看时,沟道长度L为氧化物半导体270和导电体120接触的区域的端部与氧化物半导体270和布线240接触的区域的端部的距离。也就是说,沟道长度L相当于从截面看时的绝缘体280的开口部290一侧的侧面的长度。

[0158] 在现有的晶体管中,根据光刻法的曝光极限设定沟道长度,但是在本发明中可以根据绝缘体280的厚度设定沟道长度。因此,可以将晶体管200的沟道长度设定为光刻法的

曝光极限以下的非常微细的结构(例如,60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下且1nm以上或5nm以上)。因此,晶体管200的通态电流变大,从而可以提高频率特性。由此,可以提供一种工作速度高的存储装置。

[0159] 再者,如上所述,可以在开口部290中形成沟道形成区域、源极区域及漏极区域。因此,与在XY平面上分别设置沟道形成区域、源极区域及漏极区域的现有的晶体管相比,可以减小晶体管200的占有面积。由此,可以使存储装置高集成化,所以可以增大单位面积的存储容量。

[0160] 如此,在开口部290中,沿着绝缘体280的侧面具有沟道形成区域的晶体管也被称为纵向晶体管。

[0161] 另外,与图14B同样,在包括氧化物半导体270的沟道形成区域的XY平面上,氧化物半导体270、绝缘体230及导电体220以同心圆状设置。因此,设置在中心的导电体220的侧面隔着绝缘体230与氧化物半导体270的侧面相对。换言之,在俯视时氧化物半导体270的外周整体成为沟道形成区域。此时,例如,根据氧化物半导体270的外周的长度决定晶体管200的沟道宽度。就是说,可以说根据开口部290的最大宽度(在开口部290的俯视时的形状为圆形的情况下,最大径)的大小决定晶体管200的沟道宽度。在图14A及图14B中,以双点划线的双箭头表示开口部290的最大宽度D。在图14B中,以点划线的双箭头表示晶体管200的沟道宽度W。通过使开口部290的最大宽度D的大小增大,可以增大单位面积的沟道宽度而增大通态电流。

[0162] 在利用光刻法形成开口部290时,根据光刻法的曝光极限设定开口部290的最大宽度D。此外,根据设置在开口部290中的氧化物半导体270、绝缘体230及导电体220的各厚度设定开口部290的最大宽度D。开口部290的最大宽度D例如优选为5nm以上、10nm以上或20nm以上且为100nm以下、60nm以下、50nm以下、40nm以下或30nm以下。注意,在开口部290的俯视时的形状为圆形的情况下,开口部290的最大宽度D相当于开口部290的直径,沟道宽度W可以被算出为“$D\times\pi$”。

[0163] 另外,在本发明的一个方式的存储装置中,晶体管200的沟道长度L优选至少比晶体管200的沟道宽度W小。本发明的一个方式的晶体管200的沟道长度L为晶体管200的沟道宽度W的0.1倍以上且0.99倍以下,优选为0.5倍以上且0.8倍以下。通过采用这种结构,可以实现具有良好的电特性及高可靠性的晶体管。

[0164] 另外,通过以在俯视时具有大致圆形形状的方式形成开口部290,氧化物半导体270、绝缘体230及导电体220以同心圆状设置。由此,导电体220与氧化物半导体270的距离大致均匀,所以可以对氧化物半导体270大致均匀地施加栅极电场。

[0165] 在将氧化物半导体用于半导体层的晶体管的沟道形成区域中,优选的是,与源极区域及漏极区域相比,氧空位少或者氢、氮、金属元素等的杂质浓度低。另外,氧空位附近的氢有时形成氢进入氧空位的缺陷(以下,有时被称为V_0H)而生成成为载流子的电子,所以在沟道形成区域中V_0H也优选得到减少。如此,晶体管的沟道形成区域是载流子浓度低的高电阻区域。由此,晶体管的沟道形成区域可以说是i型(本征)或实质上i型。

[0166] 另外,将氧化物半导体用于半导体层的晶体管的源极区域及漏极区域是如下区域:由于与沟道形成区域相比氧空位多、V_0H多或者氢、氮、金属元素等的杂质浓度高而载流子浓度增加,由此被低电阻化。就是说,与沟道形成区域相比,晶体管的源极区域及漏极区

域是载流子浓度更高且电阻更低的n型区域。

[0167] 注意,在图14A等中,以开口部290的侧面垂直于布线110的顶面的方式设置开口部290,但是本发明不局限于此。例如,开口部290的侧面也可以具有反锥形形状。

[0168] 用作氧化物半导体270的金属氧化物的带隙优选为2eV以上,更优选为2.5eV以上。通过作为氧化物半导体270使用带隙大的金属氧化物,可以减小晶体管的关态电流(off-statecurrent)。通过将关态电流小的晶体管用于存储单元,可以长期保持存储内容。换言之,由于不需要刷新工作或刷新工作的频度极低,所以可以充分降低存储装置的功耗。另外,一般的DRAM所需要的刷新工作的频度为大约1次/60msec,本发明的一个方式的存储装置的刷新工作的频度可以为大约1次/10sec,即,可以实现10倍以上或100倍以上的刷线工作的频度。另外,通过使用本发明的一个方式的存储装置,可以将刷新工作的频度设定为1次/1sec以上且1次/100sec以下,优选为1次/5sec以上且1次/50sec以下。

[0169] 另外,作为氧化物半导体270,可以使用将在后面说明的[金属氧化物]中记载的金属氧化物的单层或叠层。

[0170] 作为氧化物半导体270,具体而言,可以使用如下组成的金属氧化物:In:M:Zn=1:3:2[原子个数比]或其附近的组成、In:M:Zn=1:3:4[原子个数比]或其附近的组成、In:M:Zn=1:1:0.5[原子个数比]或其附近的组成、In:M:Zn=1:1:1[原子个数比]或其附近的组成、In:M:Zn=1:1:1.2[原子个数比]或其附近的组成、In:M:Zn=1:1:2[原子个数比]或其附近的组成或者In:M:Zn=4:2:3[原子个数比]或其附近的组成。注意,附近的组成包括所希望的原子个数比的±30%的范围。另外,作为元素M优选使用镓。

[0171] 另外,在通过溅射法沉积金属氧化物时,上述原子个数比不局限于所沉积的金属氧化物的原子个数比,而也可以是用于金属氧化物的沉积的溅射靶材的原子个数比。

[0172] 作为用于氧化物半导体270的金属氧化物的组成的分析,例如可以利用能量分散型X射线分析法(EDX:Energy Dispersive X-ray Spectrometry)、X射线光电子能谱法(XPS:X-ray Photoelectron Spectrometry)、电感耦合等离子体质谱分析法(ICP-MS:Inductively CoupledPlasma-Mass Spectrometry)或者电感耦合等离子体原子发射光谱法(ICP-AES:Inductively Coupled Plasma-Atomic Emission Spectrometry)。或者,也可以组合多个上述方法而分析。注意,含有率低的元素有时受分析精度的影响,实际上的含有率与分析所得的含有率不同。例如,当元素M的含有率低时,有时分析所得的元素M的含有率低于实际上的含有率。

[0173] 金属氧化物可以适当地利用溅射法或原子层沉积(ALD:Atomic LayerDeposition)法形成。注意,在利用溅射法形成金属氧化物的情况下,形成后的金属氧化物的组成有时与溅射靶材的组成不同。尤其是,形成后的金属氧化物中的锌的含有率有时减少到溅射靶材中的锌的含有率的50%左右。

[0174] 氧化物半导体270优选具有结晶性。作为具有结晶性的氧化物半导体,可以举出CAAC-OS(c-axis alignedcrystallineoxide semiconductor:c轴取向晶体氧化物半导体)、nc-OS(nanocrystallineoxide semiconductor:纳米晶氧化物半导体)、多晶氧化物半导体、单晶氧化物半导体等。作为氧化物半导体270优选使用CAAC-OS或nc-OS,特别优选使用CAAC-OS。

[0175] CAAC-OS优选具有多个层状结晶区域且其c轴在被形成面的法线方向上取向。例

如,氧化物半导体270优选具有大致平行于开口部290的侧壁的层状晶体,尤其是大致平行于绝缘体280的侧面的层状晶体。通过采用这种结构,氧化物半导体270的层状晶体大致平行于晶体管200的沟道长度方向,所以可以增大晶体管的通态电流。

[0176] CAAC-OS具有结晶性高的致密结构且是杂质及缺陷(例如,氧空位等)少的金属氧化物。尤其是,通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如,400℃以上且600℃以下)进行热处理,可以使CAAC-OS具有结晶性更高的致密结构。如此,通过进一步提高CAAC-OS的密度,可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0177] 此外,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。因此,具有CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性及高可靠性。

[0178] 此外,当作为氧化物半导体270使用CAAC-OS等具有结晶性的氧化物时,可以抑制氧被源电极或漏电极从氧化物半导体270抽出。因此,即使进行热处理也可以抑制氧从氧化物半导体270抽出,所以晶体管200对制造工序中的高温度(所谓热积存:thermalbudget)很稳定。

[0179] 氧化物半导体270的结晶性例如可以通过X射线衍射(XRD:XRayDiffraction)图案、透射电子显微镜(TEM:TransmissionElectron Microscope)图像或电子衍射(ED:ElectronDiffraction)图案分析。或者,也可以组合多个上述方法而分析。

[0180] 注意,在图7C及图7D等中示出氧化物半导体270为单层的结构,本发明不局限于此。氧化物半导体270也可以具有化学组成互不相同的多个氧化物层的叠层结构。例如,也可以采用适当地层叠选自上述金属氧化物中的多种的结构。

[0181] 在氧化物半导体270具有三层叠层结构时,例如也可以从导电体120一侧依次设置In:Ga:Zn=1:1:1[原子个数比]或其附近的组成的金属氧化物、In:Zn=1:1[原子个数比]或其附近的组成或者In:Zn=4:1[原子个数比]或其附近的组成的金属氧化物、In:Ga:Zn=1:1:1[原子个数比]或其附近的组成的金属氧化物。通过采用这种结构,可以增大晶体管200的通态电流,因此可以实现不均匀少且可靠性高的晶体管结构。

[0182] 作为绝缘体230,可以使用将在后面说明的[绝缘体]中记载的绝缘体的单层或叠层。作为绝缘体230,例如可以使用氧化硅或氧氮化硅。氧化硅及氧氮化硅具有热稳定性,所以是优选的。

[0183] 另外,作为绝缘体230,也可以使用将在后面说明的[绝缘体]中记载的相对介电常数高的材料,即所谓的high-k材料。例如,也可以使用氧化铪或氧化铝等。

[0184] 绝缘体230的厚度优选为0.5nm以上且15nm以下,更优选为0.5nm以上且12nm以下,进一步优选为0.5nm以上且10nm以下。绝缘体230的至少一部分为上述厚度的区域即可。

[0185] 绝缘体230中的水、氢等的杂质浓度优选得到降低。由此,可以抑制水、氢等杂质混入氧化物半导体270的沟道形成区域中。

[0186] 如图7C及图7D所示,绝缘体230的一部分位于开口部290之外,即布线240及绝缘体280上。此时,绝缘体230优选覆盖氧化物半导体270的侧端部。由此,可以防止导电体220与氧化物半导体270短路。此外,绝缘体230优选覆盖布线240的侧端部。由此,可以防止导电体220与布线240短路。

[0187] 注意,在图7C及图7D示出绝缘体230为单层的结构,但是本发明不局限于此。绝缘

体230也可以具有叠层结构。

[0188] 作为导电体220,可以使用将在后面说明的[导电体]中记载的导电体的单层或叠层。作为导电体220,例如可以使用钨等导电性高的导电材料。

[0189] 另外,作为导电体220,优选使用不容易氧化的导电材料或者具有抑制氧扩散的功能的导电材料等。作为该导电材料,可以举出包含氮的导电材料(例如,氮化钛或氮化钽等)及包含氧的导电材料(例如,氧化钌等)等。由此,可以抑制导电体220的导电率的下降。

[0190] 注意,在图7C及图7D示出导电体220为单层的结构,但是本发明不局限于此。导电体220也可以具有叠层结构。

[0191] 作为布线240,可以使用将在后面说明的[导电体]中记载的导电体的单层或叠层。作为布线240,例如可以使用钨等导电性高的导电材料。

[0192] 与导电体220同样,布线240也优选使用不容易氧化的导电材料或者具有抑制氧扩散的功能的导电材料等。例如,可以使用氮化钛或氮化钽等。通过采用这种结构,可以抑制因氧化物半导体270而布线240被过度氧化。

[0193] 另外,例如,也可以具有氮化钛上层叠有钨的结构。通过如此层叠钨,可以提高布线240的导电性。

[0194] 此外,在布线240具有第一导电体和第二导电体的叠层结构时,例如,也可以使用导电性高的导电材料形成第一导电体并使用包含氧的导电材料形成第二导电体。通过作为与绝缘体230接触的布线240的第二导电体使用包含氧的导电材料,可以抑制绝缘体230中的氧扩散到布线240的第一导电体。例如,作为布线240的第一导电体优选使用钨,作为布线240的第二导电体优选使用添加硅的铟锡氧化物。

[0195] 在氧化物半导体270与导电体120接触时形成金属化合物或氧空位,氧化物半导体270的区域270na被低电阻化。通过与导电体120接触的氧化物半导体270被低电阻化,可以降低氧化物半导体270与导电体120的接触电阻。同样地,在氧化物半导体270与布线240接触时,氧化物半导体270的区域270nb被低电阻化。由此,可以降低氧化物半导体270与布线240的接触电阻。

[0196] 绝缘体280被用作层间膜,所以其相对介电常数优选低。通过将相对介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容的静电电容。作为绝缘体280,可以使用将在后面说明的[绝缘体]中记载的包含相对介电常数低的材料的绝缘体的单层或叠层。氧化硅及氧氮化硅具有热稳定性,所以是优选的。

[0197] 另外,绝缘体280中的水、氢等的杂质浓度优选得到降低。由此,可以抑制水、氢等杂质混入氧化物半导体270的沟道形成区域中。

[0198] 另外,作为绝缘体280,优选使用包含通过加热脱离的氧(以下,有时被称为过剩氧)的绝缘体。通过对包含过剩氧的绝缘体280进行热处理,可以从绝缘体280向氧化物半导体270的沟道形成区域供应氧而可以减少氧空位及V_OH。由此,可以使晶体管200的电特性稳定而提高可靠性。

[0199] 此外,作为绝缘体280,也可以使用将在后面说明的[绝缘体]中记载的具有俘获氢或固定氢的功能的绝缘体。通过采用这种结构,可以俘获或固定氧化物半导体270的氢而可以降低氧化物半导体270的氢浓度。作为绝缘体280,可以使用氧化镁或氧化铝等。

[0200] 注意,在图7C及图7D示出绝缘体280为单层的结构,但是本发明不局限于此。绝缘

体280也可以具有叠层结构。

[0201] <存储装置的构成材料>

以下,说明可用于存储装置的构成材料。

[0202] [衬底]

作为形成晶体管100及晶体管200的衬底,例如可以使用绝缘体衬底、半导体衬底或导电体衬底。作为绝缘体衬底,例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。此外,作为半导体衬底,例如可以举出以硅、锗为材料的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌、氧化镓构成的化合物半导体衬底等。并且,还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底,例如SOI(Silicon OnInsulator:绝缘体上硅)衬底等。作为导电体衬底,可以举出石墨衬底、金属衬底、合金衬底、导电树脂衬底等。或者,可以举出包含金属氮化物的衬底、包含金属氧化物的衬底等。此外,还可以举出设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电体衬底等。或者,也可以使用在这些衬底上设置有元件的衬底。作为设置在衬底上的元件,可以举出电容器、电阻器、开关元件、发光元件、存储元件等。

[0203] [绝缘体]

作为绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0204] 例如,当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等的问题。通过作为用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时实现晶体管工作时的低电压化。此外,可以减少用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。另一方面,通过将相对介电常数低的材料用于用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容的静电电容。因此,优选根据绝缘体的功能选择材料。此外,相对介电常数低的材料也是介电强度大的材料。

[0205] 作为相对介电常数高(high-k)的材料,例如可以举出氧化铝、氧化镓、氧化铪、氧化钽、氧化锆、铪锆氧化物、含有铝及铪的氧化物、含有铝及铪的氧氮化物、含有硅及铪的氧化物、含有硅及铪的氧氮化物以及含有硅及铪的氮化物等。

[0206] 作为相对介电常数低的材料,例如可以举出氧化硅、氧氮化硅及氮氧化硅等无机绝缘材料、聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯及丙烯酸树脂等树脂。此外,作为上述以外的相对介电常数低的无机绝缘材料,例如可以举出添加有氟的氧化硅、添加有碳的氧化硅以及添加有碳及氮的氧化硅等。此外,可以举出具有空孔的氧化硅。另外,这些氧化硅也可以包含氮。

[0207] 另外,通过由具有抑制杂质及氧的透过的功能的绝缘体围绕使用金属氧化物的晶体管,可以使晶体管的电特性稳定。作为具有抑制杂质及氧的透过的功能的绝缘体,例如可以使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、锆、镧、钕、铪或钽的绝缘体的单层或叠层。具体而言,作为具有抑制杂质及氧的透过的功能的绝缘体,可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪、氧化钽等金属氧化物、氮化铝、氮氧化硅、氮化硅等金属氮化物。

[0208] 另外,栅极绝缘体等的与半导体接触的绝缘体或者设置在半导体层附近的绝缘体

优选为具有包含过剩氧的区域的绝缘体。例如,在具有包含过剩氧的区域的绝缘体与半导体层接触时,或者在具有包含过剩氧的区域的绝缘体设置在半导体层附近时,可以减少半导体层中的氧空位。作为容易形成包含过剩氧的区域的绝缘体,可以举出氧化硅、氧氮化硅或具有空孔的氧化硅等。

[0209] 另外,作为具有氧阻挡性的绝缘体,可以举出包含铝和铪中的一方或双方的氧化物、包含铪及硅的氧化物(硅酸铪)、氧化镁、氧化镓、镓锌氧化物、铟镓锌氧化物、氮化硅以及氮氧化硅等。此外,作为包含铝和铪中的一方或双方的氧化物,可以举出氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。

[0210] 另外,作为具有氢阻挡性的绝缘体,可以举出氧化铝、氧化镁、氧化铪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。

[0211] 具有氧阻挡性的绝缘体及具有氢阻挡性的绝缘体可以说是对氧和氢中的一方或双方具有阻挡性的绝缘体。

[0212] 另外,作为具有俘获或者固定氢的功能的绝缘体,可以举出包含镁的氧化物或包含铝和铪中的一方或双方的氧化物。另外,这些氧化物更优选具有非晶结构。具有非晶结构的氧化物有时具有如下性质:氧原子具有悬空键而由该悬空键俘获或固定氢。此外,这些氧化物优选采用非晶结构,但其一部分也可以形成有结晶区域。

[0213] 注意,在本说明书等中,阻挡绝缘膜是指具有阻挡性的绝缘膜。此外,阻挡性是指不容易扩散对应物质的性质(也被称为不容易透过对应物质的性质、对应物质的透过性低的性质、或抑制对应物质扩散的功能)。另外,俘获或固定(也称为吸杂)对应物质的功能可以换称为阻挡性。此外,记为对应物质的氢例如是指氢原子、氢分子、水分子及OH^-等与氢键合的物质等中的至少一个。此外,除非特别叙述,记为对应物质的杂质是指沟道形成区域中或半导体层中的杂质,例如是指氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、铜原子等中的至少一个。此外,记为对应物质的氧例如是指氧原子、氧分子等中的至少一个。具体而言,氧阻挡性是指不容易扩散氧原子、氧分子等中的至少一个的性质。

[0214] [导电体]

作为导电体,优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟、钌、铱、锶和镧等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。作为以上述金属元素为成分的合金,也可以使用该合金的氮化物或该合金的氧化物。例如,优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物等。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0215] 此外,包含钽的氮化物、包含钛的氮化物、包含钼的氮化物,包含钨的氮化物、包含钌的氮化物、包含钽和铝的氮化物或包含钛和铝的氮化物等包含氮的导电材料、氧化钌、包含锶和钌的氧化物或包含镧和镍的氧化物等包含氧的导电材料、包含钛、钽或钌等金属元素的材料是不容易被氧化的导电材料、具有抑制氧扩散的功能的导电材料或者吸收氧也维持导电性的材料,所以是优选的。注意,作为包含氧的导电材料,可以举出包含氧化钨的铟氧化物、包含氧化钛的铟氧化物、铟锡氧化物、包含氧化钛的铟锡氧化物、添加硅的铟锡氧化物、铟锌氧化物以及包含氧化钨的铟锌氧化物等。在本说明书等中,有时将使用包含氧的导电材料沉积的导电膜称为氧化物导电膜。

[0216] 此外,以钨、铜或铝为主要成分的导电材料的导电性高,所以是优选的。

[0217] 此外,也可以层叠多个由上述材料形成的导电层。例如,也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。此外,也可以采用组合包含上述金属元素的材料和包含氮的导电材料的叠层结构。此外,也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。

[0218] 此外,在将金属氧化物用于晶体管的沟道形成区域的情况下,用作栅电极的导电体优选采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。在此情况下,优选将包含氧的导电材料设置在沟道形成区域一侧。通过将包含氧的导电材料设置在沟道形成区域一侧,从该导电材料脱离的氧容易被供应到沟道形成区域。

[0219] 尤其是,作为用作栅电极的导电体,优选使用包含含在被形成沟道的金属氧化物中的金属元素及氧的导电材料。此外,也可以使用包含上述金属元素及氮的导电材料。例如,也可以使用氮化钛、氮化钽等包含氮的导电材料。此外,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物和添加有硅的铟锡氧化物中的一个或多个。此外,也可以使用包含氮的铟镓锌氧化物。通过使用上述材料,有时可以俘获被形成沟道的金属氧化物所包含的氢。或者,有时可以俘获从外方的绝缘体等混入的氢。

[0220] [金属氧化物]

金属氧化物有时具有晶格缺陷。晶格缺陷是指原子空位及异质原子等点缺陷、位错等线缺陷、晶界等面缺陷,空隙等体积缺陷。此外,作为生成晶格缺陷的主要原因,有构成元素的原子个数的比率的差异(构成原子的过多或不足)以及杂质等。

[0221] 当将金属氧化物用于晶体管的半导体层时,金属氧化物中的晶格缺陷会导致载流子的生成或俘获等。因此,当将晶格缺陷多的金属氧化物用于晶体管的半导体层时,该晶体管的电特性有可能不稳定。因此,用于晶体管的半导体层的金属氧化物中的晶格缺陷优选少。

[0222] 在使用金属氧化物的晶体管中,尤其是,如果在金属氧化物的沟道形成区域中存在氧空位(V_0)及杂质,电特性则容易变动,有时降低可靠性。此外,氧空位附近的氢形成氢进入氧空位中的缺陷(下面有时称为V_0H)而可能会生成成为载流子的电子。由此,在金属氧化物中的沟道形成区域包含氧空位的情况下,晶体管趋于具有常开启特性。由此,在金属氧化物的沟道形成区域中,优选尽量减少氧空位及杂质。换言之,优选的是,金属氧化物的沟道形成区域的载流子浓度降低且被i型化(本征化)或实质上被i型化。

[0223] 容易存在于金属氧化物中的晶格缺陷的种类及晶格缺陷的存在量根据金属氧化物的结构或金属氧化物的沉积方法等而不同。

[0224] 金属氧化物的结构被分为单晶结构与其他结构(非单晶结构)。作为非单晶结构,例如有CAAC结构、多晶(polycrystalline)结构、nc结构、amorphous-like(a-like)结构及非晶结构等。a-like结构具有介于nc结构和非晶结构之间的结构。注意,将在后面说明晶体结构的分类。

[0225] 另外,在具有a-like结构的金属氧化物及具有非晶结构的金属氧化物中存在空洞或低密度区域。换言之,具有a-like结构的金属氧化物及具有非晶结构的金属氧化物的结晶性比具有nc结构的金属氧化物及具有CAAC结构的金属氧化物低。另外,具有a-like结构

的金属氧化物的金属氧化物中的氢浓度比具有nc结构的金属氧化物及具有CAAC结构的金属氧化物高。因此,在具有a-like结构的金属氧化物及具有非晶结构的金属氧化物中容易生成晶格缺陷。

[0226] 因此,优选将结晶性高的金属氧化物用于晶体管的半导体层。例如,优选使用具有CAAC结构的金属氧化物或单晶结构的金属氧化物。通过将该金属氧化物用于晶体管,可以实现具有良好的电特性的晶体管。此外,可以实现可靠性高的晶体管。

[0227] 另外,晶体管的沟道形成区域优选使用增大该晶体管的通态电流的金属氧化物。为了增大该晶体管的通态电流,提高用于该晶体管的金属氧化物的迁移率即可。为了提高金属氧化物的迁移率,需要提高载流子(n沟道型晶体管时为电子)的传输或者减少给载流子的传输带来影响的散射因素。另外,载流子经过沟道形成区域从源极流至漏极。因此,通过设置载流子在沟道长度方向上容易流过的沟道形成区域,可以增大晶体管的通态电流。

[0228] 在此,具有沟道形成区域的金属氧化物优选采用结晶性高的金属氧化物。再者,该晶体优选具有层叠有多个层(例如,第一层、第二层和第三层)的晶体结构。换言之,该晶体具有层状晶体结构(也称为层状晶体、层状结构)。此时,该晶体的c轴方向为层叠有多个层的方向。具有该晶体的金属氧化物例如包括单晶氧化物半导体、CAAC-OS等。

[0229] 另外,上述晶体的c轴优选在金属氧化物的被形成面或膜表面的法线方向上取向。由此,多个层以平行或大致平行于金属氧化物的被形成面或膜表面的方式配置。就是说,多个层延伸在沟道长度方向上。

[0230] 例如,上述三层的层状晶体结构具有如下结构。第一层具有该第一层所包含的金属存在于中心的氧八面体的原子配位结构。此外,第二层具有该第二层所包含的金属存在于中心的氧三角双锥形或四面体形的原子配位结构。此外,第三层具有该第三层所包含的金属存在于中心的氧三角双锥形或四面体形的原子配位结构。

[0231] 作为上述晶体的晶体结构,例如有$YbFe_2O_4$型结构、$Yb_2Fe_3O_7$型结构、它们的变形结构等。

[0232] 再者,优选的是,第一层至第三层都由一个金属元素或具有相同化合价的多个金属元素以及氧构成。注意,优选的是,构成第一层的一个或多个金属元素的化合价与构成第二层的一个或多个金属元素的化合价相同。另外,第一层及第二层也可以包含相同金属元素。另外,优选的是,构成第一层的一个或多个金属元素的化合价与构成第三层的一个或多个金属元素的化合价不同。

[0233] 通过采用上述结构,可以提高金属氧化物的结晶性而提高该金属氧化物的迁移率。由此,通过将该金属氧化物用于晶体管的沟道形成区域,晶体管的通态电流增大,而可以提高该晶体管的电特性。

[0234] 作为本发明的一个方式的金属氧化物,例如可以举出铟氧化物、镓氧化物及锌氧化物。本发明的一个方式的金属氧化物优选至少包含铟(In)或锌(Zn)。此外,金属氧化物优选包含选自铟、元素M和锌中的两个或三个。注意,元素M为与氧的键合能量高的金属元素或半金属元素,例如为与氧的键合能量比铟高的金属元素或半金属元素。作为元素M,具体而言,可以举出铝、镓、锡、钇、钛、钒、铬、锰、铁、钴、镍、锆、钼、铪、钽、钨、镧、铈、钕、镁、钙、锶、钡、硼、硅、锗及锑等。金属氧化物所包含的元素M优选为上述元素中的任一种或多种,更优选为选自铝、镓、锡和钇中的一种或多种,进一步优选为镓。金属氧化物所包括的元素M为镓

时,本发明的一个方式的金属氧化物优选包含选自铟、镓和锌中的任一个或多个。注意,在本说明书等中,有时将金属元素和半金属元素总称为“金属元素”,本说明书等中记载的“金属元素”有时包括半金属元素。

[0235] 作为本发明的一个方式的金属氧化物半导体,例如可以使用铟锌氧化物(In-Zn氧化物)、铟锡氧化物(In-Sn氧化物)、铟钛氧化物(In-Ti氧化物)、铟镓氧化物(In-Ga氧化物)、铟镓铝氧化物(In-Ga-Al氧化物)、铟镓锡氧化物(In-Ga-Sn氧化物)、镓锌氧化物(Ga-Zn氧化物,也记为GZO)、铝锌氧化物(Al-Zn氧化物,也记为AZO)、铟铝锌氧化物(In-Al-Zn氧化物,也记为IAZO)、铟锡锌氧化物(In-Sn-Zn氧化物)、铟钛锌氧化物(In-Ti-Zn氧化物)、铟镓锌氧化物(In-Ga-Zn氧化物,也记为IGZO)、铟镓锡锌氧化物(In-Ga-Sn-Zn氧化物,也记为IGZTO)、铟镓铝锌氧化物(In-Ga-Al-Zn氧化物,也记为IGAZO或IAGZO)等。或者,可以举出包含硅的铟锡氧化物、镓锡氧化物(Ga-Sn氧化物)、铝锡氧化物(Al-Sn氧化物)等。

[0236] 通过提高相对于金属氧化物中的所有金属元素的原子个数的总和的铟的原子个数比,可以提高晶体管的场效应迁移率。

[0237] 注意,金属氧化物也可以包含一种或多种周期数大的金属元素代替铟。或者,金属氧化物也可以除了铟以外还包含一种或多种周期数大的金属元素。有如下倾向:金属元素的轨道重叠越大,金属氧化物中的载流子传导越大。因此,通过包含周期数大的金属元素,有时可以提高晶体管的场效应迁移率。作为周期数大的金属元素,可以举出属于第5周期的金属元素以及属于第6周期的金属元素等。作为该金属元素,具体而言,可以举出钇、锆、银、镉、锡、锑、钡、铅、铋、镧、铈、镨、钕、钜、钐及铕等。注意,镧、铈、镨、钕、钜、钐及铕被称为轻稀土元素。

[0238] 另外,金属氧化物也可以包含一种或多种非金属元素。通过金属氧化物包含非金属元素,有时可以提高晶体管的场效应迁移率。作为非金属元素,例如可以举出碳、氮、磷、硫、硒、氟、氯、溴及氢等。

[0239] 另外,通过提高相对于金属氧化物中的所有金属元素的原子个数的总和的锌的原子个数比,可以使金属氧化物具有高结晶性,由此可以抑制金属氧化物中的杂质的扩散。因此,晶体管的电特性的变动得到抑制而可以提高可靠性。

[0240] 另外,通过提高相对于金属氧化物中的所有金属元素的原子个数的总和的元素M的原子个数比,可以抑制金属氧化物中形成氧空位。因此,起因于氧空位的载流子生成得到抑制,由此可以实现关态电流小的晶体管。此外,晶体管的电特性的变动得到抑制而可以提高可靠性。

[0241] 另外,通过提高相对于金属氧化物中的所有金属元素的原子个数的总和的In的原子个数比,晶体管可以得到大通态电流及高频率特性。

[0242] 在本实施方式中,作为金属氧化物,有时以In-Ga-Zn氧化物为例进行说明。

[0243] 为了形成具有上述层状晶体结构的金属氧化物,优选一层一层沉积原子。在本发明的一个方式的金属氧化物的沉积方法中,由于利用ALD法,所以可以容易形成具有上述层状晶体结构的金属氧化物。

[0244] 作为ALD法,可以举出只利用热能使前驱物及反应物起反应的热ALD(ThermalALD)法以及使用被等离子体激发的反应物的等离子体ALD(PEALD:Plasma EnhancedALD)法等。

[0245] ALD法可以一层一层沉积原子,从而具有如下效果:能够沉积极薄的膜;能够对纵

横比高的结构沉积;能够以针孔等缺陷少的方式沉积;能够以高覆盖性沉积;能够在低温下沉积等。此外,在PEALD法中,通过利用等离子体可以在更低温下进行沉积,所以有时是优选的。另外,ALD法中使用的前驱物有时包含碳或氯等元素。因此,利用ALD法设置的膜有时与利用其他的沉积方法设置的膜相比包含更多的碳或氯等元素。此外,这些元素的定量可以利用XPS或SIMS(Secondary Ion Mass Spectrometry:二次离子质谱分析法)进行。注意,作为本发明的一个方式的金属氧化物的沉积方法利用ALD法,但是由于采用沉积时的衬底温度高的条件和杂质去除处理中的一方或双方,所以与不采用上述条件而利用ALD法的情况相比有时包含在膜中的碳及氯的量少。

[0246] ALD法不同于从靶材等中被释放的粒子沉积的沉积方法,是因被处理物表面的反应而形成膜的成膜方法。因此,ALD法是不易受被处理物的形状的影响而具有良好的台阶覆盖性的沉积方法。尤其是,ALD法具有良好的台阶覆盖性和厚度均匀性,所以ALD法适合用于覆盖纵横比高的开口部的表面的情况等。但是,ALD法的沉积速率比较慢,所以有时优选与沉积速率快的溅射法或CVD法等其他沉积方法组合而使用。例如,可以举出利用溅射法沉积第一金属氧化物并在该第一金属氧化物上利用ALD法沉积第二金属氧化物的方法等。例如,在上述第一金属氧化物具有结晶部的情况下,上述第二金属氧化物有时以该结晶部为核进行结晶生长。

[0247] ALD法可以根据源气体的引入量控制得到的膜的组成。例如,当利用ALD法时,可以通过调整源气体的引入量、引入次数(也称为脉冲次数)以及一个脉冲所需要的时间(也称为脉冲时间)等来沉积任意组成的膜。此外,例如当利用ALD法时,可以通过在进行沉积的同时改变源气体来沉积其组成连续变化的膜。当在改变源气体的同时进行沉积时,因为不需要传送或调整压力所需的时间,所以与使用多个沉积室进行沉积的情况相比可以缩短沉积时间。因此,有时可以提高存储装置的生产率。

[0248] [[包括氧化物半导体的晶体管]]

接着,说明将金属氧化物(氧化物半导体)用于晶体管的情况。下面,有时将在半导体层中使用氧化物半导体的晶体管记为OS晶体管且将在半导体层中使用硅的晶体管记为Si晶体管。

[0249] 通过将本发明的一个方式的金属氧化物(氧化物半导体)用于晶体管,可以实现场效应迁移率高的晶体管。此外,可以实现可靠性高的晶体管。此外,可以实现微型化或高集成化的晶体管。例如,可以制造沟道长度为2nm以上且30nm以下的晶体管。

[0250] 优选将载流子浓度低的氧化物半导体用于晶体管的沟道形成区域。例如,氧化物半导体的沟道形成区域的载流子浓度可以为$1\times10^{18}cm^{-3}$以下,优选为$1\times10^{17}cm^{-3}$以下,更优选为$1\times10^{15}cm^{-3}$以下,更优选为$1\times10^{13}cm^{-3}$以下,更优选为$1\times10^{11}cm^{-3}$以下,进一步优选低于$1\times10^{10}cm^{-3}$,且为$1\times10^{-9}cm^{-3}$以上。注意,在以降低氧化物半导体的载流子浓度为目的的情况下,降低氧化物半导体中的杂质浓度以降低缺陷态密度即可。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。此外,有时将载流子浓度低的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。

[0251] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜的缺陷态密度低,所以有时陷阱态密度也低。

[0252] 此外,被氧化物半导体的陷阱态俘获的电荷到消失需要长时间,有时像固定电荷

那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0253] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。另外,为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质,可以举出氢、碳、氮等。注意,氧化物半导体中的杂质例如是指构成氧化物半导体的主要成分之外的元素。例如,浓度低于0.1atomic%的元素可以说是杂质。

[0254] 另外,氧化物半导体的带隙优选比硅的带隙(典型的为1.1eV)大,优选为2eV以上,更优选为2.5eV以上,进一步优选为3.0eV以上。通过使用其带隙比硅的带隙大的氧化物半导体,可以减小晶体管的关态电流(也称为Ioff)。

[0255] 此外,在Si晶体管中,随着晶体管的微型化发展出现短沟道效应(也称为Short Channel Effect:SCE)。因此,Si晶体管的微型化很困难。作为出现短沟道效应的原因之一可以举出硅的带隙小。另一方面,OS晶体管使用作为带隙大的半导体材料的氧化物半导体,由此可以抑制短沟道效应。换言之,OS晶体管是没有短沟道效应或者短沟道效应极少的晶体管。

[0256] 另外,短沟道效应是指随着晶体管的微型化(沟道长度的缩小)出现的电特性的劣化。作为短沟道效应的具体例子,有阈值电压的降低、亚阈值摆幅值(有时记载为S值)的增大、泄漏电流的增大等。在此,S值是指:以固定的漏极电压使漏极电流的值变化一个位数的亚阈值区域中的栅极电压的变化量。

[0257] 此外,作为对短沟道效应的耐性的指标,广泛地使用特性长度(Characteristic Length)。特性长度是指沟道形成区域的势的弯曲性指标。特性长度越小,势急剧上升,因此可以说抗短沟道效应能力高。

[0258] OS晶体管为积累型晶体管,Si晶体管为反转型晶体管。因此,与Si晶体管相比,OS晶体管的源极区域-沟道形成区域间的特征长度及漏极区域-沟道形成区域间的特征长度小。因此,与Si晶体管相比,OS晶体管的抗短沟道效应能力高。也就是说,在要制造沟道长度短的晶体管的情况下,与Si晶体管相比,OS晶体管是更优选的。

[0259] 在直到沟道形成区域成为i型或实质上i型为止降低氧化物半导体的载流子浓度的情况下,在短沟道晶体管中,由于Conduction-Band-Lowering(CBL)效应,沟道形成区域的导带下端下降,由此源极区域或漏极区域与沟道形成区域间的导带下端的能量差异可能减少到0.1eV以上且0.2eV以下。由此,OS晶体管也可以被视为沟道形成区域成为n^-型区域且源极区域及漏极区域成为n^+型区域的$n^+/n^-/n^+$积累型junction-less晶体管结构或$n^+/n^-/n^+$积累型non-junction晶体管结构。

[0260] 通过OS晶体管具有上述结构,即便使存储装置微型化或高集成化也可以具有良好的电特性。例如,即使OS晶体管的沟道长度或栅极长度为20nm以下、15nm以下、10nm以下、7nm以下或6nm以下且1nm以上、3nm以上或5nm以上,也可以得到良好的电特性。另一方面,在Si晶体管中出现短沟道效应,由此有时很难将栅极长度设定为20nm以下或15nm以下。因此,与Si晶体管相比,OS晶体管可以适用于沟道长度短的晶体管。注意,栅极长度是指在晶体管工作时载流子在沟道形成区域内迁移的方向上的栅电极长度。

[0261] 此外,通过使OS晶体管微型化,可以提高晶体管的高频特性。具体而言,可以提高晶体管的截止频率。当OS晶体管的栅极长度在上述范围内时,例如在室温环境下晶体管的

截止频率可以为50GHz以上,优选为100GHz以上,更优选为150GHz以上。

[0262] 如以上的说明那样,OS晶体管具有比Si晶体管良好的效果,诸如关态电流小以及可以制造沟道长度短的晶体管。

[0263] [[金属氧化物中的杂质]]

在此,说明金属氧化物(氧化物半导体)中的各杂质的影响。

[0264] 在氧化物半导体包含第14族元素之一的硅或碳时,在氧化物半导体中形成缺陷态。由此,将利用SIMS测得的氧化物半导体的沟道形成区域中的碳浓度设定为1×10^{20}atoms/cm^{3}以下,优选为5×10^{19}atoms/cm^{3}以下,更优选为3×10^{19}atoms/cm^{3}以下,更优选为1×10^{19}atoms/cm^{3}以下,更优选为3×10^{18}atoms/cm^{3}以下,进一步优选为1×10^{18}atoms/cm^{3}以下。此外,将利用SIMS测得的氧化物半导体的沟道形成区域中的硅浓度设定为1×10^{20}atoms/cm^{3}以下,优选为5×10^{19}atoms/cm^{3}以下,更优选为3×10^{19}atoms/cm^{3}以下,更优选为1×10^{19}atoms/cm^{3}以下,更优选为3×10^{18}atoms/cm^{3}以下,进一步优选为1×10^{18}atoms/cm^{3}以下。

[0265] 另外,当氧化物半导体包含氮时,产生作为载流子的电子,使载流子浓度增高,而容易被n型化。其结果是,将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启特性。或者,在氧化物半导体包含氮时,有时形成陷阱态。其结果是,有时晶体管的电特性不稳定。因此,将利用SIMS测得的氧化物半导体的沟道形成区域中的氮浓度设定为1×10^{20}atoms/cm^{3}以下,优选为5×10^{19}atoms/cm^{3}以下,更优选为1×10^{19}atoms/cm^{3}以下,更优选为5×10^{18}atoms/cm^{3}以下,更优选为1×10^{18}atoms/cm^{3}以下,进一步优选为5×10^{17}atoms/cm^{3}以下。

[0266] 另外,包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时产生作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用含有氢的氧化物半导体的晶体管容易具有常开启特性。由此,优选尽可能减少氧化物半导体的沟道形成区域中的氢。具体而言,将利用SIMS测得的氧化物半导体的沟道形成区域中的氢浓度设定小于1×10^{20}atoms/cm^3,优选小于5×10^{19}atoms/cm^3,更优选小于1×10^{19}atoms/cm^3,更优选小于5×10^{18}atoms/cm^3,进一步优选小于1×10^{18}atoms/cm^3。

[0267] 此外,当氧化物半导体包含碱金属或碱土金属时,有时形成缺陷态而产生载流子。因此,使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。由此,将利用SIMS测得的氧化物半导体的沟道形成区域中的碱金属或碱土金属的浓度设定为1×10^{18}atoms/cm^{3}以下,优选为2×10^{16}atoms/cm^{3}以下。

[0268] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0269] [其他半导体材料]

氧化物半导体270可以换称为具有晶体管的沟道形成区域的半导体层。可用于半导体层的半导体材料不局限于上述金属氧化物。作为半导体层,也可以使用具有带隙的半导体材料(不是零带隙半导体的半导体材料)。例如,优选将单个元素的半导体、化合物半导体或者层状物质(也称为原子层物质、二维材料等)等用于半导体材料。

[0270] 在此,在本说明书等中,层状物质是具有层状晶体结构的材料群的总称。层状晶体

结构是由共价键或离子键形成的层通过如范德华力那样的比共价键及离子键弱的键合层叠的结构。层状物质在单位层中具有高导电性,即,具有高二维导电性。通过将用作半导体并具有高二维导电性的材料用于沟道形成区域,可以提供通态电流大的晶体管。

[0271] 作为可用于半导体材料的单个元素的半导体,可以举出硅及锗等。作为可用于半导体层的硅,可以举出单晶硅、多晶硅、微晶硅及非晶硅。作为多晶硅,例如可以举出低温多晶硅(LTPS:LowTemperaturePoly Silicon)。

[0272] 作为可用于半导体材料的化合物半导体,可以举出碳化硅、硅锗、砷化镓、磷化铟、氮化硼及砷化硼等。可用于半导体层的氮化硼优选具有非晶结构。可用于半导体层的砷化硼优选包含具有立方晶结构的晶体。

[0273] 作为层状物质,有石墨烯、硅烯、碳氮化硼、硫族化物等。在作为层状物质的碳氮化硼中,碳原子、氮原子及硼原子在平面上以六角形晶格结构排列。硫族化物是包含硫族元素的化合物。此外,硫族元素是属于第16族的元素的总称,其中包括氧、硫、硒、碲、钋、鉝。此外,作为硫族化物,可以举出过渡金属硫族化物、第13族硫族化物等。

[0274] 作为半导体层,例如优选使用用作半导体的过渡金属硫族化物。作为能够用作半导体层的过渡金属硫族化物,具体地可以举出硫化钼(典型的是MoS_2)、硒化钼(典型的是$MoSe_2$)、碲化钼(典型的是$MoTe_2$)、硫化钨(典型的是WS_2)、硒化钨(典型的是WSe_2)、碲化钨(典型的是WTe_2)、硫化铪(典型的是HfS_2)、硒化铪(典型的是$HfSe_2$)、硫化锆(典型的是ZrS_2)、硒化锆(典型的是$ZrSe_2$)等。通过将上述过渡金属硫族化物用于半导体层,可以提供通态电流大的存储装置。

[0275] 根据本发明的一个方式,可以提供一种新颖的晶体管、新颖的半导体装置及新颖的存储装置。另外,可以提供一种能够实现微型化或高集成化的存储装置。另外,可以提供一种频率特性良好的存储装置。另外,可以提供一种工作速度高的存储装置。另外,可以提供一种可靠性高的存储装置。另外,可以提供一种功耗低的存储装置。另外,可以提供一种包括通态电流大的晶体管的存储装置。另外,可以提供一种晶体管特性的不均匀小的存储装置。另外,可以提供一种具有良好的电特性的存储装置。

[0276] 本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[0277] (实施方式2)

在本实施方式中,参照附图对本发明的一个方式的存储装置的结构例子进行说明。

[0278] 图15A示出本发明的一个方式的存储装置的立体示意图。图15B示出本发明的一个方式的存储装置的方框图。

[0279] 图15A及图15B所示的存储装置750包括驱动电路层701及n层(n为1以上的整数)存储层700。存储层700各自包括存储单元阵列10。存储单元阵列10包括多个存储单元11。

[0280] n层存储层700设置在驱动电路层701上。通过将n层存储层700设置在驱动电路层701上,可以减少存储装置750的占有面积。此外,可以增高单位面积的存储容量。

[0281] 在本实施方式中,将第一层存储层700记为存储层700_1,将第二层存储层700记为存储层700_2,并且将第三层存储层700记为存储层700_3。此外,将第k层(k为1以上且n以下的整数)存储层700记为存储层700_k,并且将第n层存储层700记为存储层700_n。此外,在本

实施方式等中,当说明涉及整个n层存储层700的事项或者n层存储层700的各层间共同的事项时,有时简单地记为“存储层700”。

[0282] 驱动电路层701包括PSW22(功率开关)、PSW23及外围电路31。外围电路31包括外围电路41、控制电路32(Control Circuit)及电压生成电路33。

[0283] 在存储装置750中,根据需要可以适当地取舍上述各电路、各信号及各电压。或者,也可以增加其它电路或其它信号。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2为从外部输入的信号,信号RDA为输出到外部的信号。

[0284] 信号CLK为时钟信号。信号BW、信号CE及信号GW为控制信号。信号CE为芯片使能信号,信号GW为全局写入使能信号,信号BW为字节写入使能信号。信号ADDR为地址信号。信号WDA为写入数据,信号RDA为读出数据。信号PON1、PON2为电源门控控制用信号。此外,信号PON1、信号PON2也可以在控制电路32中生成。

[0285] 控制电路32为具有控制存储装置750的整体工作的功能的逻辑电路。例如,控制电路对信号CE、信号GW及信号BW进行逻辑运算来决定存储装置750的工作模式(例如,写入工作、读出工作)。或者,控制电路32生成外围电路41的控制信号,以执行上述工作模式。

[0286] 电压生成电路33具有生成负电压的功能。信号WAKE具有控制对电压生成电路33输入信号CLK的功能。例如,当信号WAKE被施加H电平的信号时,信号CLK被输入到电压生成电路33,电压生成电路33生成负电压。

[0287] 外围电路41是用来对存储单元11进行数据的写入及读出的电路。外围电路41包括行译码器42(Row Decoder)、列译码器44(Column Decoder)、行驱动器43(RowDriver)、列驱动器45(ColumnDriver)、输入电路47(Input Cir.)、输出电路48(Output Cir.)、读出放大器46(SenseAmplifier)。

[0288] 行译码器42及列译码器44具有对信号ADDR进行译码的功能。行译码器42是用来指定要访问行的电路,列译码器44是用来指定要访问列的电路。行驱动器43具有选择由行译码器42指定的布线WWL(写入字线)或布线RWL(读出字线)的功能。列驱动器45具有如下功能:将数据写入存储单元11的功能;从存储单元11读出数据的功能;保持所读出的数据的功能等。列驱动器45具有选择由列译码器44指定的布线WBL(写入位线)或布线RBL(读出位线)的功能。

[0289] 输入电路47具有保持信号WDA的功能。输入电路47中保持的数据输出到列驱动器45。输入电路47的输出数据是写入存储单元11的数据(Din)。由列驱动器45从存储单元11读出的数据(Dout)被输出至输出电路48。输出电路48具有保持Dout的功能。此外,输出电路48具有将Dout输出到存储装置750的外部的功能。从输出电路48输出的数据为信号RDA。

[0290] PSW22具有控制向外围电路31供给VDD的功能。PSW23具有控制向行驱动器43供给VHM的功能。在此,存储装置750的高电源电压为VDD,低电源电压为GND(接地电位)。此外,VHM是用来使字线成为高电平的高电源电压,其高于VDD。利用信号PON1控制PSW22的开/关,利用信号PON2控制PSW23的开/关。在图15B中,外围电路31中被供应VDD的电源域的个数为1,但是也可以为多个。此时,可以对各电源域设置功率开关。

[0291] 将说明n层存储层700的结构例子。n层存储层700各自包括存储单元阵列10。此外,存储单元阵列10包括多个存储单元11。在图15A及图15B中,示出存储单元阵列10包括配置为p行q列(p及q为2以上的整数)的矩阵状的多个存储单元11的例子。

[0292] 此外,行、列延伸在彼此正交的方向上。在本实施方式中,将X方向设定为“行”且将Y方向设定为“列”,但是也可以将X方向设定为“列”且将Y方向设定为“行”。

[0293] 在图15B中,将设置在第一行第一列上的存储单元11记为存储单元11[1,1],并且将设置在第p行第q列上的存储单元11记为存储单元11[p,q]。此外,将设置在第i行第j列(i为1以上且p以下的整数,j为1以上且q以下的整数)上的存储单元11记为存储单元11[i,j]。

[0294] 作为存储单元11的电路结构例子,可以使用上述实施方式说明的结构(存储单元150)。

[0295] 另外,当存储层700采用叠层结构时,优选将布线WBL及布线RBL配置在与衬底表面垂直的方向上。通过将布线WBL及布线RBL设置在与衬底表面垂直的方向上,可以缩短其与连接于布线WBL及布线RBL的读出放大器间的信号传输距离,布线WBL及布线RBL的电阻及寄生电容得到大幅削减,从而可以降低功耗及信号延迟。

[0296] 本实施方式所示的构成、结构、方法等可以与其他实施方式及实施例等所示的构成、结构、方法等适当地组合而使用。

[0297] (实施方式3)

在本实施方式中,说明可以使用在上述实施方式中说明的存储装置的电子构件、电子设备、大型计算机、太空设备及数据中心(Data Center:也称为DC)。使用本发明的一个方式的存储装置的电子构件、电子设备、大型计算机、太空设备及数据中心对低功耗等高性能的实现很有效。

[0298] [电子构件]

图16A示出安装有电子构件709的基板(电路板704)的立体图。图16A所示的电子构件709在模子711内包括存储装置710。在图16A中,省略电子构件709的一部分记载以表示其内部。电子构件709在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于存储装置710。电子构件709例如安装于印刷电路板702上。通过组合多个该电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0299] 另外,存储装置710包括驱动电路层715及存储层716。存储层716具有层叠有多个存储单元阵列的结构。层叠有驱动电路层715及存储层716的结构可以采用单片叠层的结构。在单片叠层的结构中,可以不用TSV(Through Silicon Via:硅通孔)等贯通电极技术及Cu-Cu直接接合等接合技术而连接各层间。当以单片的方式层叠驱动电路层715和存储层716时,例如,可以实现在处理器上直接形成存储器的所谓的片上存储器的结构。通过采用片上存储器的结构,可以实现处理器与存储器的接口部分的高速工作。

[0300] 另外,通过采用片上存储器的结构,与使用TSV等贯通电极的技术相比,可以缩小连接布线等的尺寸,因此可以增加引脚数量。通过增加引脚数量可以进行并联工作,由此可以提高存储器的带宽度(也称为存储器带宽)。

[0301] 另外,优选的是,使用OS晶体管形成存储层716中的多个存储单元阵列,以单片的方式层叠该多个存储单元阵列。当多个存储单元阵列采用单片叠层时,可以提高存储器的带宽度和存储器的访问延迟中的任一方或双方。带宽度是指单位时间的数据传输量,访问延迟是指访问和开始数据的交换之间的时间。当在存储层716中使用Si晶体管时,与OS晶体管相比,实现单片叠层的结构更困难。因此,在单片叠层的结构中,OS晶体管比Si晶体管优

异。

[0302] 另外,可以将存储装置710称为裸片。在本说明书等中,裸片是指在半导体芯片的制造工序中例如在圆盘状的衬底(也称为晶圆)等上形成电路图案,切割成矩形小片而得的芯片。作为可用于裸片的半导体材料,例如可以举出硅(Si)、碳化硅(SiC)或氮化镓(GaN)等。例如,有时将从硅衬底(也称为硅晶圆)得到的裸片称为硅片。

[0303] 接着,图16B示出电子构件730的立体图。电子构件730是SiP(SysteminPackage:系统封装)或MCM(MultiChipModule:多芯片模块)的一个例子。在电子构件730中,封装衬底732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个存储装置710。

[0304] 电子构件730示出将存储装置710用作高带宽存储器(HBM:High Bandwidth Memory)的例子。此外,半导体装置735可以用于CPU(Central Processing Unit)、GPU(Graphics Processing Unit:图形处理器)或FPGA(FieldProgrammable GateArray:现场可编程门阵列)等集成电路。

[0305] 封装衬底732例如可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底。插板731例如可以使用硅插板或树脂插板。

[0306] 插板731具有多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线由单层或多层构成。此外,插板731具有将设置于插板731上的集成电路与设置于封装衬底732上的电极电连接的功能。因此,有时将插板也称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外,有时通过在插板731中设置贯通电极,通过该贯通电极使集成电路与封装衬底732电连接。此外,在使用硅插板的情况下,也可以使用TSV作为贯通电极。

[0307] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0308] 此外,在使用硅插板的SiP及MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0309] 另一方面,当利用硅插板及TSV等使端子间距不同的多个集成电路电连接时,需要该端子间距的宽度等的空间。因此,当想要缩小电子构件730的尺寸时,上述端子间距的宽度成为问题,有时难以设置为实现较宽的存储器带宽需要的较多的布线。于是,如上所述,使用OS晶体管的单片叠层的结构是优选的。另外,也可以采用组合利用TSV层叠的存储单元阵列与以单片的方式层叠的存储单元阵列的复合结构。

[0310] 此外,也可以与电子构件730重叠地设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构件730中,优选使存储装置710与半导体装置735的高度一致。

[0311] 为了将电子构件730安装在其他衬底上,也可以在封装衬底732的底部设置电极733。图16B示出用焊球形成电极733的例子。通过在封装衬底732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)的安装。此外,电极733也可以使用导电针形成。通过在封装衬底732的底部以矩阵状设置导电针,可以实现PGA(Pin GridArray:针栅阵列)

的安装。

[0312] 电子构件730可以通过各种安装方式安装在其他衬底上,而不局限于BGA及PGA。作为安装方法例如可以举出SPGA(Staggered Pin GridArray:交错针栅阵列)、LGA(LandGridArray:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)及QFN(QuadFlatNon-leadedpackage:四侧无引脚扁平封装)。

[0313] [电子设备]

接着,图17A示出电子设备6500的立体图。图17A所示的电子设备6500是可用作智能手机的便携式信息终端。电子设备6500包括外壳6501、显示部6502、电源按钮6503、按钮6504、扬声器6505、麦克风6506、摄像头6507、光源6508及控制装置6509等。控制装置6509例如包括选自CPU、GPU及存储装置中的任一个或多个。可以将本发明的一个方式的存储装置用于显示部6502、控制装置6509等。

[0314] 图17B所示的电子设备6600是可用作笔记本式个人计算机的信息终端。电子设备6600包括外壳6611、键盘6612、指向装置6613、外部连接端口6614、显示部6615、控制装置6616等。控制装置6616例如包括选自CPU、GPU及存储装置中的任一个或多个。可以将本发明的一个方式的存储装置用于显示部6615、控制装置6616等。此外,通过将本发明的一个方式的存储装置用于上述控制装置6509及控制装置6616,可以降低功耗,所以是优选的。

[0315] [大型计算机]

接着,图17C示出大型计算机5600的立体图。在图17C所示的大型计算机5600中,多个机架式计算机5620收纳在机架5610中。此外,也可以将大型计算机5600称为超级计算机。

[0316] 计算机5620例如可以具有图17D所示的立体图的结构。在图17D中,计算机5620包括母板5630,母板5630包括多个插槽5631以及多个连接端子等。插槽5631插入有个人计算机卡5621。并且,个人计算机卡5621包括连接端子5623、连接端子5624、连接端子5625,它们连接到母板5630。

[0317] 图17E所示的个人计算机卡5621是包括CPU、GPU、存储装置等的处理板的一个例子。个人计算机卡5621具有板5622。此外,板5622包括连接端子5623、连接端子5624、连接端子5625、半导体装置5626、半导体装置5627、半导体装置5628以及连接端子5629。注意,图17E示出半导体装置5626、半导体装置5627以及半导体装置5628以外的半导体装置,关于这些半导体装置的说明,参照以下记载的半导体装置5626、半导体装置5627以及半导体装置5628的说明即可。

[0318] 连接端子5629具有可以插入母板5630的插槽5631的形状,连接端子5629被用作连接个人计算机卡5621与母板5630的接口。作为连接端子5629的规格例如可以举出PCIe等。

[0319] 连接端子5623、连接端子5624、连接端子5625例如可以被用作用来对个人计算机卡5621供电或输入信号等的接口。此外,例如,可以被用作用来进行个人计算机卡5621所计算的信号的输出等的接口。作为连接端子5623、连接端子5624、连接端子5625各自的规格例如可以举出USB(Universal SerialBus:通用串行总线)、SATA(SerialATA:串行ATA)、SCSI(Small Computer System Interface:小型计算机系统接口)等。此外,当从连接端子5623、连接端子5624、连接端子5625输出视频信号时,作为各规格可以举出HDMI(注册商标)等。

[0320] 半导体装置5626包括进行信号的输入及输出的端子(未图示),通过将该端子插入

板5622所包括的插座(未图示),可以电连接半导体装置5626与板5622。

[0321] 半导体装置5627包括多个端子,例如通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5627与板5622。作为半导体装置5627,例如,可以举出FPGA、GPU、CPU等。作为半导体装置5627,例如可以使用电子构件730。

[0322] 半导体装置5628包括多个端子,例如通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5628与板5622。作为半导体装置5628,例如,可以举出存储装置等。作为半导体装置5628,例如可以使用电子构件709。

[0323] 大型计算机5600可以用作并行计算机。通过将大型计算机5600用作并行计算机,例如可以进行人工智能的学习及推论所需要的大规模计算。

[0324] [太空设备]

可以将本发明的一个方式的存储装置适用于处理并储存信息的设备等的太空设备。

[0325] 本发明的一个方式的存储装置可以包括OS晶体管。该OS晶体管的因被照射辐射线而导致的电特性变动小。换言之,对于辐射线的耐性高,所以在辐射线有可能入射的环境下也可以适当地使用。例如,可以在宇宙空间中使用的情况下适当地使用OS晶体管。

[0326] 在图18中,作为太空设备的一个例子示出人造卫星6800。人造卫星6800包括主体6801、太阳能电池板6802、天线6803、二次电池6805以及控制装置6807。另外,图18示出在宇宙空间有行星6804的例子。注意,宇宙空间例如是指高度100km以上,但是本说明书所示的宇宙空间也可以包括热层、中间层及平流层。

[0327] 另外,虽然图18中未图示,但是也可以将电池管理系统(也称为BMS)或电池控制电路设置到二次电池6805。当将OS晶体管用于上述电池管理系统或电池控制电路时,功耗低,并且即使在宇宙空间也实现高可靠性,所以是优选的。

[0328] 另外,宇宙空间是其辐射剂量为地面的100倍以上的环境。作为辐射线,例如可以举出:以X射线及γ射线为代表的电磁波(电磁辐射线);以及以α射线、β射线、中子射线、质子射线、重离子射线、介子射线等为代表的粒子辐射线。

[0329] 在阳光照射到太阳能电池板6802时产生人造卫星6800进行工作所需的电力。然而,例如在阳光不照射到太阳能电池板的情况或者在照射到太阳能电池板的阳光量较少的情况下,所产生的电力量减少。因此,有可能不会产生人造卫星6800进行工作所需的电力。为了在所产生的电力较少的情况下也使人造卫星6800工作,优选在人造卫星6800中设置二次电池6805。另外,有时将太阳能电池板称为太阳能电池模块。

[0330] 人造卫星6800可以生成信号。该信号通过天线6803传送,例如地面上的接收机或其他人造卫星可以接收该信号。通过接收人造卫星6800所传送的信号,可以测量接收该信号的接收机的位置。由此,人造卫星6800可以构成卫星定位系统。

[0331] 另外,控制装置6807具有控制人造卫星6800的功能。控制装置6807例如使用选自CPU、GPU和存储装置中的任一个或多个构成。另外,优选将本发明的一个方式的存储装置用于控制装置6807。与Si晶体管相比,OS晶体管的因被照射辐射线而导致的电特性变动小。也就是说,OS晶体管在辐射线有可能入射的环境下也具有高可靠性且可以适当地使用。

[0332] 另外,人造卫星6800可以包括传感器。例如通过包括可见光传感器,人造卫星6800可以具有检测地面上的物体反射的阳光的功能。或者,通过包括热红外线传感器,人造卫星

6800可以具有检测从地表释放的热红外线的功能。由此,人造卫星6800例如可以被用作地球观测卫星。

[0333] 注意,在本实施方式中,作为太空设备的一个例子示出人造卫星,但是不局限于此。例如,本发明的一个方式的存储装置可以适当地应用于宇宙飞船、太空舱、太空探测器等太空设备。

[0334] 如以上的说明那样,与Si晶体管相比,OS晶体管具有优异的效果,诸如可以实现较宽的存储器带宽、耐辐射线高。

[0335] [数据中心]

例如,可以将本发明的一个方式的存储装置适用于数据中心等采用的存储系统。数据中心被要求保证数据不变性等进行数据的长期管理。在进行数据的长期管理时需要使设施大型化,诸如设置用来储存庞大的数据的存储及服务器、确保稳定的电源以保持数据或者确保在数据的保持中需要的冷却设备等。

[0336] 通过将本发明的一个方式的存储装置用于数据中心采用的存储系统,可以实现数据保持所需的功率的降低、保持数据的存储装置小型化。因此,可以实现存储系统的小型化、用来保持数据的电源的小型化、冷却设备规模的缩小等。由此,可以实现数据中心的省空间。

[0337] 此外,本发明的一个方式的存储装置的功耗少,因此可以降低电路发热。由此,可以减少因该发热而给电路本身、外围电路及模块带来的负面影响。此外,通过使用本发明的一个方式的存储装置,可以实现高温环境下也稳定工作的数据中心。因此,可以提高数据中心的可靠性。

[0338] 图19示出可用于数据中心的存储系统。图19所示的存储系统7000作为主机7001(图示为主计算机)包括多个服务器7001sb。另外,作为存储7003(图示为存储)包括多个存储装置7003md。示出主机7001和存储7003通过存储区域网络7004(图示为SAN:StorageAreaNetwork)及存储控制电路7002(图示为存储控制器)连接的形态。

[0339] 主机7001相当于访问储存在存储7003中的数据的计算机。主机7001彼此也可以通过网络连接。

[0340] 在存储7003中,通过使用快闪存储器缩短数据的访问速度,即缩短数据的存储及输出所需要的时间,但是该时间比可用作存储中的高速缓冲存储器的DRAM所需要的时间长得多。在存储系统中,为了解决存储7003的访问速度较长的问题,一般在存储中设置高速缓冲存储器来缩短数据的存储及输出。

[0341] 在存储控制电路7002及存储7003中使用上述高速缓冲存储器。主机7001和存储7003交换的数据在储存在存储控制电路7002及存储7003中的该高速缓冲存储器之后输出到主机7001或存储7003。

[0342] 当作为用来储存上述高速缓冲存储器的数据的晶体管使用OS晶体管来保持对应于数据的电位时,可以减少刷新频率来降低功耗。此外,通过层叠存储单元阵列可以实现小型化。

[0343] 注意,通过将本发明的一个方式的存储装置用于选自电子构件、电子设备、大型计算机、太空设备和数据中心中的任一个或多个,可期待功耗降低的效果。因此,目前被认为随着存储装置的高性能化或高集成化能量需求增加,通过使用本发明的一个方式的存储装

置,也可以减少以二氧化碳(CO_2)为代表的温室气体的排放量。另外,本发明的一个方式的存储装置具有低功耗,因此作为全球变暖的措施也有效。

[0344] 本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[符号说明]

[0345] 11:存储单元、22:PSW、23:PSW、31:外围电路、32:控制电路、33:电压生成电路、41:外围电路、42:行译码器、43:行驱动器、44:列译码器、45:列驱动器、46:读出放大器、47:输入电路、48:输出电路、100:晶体管、110:布线、120:导电体、130:绝缘体、140:布线、150:存储单元、160:绝缘体、170:氧化物半导体、180:绝缘体、181:绝缘体、185:绝缘体、190:开口部、200:晶体管、210:布线、220:导电体、230:绝缘体、240:布线、270i:区域、270na:区域、270nb:区域、270:氧化物半导体、280:绝缘体、285:绝缘体、290:开口部、300:电容器、310:布线、320:导电体、330:绝缘体、380:绝缘体、385:绝缘体、390:开口部、700_1:存储层、700_2:存储层、700_3:存储层、700_k:存储层、700_n:存储层、700:存储层、701:驱动电路层、702:印刷电路板、704:电路板、709:电子构件、710:存储装置、711:模子、712:连接盘、713:电极焊盘、714:引线、715:驱动电路层、716:存储层、730:电子构件、731:插板、732:封装衬底、733:电极、735:半导体装置、750:存储装置、5600:大型计算机、5610:机架、5620:计算机、5621:个人计算机卡、5622:板、5623:连接端子、5624:连接端子、5625:连接端子、5626:半导体装置、5627:半导体装置、5628:半导体装置、5629:连接端子、5630:母板、5631:插槽、6500:电子设备、6501:外壳、6502:显示部、6503:电源按钮、6504:按钮、6505:扬声器、6506:麦克风、6507:摄像头、6508:光源、6509:控制装置、6600:电子设备、6611:外壳、6612:键盘、6613:指向装置、6614:外部连接端口、6615:显示部、6616:控制装置、6800:人造卫星、6801:主体、6802:太阳能电池板、6803:天线、6804:行星、6805:二次电池、6807:控制装置、7000:存储系统、7001sb:服务器、7001:主机、7002:存储控制电路、7003md:存储装置、7003:存储

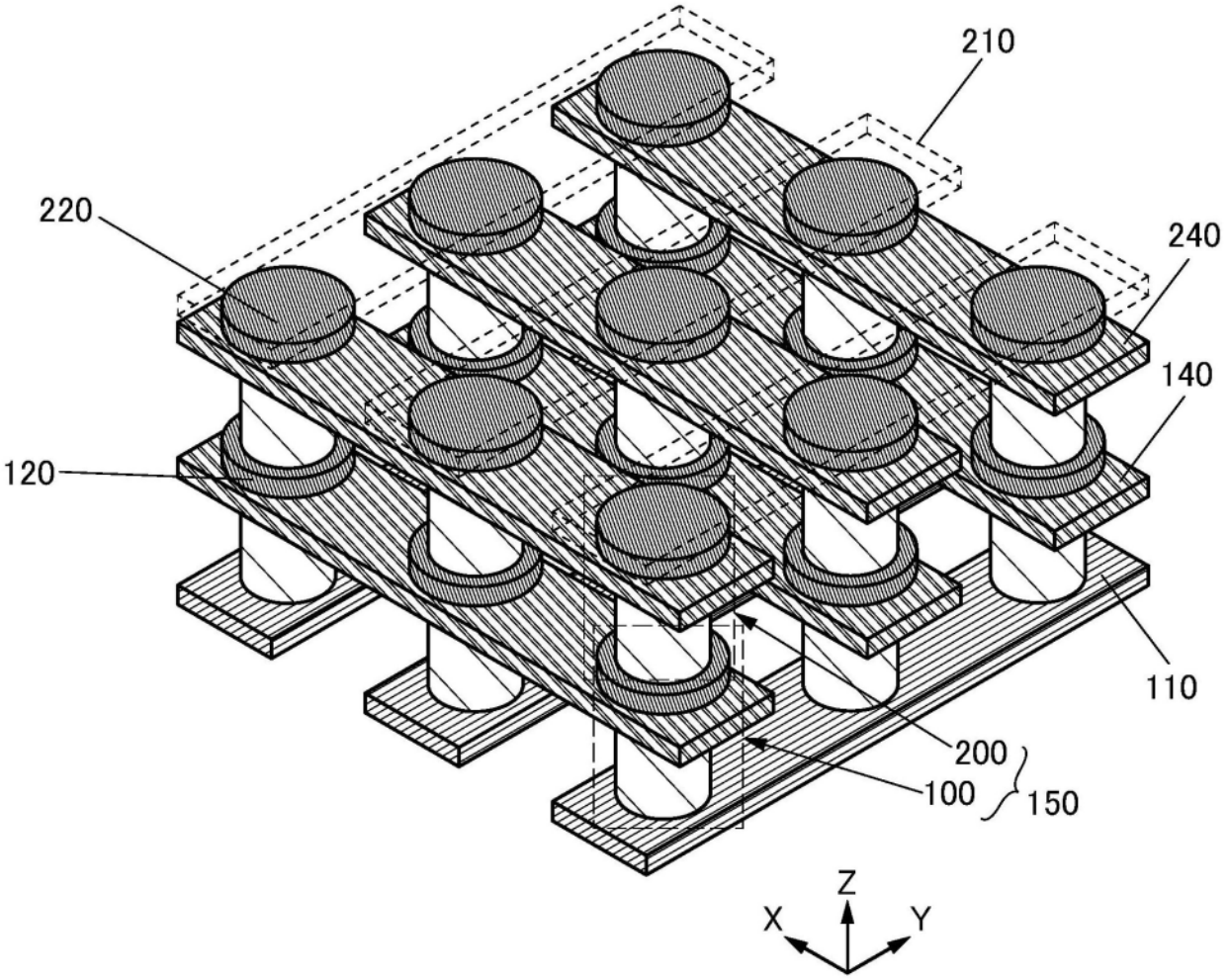

210
220
240
140
120
110
200
100
150
Z
X
Y

图1

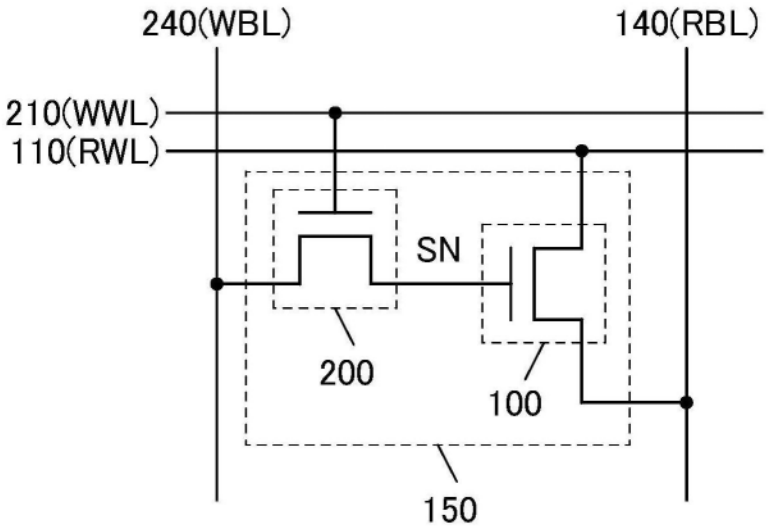

240(WBL)
140(RBL)
210(WWL)
110(RWL)
SN
200
100
150

图2A

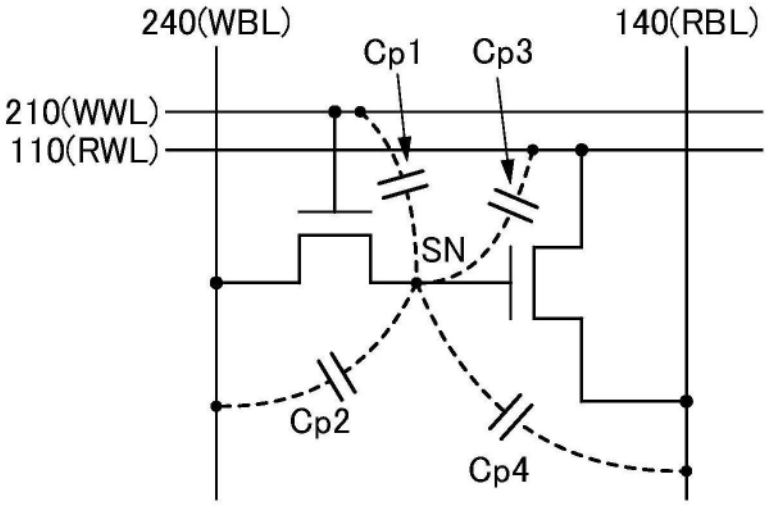

240(WBL)
140(RBL)
Cp1
Cp3
210(WWL)
110(RWL)
SN
Cp2
Cp4

图2B

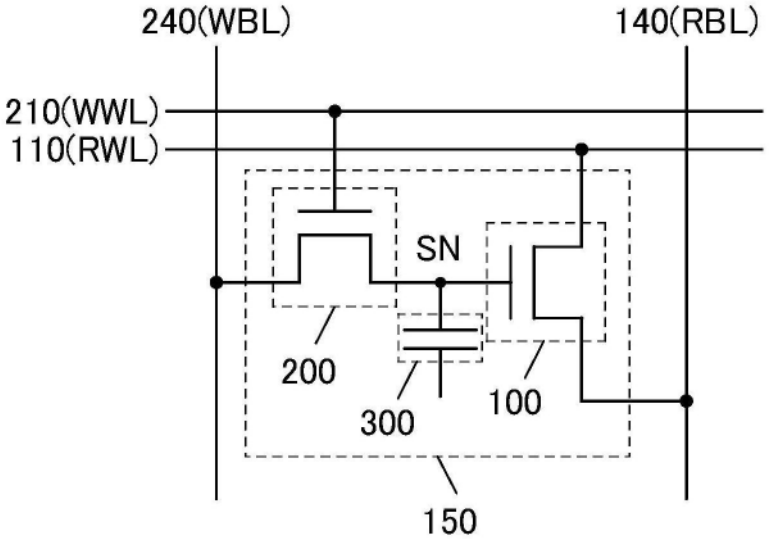

240(WBL)
140(RBL)
210(WWL)
110(RWL)
SN
200
300
100
150

图2C

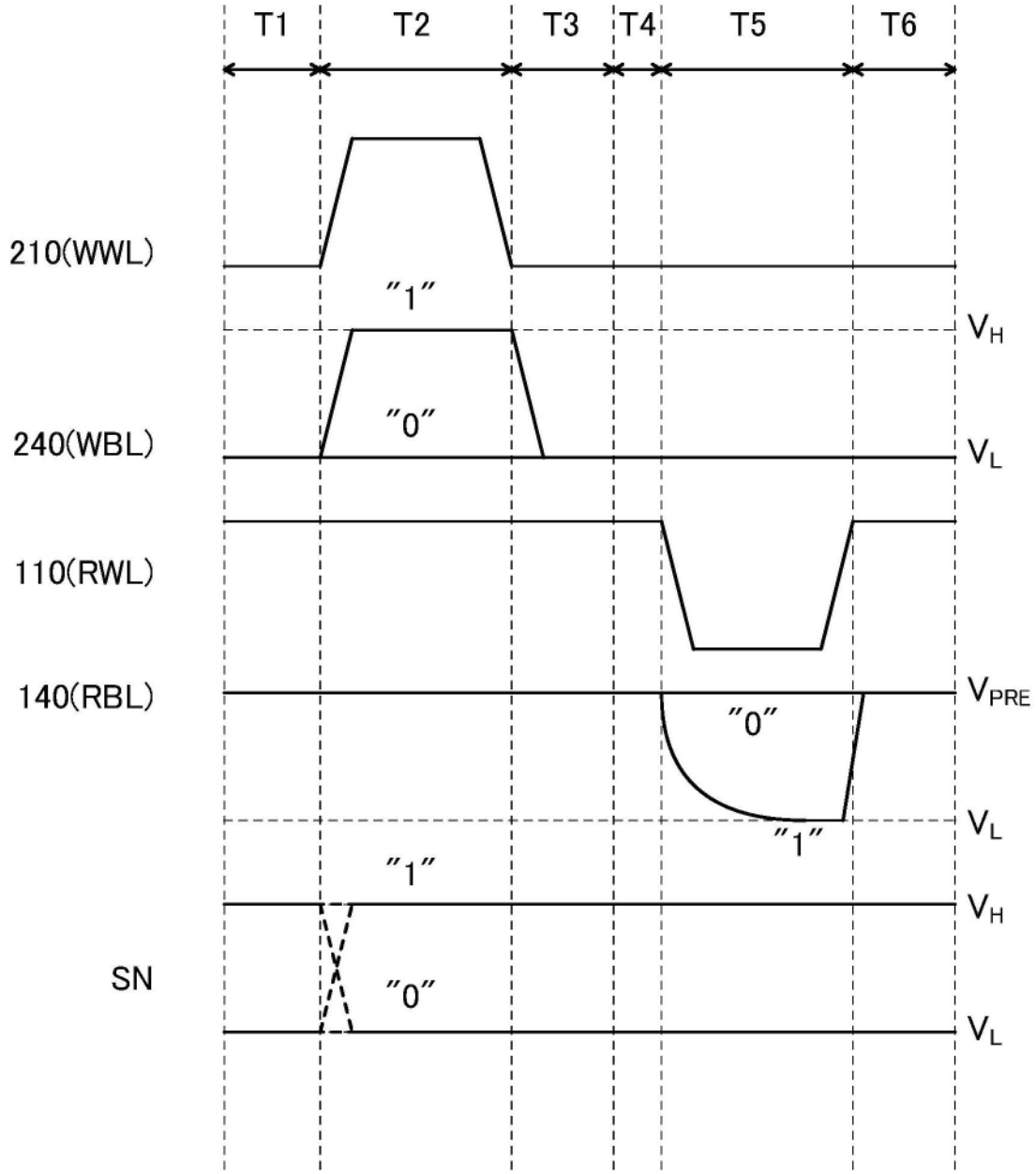

T1
T2
T3
T4
T5
T6
210(WWL)
"1"
V_H
240(WBL)
"0"
V_L
110(RWL)
140(RBL)
V_{PRE}
"0"
V_L
"1"
"1"
V_H
SN
"0"
V_L

图3

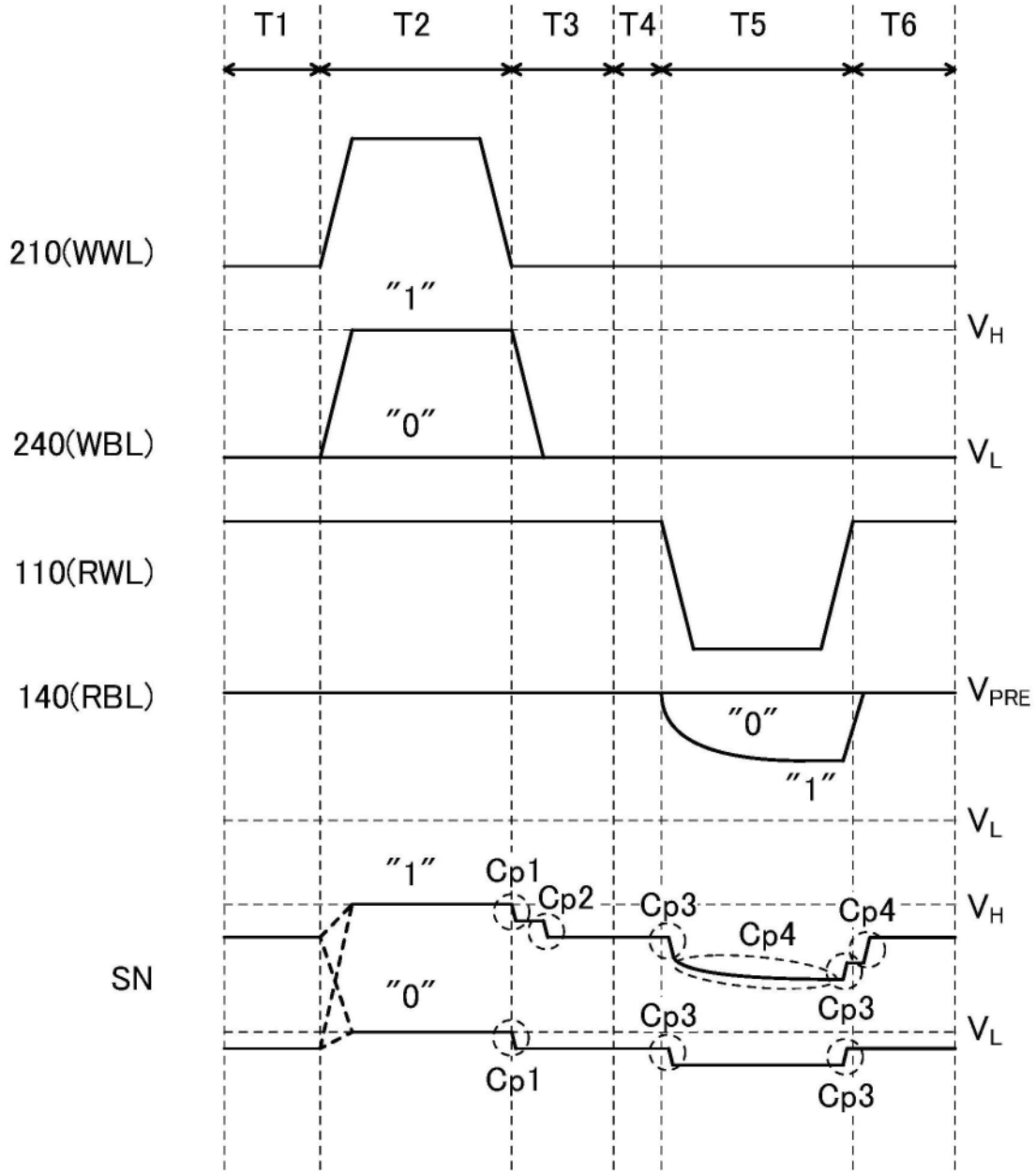

T1
T2
T3
T4
T5
T6
210(WWL)
"1"
V_H
240(WBL)
"0"
V_L
110(RWL)
140(RBL)
V_{PRE}
"0"
"1"
V_L
SN
"1"
Cp1
Cp2
Cp3
Cp4
Cp4
V_H
"0"
Cp3
Cp3
V_L
Cp1
Cp3

图4

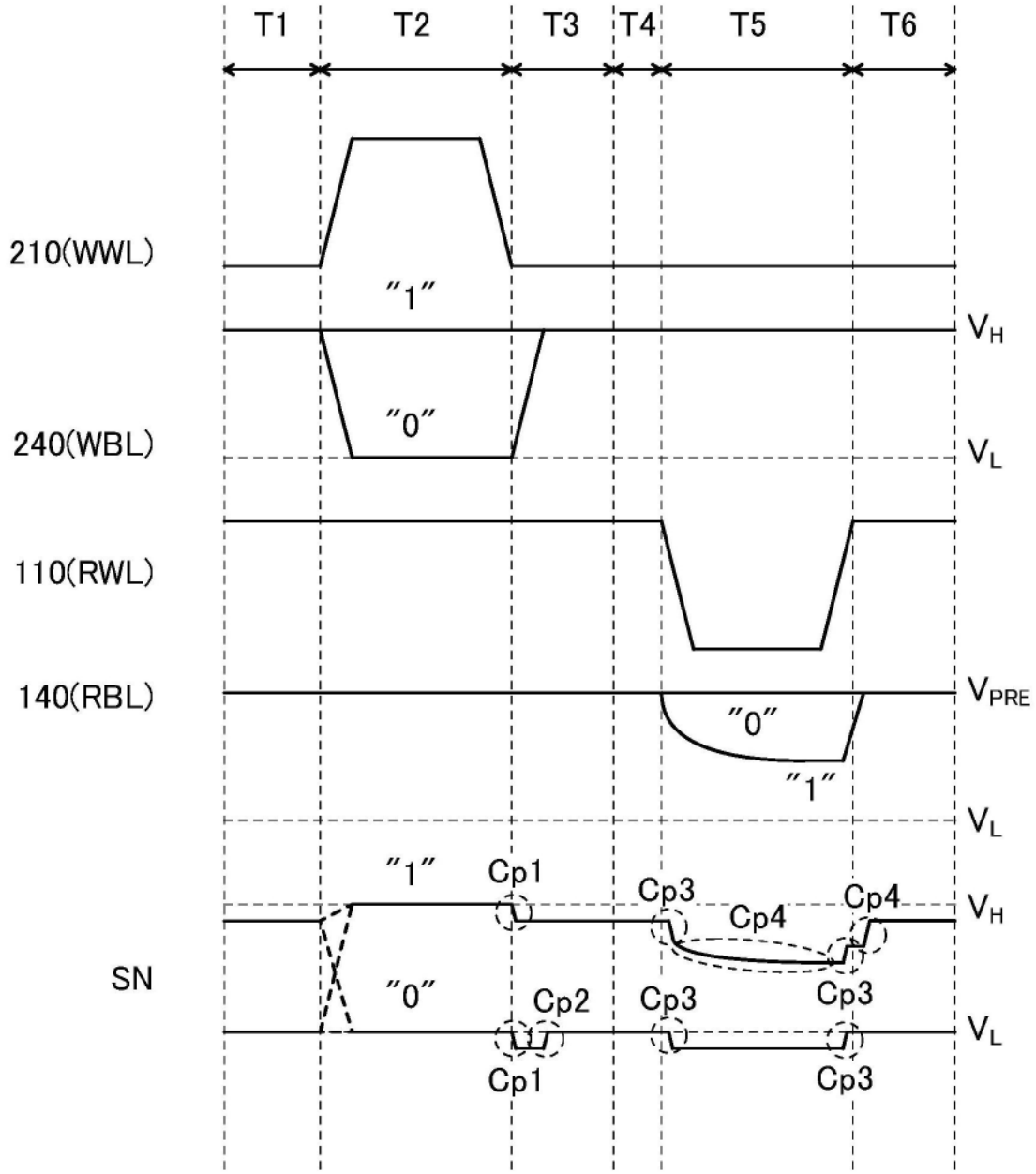

T1
T2
T3
T4
T5
T6
210(WWL)
"1"
V_H
240(WBL)
"0"
V_L
110(RWL)
140(RBL)
V_{PRE}
"0"
"1"
V_L
SN
"1"
Cp1
Cp3
Cp4
Cp4
V_H
"0"
Cp2
Cp3
Cp3
V_L
Cp1
Cp3

图5

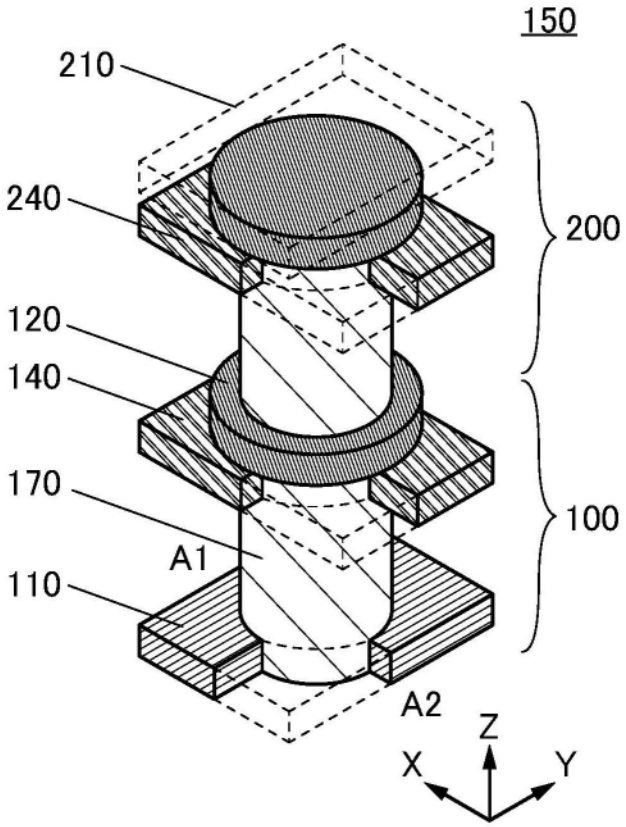


图6A

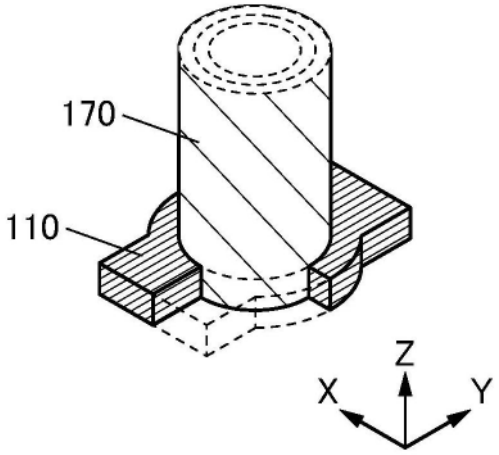


图6B

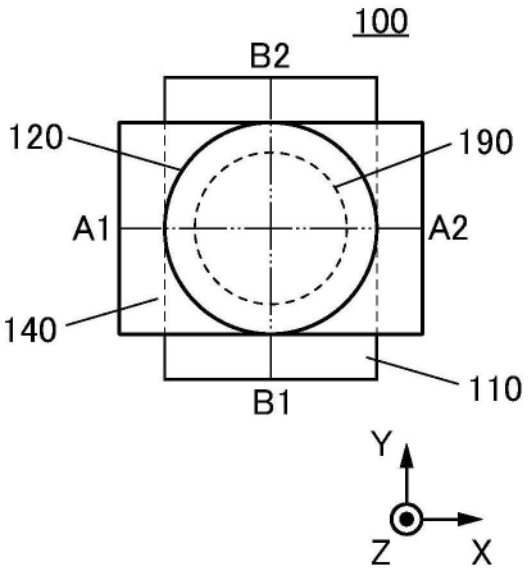

100
B2
120
190
A1
A2
140
110
B1
Y
Z
X

图7A

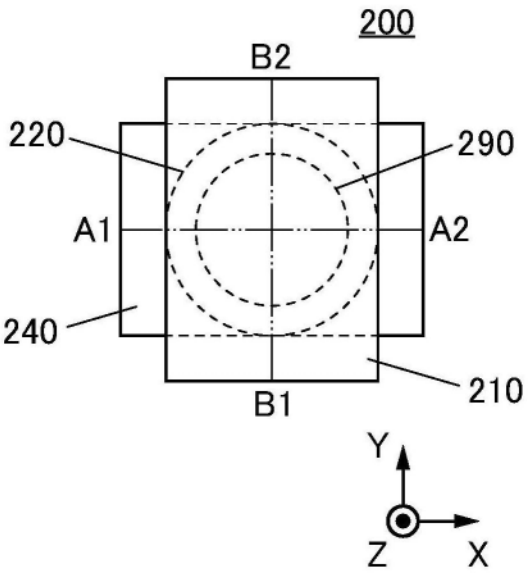

200
B2
220
290
A1
A2
240
210
B1
Y
Z
X

图7B

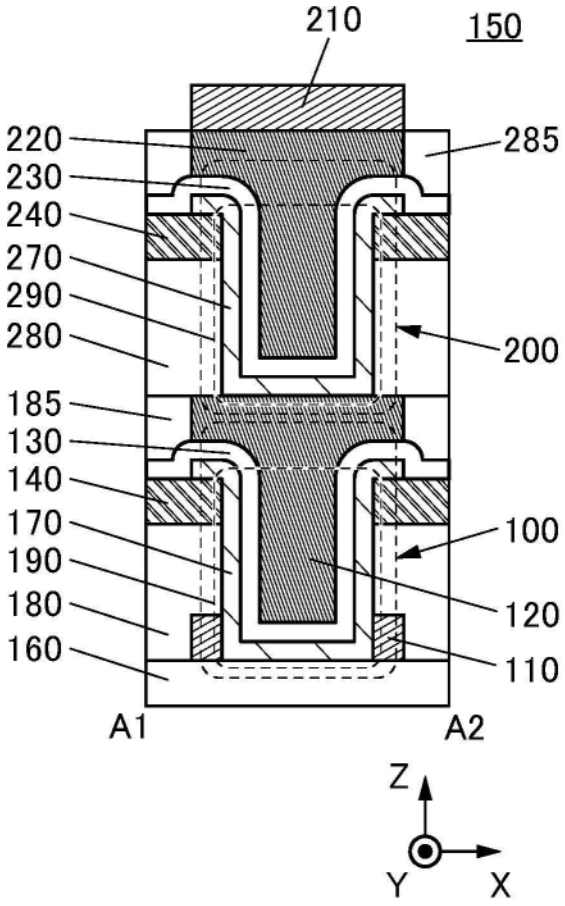

210
150
220
230
240
270
290
280
185
130
140
170
190
180
160
285
200
100
120
110
A1
A2
Z
Y
X

图7C

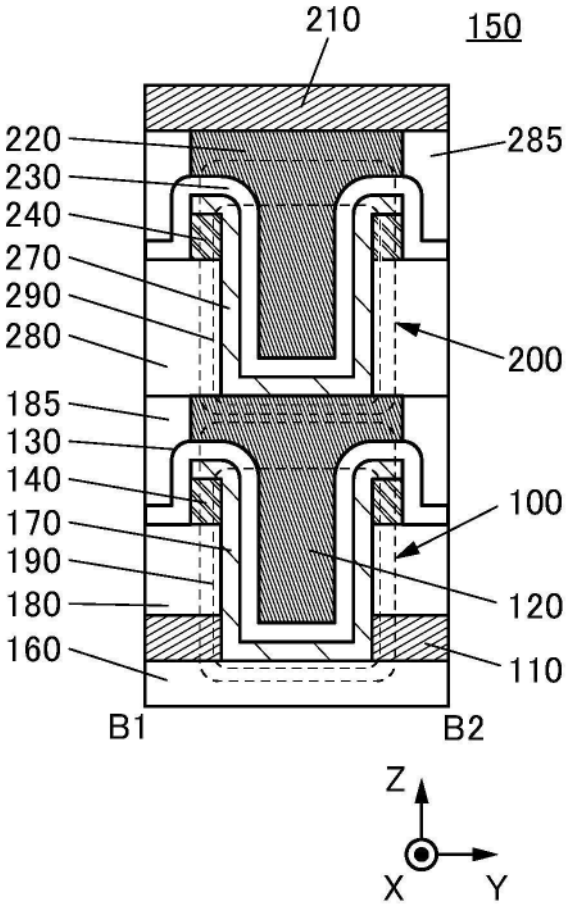

210
150
220
230
240
270
290
280
185
130
140
170
190
180
160
285
200
100
120
110
B1
B2
Z
X
Y

图7D

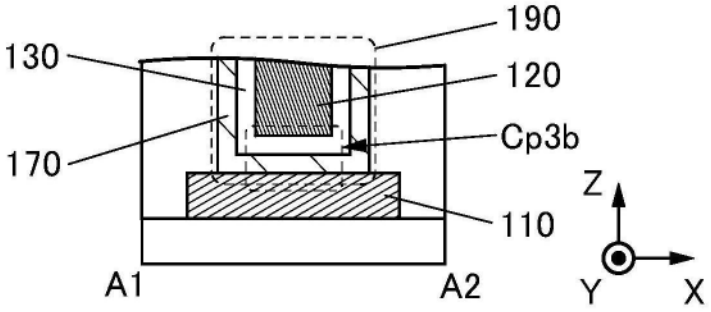

190
130
120
Cp3b
170
110
A1
A2
Z
Y
X

图7E

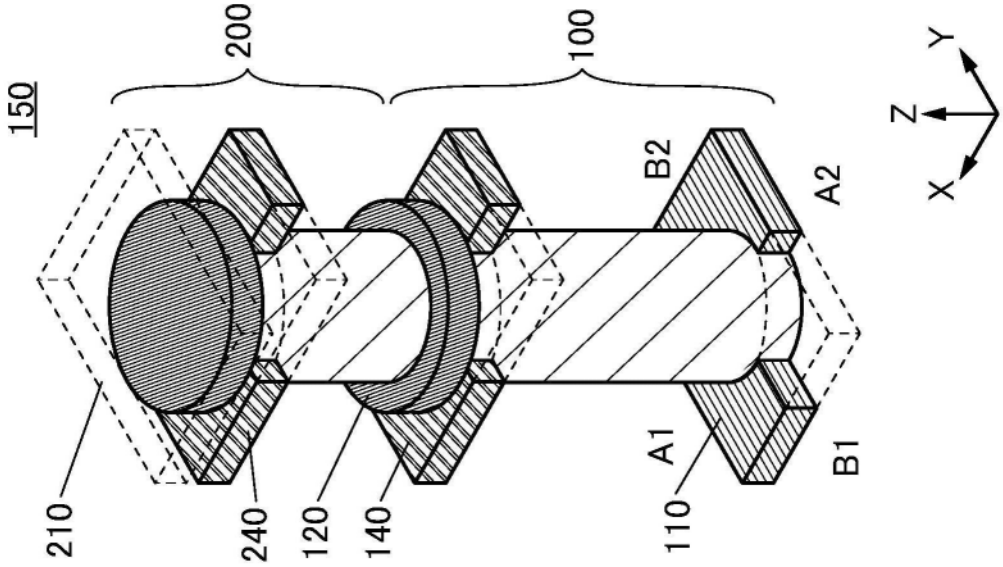

150
200
100
Y
Z
X
B2
A2
A1
B1
210
240
120
140
110

图8A

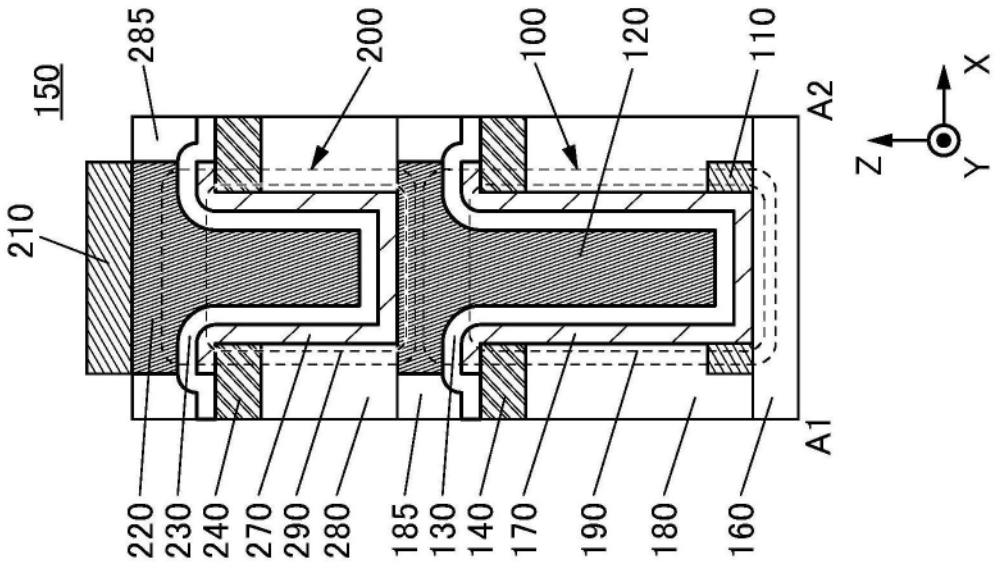

285
150
200
100
120
110
X
A2
Z
Y
210
A1
220
230
240
270
290
280
185
130
140
170
190
180
160

图8B

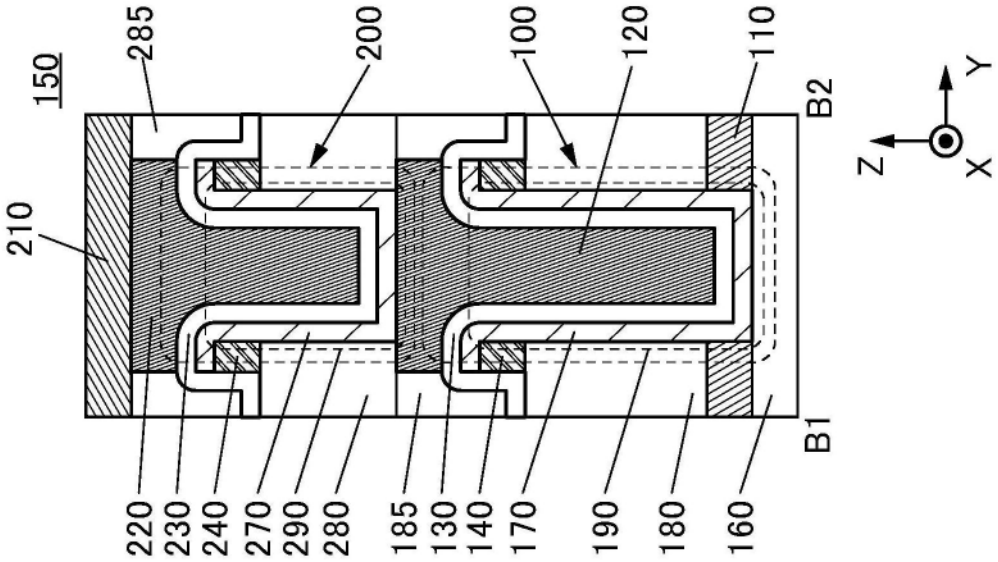

150
285
200
100
120
110
B2
B1
210
220
230
240
270
290
280
185
130
140
170
190
180
160
Y
Z
X

图8C

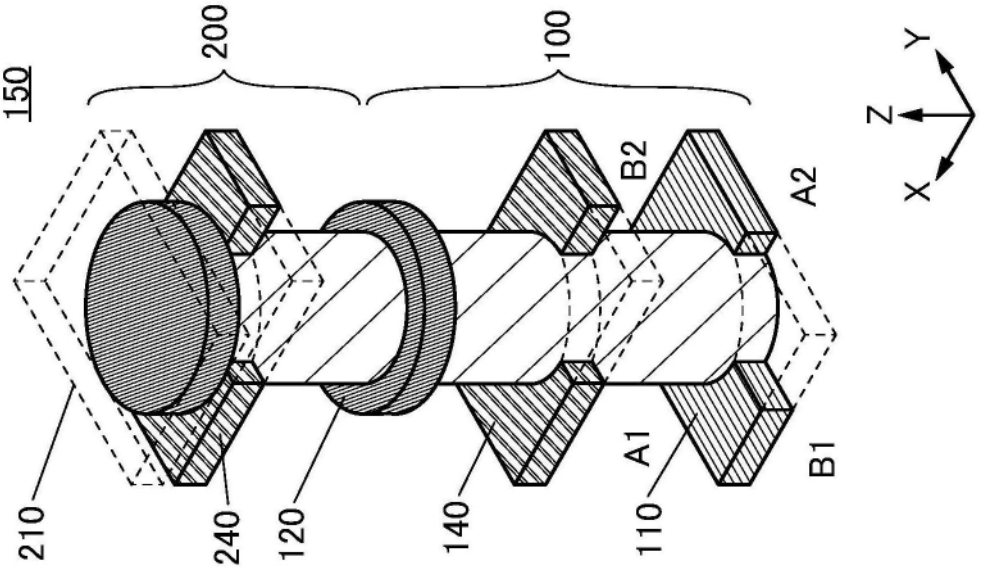

150
200
100
B2
A2
A1
B1
210
240
120
140
110
Y
Z
X

图9A

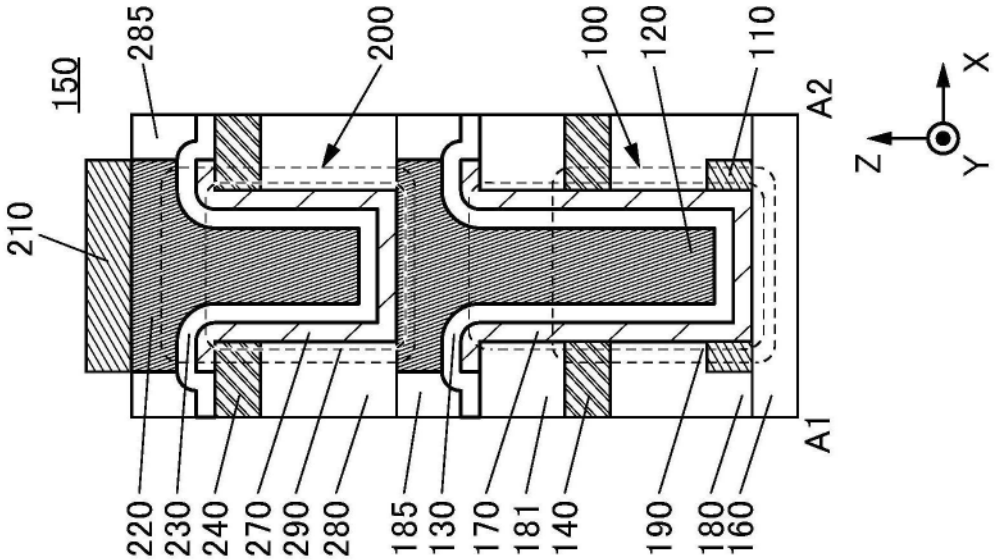

150
285
200
100
120
110
A2
A1
210
220
230
240
270
290
280
185
130
170
181
140
190
180
160
X
Z
Y

图9B

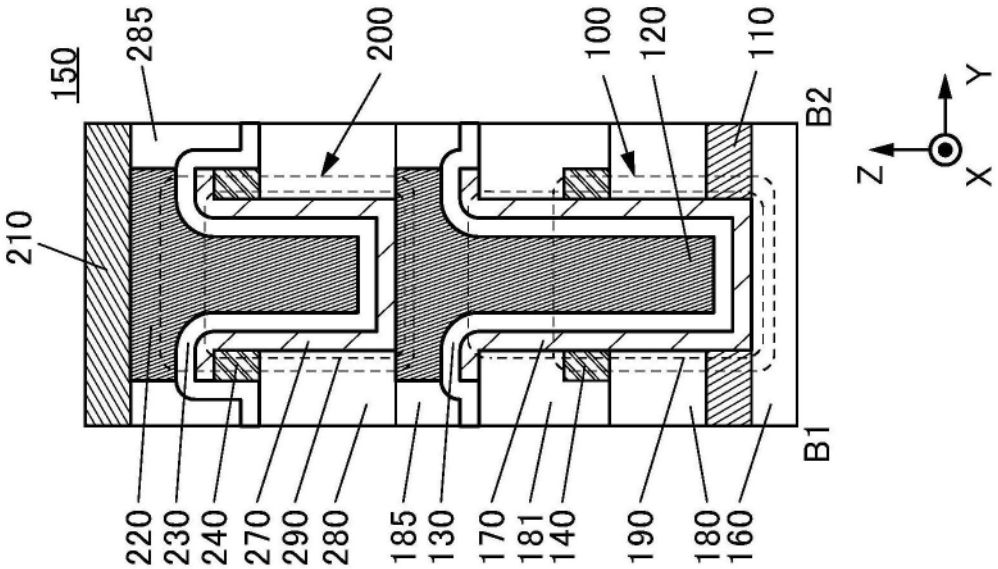

150
285
200
100
120
110
B2
B1
210
220
230
240
270
290
280
185
130
170
181
140
190
180
160
Y
Z
X

图9C

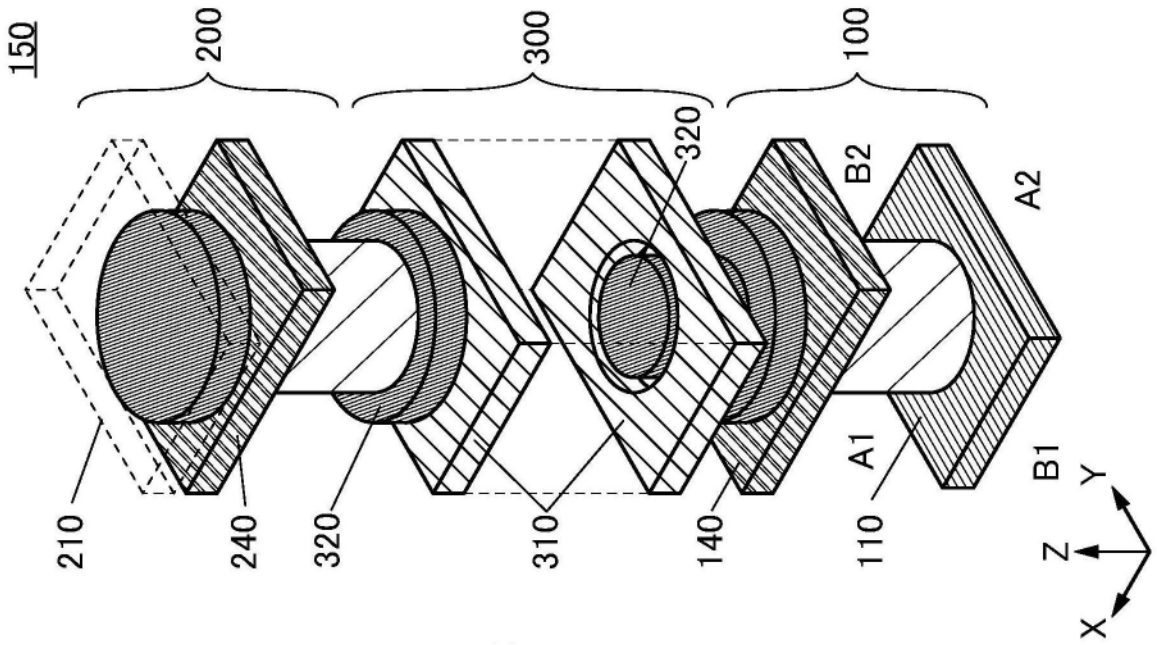

150
200
300
100
320
B2
A2
A1
B1
210
240
320
310
140
110
Y
Z
X

图10A

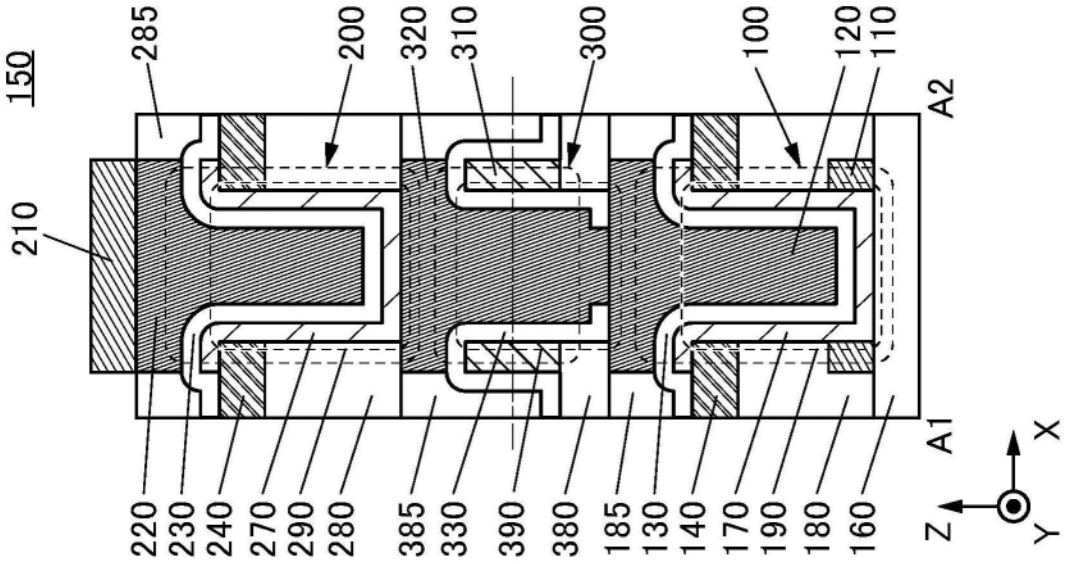

150
285
200
320
310
300
100
120
110
A2
210
A1
220
230
240
270
290
280
385
330
390
380
185
130
140
170
190
180
160
Z
X
Y

图10B

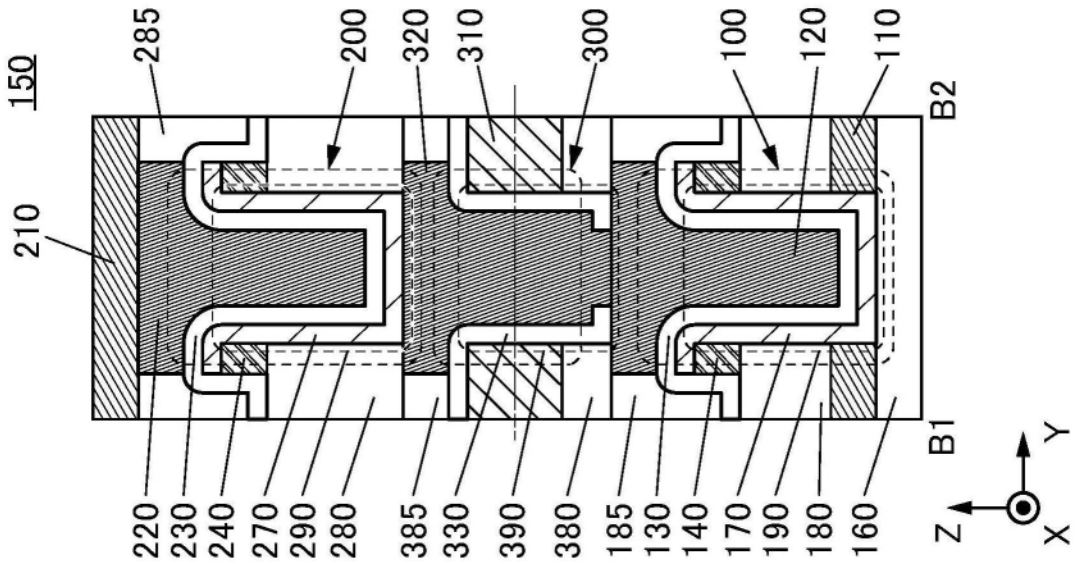

150
285
200
320
310
300
100
120
110
B2
210
B1
220
230
240
270
290
280
385
330
390
380
185
130
140
170
190
180
160
Y
Z
X

图10C

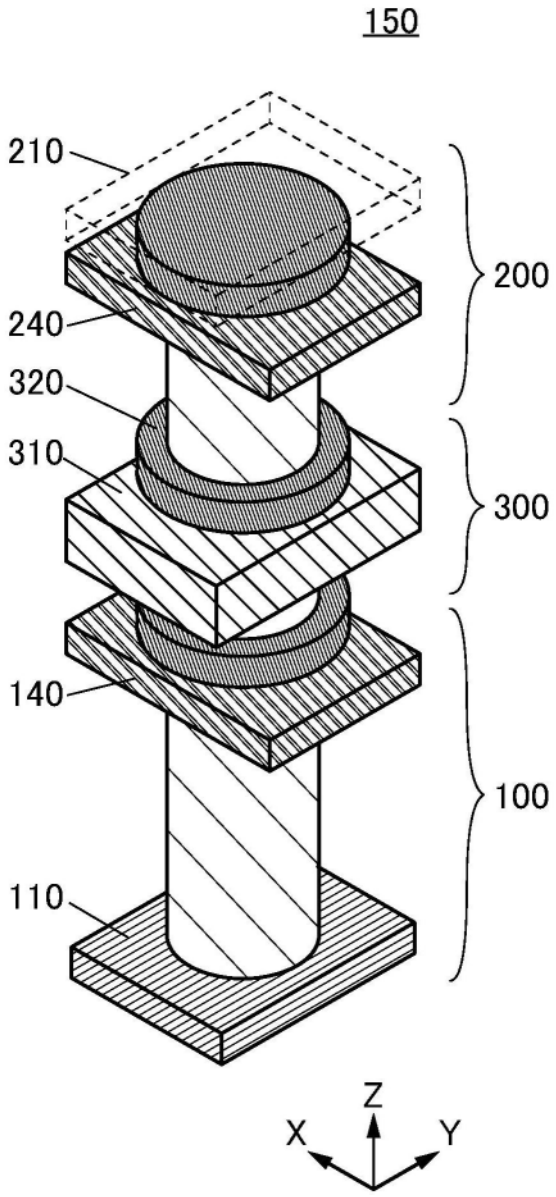


图11A

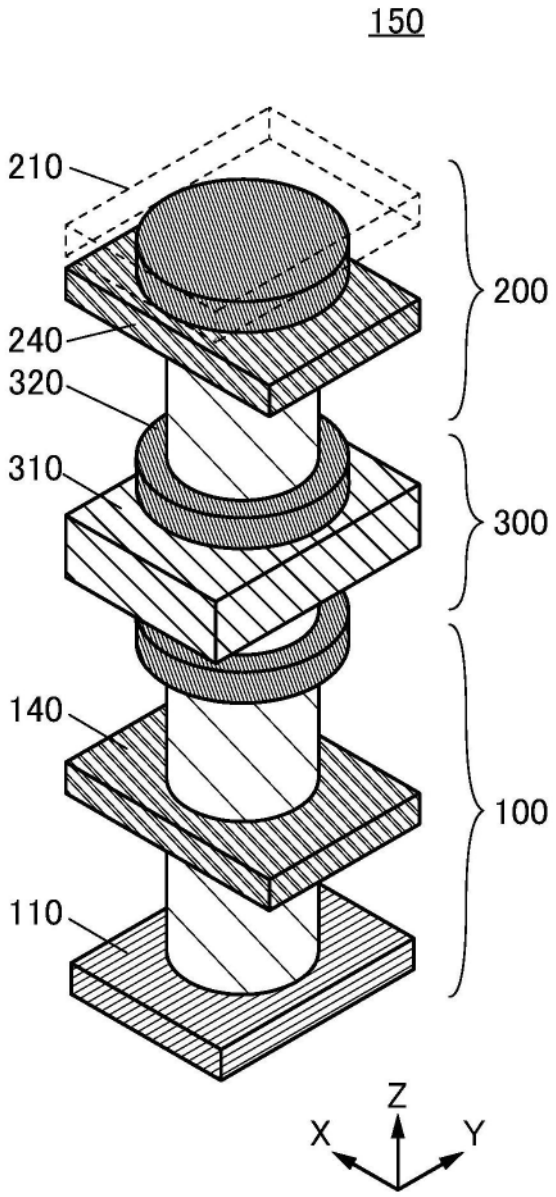


图11B

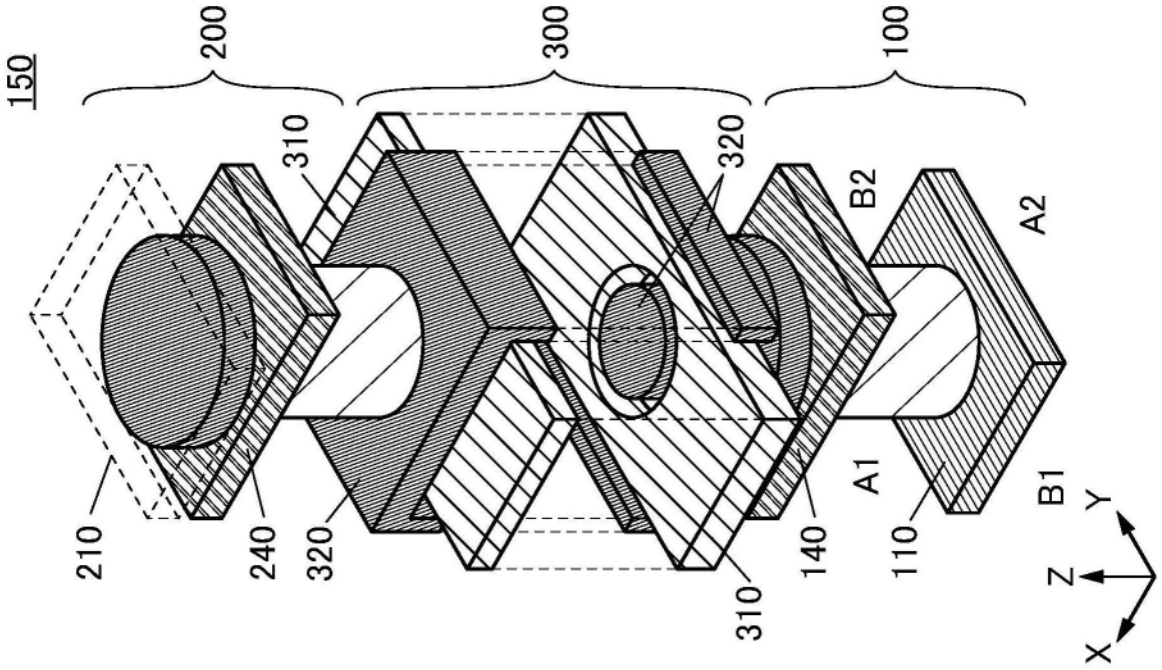

150
200
300
100
310
320
B2
A2
210
240
320
310
140
A1
110
B1
Y
Z
X

图12A

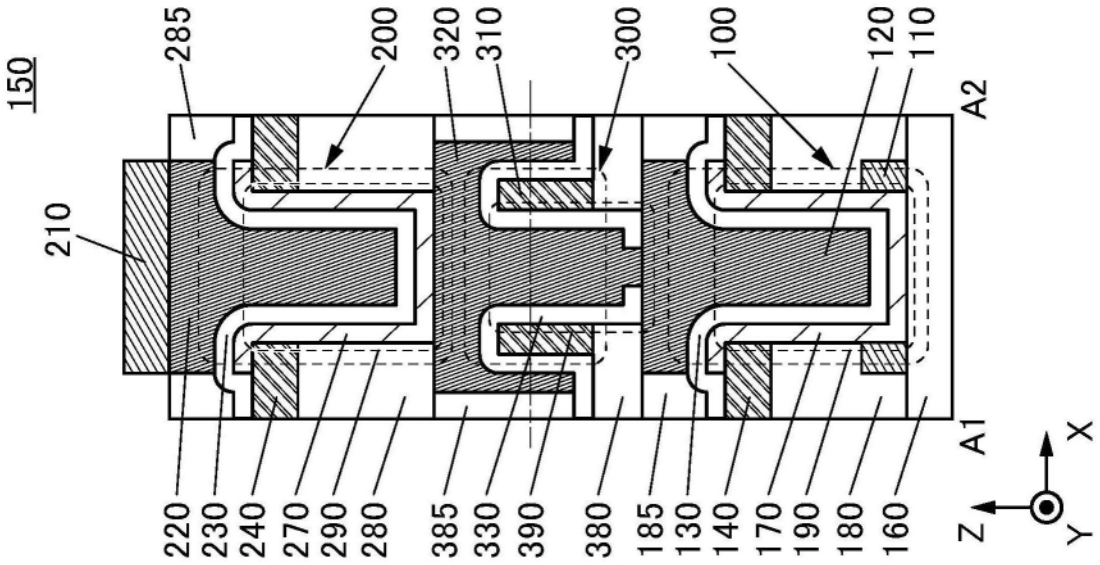

150
285
200
320
310
300
100
120
110
A2
210
A1
X
Z
Y
220
230
240
270
290
280
385
330
390
380
185
130
140
170
190
180
160

图12B

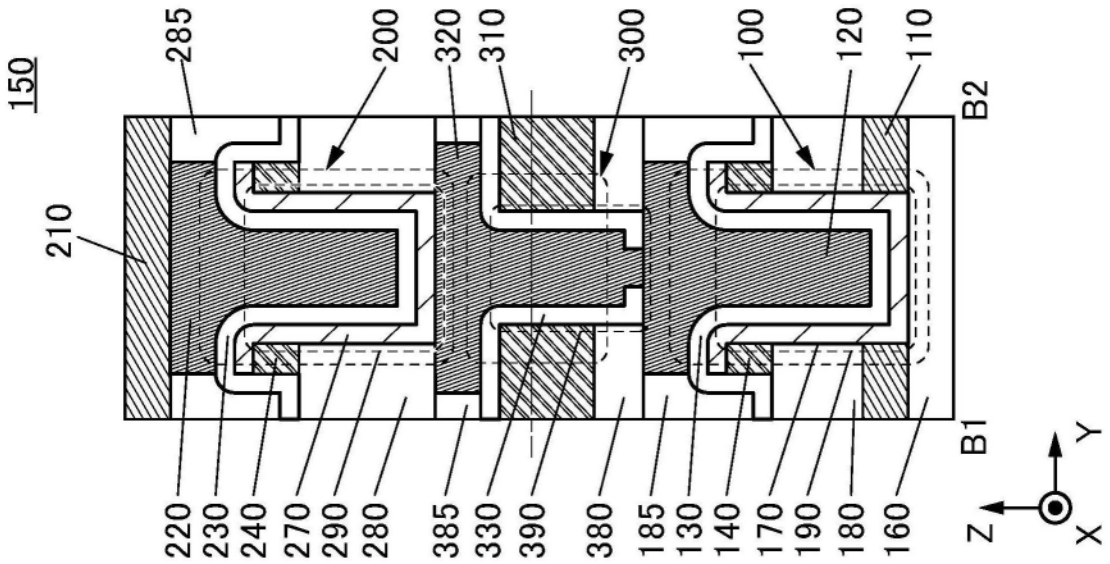

150
285
200
320
310
300
100
120
110
B2
210
B1
Y
Z
X
220
230
240
270
290
280
385
330
390
380
185
130
140
170
190
180
160

图12C

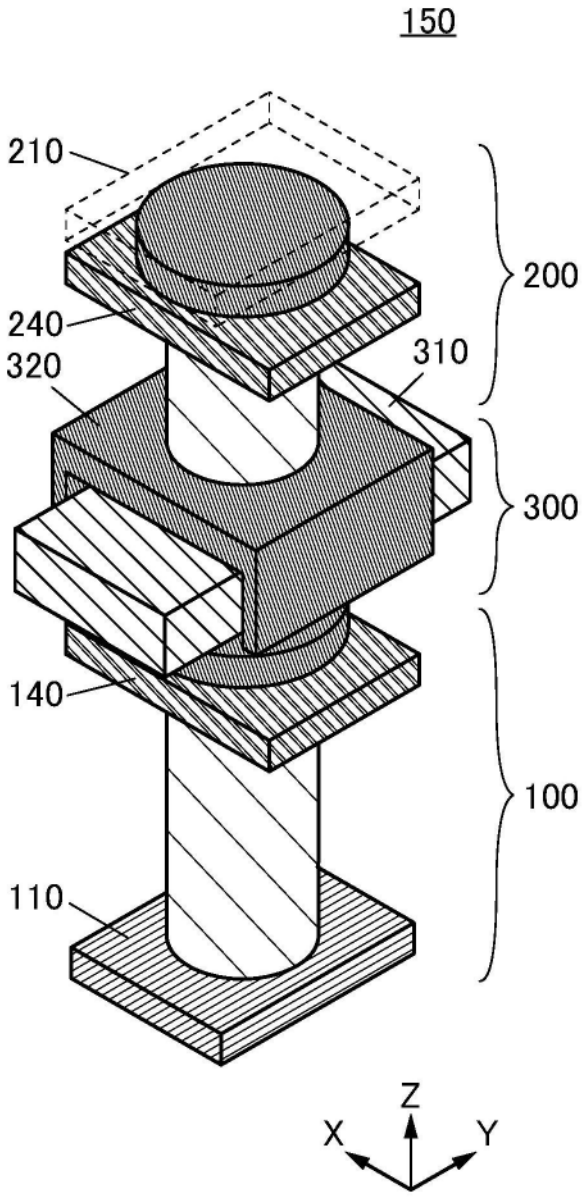


图13A

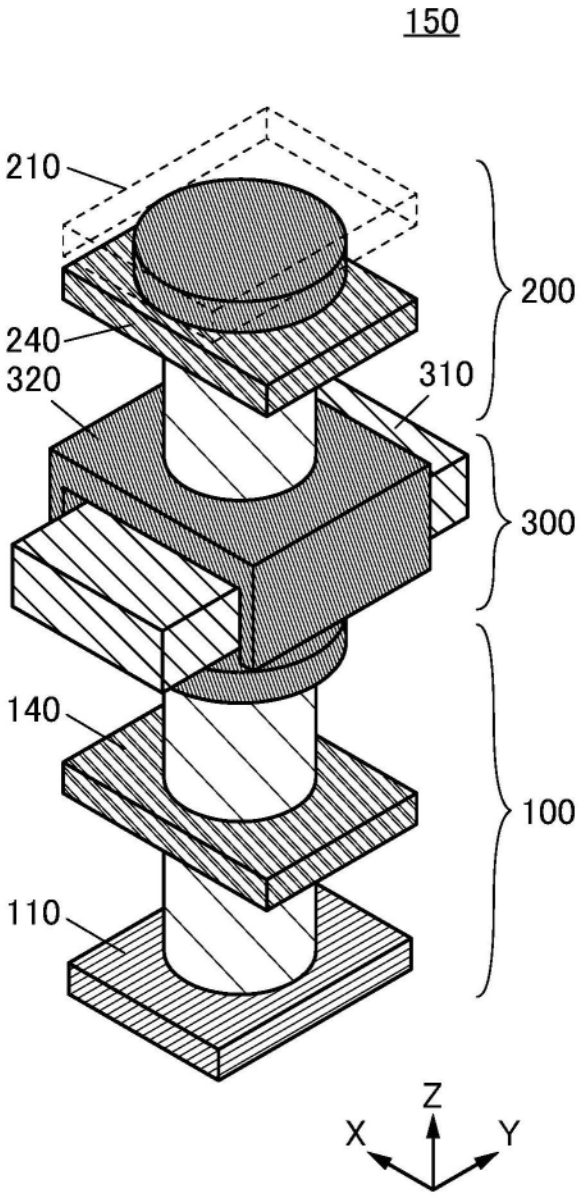


图13B

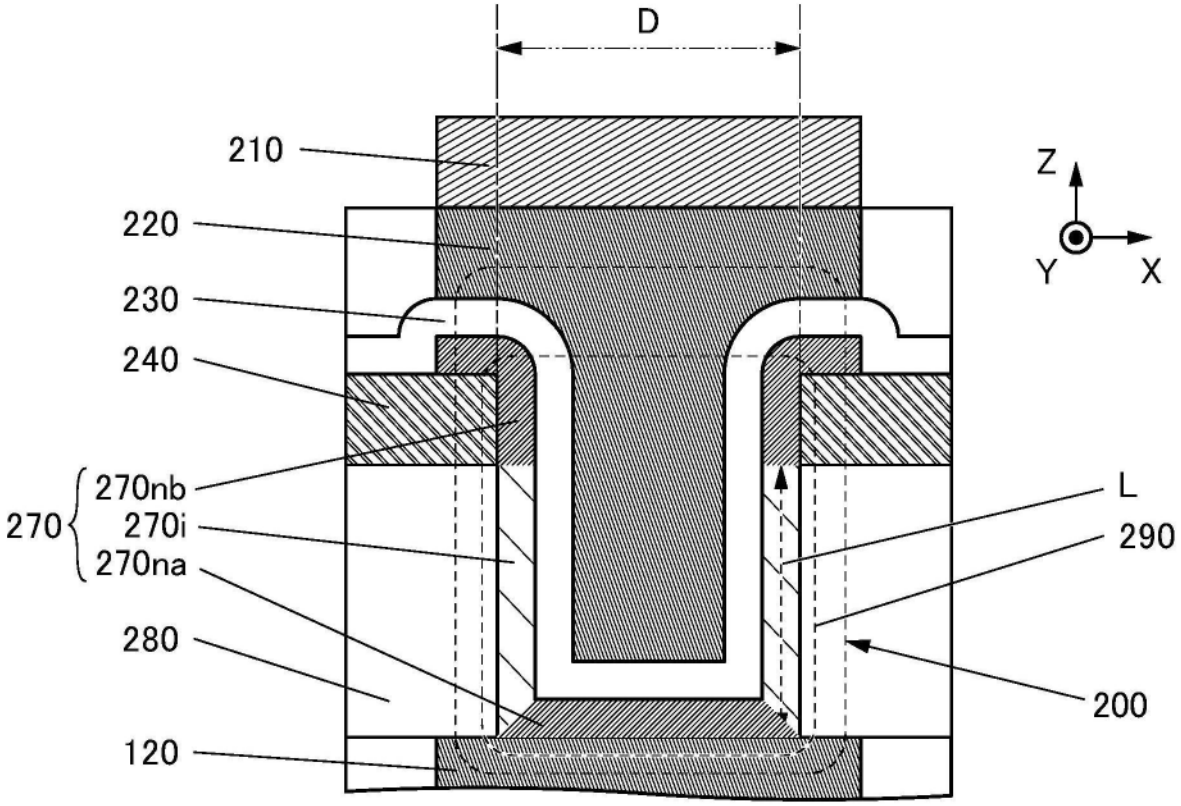

D
210
220
230
240
270
270nb
270i
270na
280
120
L
290
200
Z
Y
X

图14A

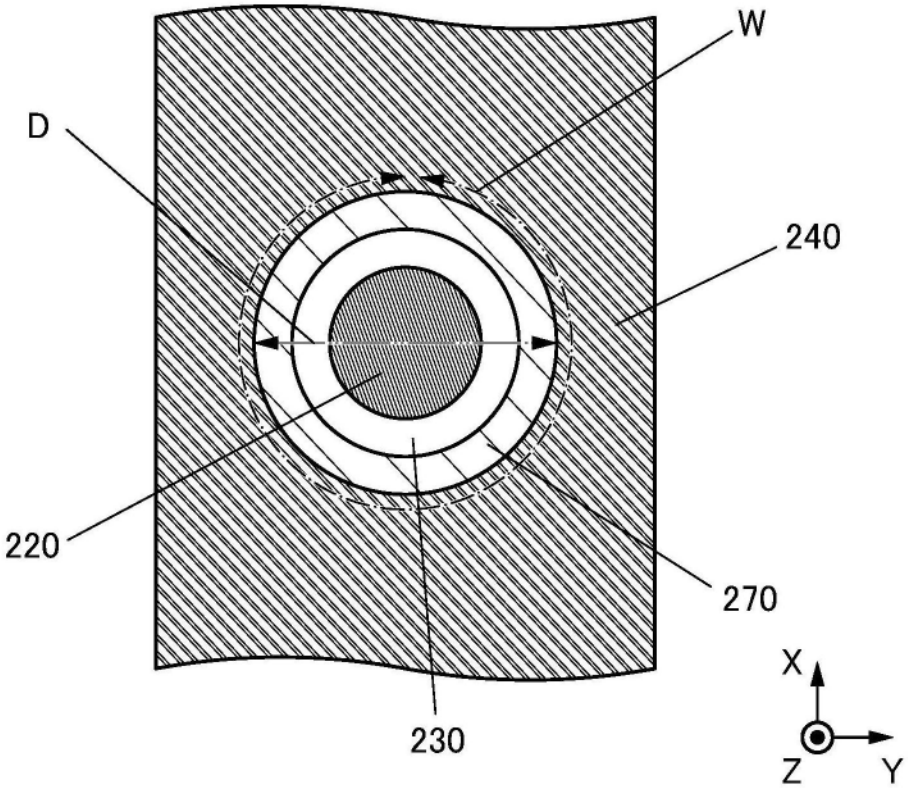

W
D
240
220
270
230
X
Z
Y

图14B

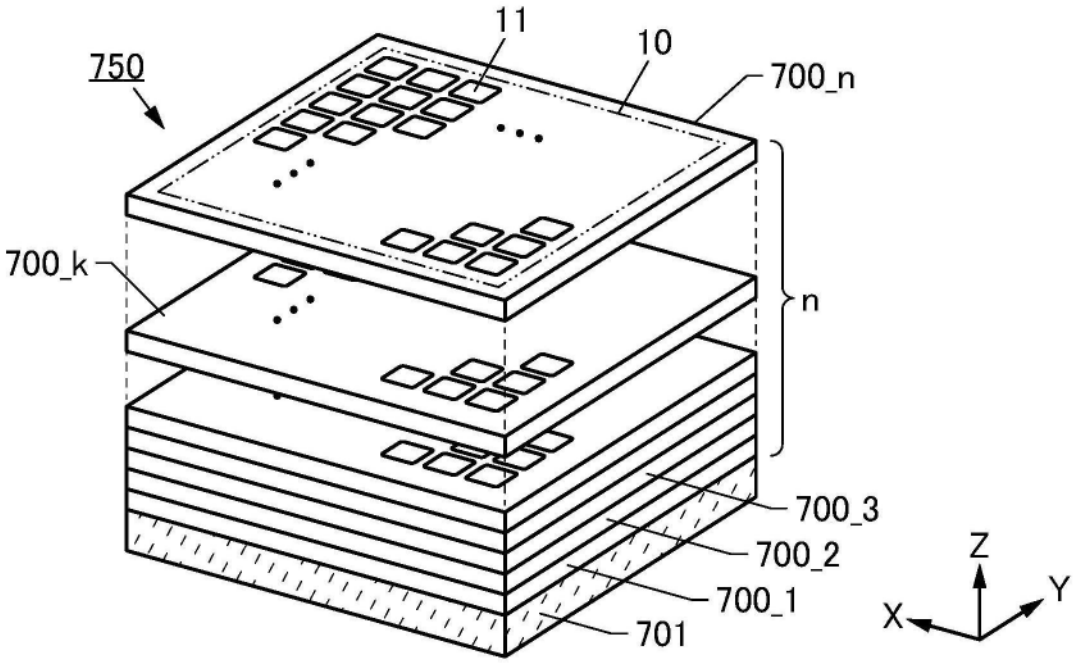


图15A

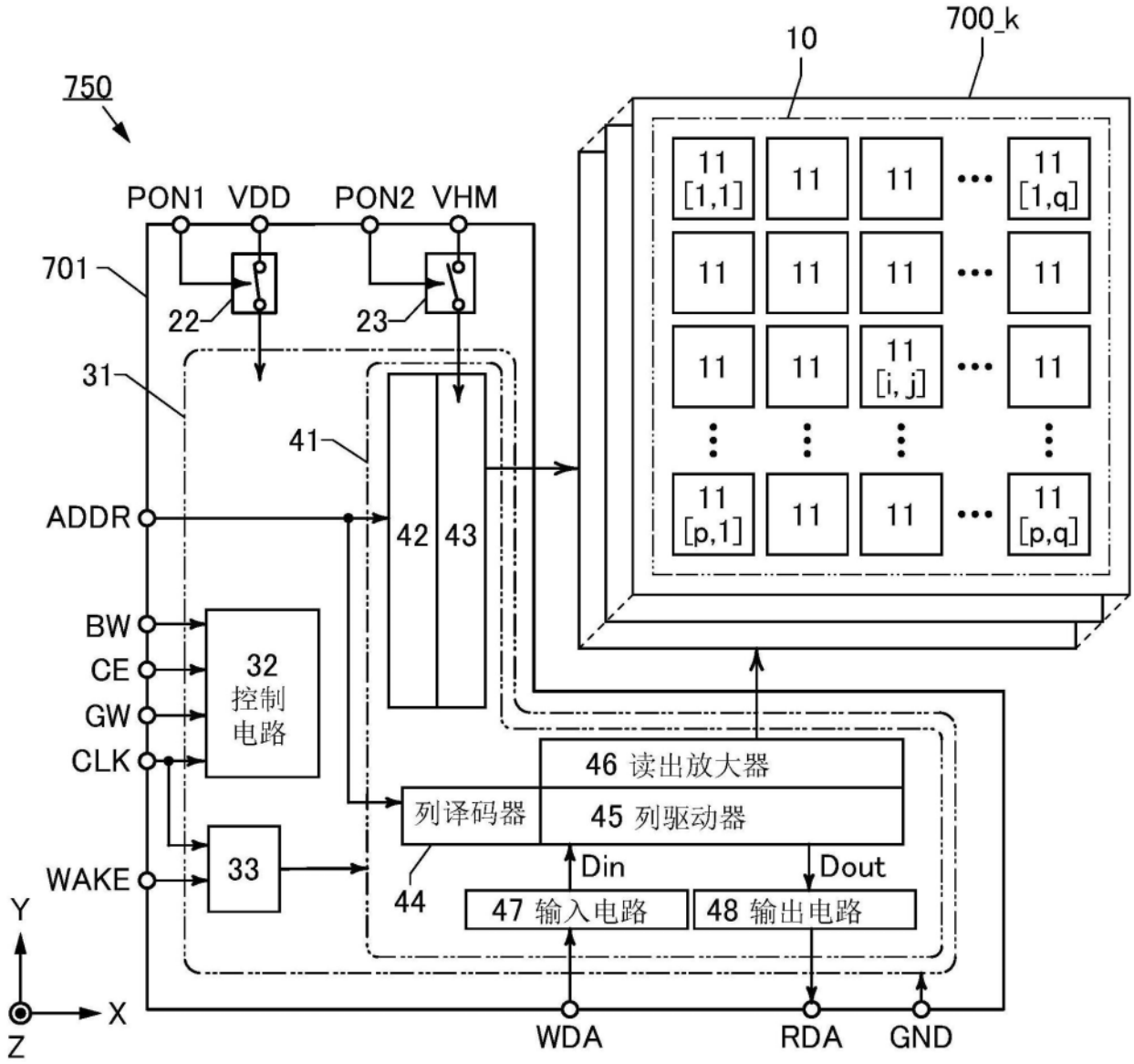

750
10
700_k
PON1
VDD
PON2
VHM
701
22
23
31
41
ADDR
42
43
BW
CE
GW
CLK
32
控制
电路
WAKE
33
44
列译码器
46 读出放大器
45 列驱动器
Din
Dout
47 输入电路
48 输出电路
WDA
RDA
GND
11
[1,1]
11
[1,q]
11
[i, j]
11
[p,1]
11
[p,q]
Y
X
Z

图15B

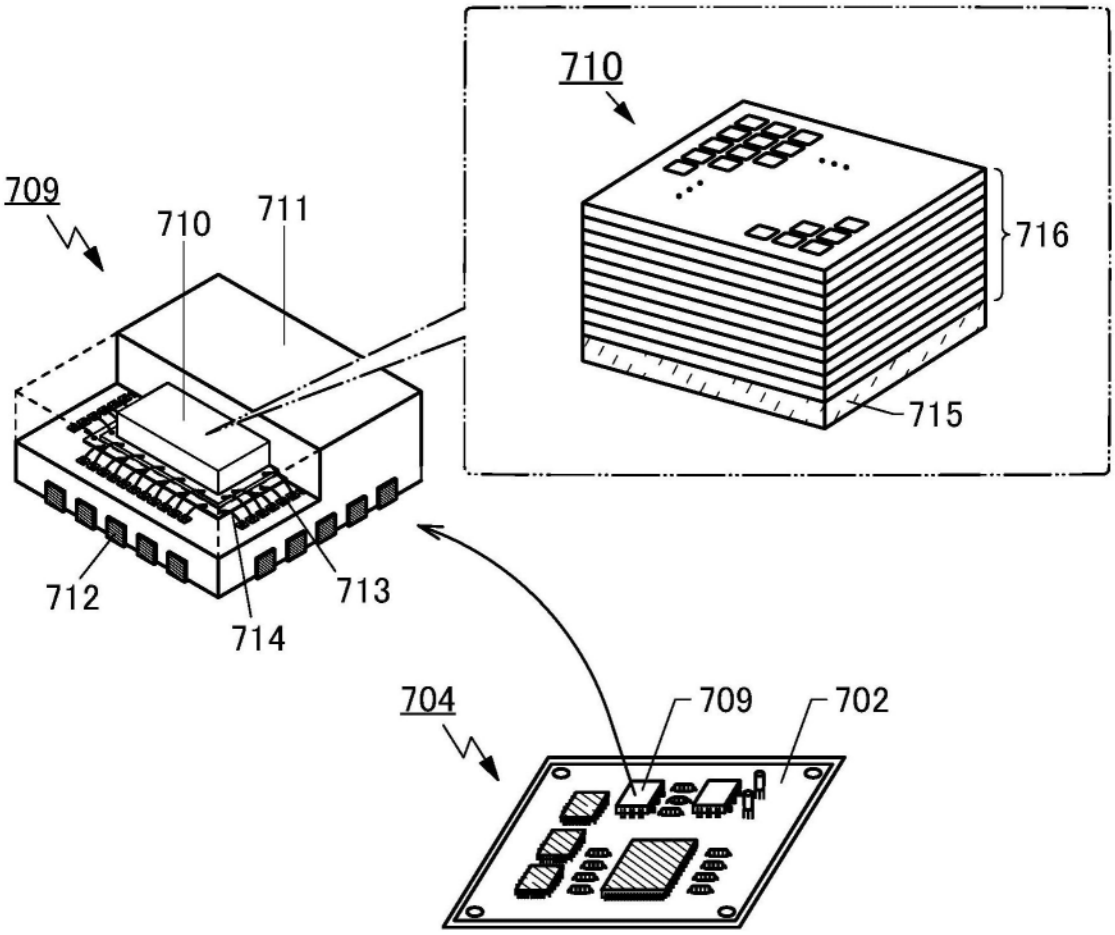

710
709
710
711
716
715
712
713
714
704
709
702

图16A

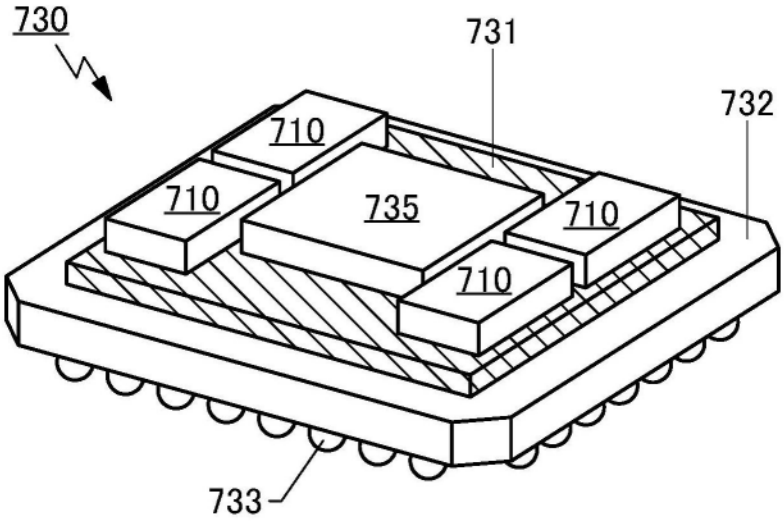

730
731
732
710
710
735
710
710
733

图16B

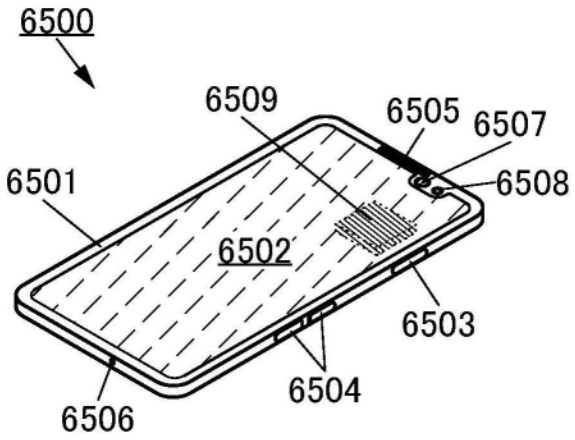

6500
6509
6505
6507
6501
6508
6502
6503
6504
6506

图17A

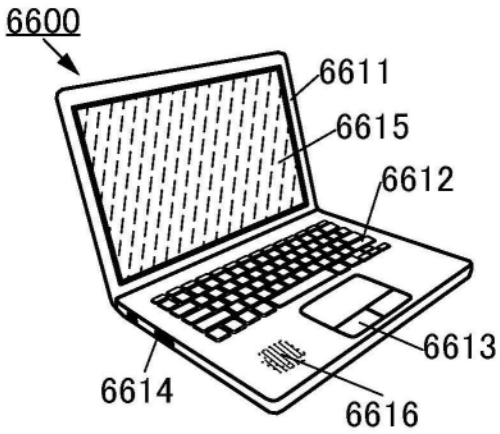

6600
6611
6615
6612
6613
6614
6616

图17B

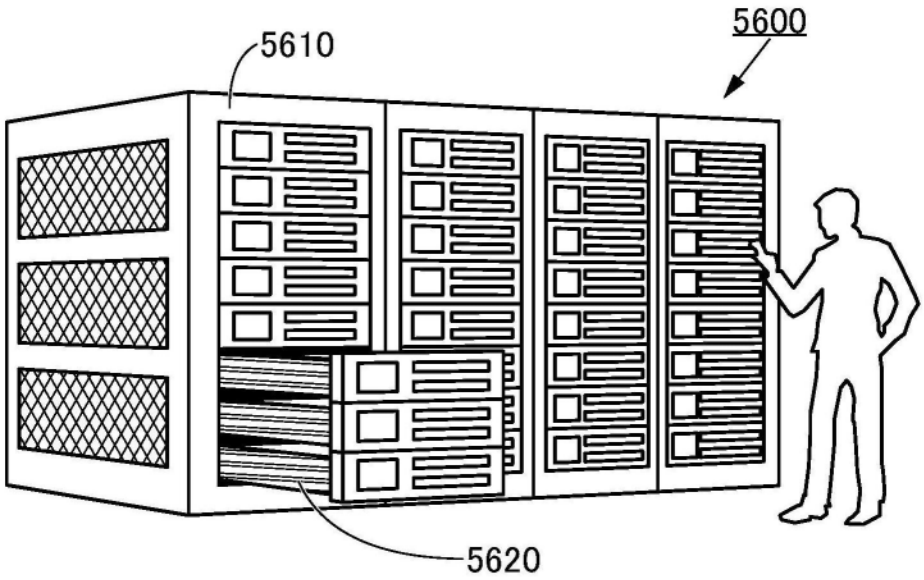


图17C

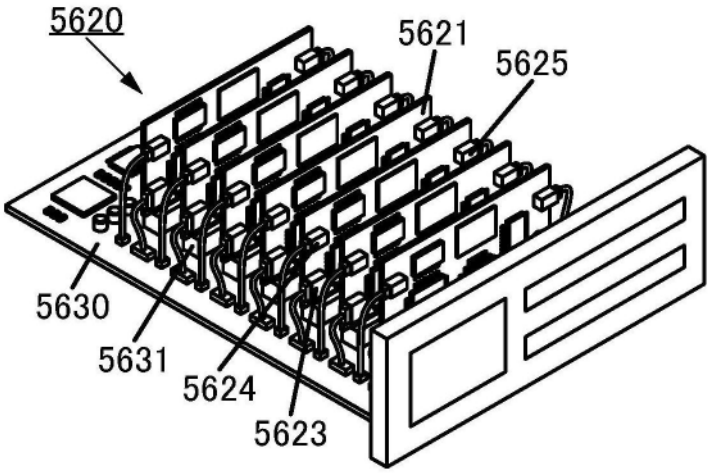


图17D

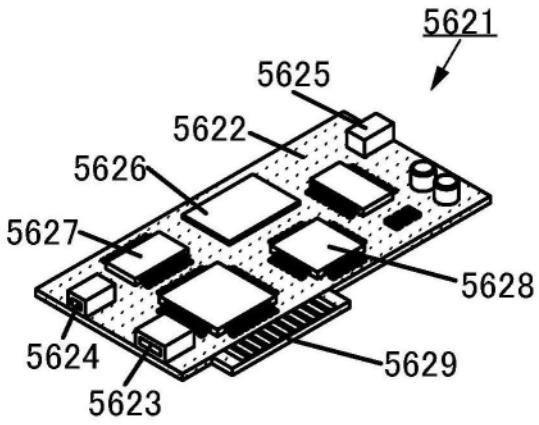

5621
5625
5622
5626
5627
5628
5624
5629
5623

图17E

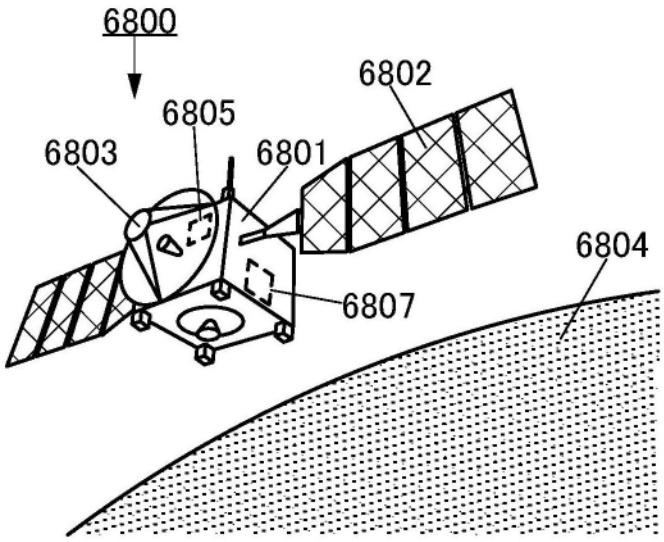

6800
6802
6805
6803
6801
6804
6807

图18

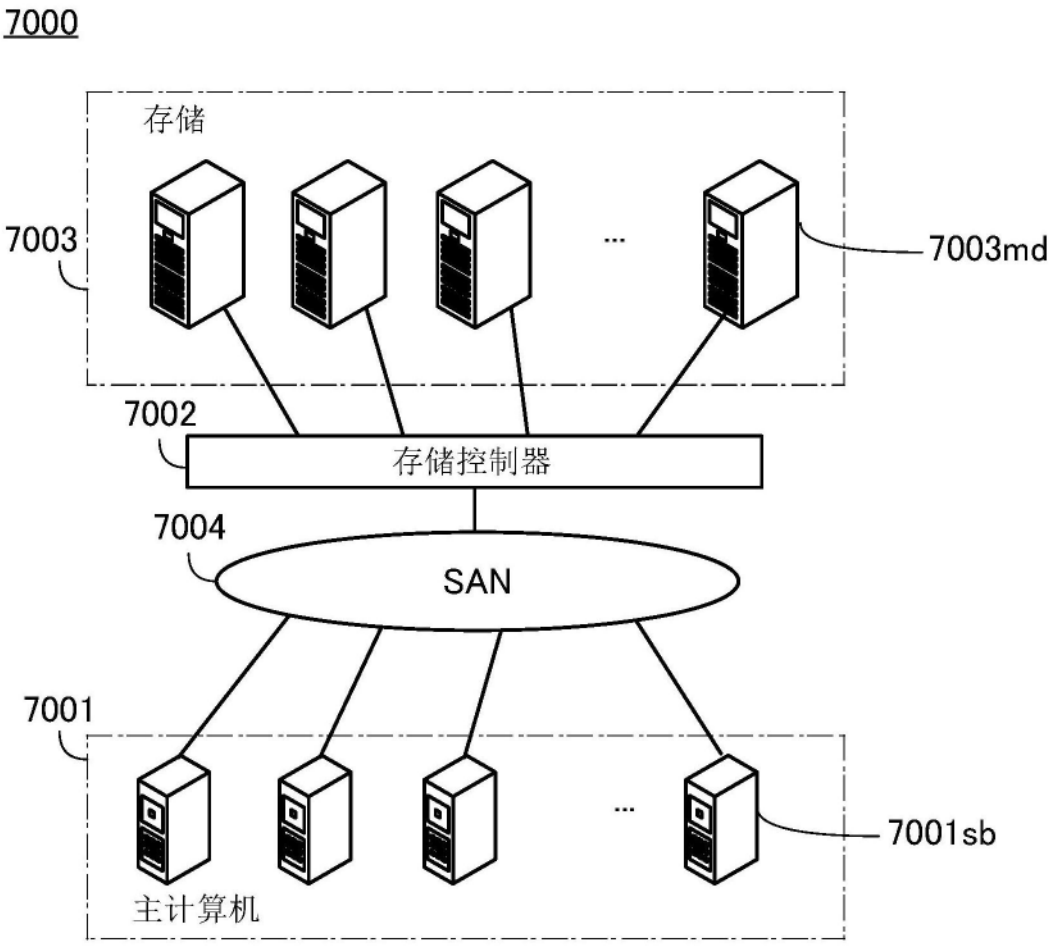


图19