

(43) 国際公開日
2008年10月23日 (23.10.2008)

PCT

(10) 国際公開番号
WO 2008/126239 A1

(51) 国際特許分類:

G06F 1/06 (2006.01)

H01L 21/822 (2006.01)

G06F 1/04 (2006.01)

H01L 27/04 (2006.01)

(21) 国際出願番号:

PCT/JP2007/057056

(22) 国際出願日:

2007年3月30日 (30.03.2007)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通マイクロエレクトロニクス株式会社 (FUJITSU MICRO-ELECTRONICS LIMITED) [JP/JP]; 〒1630722 東京都新宿区西新宿二丁目7番1号 Tokyo (JP). 富士通デバイス株式会社 (FUJITSU DEVICES INC.) [JP/JP]; 〒1418583 東京都品川区西五反田八丁目9番5号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 三木 範彦 (MIKI,

Norihiko) [JP/JP]; 〒1418583 東京都品川区西五反田八丁目9番5号 富士通デバイス株式会社内 Tokyo (JP).

(74) 代理人: 服部 毅巖 (HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町9番8号 八王子東町センタービル 服部特許事務所 Tokyo (JP).

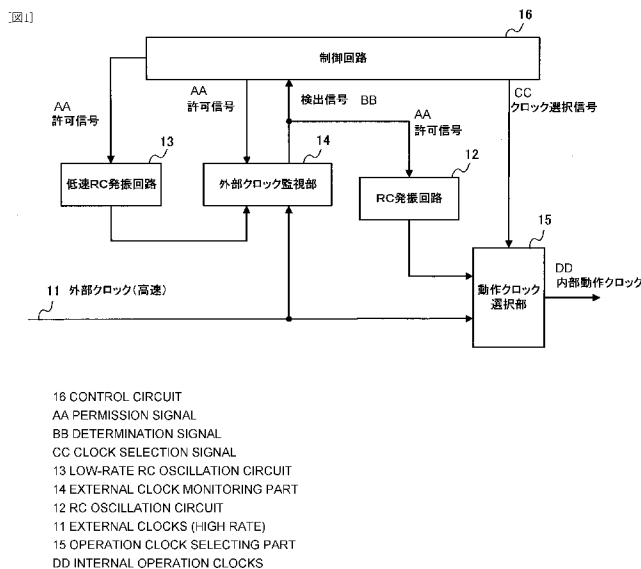
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT AND CLOCK CONTROL METHOD

(54) 発明の名称: 半導体集積回路及びクロック制御方法



(57) Abstract: To suppress power consumption. External clocks (11) generated by an external oscillation circuit are monitored by an external clock monitoring part (14) that operates in accordance with low-rate RC clocks generated by a low-rate RC oscillation circuit (13). When the external clock monitoring part (14) determines an inputting of the external clocks (11), a control circuit (16) instructs an operation clock selecting part (15) to select the external clocks (11). Thus, the external clocks (11) are used as operation clocks. When the external clock monitoring part (14) determines that the inputting of the external clocks (11) has halted, an RC oscillation circuit (12) starts its operation, and the control circuit (16) instructs the operation clock selecting part (15) to select the outputs of the RC oscillation circuit (12). Thus, the RC clocks generated by the RC oscillation circuit (12) are selectively used as operation clocks.

[続葉有]

WO 2008/126239 A1



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(57) 要約: 消費電力を抑える。 外部発振回路の生成する外部クロック(11)は、低速RC発振回路(13)の生成する低速RCクロックによって動作する外部クロック監視部(14)によって監視される。制御回路(16)は、外部クロック監視部(14)によって外部クロック(11)の入力が確認されるときは、動作クロック選択部(15)に指示して外部クロック(11)を選択させる。これにより、外部クロック(11)が動作クロックとして用いられる。外部クロック監視部(14)によって、外部クロック(11)の入力が停止したことが検出されると、RC発振回路(12)は、動作を開始し、制御回路(16)は、動作クロック選択部(15)に指示してRC発振回路(12)の出力を選択させる。これにより、動作クロックが、RC発振回路(12)の生成するRCクロックに切り替わる。

明 細 書

半導体集積回路及びクロック制御方法

技術分野

[0001] 本発明は半導体集積回路及びクロック制御方法に関し、特に外部発振回路に接続し、この外部発振回路または内部発振回路の生成するクロックに基づいて動作する半導体集積回路及びそのクロック制御方法に関する。

背景技術

[0002] 半導体集積回路には、外部に設けられた発振回路に接続し、発振回路が出力するクロックに基づいて動作するものが多い。発振回路、特に水晶振動子などを利用した高精度、高速なクロックを生成する発振回路は、周囲環境などの問題によって、発振不良が発生する可能性があり、信頼性があまり高くない。発振回路からクロックが提供されなくなると、半導体集積回路の動作が停止してしまい、停止直前の状態が保持される。したがって、停止のタイミングによっては、装置にとって好ましくない状態が保持される可能性がある。また、産業用の電子機器や、連続運転が要求される電子機器では、動作が停止されることによって重大な問題が生じる可能性がある。

[0003] そのため、一般には、半導体集積回路内部にクロックを発生させることができる内蔵発振器を設け、外部から入力されるクロックが停止したときには、内蔵発振器が生成するクロックに切り替えて動作することが行われている。以降の説明では、このように外部から入力されるメインのクロックを監視し、万が一、外部クロックの発振が停止した場合には、内蔵発振器のクロック(以下、内部クロックとする)に切り替えて動作する機能を、クロックスーパーバイザ(以下、CSVとする)と呼ぶこととする。

[0004] 図5は、従来のCSV機能を有する半導体集積回路の一例を示したブロック図である。

従来のCSV機能を有する半導体集積回路は、外部から入力される水晶振動子などによる高速クロック91と、内蔵されるRC発振回路92による内部クロックとを、動作クロック選択部93で選択し、いずれか一方を動作クロックとして用いる。通常は、高速クロック91が選択されており、高速クロック監視部94によって高速クロック91の状態が

監視されている。RC発振回路92と、高速クロック監視部94とは、制御回路95からの許可信号によって動作を開始し、RC発振回路92の生成する内部クロックによって高速クロック監視部94が動作する。

[0005] そして、高速クロック監視部94が、高速クロック91の停止を検出すると、検出信号が制御回路95へ出力される。制御回路95は、検出信号が入力されると、動作クロック選択部93に対し、動作クロックを高速クロック91から内部クロックへ切り替えるように指示するクロック選択信号を出力する。動作クロック選択部93は、クロック選択信号に基づいて切り替えを行い、動作クロックとしてRC発振回路92の内部クロックが用いられるようになる。

[0006] このようなCSV回路は、マイクロコンピュータに適用される(たとえば、特許文献1参照)。

特許文献1:特開2004-70722号公報(図1)

発明の開示

発明が解決しようとする課題

[0007] しかし、従来のCSV機能を有する半導体集積回路では、常に切り替わり用の内部クロックを発生させていなければならないという問題点があった。

従来の回路では、図5に示したように、高速クロックの監視を行う高速クロック監視部94は、RC発振回路92の生成する内部クロックで動作する。したがって、監視を行うため、RC発振回路92を常に動作させて切り替わり用に用いられる内部クロックを常に発生させていなければならないかった。

[0008] しかしながら、CSV機能を有する半導体集積回路は、マイクロコンピュータなど、消費電力の抑制が求められる電子機器に適用されるものが多い。これらの電子機器では、消費電力を削減するため、時計機能などの最低限の機能だけを動作させ、他の機能を停止させる時計モードなどの低消費電力モードを有している。高速クロックの監視のためのRC発振は、このような低消費電力モードでも動作させなければならないが、そのための消費電力が無視できないほど大きいという問題が生じた。

[0009] たとえば、高速クロックを数メガヘルツ(MHz)から数十MHz程度の周波数とすると、RC発振回路の生成する切り替わり用の内部クロックは、数キロヘルツ(KHz)から

数十KHz程度の周波数が設定されることが多い。この場合、内部クロックの生成のため、数マイクロアンペア(μ A)程度の消費電流が生じる。

[0010] 本発明はこのような点に鑑みてなされたものであり、CSV機能のための消費電力を抑えることが可能な半導体集積回路及びそのクロック制御方法を提供することを目的とする。

課題を解決するための手段

[0011] 本発明では上記課題を解決するために、図1に示すような半導体集積回路が提供される。本発明に係る半導体集積回路は、第1の発振回路、第2の発振回路、外部クロック監視部、動作クロック選択部、及び制御部を有し、半導体集積回路に接続する外部発振回路または内部発振回路の生成するクロックに基づいて動作する。第1の発振回路(図では、RC発振回路12)は、外部発振回路の出力が停止しているときに、第1の内部クロックを生成する。第2の発振回路(図では、低速RC発振回路13)は、RC発振回路(第1の発振回路)12の生成する第1の内部クロックよりも周波数の低い第2の内部クロックを出力する。外部クロック監視部14は、第2の内部クロックにより動作して外部発振回路の出力する外部クロック11を監視する。動作クロック選択部15は、外部発振回路の出力する外部クロック11、またはRC発振回路(第1の発振回路)12の出力する第1の内部クロックのいずれかを動作クロックとして選択する。制御部(図では、制御回路16)は、外部クロック監視部14によって外部クロックの入力が確認されているときは、動作クロック選択部15に対して外部クロック11の選択を指示し、外部クロック監視部14が外部クロック11の入力停止を検出すると、動作クロック選択部15に対し、RC発振回路(第1の発振回路)12の生成する第1の内部クロックの選択を指示する。

[0012] このような半導体集積回路によれば、外部発振回路の生成する外部クロック11は、低速RC発振回路(第2の発振回路)13の生成する第2の内部クロックによって動作する外部クロック監視部14によって監視される。制御回路(制御部)16は、外部クロック監視部14によって外部クロック11の入力が確認されるときは、動作クロック選択部15に指示して外部クロック11を選択させる。これにより、外部クロック11が動作クロックとして用いられる。このとき、RC発振回路(第1の発振回路)12は、動作を停止してい

る。外部クロック監視部14によって、外部クロック11の入力が停止したことが検出されると、制御回路(制御部)16は、動作クロック選択部15に指示してRC発振回路(第1の発振回路)12の出力を選択させる。また、RC発振回路(第1の発振回路)12は、外部クロック11の停止により、動作を開始し、第1の内部クロックを生成している。これにより、動作クロックとして、RC発振回路(第1の発振回路)12の生成する第1の内部クロックが用いられるようになる。

[0013] また、上記課題を解決するために、外部発振回路に接続し、外部発振回路または内部発振回路の生成するクロックに基づいて動作する半導体集積回路のクロック制御方法であって、外部発振回路の出力が停止している場合に第1の内部クロックを生成し、第1の内部クロックよりも周波数の低い第2の内部クロックを出力し、第2の内部クロックに基づいて外部発振回路の出力する外部クロックを監視し、外部クロックの入力を検出した場合には、外部クロックを選択し、外部クロックの入力停止を検出した場合には、第1の内部クロックを選択する、ことを特徴とするクロック制御方法が提供される。

[0014] このようなクロック制御方法によれば、第1の内部クロックは、外部発振回路が停止している場合にのみ生成される。外部発振回路の出力する外部クロックは、第1の内部クロックよりも周波数の低い第2の内部クロックで監視している。そして、外部クロックの入力が検出されているときは、外部クロックを選択し、外部クロックの入力停止を検出したときは、第1の内部クロックが選択される。

発明の効果

[0015] 本発明では、外部発振回路の生成する外部クロックを監視し、外部クロックが入力されているときは、外部クロックを動作クロックとして用いる。このとき、切り替わり用の内部クロックを生成する第1の発振回路は停止している。外部クロックの停止が検出されると、第1の発振回路は起動され、第1の発振回路が出力する第1の内部クロックが動作クロックとして用いられるようにクロックの切り替えが行われる。このように、外部クロックを動作クロックとして選択している間は、切り替わり用の内部クロックを生成する発振回路を停止しているので、消費電力を抑えることができる。

[0016] 本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施

の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0017] [図1]本発明の実施の形態のCSV機能を有する半導体集積回路のブロック図である。

[図2]本発明の実施の形態の動作クロック選択の処理手順を示したフローチャートである。

[図3]本発明の実施の形態の半導体集積回路における外部クロック監視開始までのタイミングチャートである。

[図4]本発明の実施の形態の半導体集積回路における動作クロック切替えのタイミングチャートである。

[図5]従来のCSV機能を有する半導体集積回路の一例を示したブロック図である。

発明を実施するための最良の形態

[0018] 以下、本発明の実施の形態を図面を参照して説明する。

図1は、本発明の実施の形態のCSV機能を有する半導体集積回路のブロック図である。

[0019] 本発明の実施の形態の半導体集積回路は、第1の内部クロックを生成するRC発振回路12、第2の内部クロックを生成する低速RC発振回路13、外部クロック11を監視する外部クロック監視部14、動作クロックを選択する動作クロック選択部15、及び制御回路16を有し、図示しない外部発振回路が出力する高周波数の外部クロック11を動作クロックとして動作し、外部クロック11停止時には、RC発振回路12の生成する第1の内部クロックを動作クロックとして動作する。

[0020] 外部クロック11は、本発明の実施の形態の半導体集積回路の外部に接続される外部発振回路(図示せず)によって生成され、動作クロック選択部15に入力する高周波数(以下、高速とする)のメインクロックである。外部発振回路では、たとえば、水晶振動子を用いて数MHzから数十MHz程度の高速なクロックが生成される。外部クロックが正常に入力されている期間は、外部クロックが動作クロック選択部15によって選択され、半導体集積回路のメインの処理を実行する処理部を動作させる動作クロックとして用いられる。

[0021] RC発振回路12は、第1の内部クロックを生成する第1の内部発振回路であり、生成した第1の内部クロックは、動作クロック選択部15へ出力する。また、外部クロック監視部14にも接続し、外部クロック監視部14が外部クロック11の停止を検出したときに発生させる検出信号を許可信号として入力する。生成される第1の内部クロックは、外部クロックが選択されているときは使用されず、外部クロック11が停止したときに、動作クロックとして用いられる。ここでは、第1の内部クロックとして、高速な外部クロックよりも低い周波数のクロック、たとえば、外部クロックが数MHzから数十MHzであれば、数KHzから数十KHz程度のクロックを生成することとする。上述のように、動作クロックとして外部クロックが選択されているときは、第1の内部クロックは必要ないため、RC発振回路12は動作を停止している。そして、外部クロック監視部14から検出信号(許可信号)を入力すると、RC発振動作を開始し、第1の内部クロックを出力する。以下、第1の内部クロックをRCクロックと記す。

[0022] 低速RC発振回路13は、第2の内部クロックを生成する第2の内部発振回路であり、生成した第2の内部クロックは、外部クロック監視部14及び制御回路16に出力する。また、制御回路16からの許可信号を入力し、動作を開始する。第2の内部クロックは、RCクロック(第1の内部クロック)よりもさらに周波数の低いクロックで、たとえば、RCクロックが数KHzから数十KHzであれば、数Hzから数十Hz程度の低速クロックとする。一例として、1Hz、あるいは交流と同じ60Hzのクロックなどを用いる。少なくとも、その周期として、RC発振回路12の生成する第1の内部クロックが立ち上がりから安定状態となるまでの発振安定待ち時間よりも十分長く、消費電流が十分に小さくなる値を設定する。以下、第2の内部クロックを低速RCクロックと記す。

[0023] 外部クロック監視部14は、低速RC発振回路13が生成する低速RCクロック(第2の内部クロック)で動作し、外部クロック11が入力されているかどうかを監視する。外部クロック監視部14は、制御回路16からの許可信号で動作を開始し、外部クロック11が停止したことを検出すると、検出信号を制御回路16及びRC発振回路12へ出力する。

[0024] 動作クロック選択部15は、外部クロック11と、RC発振回路12の生成するRCクロック(第1の内部クロック)とを入力し、制御回路16から入力されるクロック選択信号によ

る指示に応じて、外部クロック11またはRCクロックを選択し、動作クロックとして出力する。動作クロックは、図示しない半導体集積回路の主処理部へ出力される。

[0025] 制御回路16は、制御部であり、外部クロック監視部14からの信号に応じて、動作クロック選択部15に対し、動作クロックとして外部クロック11またはRCクロックのどちらを選択するかを指示するクロック選択信号を出力する。外部クロック監視部14によって、外部クロック11が入力されていることが確認されたときは、動作クロック選択部15に対し、外部クロック11を動作クロックとして選択するように指示を行う。また、外部クロック監視部14が出力した検出信号が入力され、外部クロック11が停止したことを検出したときには、動作クロック選択部15に対し、RCクロックを動作クロックとして選択するように指示を行う。動作クロック選択部15へ指示を行うクロック選択信号は、検出信号を検出したタイミングの次の低速RCクロックの立ち上がりタイミングで出力する。このとき、クロック選択信号の出力タイミングよりも1周期前の低速RCクロックタイミングで出力された検出信号によって動作を開始したRC発振回路12のRCクロックは、発振安定待ち時間を経過している。したがって、クロック選択信号によって動作クロック選択部15が、動作クロックを外部クロック11からRCクロックに切り替えるときには、安定的なクロックを得ることができる。さらに、本発明の実施の形態では、外部クロック11の監視を行うか否かを選択できるとし、外部クロック11の監視を行うという選択がされた場合は、低速RC発振回路13及び外部クロック監視部14に対し許可信号を出力して、これらを動作させる。外部クロック11の監視を行わないという選択がされた場合は、低速RC発振回路13及び外部クロック監視部14に許可信号を出力せず、これらを動作させない。

[0026] 以下、このような本発明の実施の形態の半導体集積回路の動作及びそのクロック制御方法について説明する。

実施の形態の半導体集積回路では、外部クロック11を監視する外部クロック監視部14は、消費電流が無視できるほど小さい低速RC発振回路13の生成する低速RCクロックで動作している。外部クロック11が正常に入力している間は、外部クロック監視部14が制御回路16へ出力する検出信号をオフ(外部クロックの入力を確認)としている。これに伴い、検出信号と同じ信号が入力されるRC発振回路12の許可信号

もオフ(RC発振回路停止)になる。したがって、切り替わり用のRCクロックを生成するRC発振回路12は、外部クロックが動作クロックとして選択されている期間は、停止している。これにより、たとえば、時計モード時などの消費電流を削減することが可能となる。

[0027] 外部クロック監視部14が、外部クロック11の入力が停止したことを検出すると、検出信号がオンされ、検出信号と共通の許可信号もオン(許可)する。許可信号がオンになったことを検出したRC発振回路12はRCクロックの生成を開始する。RCクロックが安定した後、制御回路16の指示にしたがって、動作クロック選択部15は動作クロックをRCクロックに切り替える。

[0028] このように、外部クロックを動作クロックとして選択している間は、切り替わり用の内部クロックを生成する発振回路を停止し、監視処理は、消費電流が無視できるほど小さい低速クロックで行っているので、消費電力を抑えることができる。

[0029] ここで、制御回路16による動作クロック選択の処理手順を説明する。

図2は、本発明の実施の形態の動作クロック選択の処理手順を示したフローチャートである。

[0030] 電源投入やリセットによって、処理が開始される。

[ステップS1] クロック監視設定が、許可であるか不許可であるかを確認する。半導体集積回路が、通常、動作クロックとして用いる高速な外部クロックが停止したときに、内部クロックに切り替えて動作を行う必要がある用途に適用されるときは、「許可」が設定される。一方、クロック監視を行わず、通常、動作クロックとして用いる高速な外部クロックが停止したときに、半導体集積回路の動作が停止しても問題のない用途に適用されるときは、「不許可」が設定される。不許可のときは、処理を終了し、許可のときは、次ステップへ処理を進める。

[0031] [ステップS2] クロック監視設定が許可されているときは、外部クロック監視用のクロックに用いられる低速RCクロックを生成する低速RC発振回路13と、外部クロックの監視を行う外部クロック監視部14に許可信号を出力して起動する。また、動作クロック選択部15に指示して、動作クロックとして外部クロックを選択する。

[0032] これにより、低速RC発振回路13の生成する低速RCクロックによって外部クロック監視

視部14が動作し、外部クロックが停止していないかどうかを常時監視されるようになる。また、動作クロック選択部15は、外部クロックを動作クロックとして選択するので、高速な外部クロックにより通常動作が行われる。

[0033] [ステップS3] 外部クロック監視部15から外部クロックの停止を検出したことを示す検出信号が出力されたかどうかを監視する。出力されていなければ、監視を継続する。検出信号が出力されていれば、処理を次ステップへ進める。

[0034] [ステップS4] 検出信号に基づき、外部クロック監視部15が外部クロックの入力停止を検出したことが判明したら、動作クロック選択部15に対し、動作クロックをRC発振回路12の生成するRCクロックに切り替えるように指示するクロック選択信号を出力する。このクロック選択信号は、低速RCクロックの次の周期で出力する。RC発振回路12は、外部クロック停止の検出信号に応じて、動作を開始しているので、クロック選択信号が出力されるときには、RCクロックは安定している。

[0035] 以上の処理が行われることにより、RC発振回路12の生成するRCクロックが動作クロックとして選択されるので、RCクロックによって半導体集積回路の処理動作が行われる。RC発振回路12の生成するRCクロックは、外部クロックに対して低速であるので、通常は、エラー処理などが行われる。

[0036] 次に、本発明の実施の形態のCSV機能を有する半導体集積回路の動作を、タイミングチャートを用いて説明する。

図3は、本発明の実施の形態の半導体集積回路における外部クロック監視開始までのタイミングチャートである。

[0037] ここで、外部クロックは、図示しない外部発振回路の生成する高速クロックである。クロック監視設定は、制御回路16がクロック監視を開始させるか否かを判断した結果の設定情報である。低速RCクロックは、低速RC発振回路13の生成する低速なクロックである。外部クロック停止検出信号は、外部クロック監視部14が出力する信号であり、外部クロック11が入力されているときはLowレベル、外部クロック11の入力停止が検出されたときにHighレベルが出力される。RCクロックは、RC発振回路12が生成するクロックで、外部クロック11が停止したときに、動作クロックとして用いられる。クロック選択信号は、制御回路16が動作クロック選択部15に出力する信号であり、外部

クロック11の選択を指示するときはLowレベル、RCクロックの選択を指示するときはHighレベルとなる。内部動作クロックは、動作クロック選択部15が出力する信号である。

[0038] なお、図は動作を説明するための図であり、外部クロック、低速RCクロック、及びRCクロックの比率は、実際とは異なる。

以下、タイミングチャートを説明する。

[0039] 初期化時には、外部クロックが動作クロックとして選択され、「クロック監視設定なし」の状態では起動される。このとき、低速RC発振回路13及び外部クロック監視部14は、まだ起動されておらず、それぞれの信号レベルは、Low状態を継続する。

[0040] 制御回路16は、クロック監視を行うか否かを判断する。ここでは、クロック監視を行うという判断が行われたとする。これにより、クロック監視設定は、「クロック監視設定あり」に切り替わり、低速RC発振回路13及び外部クロック監視部14に対し許可信号が出力され、動作が開始される。低速RC発振回路13は、低速RCクロックの生成を開始する。低速RCクロックは、安定待ち時間を経過した後、安定的なクロックとなる。外部クロック監視部14は、低速RCクロックに基づき動作する。ここでは、外部クロックが正常に入力されているため、検出信号は、Lowレベルを継続する。したがって、クロック選択信号も、外部クロック選択 (Lowレベル) の状態であり、内部クロックとして外部クロックが用いられている。この期間は、外部クロックで動作するので、外部クロック動作期間とする。

[0041] なお、この状態では、RC発振回路12は、起動されておらず、RCクロックはLowレベルを継続している。

図4は、本発明の実施の形態の半導体集積回路における動作クロック切替えのタイミングチャートである。各信号名は、図3と同様である。

[0042] 外部クロックが停止すると、外部クロックに基づく内部動作クロックは停止する。低速RCクロックで動作する外部クロック監視部14は、外部クロック停止後、数クロック動作した後、外部クロックの停止を検出する。検出までの時間は、検出回路の仕様による。通常、誤動作などを防止するため、所定の経過時間停止状態が検出されてから、停止したと判定する。外部クロック監視部14は、外部クロックの停止を検出し、検出

信号をLowレベルからHighレベルに遷移させる。検出信号のレベルがHighになると、RC発振回路12は動作を開始し、RCクロックの生成を行う。RCクロックは、安定待ち時間経過後、安定的なクロックとなる。検出信号のレベルがHighになったことを検出した制御回路16は、次の低速RCクロックのタイミングで、クロック選択をRCクロックに切り替える切替信号を動作クロック選択部15へ出力する。これにより、クロック選択信号が、LowレベルからHighレベルに遷移し、内部動作クロックが外部クロックからRCクロックに切り替えられる。低速RCクロックは、十分に遅いので、切替信号が出力されたときには、RCクロックの安定待ち時間は経過しており、RCクロックは安定した状態となっている。したがって、内部動作クロックも安定している。

[0043] こうして、内部動作クロックは、外部クロックで動作する外部クロック動作期間から、外部クロックが停止しRCクロックに切り替わるまでの外部クロック停止検出期間を経て、RCクロックで動作するRCクロック動作期間になる。

[0044] このように、本発明の実施の形態の半導体集積回路では、外部クロック動作期間では、RCクロックの生成を停止させることにより、消費電力を抑えることが可能となる。また、外部クロック停止検出後、次の低速RCクロックの立ち上がりで内部動作クロックをRCクロックへ切り替えるため、切替時には、RCクロックは安定発振している。したがって、不安定な期間でクロックが切り替わることがないという効果も得られる。また、不安定な期間でクロックが切り替わることを防止するため、切替時間を遅延するなど回路規模を大きくする機構を必要とせず、安定的な動作クロックを得ることができる。

[0045] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0046] 11 外部クロック(高速クロック)
12 RC発振回路
13 低速RC発振回路
14 外部クロック監視部

15 動作クロック選択部

16 制御回路

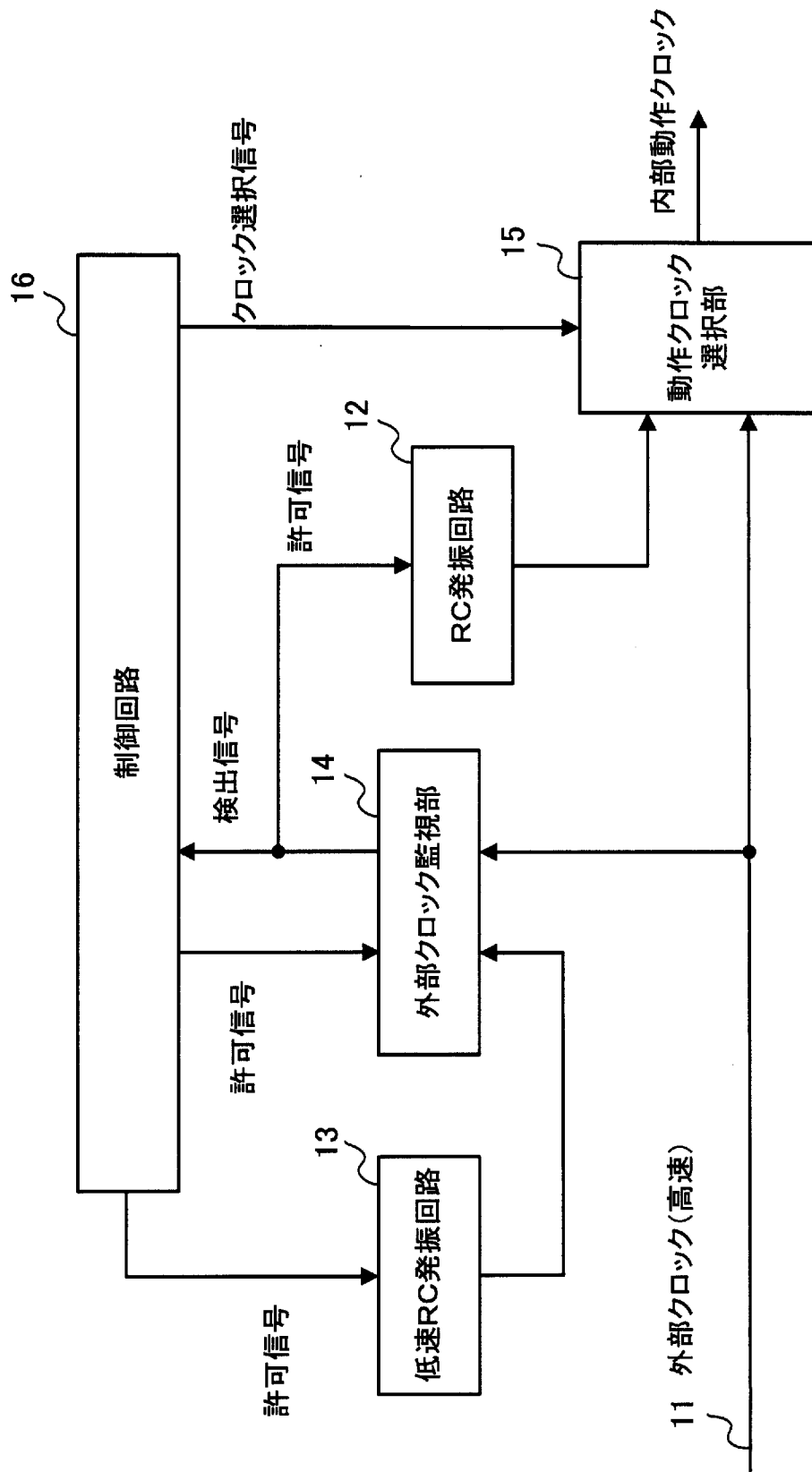
請求の範囲

- [1] 外部発振回路に接続し、前記外部発振回路または内部発振回路の生成するクロックに基づいて動作する半導体集積回路において、
- 前記外部発振回路の出力が停止しているときに第1の内部クロックを生成する第1の発振回路と、
- 前記第1の発振回路の生成する前記第1の内部クロックよりも周波数の低い第2の内部クロックを出力する第2の発振回路と、
- 前記第2の内部クロックにより動作して前記外部発振回路の出力する外部クロックを監視する外部クロック監視部と、
- 前記外部発振回路の出力する前記外部クロック、または前記第1の発振回路の出力する前記第1の内部クロックのいずれかを動作クロックとして選択する動作クロック選択部と、
- 前記外部クロック監視部によって前記外部クロックの入力が確認されているときは、前記動作クロック選択部に対し前記外部クロックの選択を指示し、前記外部クロック監視部が前記外部クロックの入力停止を検出すると、前記動作クロック選択部に対し、前記第1の内部クロックの選択を指示する制御部と、
- を有することを特徴とする半導体集積回路。
- [2] 前記第1の発振回路は、前記外部クロック監視部と接続し、前記外部クロック監視部が前記外部クロックの入力停止を検出したときに出力される検出信号が入力されたとき、前記第1の内部クロックの生成を開始することを特徴とする請求の範囲第1項記載の半導体集積回路。
- [3] 前記第2の発振回路の生成する前記第2の内部クロックの周期は、前記第1の発振回路が動作を開始してから前記第1の内部クロックの発振が安定するまでの発振安定待ち時間より長く設定されることを特徴とする請求の範囲第1項記載の半導体集積回路。
- [4] 前記制御部は、前記外部クロック監視部が前記外部クロックの入力停止を検出したときに出力される検出信号が入力されたときは、前記第2の発振回路の生成する前記第2の内部クロックの次の立ち上がりで前記動作クロック選択部に対する指示を出

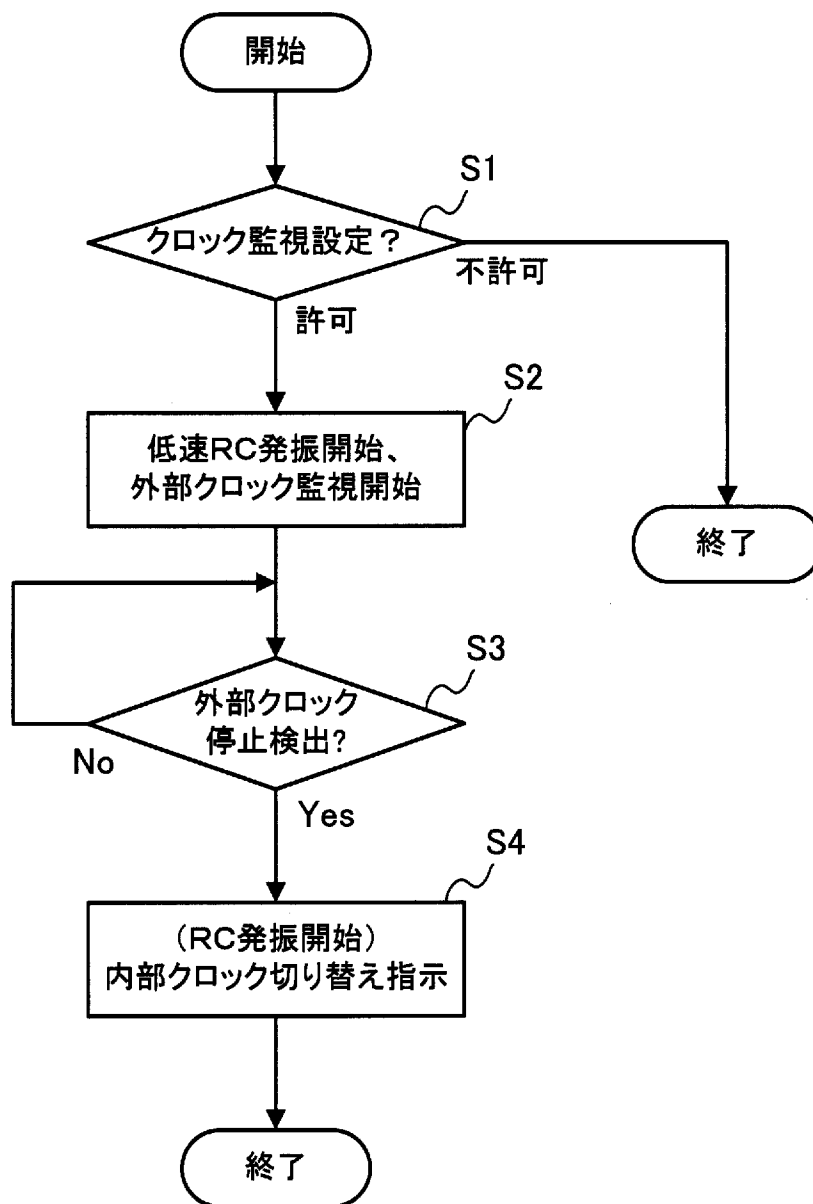
力することを特徴とする請求の範囲第1項記載の半導体集積回路。

- [5] 前記制御部は、クロック監視を行うか否かの設定に基づき、クロック監視を行う設定がされているときのみ、前記第2の発振回路及び前記外部クロック監視部を動作させることを特徴とする請求の範囲第1項記載の半導体集積回路。
- [6] 外部発振回路に接続し、前記外部発振回路または内部発振回路の生成するクロックに基づいて動作する半導体集積回路のクロック制御方法であって、
前記外部発振回路の出力が停止している場合に第1の内部クロックを生成し、
前記第1の内部クロックよりも周波数の低い第2の内部クロックを出力し、
前記第2の内部クロックに基づいて前記外部発振回路の出力する外部クロックを監視し、
前記外部クロックの入力を検出した場合には、前記外部クロックを選択し、前記外部クロックの入力停止を検出した場合には、前記第1の内部クロックを選択する、
ことを特徴とするクロック制御方法。
- [7] 前記第1の内部クロックの生成は、前記外部クロックの入力停止を検出した場合に開始することを特徴とする請求の範囲第6項記載のクロック制御方法。
- [8] 前記第2の内部クロックの周期は、前記第1の内部クロックを生成する第1の発振回路の動作開始から発振が安定するまでの発振安定待ち時間よりも長いことを特徴とする請求の範囲第6項記載のクロック制御方法。
- [9] 前記第1の内部クロックの選択は、前記外部クロックの入力停止を検出した次の前記第2の内部クロックの立ち上がりに基づいて行うことを特徴とする請求の範囲第6項記載のクロック制御方法。

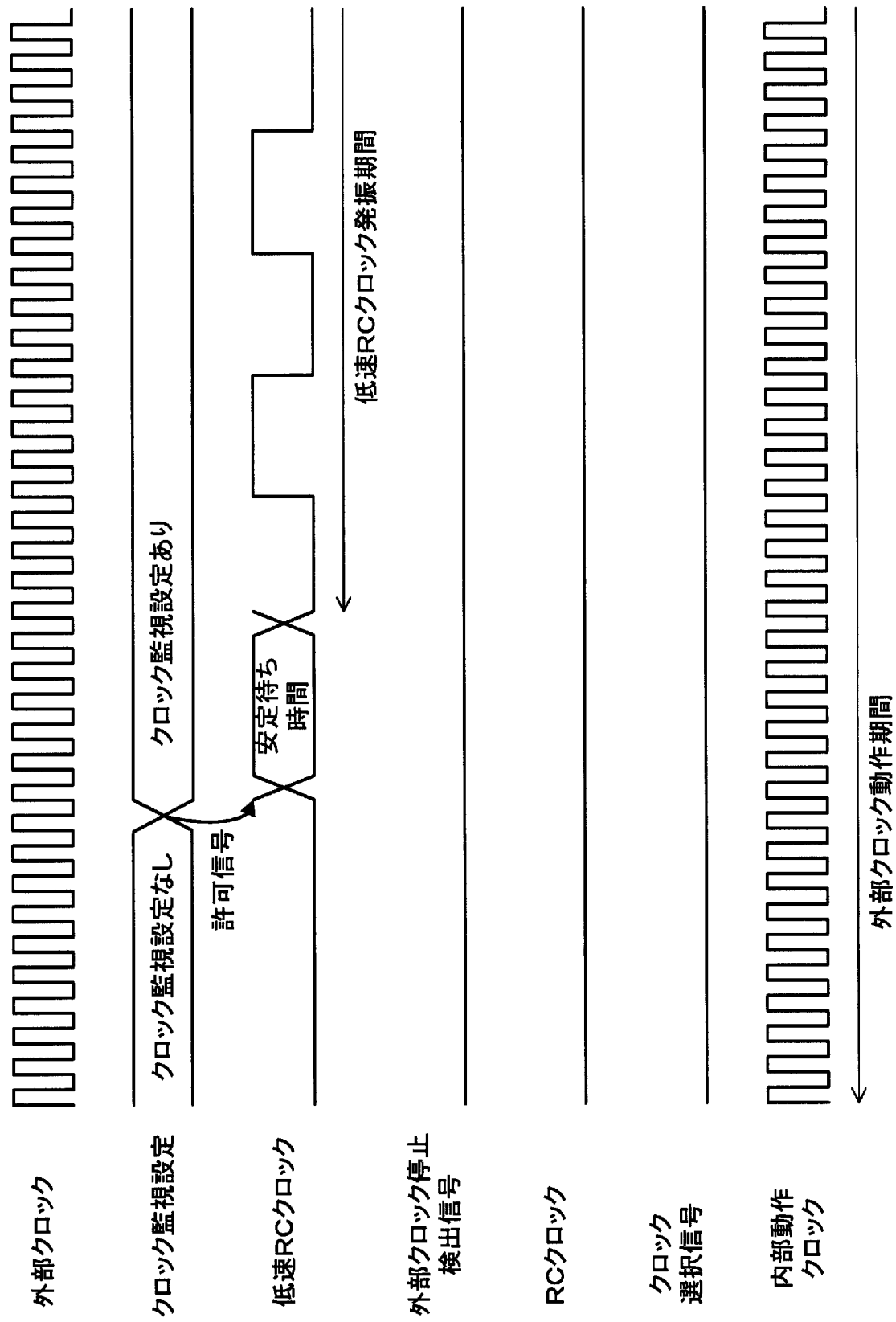
[図1]



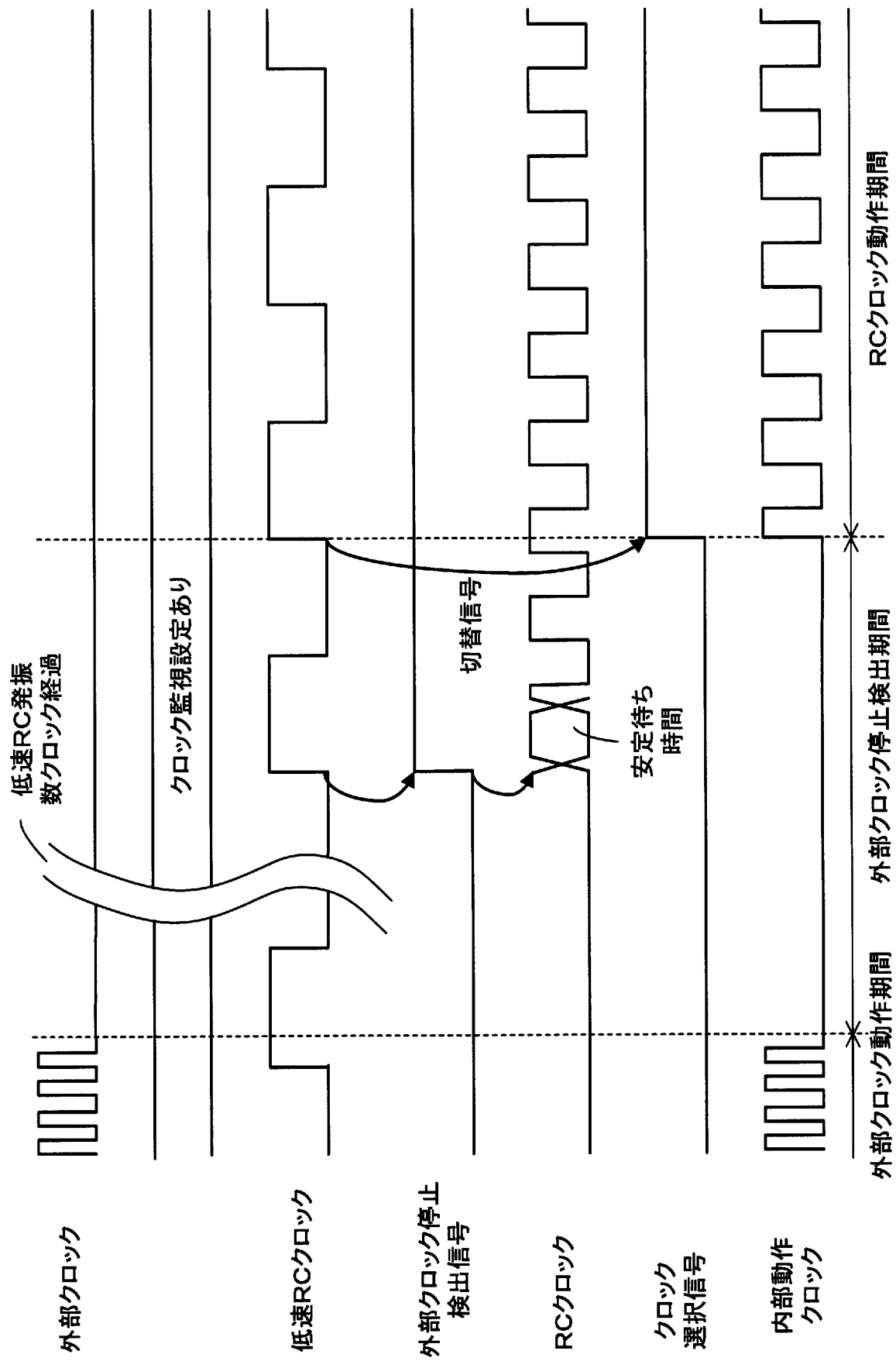
[図2]



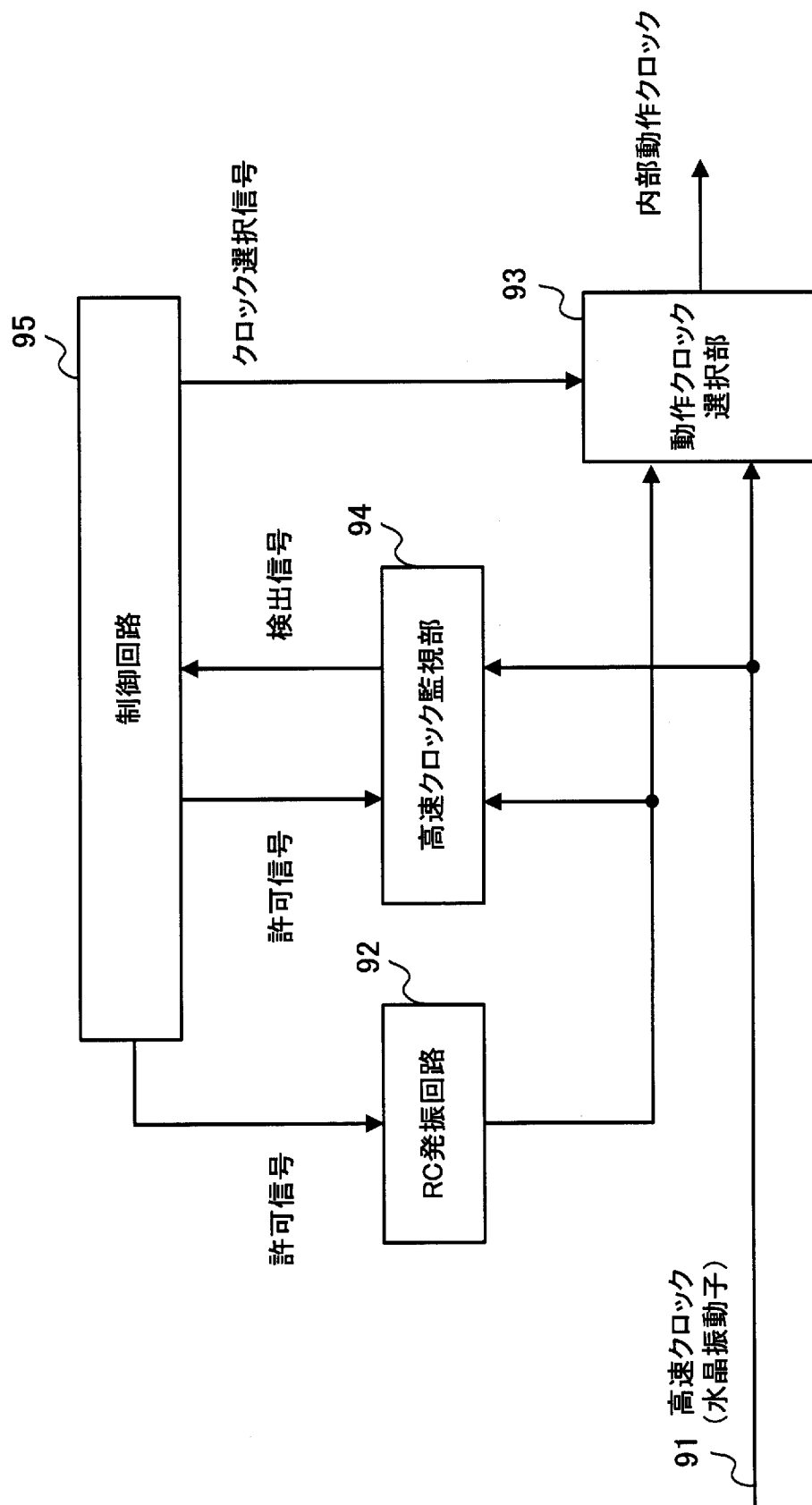
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/057056

A. CLASSIFICATION OF SUBJECT MATTER

G06F1/06(2006.01)i, G06F1/04(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F1/06, G06F1/04, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 04-365110 A (NEC Corp.), 17 December, 1992 (17.12.92), Par. Nos. [0009] to [0018]; Figs. 1 to 2 (Family: none)	1-3, 5-8 4, 9
Y A	JP 03-070314 A (Fujitsu Ltd.), 26 March, 1991 (26.03.91), Page 3, lower left column, line 1 to page 4, upper right column, line 15; Figs. 1 to 3 (Family: none)	1-3, 5-8 4, 9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
16 April, 2007 (16.04.07)

Date of mailing of the international search report
24 April, 2007 (24.04.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F1/06(2006.01)i, G06F1/04(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F1/06, G06F1/04, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 04-365110 A（日本電気株式会社）1992. 1	1-3,
A	2. 17, 段落【0009】-【0018】, 第1-2図（ファミリーなし）	5-8
Y	J P 03-070314 A（富士通株式会社）1991. 03.	4, 9
A	26, 第3頁左下欄第1行-第4頁右上欄第15行, 第1-3図（ファミリーなし）	1-3,
		5-8
		4, 9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

16. 04. 2007

国際調査報告の発送日

24. 04. 2007

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

内田 正和

電話番号 03-3581-1101 内線 3521

5 E

3 4 5 6