

(19)



URZĄD
PATENTOWY
RZECZYPOSPOLITEJ
POLSKIEJ

(10) **PL 247168 B1**

(12)

Opis patentowy

(21) Numer zgłoszenia: **442681**

(22) Data zgłoszenia: **2022.10.28**

(43) Data publikacji o zgłoszeniu: **2024.04.29 BUP 18/2024**

(45) Data publikacji o udzieleniu patentu: **2025.05.26 WUP 21/2025**

(51) MKP:

G05B 19/042 (2006.01)

G06F 9/44 (2018.01)

(73) Uprawniony z patentu:
POLITECHNIKA ŚLĄSKA, Gliwice, PL

(72) Twórca(-y) wynalazku:
ROBERT CZERWIŃSKI, Gierałtowice, PL
MIROSŁAW CHMIEL, Ruda Śląska, PL

(74) Pełnomocnik:
rzecz. pat. Katarzyna Borkowy, Gliwice, PL

(54) Tytuł:

Wielokanałowy układ odmierzania czasu opóźnienia wyłączenia

PL 247168 B1

Opis wynalazku

Przedmiotem wynalazku jest wielokanałowy układ odmierzania czasu opóźnienia wyłączenia TOF (ang. Timer OFF), mający zastosowanie jako blok funkcyjny timera opóźniania wyłączenia TOF dla sterowników przemysłowych PLC zgodnych z normą IEC 61131-3.

Timery stosowane w układach automatyki przemysłowej realizują odmierzanie czasu w sensie generowania binarnej sekwencji opóźnienia o zadanym czasie trwania. Timery są łączone w wielokanałowe bloki funkcyjne. Różnią się pod względem sposobu aktualizacji wartości czasu:

- I. Timery odświeżane są cyklicznie przez system operacyjny sterownika – odświeżanie następuje co określony odstęp czasu. W każdym cyklu odświeżany jest stan wszystkich timerów, niezależnie od tego, czy są wykorzystywane, czy nie. Ten sposób odświeżania wymaga wsparcia sprzętowego. Struktury danych dla timerów w sterownikach PLC zajmują zwykle określone miejsce w pamięci i jest ich ściśle określona liczba. Odświeżanie timerów zajmuje czas proporcjonalny do liczby kanałów, co może prowadzić do wyraźnego spowolnienia szybkości działania sterownika. W czasomierzach odświeżanych cyklicznie struktura timerowa powinna zawierać dwie wartości liczbowe: czas upływający od rozpoczęcia pomiaru oraz wartość zadaną.
- II. Timery odświeżane podczas wykonywania instrukcji timera – każdorazowo przy realizacji segmentu programu zawierającego instrukcję timerową następuje odświeżenie wartości aktualnej. Wyzwolenie timera pracującego na tej zasadzie polega na przepisaniu stanu systemowego licznika (najczęściej milisekund) do rejestru pamiętającego początek zliczania. Odświeżanie polega na odjęciu obecnej wartości systemowego licznika od wartości zapisanej w tym rejestrze i wpisaniu różnicy do rejestru ET (ang. Elapsed Time). Odświeżanie realizowane jest jako procedura programowa.
- III. Odświeżanie timerów co cykl sterownika – czynności związane z odświeżaniem timerów są uwzględnione w cyklu pracy sterownika, w części odpowiedzialnej za obsługę systemu. Pozwala to na uproszczenie czynności wykonywanych programowo podczas realizacji instrukcji timerowej – wymagane jest jedynie przepisanie stanu licznika bazowego do rejestru pamiętającego początek zliczania dla danego kanału. Wszystkie pozostałe czynności obsługiwane są systemowo na koniec cyklu. Po każdym cyklu wymagane jest odświeżenie wszystkich timerów, bez względu na to, czy są wykorzystywane w programie.
- IV. Odświeżanie timera w chwili odczytu – opiera się na obserwacji, że stan czasomierza nie ma żadnego znaczenia dopóki ten stan nie jest sprawdzany w programie. Wyniknął stąd pomysł, by dokonywać odświeżania timera w momencie odczytu jego stanu (binarnego – Q lub/i liczbowego – ET). Zaletą takiego rozwiązania jest dostępność aktualnej wartości Q oraz ET przy każdym odczycie, nawet jeśli odczytu dokonuje się kilkakrotnie w czasie trwania cyklu. Odświeżanie jest realizowane jako procedura programowa.

Zagadnieniem technicznym wymagającym rozwiązania jest opracowanie nowego wielokanałowego układu odmierzania czasu opóźnienia wyłączenia poszczególnych elementów sterownika PLC zgodnego z normą IEC 61131-3.

Cel ten osiągnięto przez zastosowanie układu, w którym czas odmierzany w timerze bazowym jest zapamiętywany w pamięci czasów początkowych poszczególnych kanałów oraz wyznaczane są różnice pomiędzy tymi czasami na drodze sprzętowej, bez wywoływania procedur programowych dla odświeżenia stanu timera. Zapamiętywanie czasów początkowych odbywa się także na drodze sprzętowej, bez konieczności stosowania wykrywacza zbocza dla sygnału wejściowego timera, a także innych wykrywaczy zboczy.

Wielokanałowy układ odmierzania czasu opóźnienia wyłączenia według wynalazku charakteryzuje się tym, że sygnał zegarowy dołączony jest do dzielnika częstotliwości, którego wyjście jest dołączone do wejścia timera bazowego, którego wyjście jest dołączone do wejścia pamięci czasów początkowych oraz do wejścia modułu odejmującego, przy czym sygnał z pamięci czasów początkowych jest dołączony do wejścia modułu odejmującego, którego sygnał wyjściowy jest dołączony do wejścia modułu wyjściowego oraz do wejścia modułu komparatora, a wejścia czasu zadanego są dołączone do pamięci czasów zadanych, której wyjście jest doprowadzone do wejścia modułu komparatora, sygnał z wyjścia modułu komparatora jest doprowadzony do wejścia modułu wyjściowego oraz do bramki negacji, wyjście modułu wyjściowego jest dołączone do wyjścia układu, sygnał zegarowy dołączony jest

do timera bazowego, pamięci czasów początkowych, pamięci stanów wejściowych oraz, pamięci czasów zadanych, a adres jest prowadzony wielodrogowo i jest dołączony do wejść pamięci stanów wejściowych bloku pamięci synchronicznej, pamięci czasów początkowych oraz pamięci czasów zadanych, natomiast sygnały wejściowe wyzwalania są doprowadzone do bloku pamięci synchronicznej stanów wejściowych, którego wyjście jest dołączone do wejścia bramki, wejścia pamięci czasów początkowych oraz do wejścia modułu wyjściowego, natomiast wyjście bramki dołączone jest do wyjścia układu.

Przedmiot wynalazku przedstawiono w przykładzie wykonania na rysunku, na którym Fig. 1 przedstawia sposób działania wielokanałowego układu odmierzania czasu w postaci diagramu czasowego, a Fig. 2 przedstawia schemat blokowy wielokanałowego układu odmierzania czasu opóźnienia wyłączenia.

Przykład 1

Timery opóźnienia wyłączenia TOF rozpoczynają odmierzanie czasu od momentu wykrycia zbocza opadającego na wejściu do uzyskania zadanej wartości czasu, po czym ustawiają wyjście w stan nieaktywny. Sposób działania przedstawiono na Fig. 1 w postaci diagramu czasowego. Stan niski na wejściu (IN) rozpoczyna odmierzanie czasu w timerze (CV). Po odmierzaniu czasu zadanego (PT) na wyjściu (Q) ustawiany jest stan nieaktywny. Każdorazowe przejście wejścia (IN) w stan wysoki powoduje przejście wyjścia (Q) w stan wysoki oraz wyzerowanie stanu licznika (CV).

Przykład 2

Schemat blokowy1 wielokanałowego układu odmierzania czasu opóźnienia wyłączenia.

Wielokanałowy układ odmierzania czasu opóźnienia wyłączenia TOF jako blok funkcyjny timerów dla sterowników przemysłowych PLC zgodnych z normą IEC 61131-3 zbudowany z dzielnika częstotliwości, timera bazowego, pamięci kanałów i stanów wejściowych oraz modułów wyjściowych charakteryzuje się tym, że sygnał zegarowy (CLK) dołączony jest do dzielnika częstotliwości, którego wyjście (CEO) jest dołączone do wejścia (CE) timera bazowego, którego wyjście (TBET) jest dołączone do wejścia (TBET) pamięci czasów początkowych oraz do wejścia (TBET) modułu odejmującego, przy czym sygnał (TMET) pamięci czasów początkowych jest dołączony do wejścia (TMET) modułu odejmującego, którego sygnał wyjściowy (ET') jest dołączony do wejścia (ET') modułu wyjściowego ET oraz do wejścia (ET') modułu komparatora, a sygnał (PT) i sygnał (PTE) jest dołączony do pamięci czasów zadanych, którego wyjście sygnału (PT') jest doprowadzone do wejścia (PT') modułu komparatora, sygnał z wyjścia (KOMP) modułu komparatora jest doprowadzony do wejścia (KOMP) modułu wyjściowego ET oraz poprzez negację do wejścia bramki OR, której wyjście jest dołączone do wyjścia (Q) układu, natomiast wyjście (ET) modułu wyjściowego ET jest dołączone do wyjścia (ET) układu, sygnał zegarowy (CLK) dołączony jest do timera bazowego, pamięci czasów początkowych, pamięci stanów wejściowych oraz pamięci czasów zadanych, a adres (ADDR) jest prowadzony wielodrogowo i jest dołączony do wejść (ADDR) pamięci stanów wejściowych bloku pamięci synchronicznej, pamięci czasów początkowych oraz pamięci czasów zadanych, natomiast sygnały wejściowe (IN) oraz sygnały (INE) są doprowadzone do bloku pamięci synchronicznej, którego wyjście (INO) pamięci stanów wejściowych jest dołączone do wejścia bramki OR oraz do wejścia (TME) pamięci czasów początkowych oraz do wejścia (TME) modułu wyjściowego ET.

Sygnał zegarowy (CLK) doprowadzony jest do wszystkich bloków sekwencyjnych, dzięki temu cały układ jest synchroniczny i pracuje w jednej domenie zegarowej.

Czas odmierza timer bazowy (2) taktowany z częstotliwością t_{CLK} , przy czym zbocza zegarowe są okresowo odblokowywane za pomocą sygnału (CEO) z dzielnika częstotliwości (1). Sygnał (CEO) ma wypełnienie $1/t_{CLK}$ i okres wyznaczający rozdzielczość układu.

Sygnał wejściowy (IN) jest doprowadzony do bloku pamięci stanów wejściowych (8) i zatrzaśnięty w momencie wystąpienia aktywnego zbocza sygnału zegarowego, gdy sygnał (INE) jest aktywny. Stan sygnału wejściowego (IN) jest pamiętany w pamięci pod adresem (ADDR). Pamięć stanów wejściowych (8) ma organizację $k \times 1$ -bit, gdzie k – oznacza liczbę kanałów układu.

Zatrzaśnięty pod adresem (ADDR) stan wejściowy (IN) pojawia się na wyjściu (INO) pamięci stanów wejściowych (8), które to jest dołączone do wejścia (TME) pamięci czasów początkowych (9) poszczególnych kanałów. Zmiana stanu sygnału (INO) z wysokiego na niski powoduje zatrzaśnięcie pod adresem (ADDR) stanu (TBET) timera bazowego (2). Sygnał (TBET) jest dołączony do wejścia danych pamięci czasów początkowych (9). Tym samym w pamięci czasów początkowych (9), pod adresem (ADDR) zostaje zatrzaśnięta początkowa wartość czasu timera TOF dla kanału wskazanego przez adres (ADDR). Pamięć czasów początkowych (9) ma organizację $k \times n$ -bit, gdzie k – oznacza liczbę kanałów układu, n – oznacza liczbę bitów timera bazowego (2).

Wartość czasów (PT) dla poszczególnych kanałów timera jest zatrzymywana pod określonym adresem (ADDR) w pamięci czasów zadanych (10) w momencie, kiedy aktywne jest zbocze sygnału zegarowego (CLK) i odblokowany jest wpis za pomocą sygnału (PTE). Pamięć czasów zadanych (10) ma organizację $k \times m$ -bit, gdzie: k – oznacza liczbę kanałów układu, m – oznacza liczbę bitów dla czasów zadanych. Liczba bitów czasów zadanych m jest mniejsza lub równa liczbie bitów timera bazowego (2) n .

Wartość odmierzonego czasu, jest wyznaczana jako różnica pomiędzy wartością czasu timera bazowego (TBET), a czasem zapisanym w pamięci kanałów (TMET) pod adresem (ADDR). Od wartości (TBET) odejmowana jest wartość (TMET) w module odejmującym (3), w efekcie wyznaczana jest wartość (ET') mierzonego czasu dla aktywnego kanału timera, przy czym wartość (ET') jest obcinana do liczby bitów równych liczbie bitów czasów zadanych m . Wartość czasu (ET') jest porównywana w module komparatora (6) z wartością zadaną (PT'). Jeżeli (ET') jest większe lub równe (PT'), to wyjście (KOMP) komparatora jest ustawiane. Wyjście (Q) modułu wyjściowego Q (7) timera wg patentu jest w stanie aktywnym do momentu, gdy stan wejścia (INO) jest w stanie aktywnym lub wyjście (KOMP) komparatora nie jest aktywne.

Zgodnie z normą: International Electrotechnical Commission. EN 01131-3:2013, Programmable Controller—Part 3: Programming Languages; Technical report; European Committee for Electrotechnical Standardization: Brussels, Belgium 2013, stan wyjścia (ET) kanału timera może być wartością z zakresu od zera do wartości (PT) i zależy od stanu wejścia oraz stanu timera. Moduł wyjściowy ET (4) wytwarza stan wyjścia (ET) w oparciu o sygnał (INO) dołączony do wejścia (TME), wartości (ET') oraz sygnał (KOMP) w następujący sposób: Jeżeli (KOMP) jest aktywne lub wejście (INO) jest aktywne, to na wyjściu (ET) ustawiane jest zero. W przeciwnym wypadku, na wyjściu (ET) ustawiany jest stan (ET').

Zaletą rozwiązania według wynalazku jest odmierzanie czasu realizowane całkowicie sprzętowo, łącznie z wytworzeniem stanu timera ET i wyjścia Q dla danego kanału, wskazanego podanym adresem. Jednostka centralna sterownika PLC nie uczestniczy w procesie odmierzania czasu, ani w wyznaczaniu stanów wyjść. Ponadto, układ według wynalazku nie wymaga zastosowania wykrywaczy zboczy, typowo używanych w innych rozwiązaniach, a angażujących dodatkowe zasoby sprzętowe lub programowe.

Zastrzeżenie patentowe

1. Wielokanałowy układ odmierzania czasu opóźnienia wyłączenia TOF jako blok funkcyjny timerów dla sterowników przemysłowych PLC zgodnych z normą IEC 61131-3 zbudowany z dzielnika częstotliwości, timera bazowego, pamięci kanałów i stanów wejściowych oraz modułów wyjściowych, **znamienny tym**, że sygnał zegarowy (CLK) dołączony jest do dzielnika częstotliwości (1), którego wyjście (CEO) jest dołączone do wejścia (CE) timera bazowego (2), którego wyjście (TBET) jest dołączone do wejścia (TBET) pamięci czasów początkowych (9) oraz do wejścia (TBET) modułu odejmującego (3), przy czym sygnał (TMET) pamięci czasów początkowych (9) jest dołączony do wejścia (TMET) modułu odejmującego (3), którego sygnał wyjściowy (ET') jest dołączony do wejścia (ET') modułu wyjściowego ET (4) oraz do wejścia (ET') modułu komparatora (6), a sygnał (PT) i sygnał (PTE) jest dołączony do pamięci czasów zadanych (10), którego wyjście sygnału (PT') jest doprowadzone do wejścia (PT') modułu komparatora (6), sygnał z wyjścia (KOMP) modułu komparatora (6) jest doprowadzony do wejścia (KOMP) modułu wyjściowego (ET) (4) oraz do bramki negacji (5), wyjście (ET) modułu wyjściowego ET (4) jest dołączone do wyjścia (ET) układu, sygnał zegarowy (CLK) dołączony jest do timera bazowego (2), pamięci czasów początkowych (9), pamięci stanów wejściowych (8) oraz pamięci czasów zadanych (10), a adres (ADDR) jest prowadzony wielodrogowo i jest dołączony do wejść (ADDR) pamięci stanów wejściowych bloku pamięci synchronicznej (8), pamięci czasów początkowych (9) oraz pamięci czasów zadanych (10), natomiast sygnał wejściowy (IN) oraz sygnał (INE) są doprowadzone do bloku pamięci synchronicznej (8), którego wyjście (INO) pamięci stanów wejściowych jest dołączone do wejścia bramki OR (7), wejścia (TME) pamięci czasów początkowych (9) oraz do wejścia (TME) modułu wyjściowego ET (4), natomiast wyjście bramki OR (7) dołączone jest do wyjścia (Q) układu.

Rysunki

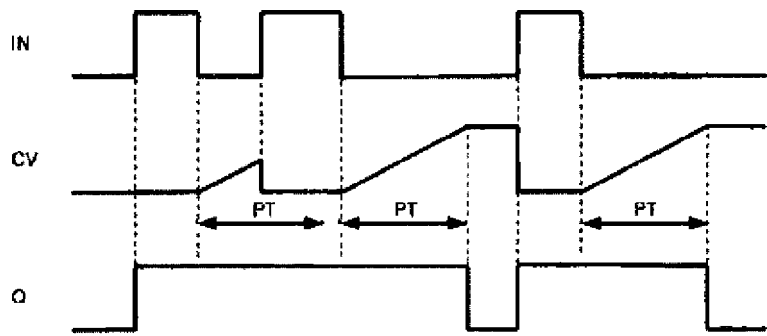


Fig.1

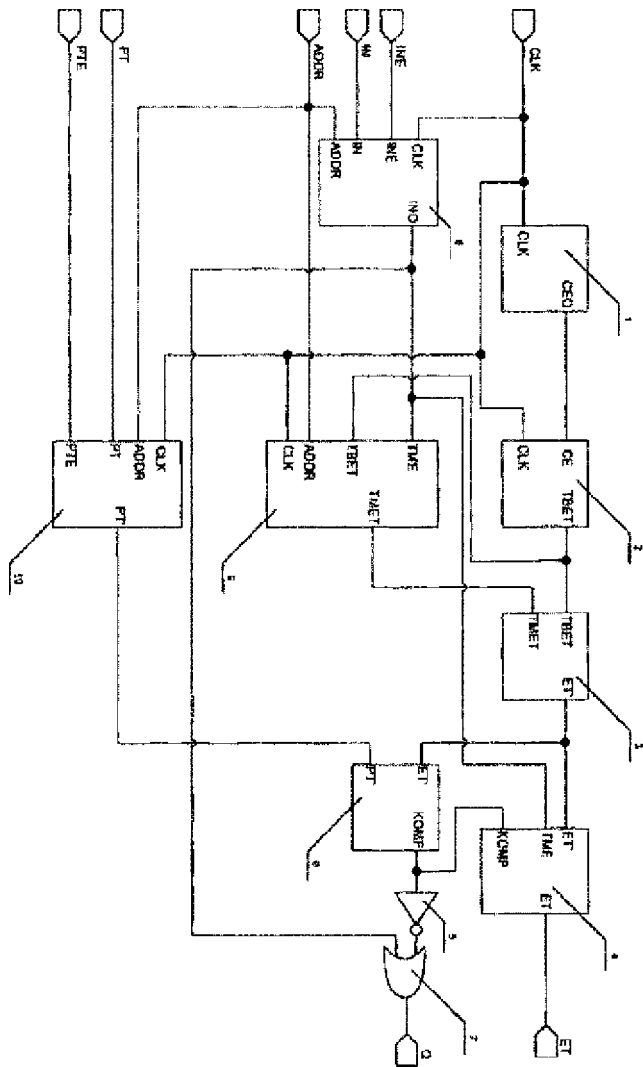


Fig.2