

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-294384

(P2008-294384A)

(43) 公開日 平成20年12月4日(2008.12.4)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/60 (2006.01)	H O 1 L 21/60 3 2 1 E	5 F O 4 7
H O 1 L 29/739 (2006.01)	H O 1 L 29/78 6 5 5 F	
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 Q	
H O 1 L 23/48 (2006.01)	H O 1 L 29/78 6 5 3 A	
H O 1 L 21/52 (2006.01)	H O 1 L 23/48 P	
審査請求 未請求 請求項の数 19 O L (全 30 頁) 最終頁に続く		

(21) 出願番号	特願2007-162684 (P2007-162684)	(71) 出願人	503121103
(22) 出願日	平成19年6月20日 (2007. 6. 20)		株式会社ルネサステクノロジ
(31) 優先権主張番号	特願2007-118833 (P2007-118833)		東京都千代田区大手町二丁目6番2号
(32) 優先日	平成19年4月27日 (2007. 4. 27)	(74) 代理人	100080001
(33) 優先権主張国	日本国 (JP)		弁理士 筒井 大和
		(72) 発明者	武藤 邦治
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		(72) 発明者	波多 俊幸
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		(72) 発明者	佐藤 仁久
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		最終頁に続く	

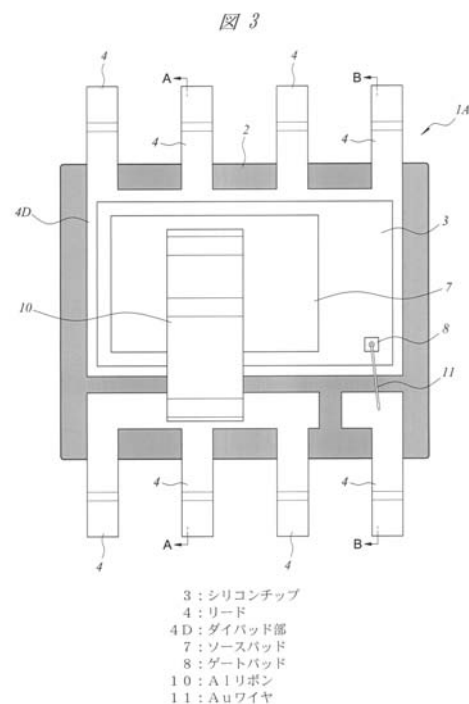
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】パワーMOSFETなどが封止された小型面実装パッケージの低オン抵抗化を実現する。

【解決手段】シリコンチップ3は、ドレインリードを構成するリード4と一体に形成されたダイパッド部4Dの上に搭載されており、その主面にはソースパッド7とゲートパッド8が形成されている。シリコンチップ3の裏面は、パワーMOSFETのドレインを構成しており、A gペーストを介してダイパッド部4Dの上面に接合されている。ソースリードを構成するリード4とソースパッド7は、A lリボン10によって電氣的に接続されており、ゲートリードを構成するリード4とゲートパッド8は、A uワイヤ11によって電氣的に接続されている。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

リードフレームのダイパッド部上に搭載された半導体チップが樹脂パッケージによって封止され、前記樹脂パッケージの外部に前記リードフレームのアウトーリード部が露出した半導体装置であって、

前記リードフレームは、ゲートリード、ソースリード、ドレインリード、および前記ドレインリードと一体に形成されたダイパッド部からなり、

前記半導体チップの主面には、パワー MOS FET のゲート電極に接続されたゲートパッドと、前記パワー MOS FET のソースに接続され、かつ前記ゲートパッドよりも面積の大きいソースパッドとが形成され、

前記パワー MOS FET のドレインを構成する前記半導体チップの裏面は、A g ペーストによって前記ダイパッド部上に接合され、

前記ソースリードと前記ソースパッドは、A l リボンによって接続されていることを特徴とする半導体装置。

【請求項 2】

前記 A g ペーストの弾性率 (P a) は、

$$P a < 2 \cdot 6 \times A g \text{ ペーストの接着厚さ} / A l \text{ リボン超音波ボンディング可能変位} \times A g \text{ ペーストの剪断強度}$$

なる関係を満たすことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記 A g ペーストの弾性率は $0.2 \sim 5.3 \text{ GPa}$ の範囲であり、剪断強度は 8.5 MPa 以上であることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記ソースリードと前記ソースパッドは、複数本の A l リボンによって接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記ゲートリードと前記ゲートパッドは、A u ワイヤによって接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】

前記ゲートリードと前記ゲートパッドは、A l リボンによって接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】

前記ソースパッドを構成する導電膜の膜厚は、 $3 \mu\text{m}$ 以上であることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】

複数本の前記ソースリードのアウトーリード部が一体に接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 9】

複数本の前記ドレインリードの一部と前記ダイパッド部は、A l リボンによって接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 10】

前記リードフレームの表面には、P d を主成分とするメッキ層が形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 11】

リードフレームのダイパッド部上に搭載された半導体チップが樹脂パッケージによって封止され、前記樹脂パッケージの外部に前記リードフレームのアウトーリード部が露出した半導体装置であって、

前記リードフレームは、ゲートリード、エミッタリード、コレクタリード、および前記コレクタリードと一体に形成されたダイパッド部からなり、

前記半導体チップの主面には、I G B T のゲート電極に接続されたゲートパッドと、前

10

20

30

40

50

記 I G B T のエミッタに接続され、かつ前記ゲートパッドよりも面積の大きいエミッタパッドとが形成され、

前記 I G B T のドレインを構成する前記半導体チップの裏面は、A g ペーストによって前記ダイパッド部上に接合され、

前記エミッタリードと前記エミッタパッドは、A l リボンによって接続されていることを特徴とする半導体装置。

【請求項 1 2】

前記エミッタリードと前記エミッタパッドを接続する前記 A l リボンは、前記樹脂パッケージの辺に対して斜め方向に延在していることを特徴とする請求項 1 1 記載の半導体装置。

10

【請求項 1 3】

前記ゲートリードと前記ゲートパッドは、A u ワイヤによって接続されていることを特徴とする請求項 1 1 記載の半導体装置。

【請求項 1 4】

前記エミッタリードと前記エミッタパッドを接続する前記 A l リボンは、前記樹脂パッケージの辺に対して斜め方向に延在し、前記ゲートリードと前記ゲートパッドを接続する前記 A u ワイヤは、前記樹脂パッケージの辺に対して斜め方向に延在していることを特徴とする請求項 1 3 記載の半導体装置。

【請求項 1 5】

前記エミッタリードは、フォース端子とゲート駆動用のセンス端子とで構成され、前記フォース端子を構成するエミッタリードと、前記センス端子を構成するエミッタリードは、互いに分離して形成されていることを特徴とする請求項 1 1 記載の半導体装置。

20

【請求項 1 6】

前記フォース端子を構成するエミッタリードの一部は、前記センス端子を構成するエミッタリードと前記ダイパッド部との間に延在していることを特徴とする請求項 1 5 記載の半導体装置。

【請求項 1 7】

リードフレームのダイパッド部上に搭載された半導体チップが樹脂パッケージによって封止され、前記樹脂パッケージの外部に前記リードフレームのアウトターリード部と前記ダイパッド部の裏面とが露出した半導体装置であって、

30

前記リードフレームは、ゲートリード、ソースリード、ドレインリード、および前記ドレインリードと一体に形成されたダイパッド部からなり、

前記半導体チップの主面には、パワー M O S F E T のゲート電極に接続されたゲートパッドと、前記パワー M O S F E T のソースに接続され、かつ前記ゲートパッドよりも面積の大きいソースパッドとが形成され、

前記パワー M O S F E T のドレインを構成する前記半導体チップの裏面は、A g ペーストによって前記ダイパッド部上に接合され、

前記ソースリードと前記ソースパッドは、A l リボンによって接続され、

前記ゲートリードと前記ゲートパッドは、A u ワイヤによって接続され、

前記ダイパッド部の周縁部には、前記ダイパッド部と一体に構成された突起部が設けられ、

40

前記突起部には、段差または屈曲部が設けられていることを特徴とする半導体装置。

【請求項 1 8】

前記ダイパッド部の周縁部には、前記段差または屈曲部に代えて、もしくは前記段差または屈曲部と共にハーフエッチング部が設けられていることを特徴とする請求項 1 7 記載の半導体装置。

【請求項 1 9】

前記樹脂パッケージの内部に封止された前記ソースリードの幅は、前記樹脂パッケージの外部に露出した部分の幅よりも広いことを特徴とする請求項 1 または 1 7 記載の半導体装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、小型面実装パッケージを有する半導体装置に適用することができる。

【背景技術】

【0002】

携帯情報機器の電力制御スイッチや充放電保護回路スイッチなどに使用されるパワー MOSFET (Metal Oxide Semiconductor Field Effect Transistor) は、SOP8などの小型面実装パッケージに封止されている。この種のパワー MOSFET については、例えば特許文献1 (特開2000-164869号公報) や特許文献2 (特開2000-299464号公報) に記載がある。

10

【0003】

特許文献1は、 n^+ 型シリコン基板の上層をなすp型エピタキシャル層を含む構造体内に形成されたトレンチ (溝) ゲート型パワー MOSFET (Metal Oxide Semiconductor Field Effect Transistor) において、n型ドレイン領域を n^+ 型シリコン基板とトレンチの底部との間に延在するように形成し、n型ドレイン領域とp型エピタキシャル層との接合部を n^+ 型シリコン基板とトレンチの隔壁との間に延在するように形成することによって、パンチスルーブレークダウンが生じる危険性を低減する技術を開示している。

【0004】

20

また、特許文献2は、第1導電型の半導体基体上に第1導電型のエピタキシャル層と第2導電型のウエル層とを設け、これらエピタキシャル層およびウエル層からなる上側層内に絶縁層で分離された深いトレンチゲートを設け、トレンチゲートの下にドレイン領域を設け、トレンチゲートに隣接してソース領域を設け、ウエル層上部にウエル層よりも高濃度の不純物をドーブした本体領域を設けることによって、ドレイン領域のオン抵抗を小さくする技術を開示している。

【特許文献1】特開2000-164869号公報

【特許文献2】特開2000-299464号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0005】

本発明者は、上記のようなパワー MOSFET を封止する SOP8 について検討した。本発明者が検討した SOP8 は、パワー MOSFET が形成されたシリコンチップをモールド樹脂で封止したパッケージ構造を有している。

【0006】

シリコンチップは、ドレインリードと一体に形成されたダイパッド部の上に、その主面を上に向けた状態で搭載されている。シリコンチップの裏面は、パワー MOSFET のドレインを構成しており、Agペーストを介してダイパッド部の上面に接合されている。

【0007】

シリコンチップの主面には、ソースパッドとゲートパッドが形成されている。ソースパッドとゲートパッドは、シリコンチップの最上層に形成された Al 膜を主体とする導電膜によって構成されている。ソースパッドは、パワー MOSFET のオン抵抗を低減するために、ゲートパッドよりも広い面積で構成されている。同様の理由から、シリコンチップの裏面は、その全面がパワー MOSFET のドレインを構成している。

40

【0008】

モールド樹脂の外部には、SOP8の外部接続端子を構成するソースリード、ドレインリードおよびゲートリードが露出している。ソースリードとソースパッド、およびゲートリードとゲートパッドは、それぞれ Auワイヤによって電氣的に接続されている。ゲートパッドは、その面積が小さいので、ゲートパッドとゲートリードは、1本の Auワイヤによって接続されている。一方、ソースパッドは、ゲートパッドよりも面積が大きいので、

50

ソースパッドとソースリードは、複数本のAuワイヤによって電氣的に接続されている。

【0009】

しかしながら、上記のような構造のSOP8は、ソースパッドとAuワイヤ、およびソースリードとAuワイヤの接触抵抗を十分に下げることが困難である。これは、ソースパッドやソースリードとAuワイヤとの接触面積が小さいため、Auワイヤの本数を増やしても十分な接触面積を確保することが困難なためである。また、ソースパッドの面積を大きくして多数本のAuワイヤを接続しようとする、シリコンチップのサイズも大きくなるために、SOP8の実装面積も大きくなってしまふ。

【0010】

本発明の目的は、オン抵抗の小さい面実装パッケージを実現する技術を提供することにある。

10

【0011】

本発明の他の目的は、面実装パッケージの小型化を実現する技術を提供することにある。

【0012】

本発明の他の目的は、面実装パッケージの製造歩留まりおよび信頼性を向上させ、実現する技術を提供することにある。

【0013】

本発明の他の目的は、面実装パッケージの製造コストを低減し、実現する技術を提供することにある。

20

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0015】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

本発明の半導体装置は、リードフレームのダイパッド部上に搭載された半導体チップが樹脂パッケージによって封止され、前記樹脂パッケージの外部に前記リードフレームのアウトーリード部が露出した半導体装置であって、

30

前記リードフレームは、ゲートリード、ソースリード、ドレインリード、および前記ドレインリードと一体に形成されたダイパッド部からなり、

前記半導体チップの主面には、パワーMOSFETのゲート電極に接続されたゲートパッドと、前記パワーMOSFETのソースに接続され、かつ前記ゲートパッドよりも面積の大きいソースパッドとが形成され、

前記パワーMOSFETのドレインを構成する前記半導体チップの裏面は、Agペーストによって前記ダイパッド部上に接合され、

前記ソースリードと前記ソースパッドは、Alリボンによって接続されているものである。

40

【0017】

本発明において、Alリボンとは、Alを主成分とする導電材料で構成された帯状の結線材料を意味している。通常、Alリボンは、スプールに巻かれた状態でボンディング装置に設置される。Alリボンをリードやパッドに接続する方式として、超音波接合やレーザ接合がある。Alリボンは、極めて薄いため、リードやパッドに接続する際は、長さやループ形状を任意に設定することができる。

【0018】

また、Alリボンに類似した結線材料として、クリップと呼ばれるものがある。これは、Cu合金やAlなどからなる薄い金属板をあらかじめ所定のループ形状、所定の長さに成形したもので、これをリードやパッドに接続する際には、その一端をリード上に、他端

50

をパッド上に置き、クリップとリードおよびクリップとパッドを同時に接続する。接続方式としては、半田接合、A g ペースト接合、超音波接合などがある。

【0019】

本発明において、リボンというときは上記クリップを含んだ結線材料を意味するが、あらかじめ長さやループ形状が決められたクリップよりも、リードやパッドの面積、あるいはリードとパッドの距離に応じて、長さやループ形状を任意に設定することができるリボンの方がより好ましい。

【発明の効果】

【0020】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0021】

オン抵抗の小さい面実装型半導体装置を実現することができる。

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態を説明する図面においては、構成をわかりやすくするために平面図であってもハッチングを付す場合がある。

【0023】

(実施の形態1)

図1～図5は、本実施の形態の半導体装置を示す図であり、図1は外観を示す平面図、図2は外観を示す側面図、図3は内部構造を示す平面図、図4は図3のA-A線に沿った断面図、図5は図3のB-B線に沿った断面図である。

【0024】

本実施の形態の半導体装置1Aは、小型面実装パッケージの一種であるSOP8に適用したものである。エポキシ系樹脂からなるモールド樹脂2の外部には、SOP8の外部接続端子を構成する8本のリード4の OUTER リード部が露出している。図1に示すリード4のうち、1番リードから3番リードまではソースリード、4番リードはゲートリード、5番リードから8番リードまではドレインリードである。

【0025】

モールド樹脂2の内部には、後述するパワーMOSFETが形成されたシリコンチップ3が封止されている。このパワーMOSFETは、例えば携帯情報機器の電力制御スイッチや充放電保護回路スイッチなどに使用される。シリコンチップ3の平面寸法は、例えば長辺×短辺=3.9mm×2.2mmである。

【0026】

シリコンチップ3は、ドレインリードを構成する4本のリード4(5番リード～8番リード)と一体に形成されたダイパッド部4Dの上に、その主面を上に向けた状態で搭載されている。シリコンチップ3の裏面は、パワーMOSFETのドレインを構成しており、A g ペースト5を介してダイパッド部4Dの上面に接合されている。ダイパッド部4Dおよび8本のリード4(1番リード～8番リード)は、CuまたはFe-Ni合金からなり、それらの表面には、Pd膜を主成分とし、その上下にNi膜とAu膜とを積層した3層構造(Ni/Pd/Au)のメッキ層(図示せず)が形成されている。Pd膜を主成分とするメッキ層の効果については、後述する。

【0027】

シリコンチップ3の主面には、ソースパッド(ソース電極)7とゲートパッド8が形成されている。ソースパッド7とゲートパッド8は、シリコンチップ3の最上層に形成されたAl膜を主体とする導電膜によって構成されている。ソースパッド7は、パワーMOSFETのオン抵抗を低減するために、ゲートパッド8よりも広い面積で構成されている。同様の理由から、シリコンチップ3の裏面は、その全面がパワーMOSFETのドレイン

10

20

30

40

50

を構成している。

【0028】

本実施の形態の半導体装置1Aは、ソースリードを構成する3本のリード4(1番リード~3番リード)がモールド樹脂2の内部で連結されており、この連結された部分とソースパッド7とがA1リボン10によって電氣的に接続されている。A1リボン10の厚さは0.1mm程度であり、幅は1mm程度である。パワーMOSFETのオン抵抗を低減するためには、A1リボン10の幅をソースパッド7の幅に近づけることによって、A1リボン10とソースパッド7の接触面積を大きくすることが望ましい。一方、ゲートリードを構成する1本のリード4(4番リード)とゲートパッド8は、1本のAuワイヤ11によって電氣的に接続されている。

10

【0029】

次に、上記シリコンチップ3に形成されたパワーMOSFETについて説明する。図6は、パワーMOSFETの一例であるnチャネル型のトレンチゲート型パワーMOSFETを示すシリコンチップ3の要部断面図である。

【0030】

n⁺型単結晶シリコン基板20の主面には、n⁻型単結晶シリコン層21がエピタキシャル成長法によって形成されている。n⁺型単結晶シリコン基板20およびn⁻型単結晶シリコン層21は、パワーMOSFETのドレインを構成している。

【0031】

n⁻型単結晶シリコン層21の一部には、p型ウエル22が形成されている。また、n⁻型単結晶シリコン層21の表面の一部には、酸化シリコン膜23が形成されており、他の一部には複数の溝24が形成されている。n⁻型単結晶シリコン層21の表面のうち、酸化シリコン膜23で覆われた領域は、素子分離領域を構成し、溝24が形成された領域は、素子形成領域(アクティブ領域)を構成している。図示はしないが、溝24の平面形状は、四角形、六角形、八角形などの多角形または一方向に延在するストライプである。

20

【0032】

溝24の底部および側壁には、パワーMOSFETのゲート酸化膜を構成する酸化シリコン膜25が形成されている。また、溝24の内部には、パワーMOSFETのゲート電極を構成する多結晶シリコン膜26Aが埋め込まれている。一方、酸化シリコン膜23の上部には、上記ゲート電極を構成する多結晶シリコン膜26Aと同一工程で堆積した多結晶シリコン膜からなるゲート引き出し電極26Bが形成されている。ゲート電極(多結晶シリコン膜26A)とゲート引き出し電極26Bは、図示しない領域で電氣的に接続されている。

30

【0033】

素子形成領域のn⁻型単結晶シリコン層21には、溝24よりも浅いp⁻型半導体領域27が形成されている。このp⁻型半導体領域27は、パワーMOSFETのチャネル層を構成している。p⁻型半導体領域27の上部には、p⁻型半導体領域27より不純物濃度の高いp型半導体領域28が形成されており、さらにp型半導体領域28の上部には、n⁺型半導体領域29が形成されている。p型半導体領域28は、パワーMOSFETのパンチスルーストッパー層を構成し、n⁺型半導体領域29は、ソースを構成している。

40

【0034】

上記パワーMOSFETが形成された素子形成領域の上部、およびゲート引き出し電極26Bが形成された素子分離領域の上部には、2層の酸化シリコン膜30、31が形成されている。素子形成領域には、酸化シリコン膜31、30、p型半導体領域28およびn⁺型半導体領域29を貫通してp⁻型半導体領域27に達する接続孔32が形成されている。また、素子分離領域には、酸化シリコン膜31、30を貫通してゲート引き出し電極26Bに達する接続孔33が形成されている。

【0035】

接続孔32、33の内部を含む酸化シリコン膜31の上部には、薄いTiW(チタンタングステン)膜と厚いA1膜との積層膜からなるソースパッド7およびゲート配線34が

50

形成されている。素子形成領域に形成されたソースパッド7は、接続孔32を通じてパワーMOSFETのソース(n^+ 型半導体領域29)に電氣的に接続されている。この接続孔32の底部には、ソースパッド7と p^- 型半導体領域27とをオーミック接触させるための p^+ 型半導体領域35が形成されている。また、素子分離領域に形成されたゲート配線34は、接続孔33の下部のゲート引き出し電極26Bを介してパワーMOSFETのゲート電極(多結晶シリコン膜26A)に接続されている。

【0036】

ソースパッド7にはAlリボン10の一端がウェッジボンディング法によって電氣的に接続されている。ソースパッド7は、Alリボン10をボンディングする際にパワーMOSFETが受ける衝撃を緩和するため、酸化シリコン膜32、33の上部における厚さを3 μ m以上とすることが望ましい。

10

【0037】

図7は、シリコンチップ3に形成されたソースパッド7、ゲートパッド8およびゲート配線34を含む最上層の導電膜と下層のゲート電極(多結晶シリコン膜26A)とを示す平面図である。ゲート配線34は、ゲートパッド8に電氣的に接続されており、ソースパッド7は、Al配線36に電氣的に接続されている。また、シリコンチップ3の外周部には、Al配線37、38が形成されている。ゲートパッド8およびAl配線36、37、38は、ソースパッド7およびゲート配線34と同層の導電膜(TiW膜とAl膜との積層膜)で構成されている。実際のシリコンチップ3は、ゲート配線34およびAl配線36、37、38が図示しない表面保護膜によって覆われているので、シリコンチップ3の表面には、上記した最上層の導電膜のうち、ソースパッド7とゲートパッド8のみが露出している。なお、図7に示す例では、ゲート電極(多結晶シリコン膜26A)が形成される溝24の平面形状を四角形としたので、ゲート電極(多結晶シリコン膜26A)の平面形状も四角形となっている。

20

【0038】

図8は、本実施の形態の半導体装置1Aの製造工程の一例を示すフロー図である。半導体装置1Aを製造するには、まず、周知の製造方法に従ってシリコンウエハにパワーMOSFETを形成した後、このシリコンウエハをダイシングしてシリコンチップ3を得る。次に、リード4およびダイパッド部4Dが形成されたリードフレームを用意し、Agペースト5を使ってダイパッド部4D上にシリコンチップ3を搭載(ダイボンディング)する。

30

【0039】

次に、シリコンチップ3のソースパッド7とソースリードを構成するリード4(1番リードから3番リードまでが一体となった部分)との間に超音波を利用した周知のウェッジボンディング法によってAlリボン10をボンディングする。続いて、シリコンチップ3のゲートパッド8とゲートリードを構成するリード4(4番リード)との間に熱と超音波を利用した周知のボールボンディング法によってAuワイヤ11をボンディングする。なお、Alリボン10のボンディングとAuワイヤ11のボンディングは、いずれを先に行ってもよい。

【0040】

40

次に、モールド金型を用いてシリコンチップ3(およびダイパッド部4D、Alリボン10、Auワイヤ11、リード4のインナーリード部)をモールド樹脂2で封止した後、モールド樹脂2の表面に製品名や製造番号などをマーキングする。続いて、モールド樹脂2の外部に露出したリード4の不要部分を切断・除去した後、リード4をガルウイング状に成形し、最後に、製品の良・不良を判別する選別工程を経て半導体装置1Aが完成する。

【0041】

このように、本実施の形態では、ゲートパッド8よりも広い面積を有するソースパッド7とソースリード(リード4)とを電氣的に接続する導電材料として、Auワイヤ11よりも広い面積を有するAlリボン10を使用する。そのため、ソースパッド7の表面にA

50

1 リボン 10 をウェッジボンディングする際には、図 9 に示すように、シリコンチップ 3 の表面だけでなく、シリコンチップ 3 とダイパッド部 4 D との間に介在する A g ペースト 5 にもボンディングツール 12 の大きな振動エネルギーが加わる。従って、ボンディングツールの大きな振動エネルギーによって A g ペースト 5 にクラックが発生するのを防ぐ対策として、最適な弾性率 (P a) を持った A g ペースト 5 を選択的に使用することが望ましい。

【 0 0 4 2 】

本実施の形態では、A g ペースト 5 の弾性率 (P a) を、以下の式 (1) で定義する。
弾性率 (P a) = $2.6 \times \text{接着厚さ}(\mu\text{m}) / \text{破断変位}(\mu\text{m}) \times \text{剪断強度}(P a)$ (1)

式 (1) において、接着厚さは A g ペーストの厚さ (μm)、剪断強度 (P a) は剪断方向の力 / 断面積 (接着面積) である。また、破断変位は、図 10 に示す計算式から導出される値 (μm) である。ここで、破断変位 > A 1 リボン超音波ボンディング可能変位 (= A 1 リボンの超音波ボンディング時にボンディングツールを振動させることによって、A g ペーストが変形する量) となるので、本実施の形態の A g ペースト 5 に要求される弾性率 (P a) の選択指針式は、{ 弾性率 (P a) < $2.6 \times \text{接着厚さ}(\mu\text{m}) / \text{A 1 リボン超音波ボンディング可能変位}(\mu\text{m}) \times \text{剪断強度}(P a)$ } となる。

【 0 0 4 3 】

次に、上記した選択指針式の有効性を確認するために行ったクラック耐性実験について説明する。この実験で使用した市販の 4 種類の A g ペースト ((1) ~ (4)) の弾性率、剪断強度、接着厚さを表 1 に示す。A 1 リボンの超音波ボンディング時における A g ペーストの変位量は、A g ペースト (1)、(3)、(4) がそれぞれ 0.1218 mm であり、A g ペースト (2) が 0.07 mm である。

【 0 0 4 4 】

【 表 1 】

表 1

	弾 性 率	剪 断 強 度	接 着 厚 さ
A g ペースト(1)	5.30 GPa	15.5 MPa	15.4 μm
A g ペースト(2)	5.34 GPa	8.6 MPa	13.2 μm
A g ペースト(3)	2.42 GPa	14.2 MPa	24.4 μm
A g ペースト(4)	0.611 GPa	3.8 MPa	16.6 μm

【 0 0 4 5 】

図 11 は、4 種類の A g ペースト ((1) ~ (4)) の選択指針式と実験結果を示すグラフである。各グラフの実線は、式 (1) から算出される各 A g ペースト ((1) ~ (4)) の弾性率を示しており、実線よりも下側の領域は、選択指針式を満たす領域、すなわちボンディング可能領域を表している。また、各グラフの黒点は、各 A g ペースト ((1) ~ (4)) の実際の弾性率を示している。

【 0 0 4 6 】

実験結果によれば、実際の弾性率が選択指針式を満たしていた A g ペースト ((3) および (4)) ではクラックが発生しなかったが、選択指針式を満たしていない A g ペースト ((1) および (2)) ではクラックが発生した。この実験結果から、ダイパッド部 4 D 上にシリコンチップ 3 を接合する際、上記選択指針式を満たす A g ペースト 5 を選択することによって、ボンディングツールの振動エネルギーによる A g ペースト 5 のクラック

を有効に回避できることが確認された。

【 0 0 4 7 】

図 1 2 は、A g ペーストの厚さを 1 0 μ m に設定し、標準的な超音波ボンディング出力 (4 W) で A l リボンをボンディングした場合における A g ペーストの弾性率の剪断強度依存性を測定した結果を示すグラフである。グラフ中の白丸はクラックが発生しなかった例であり、黒丸はクラックが発生した例である。

【 0 0 4 8 】

この測定結果から、A g ペーストの弾性率は 0 . 2 ~ 5 . 3 G P a の範囲が望ましく、剪断強度 (M P a) は 8 . 5 M P a 以上が望ましいと判断される。弾性率が 0 . 2 G P a 未満では、A g の含有量が少なすぎて所望の電気伝導率が得られない。他方、5 . 3 G P a よりも大きい場合は、A g ペーストの硬度が高すぎて変形できないため、超音波ボンディング時の振動に追従できなくなってクラックが発生する。また、A g ペーストの剪断強度が 8 . 5 M P a 未満の場合は、超音波ボンディング時に生じる衝撃に耐えられなくなる。

10

【 0 0 4 9 】

次に、リードフレーム (ダイパッド部 4 D およびリード 4) の表面に P d 膜を主成分とするメッキ層を形成した効果について説明する。表 2 は、C u からなるリードフレームの表面に 3 種類 (A g 、 N i 、 P d) のメッキ単層を形成した場合と、メッキ層を形成しない場合 (C u ベア) とにおいて、ソースリードと A l リボン、ゲートリードと A u ワイヤ、ダイパッド部と A g ペーストのそれぞれの接着性を示したものである (○ 印は良好な接着性を示し、× 印は接着不良を示す) 。

20

【 0 0 5 0 】

【 表 2 】

表 2

ソース : A l リボン、ゲート : A u 線、ダイパッド材 : A g ペースト

	メッキ材質			
	A g	N i	P d	C u ベア
ソースポスト-Al リボン接続	×	○	○	○
ゲートポスト-Au 線接続	○	×	○	×
ダイパッド-Ag ペースト接続	○	×	○	×

30

【 0 0 5 1 】

表 2 から明らかなように、リードフレームの表面に P d 膜を主成分とするメッキ層を形成した場合は、ソースリードと A l リボン、ゲートリードと A u ワイヤ、ダイパッド部と A g ペーストのすべてが良好な接着性を示すことが分かる。

40

【 0 0 5 2 】

【表 3】

表 3

ソース：A l リボン、ゲート：A l 線、ダイパッド材：A g ペースト

	メッキ材質			
	A g	N i	P d	C u ベア
ソースポスト-A l リボン接続	×	○	○	○
ゲートポスト-A l 線接続	○	○	○	○
ダイパッド-A g ペースト接続	○	×	○	×

10

【 0 0 5 3 】

また、表 3 から明らかなように、リードフレームの表面に P d 膜を主成分とするメッキ層を形成した場合は、ゲートパッドとゲートリードを A l ワイヤで接続する場合でも良好な接着性を示す。このように、リードフレームの表面に P d 膜を主成分とするメッキ層を形成することにより、一種類のメッキ材料ですべての接続に対応することが可能となるので、製造工程を簡略化することができる。

【 0 0 5 4 】

20

このように、本実施の形態によれば、ソースリードを構成するリード 4 とソースパッド 7 を A l リボン 1 0 で接続することにより、リード 4 とソースパッド 7 を A u ワイヤで接続する場合に比べてボンディング面積が大きくなるので半導体装置 1 A の低抵抗化を実現することができる。また、A l リボン 1 0 は A u ワイヤよりも原価が低廉であることから、半導体装置 1 A の製造コストをさらに低減することができる。なお、要求される抵抗値が同一であれば、リード 4 とソースパッド 7 を A u ワイヤで接続する場合に比べて、ソースパッド 7 ひいてはシリコンチップ 3 のサイズを縮小することができるので、この場合も、半導体装置 1 A の製造コストを低減することができる。

【 0 0 5 5 】

30

本実施の形態によれば、A g ペースト 5 の弾性率および剪断強度を最適化することによって、A l リボン 1 0 の超音波ボンディングによる A g ペースト 5 のクラックを防止することができるので、半導体装置 1 A の製造歩留まりおよび信頼性が向上する。

【 0 0 5 6 】

本実施の形態によれば、リードフレーム（ダイパッド部 4 D およびリード 4）の表面に P d 膜を主成分とするメッキ層を形成することにより、半導体装置 1 A の P B フリー化を実現することができる。

【 0 0 5 7 】

（実施の形態 2）

図 1 3 は、本実施の形態の半導体装置（S O P 8）の内部構造を示す平面図である。本実施の形態の半導体装置 1 B の特徴は、ソースリードを構成する 3 本のリード 4（1 番リード～3 番リード）とソースパッド 7 を複数本の A l リボン 1 0 で電氣的に接続したことにある。ソースパッド 7 に接続する A l リボン 1 0 の本数は特に限定されないが、図 1 3 は、2 本の A l リボン 1 0 を接続した例を示している。

40

【 0 0 5 8 】

半導体装置（S O P 8）は、その品種あるいは世代によってシリコンチップ 3 の寸法が異なり、これに伴ってソースパッド 7 の面積も異なってくる。そのため、ソースパッド 7 の面積に応じて、その都度、幅の異なる複数種類の A l リボン 1 0 を用意すると、A l リボン 1 0 の管理が煩雑になる。これに対して、比較的幅の狭い A l リボン 1 0 を 1 種類用意し、ソースパッド 7 の面積に応じて A l リボン 1 0 の接続本数を変えるようにすれば、A l リボン 1 0 の管理が煩雑になることはない。

50

【 0 0 5 9 】

複数本の A 1 リボン 1 0 をソースパッド 7 に接続する際は、図 1 4 に示すように、1 本のボンディングツール 1 2 で複数本の A 1 リボン 1 0 を同時にボンディングすることにより、効率のよいボンディングが可能となる。

【 0 0 6 0 】

このように、ソースリードを構成するリード 4 とソースパッド 7 を複数本の A 1 リボン 1 0 で接続することにより、ボンディング面積がさらに大きくなるので、半導体装置 1 B の低抵抗化を促進することができる。

【 0 0 6 1 】

(実施の形態 3)

10

図 1 5 は、本実施の形態の半導体装置 (S O P 8) 1 C の内部構造を示す平面図である。本実施の形態の半導体装置 1 C の特徴は、シリコンチップ 3 の主面に形成されるゲートパッド 8 の面積を拡大し、ソースパッド 7 とリード 4 のみならず、ゲートパッド 8 とリード 4 (ゲートリード) も A 1 リボン 1 0 で接続したことにある。

【 0 0 6 2 】

本実施の形態によれば、ゲートパッド 8 とリード 4 を A u ワイヤ 1 1 で接続する場合に比べて製造工程を簡略化することができる。

【 0 0 6 3 】

(実施の形態 4)

20

図 1 6 は、本実施の形態の半導体装置 (S O P 8) 1 D の内部構造を示す平面図である。本実施の形態の半導体装置 1 D の特徴は、モールド樹脂 2 の外部に露出しているリード 4 のうち、ソースリードを幅の広い 1 本のリードで構成したことにある。

【 0 0 6 4 】

本実施の形態によれば、ソースリードの幅を広くすることにより、オン抵抗をさらに低減することができる。また、モールド樹脂 2 の外部に露出しているリード 4 の幅を広くすることにより、放熱性が向上するので、熱抵抗の小さい半導体装置 1 D を実現することができる。

【 0 0 6 5 】

(実施の形態 5)

30

図 1 7 は、本実施の形態の半導体装置 (S O P 8) 1 E の内部構造を示す平面図である。本実施の形態の半導体装置 1 E の特徴は、ダイパッド部 4 D とリード 4 (1 番リードおよび 2 番リード) を A 1 リボン 1 0 で接続したことにある。この場合、1 番リード、2 番リードおよび 5 番リードから 8 番リードまではドレインリード、3 番リードがソースリード、4 番リードがゲートリードとなる。

【 0 0 6 6 】

本実施の形態によれば、ダイパッド部 4 D の熱を A 1 リボン 1 0 を通じてリード 4 の一部 (1 番リードおよび 2 番リード) に逃がすことができるので放熱性が向上し、熱抵抗の小さい半導体装置 1 E を実現することができる。

【 0 0 6 7 】

(実施の形態 6)

40

図 1 8 ~ 図 2 1 は、本実施の形態の半導体装置を示す図であり、図 1 8 はパッケージの上面を示す平面図、図 1 9 はパッケージの下面を示す平面図、図 2 0 は内部構造を示す平面図、図 2 1 は図 2 0 の C - C 線に沿った断面図である。

【 0 0 6 8 】

本実施の形態の半導体装置 1 F は、小型面実装パッケージの一種である V S O N 8 に適用したものである。エポキシ系樹脂からなるモールド樹脂 4 0 の底部には、V S O N 8 の外部接続端子を構成する 8 本のリード 4 1 のアウターリード部が露出している。図 1 8 に示す 8 本のリード 4 1 のうち、1 番リードから 3 番リードまではエミッタリード、4 番リードはゲートリード、5 番リードから 8 番リードまではコレクタリードである。

【 0 0 6 9 】

50

前記実施の形態 1 ~ 5 の S O P 8 は、モールド樹脂 2 の外形寸法が長辺 × 短辺 = 4 . 9 mm × 3 . 9 5 mm であるのに対し、V S O N 8 は、モールド樹脂 4 0 の外形寸法が長辺 × 短辺 = 4 . 4 mm × 3 . 0 mm である。このモールド樹脂 4 0 の内部には、後述する絶縁ゲートバイポーラトランジスタ (Insulated Gate Bipolar Transistor: I G B T) が形成されたシリコンチップ 4 2 が封止されている。

【 0 0 7 0 】

図 2 0 に示すように、シリコンチップ 4 2 は、コレクタリードを構成する 4 本のリード 4 1 (5 番リード ~ 8 番リード) と一体に形成されたダイパッド部 4 1 D の上に、その主面を上に向けた状態で搭載されている。シリコンチップ 4 2 の裏面は、I G B T のコレクタを構成しており、A g ペースト 5 を介してダイパッド部 4 1 D の上面に接合されている。ダイパッド部 4 1 D および 8 本のリード 4 1 (1 番リード ~ 8 番リード) は、前記 S O P 8 のダイパッド部 4 D およびリード 4 と同じく、C u または F e - N i 合金からなり、それらの表面には、P d 膜を主成分とし、その上下に N i 膜と A u 膜とを積層した 3 層構造 (N i / P d / A u) のメッキ層 (図示せず) が形成されている。

10

【 0 0 7 1 】

シリコンチップ 4 2 の主面には、エミッタパッド (エミッタ電極) 4 3 とゲートパッド 4 4 が形成されている。エミッタパッド 4 3 とゲートパッド 4 4 は、シリコンチップ 4 2 の最上層に形成された A l 膜を主体とする導電膜によって構成されている。エミッタパッド 4 3 は、I G B T のオン抵抗を低減するために、ゲートパッド 4 4 よりも広い面積で構成されている。同様の理由から、シリコンチップ 4 2 の裏面は、その全面が I G B T のドレイン電極を構成している。

20

【 0 0 7 2 】

図 2 0 に示すように、本実施の形態の半導体装置 1 F は、エミッタリードを構成する 3 本のリード 4 1 (1 番リード ~ 3 番リード) のうち、2 本のリード 4 1 (1 番リードおよび 2 番リード) がモールド樹脂 4 0 の内部で連結されており、この連結された部分とエミッタパッド 4 3 とが A l リボン 4 5 によって電氣的に接続されている。一方、エミッタリードを構成するもう 1 本のリード 4 1 (3 番リード) は、上記 2 本のリード 4 1 (1 番リードおよび 2 番リード) と分離され、1 本の A u ワイヤ 4 6 によってエミッタパッド 4 3 と電氣的に接続されている。また、ゲートリードを構成する 1 本のリード 4 1 (4 番リード) とゲートパッド 4 4 は、1 本の A u ワイヤ 4 6 によって電氣的に接続されている。

30

【 0 0 7 3 】

エミッタリードを構成する上記 3 本のリード 4 1 (1 番リード ~ 3 番リード) のうち、A u ワイヤ 4 6 によってエミッタパッド 4 3 に接続された 3 番リードは、ゲート駆動用のセンス端子を構成し、A l リボン 4 5 によってエミッタパッド 4 3 に接続された 1 番リードおよび 2 番リードは、フォース端子を構成している。

【 0 0 7 4 】

図 2 2 に示すように、I G B T のゲート電極とエミッタリードの間にゲート電圧を印加した際、エミッタリードに接続されたワイヤに電流が流れることによって電圧降下が発生し、この電圧降下の分、シリコンチップ表面とエミッタリードの間に電位差が発生する。そのため、実際にシリコンチップに入力される電圧は、上記電位差に相当する分、低くなる。この影響は、大電流または低電圧駆動になるほど顕著になる。

40

【 0 0 7 5 】

その対策として、本実施の形態では、前述したように、エミッタリードをセンス端子 (3 番リード) とフォース端子 (1 番リードおよび 2 番リード) とに分割し、センス端子 (3 番リード) は A u ワイヤ 4 6 を介してエミッタパッド 4 3 に接続し、フォース端子 (1 番リード、2 番リード) は A l リボン 4 5 を介してエミッタパッド 4 3 に接続する。このようにすると、ゲート電極とエミッタリードの間にゲート電圧を印加した際、センス端子 (3 番リード) よりも低抵抗のフォース端子 (1 番リード、2 番リード) 側に電流が流れ、高抵抗のセンス端子 (3 番リード) 側にはほとんど電流が流れなくなる。その結果、ゲート電極とエミッタリードの間に電位差が生じなくなるので、ゲート電極とエミッタリー

50

ドの間に印加されたゲート電圧は、ほぼ損失なくシリコンチップに入力される。

【0076】

他方、エミッタリードをセンス端子（3番リード）とフォース端子（1番リードおよび2番リード）とに分割した場合は、1番リードと2番リードの連結部の面積が小さくなる。そのため、幅の広いA1リボン45の長辺とシリコンチップ42の長辺（図20の左右方向に沿った辺）とが平行に並ぶようにボンディングすることが困難となる。これは、図20に示すリード41の1、2番リードとエミッタパッド43との位置関係や、エミッタパッド43の面積、特に、図20の上下方向の幅が小さいことによる。

【0077】

この場合、図20に示すA1リボン45よりも幅の狭いA1リボンを使用すれば、A1リボンの長辺とシリコンチップ42の長辺とが平行に並ぶようにボンディングすることが可能となるが、幅の狭いA1リボンを使用したのではリード41との接触面積が小さくなるので両者の接触抵抗が大きくなる。

【0078】

そこで、本実施の形態では、図20に示すように、A1リボン45をシリコンチップ42の辺またはモールド樹脂40の辺に対して斜めにボンディングすることによって、面積の小さいエミッタパッド43の表面に幅の広いA1リボン45をボンディングできるようにしている。さらに、図20に示すように、A1リボン45の一端部がボンディングされる連結部の幅（A）をリード41の一般的な基準幅（B）よりも広くすることにより、A1リボン45を斜めにレイアウトした場合でも、A1リボン45とリード41を安定に接続することができる。

【0079】

また、面積が小さいリード41の連結部に幅の広いA1リボン45をボンディングする場合は、ボンディング装置のクランパとリード41の接触面積も小さくなるので、クランパでリード41を確実に固定することが困難となり、A1リボン45とリード41の接着力が低下する恐れがある。そこで、本実施の形態では、図20に示すように、フォース端子を構成するリード41（1番リードおよび2番リード）の一部を、センス端子を構成するリード41（3番リード）とダイパッド部41Dとの間に延在させることによって、フォース端子を構成するリード41の面積を大きくする。

【0080】

これにより、図23に示すように、ボンディング装置のクランパ47とリード41（1番リードおよび2番リード）の接触面積が大きくなり、リード41をクランパ47で確実に固定することが可能となる。従って、リード41（1番リードおよび2番リード）の表面にA1リボン45をウェッジボンディングする際、ボンディングツールの振動エネルギーがA1リボン45に確実に伝達されるので、A1リボン45とリード41の接着力が向上する。

【0081】

次に、上記シリコンチップ42に形成されたIGBTについて説明する。図24は、IGBTの一例であるnチャネル型のトレンチゲート型MOSFETを示すシリコンチップ42の要部断面図である。

【0082】

p型コレクタ層60の上部には、n型エピタキシャル層が形成されている。n型エピタキシャル層は、n型バッファ層61とその上部のn型ドリフト層62とで構成されている。n型ドリフト層62の上部には、p型ウエル63とp型ベース層64とが形成されており、p型ベース層64の一部には、このp型ベース層64を貫通してn型ドリフト層62に達する複数の溝が形成されている。

【0083】

上記複数の溝の内壁には酸化シリコン膜からなるゲート絶縁膜65が形成されており、ゲート絶縁膜65の内側にはゲート電極66が形成されている。また、p型ウエル63の上部には酸化シリコン膜67を介して、ゲート引き出し電極66Aが形成されている。ゲ

10

20

30

40

50

ート電極 6 6 とゲート引き出し電極 6 6 A は、n 型多結晶シリコン膜からなり、図に示さない領域で互いに接続されている。

【 0 0 8 4 】

上記複数の溝の周囲の p 型ベース層 6 4 の表面には、n 型エミッタ層 6 8 と p 型コンタクト層 6 9 とが形成されている。n 型エミッタ層 6 8、p 型ベース層 6 4 および n 型ドリフト層 6 2 は、を構成している。

【 0 0 8 5 】

n チャネル型 MOSFET の上部には、酸化シリコン膜 7 0 を介してエミッタパッド 4 3 が形成されている。エミッタパッド 4 3 は、酸化シリコン膜 7 0 に形成されたコンタクトホールを通じて p 型コンタクト層 6 9 に接続されている。また、ゲート引き出し電極 6 6 A の上部には、酸化シリコン膜 7 0 を介してゲートパッド 4 4 が形成されている。ゲートパッド 4 4 は、酸化シリコン膜 7 0 に形成されたコンタクトホールを通じてゲート引き出し電極 6 6 A に接続されている。エミッタパッド 4 3 およびゲートパッド 4 4 は、例えば W S i (タングステンシリサイド) 膜と A l (アルミニウム) 合金膜との積層膜で構成されている。

【 0 0 8 6 】

シリコンチップ 4 2 の表面は、エミッタパッド 4 3 およびゲートパッド 4 4 が形成された領域を除いて、パッシベーション膜 7 1 で覆われている。パッシベーション膜 7 1 は、例えば酸化シリコン膜と窒化シリコン膜との積層膜で構成されている。一方、シリコンチップ 4 2 の裏面には、p 型コレクタ層 6 0 に接するコレクタ電極 7 2 が形成されている。

【 0 0 8 7 】

図 2 5 は、本実施の形態の半導体装置 1 F を用いた回路の一例である。図中の符号 7 3 は I G B T ドライブ I C、7 4 は X e (キセノン) 管、7 5 はトリガ変圧器である。

【 0 0 8 8 】

(実施の形態 7)

図 2 6 ~ 図 2 9 は、本実施の形態の半導体装置を示す図であり、図 2 6 はパッケージの内部構造を示す平面図、図 2 7 は図 2 6 の D - D 線に沿った断面図、図 2 8 は図 2 6 の E - E 線に沿った断面図、図 2 9 は図 2 6 の F - F 線に沿った断面図である。

【 0 0 8 9 】

本実施の形態の半導体装置 1 G は、小型面実装パッケージの一種である W P A K に適用したものである。エポキシ系樹脂からなるモールド樹脂 5 0 の外部には、W P A K の外部接続端子を構成する 8 本のリード 5 1 のアウターリード部が露出している。図 2 6 に示すリード 5 1 のうち、1 番リードから 3 番リードまではソースリード、4 番リードはゲートリード、5 番リードから 8 番リードまではドレインリードである。

【 0 0 9 0 】

W P A K は、モールド樹脂 5 0 の外形寸法が長辺 × 短辺 = 5 . 9 m m × 4 . 9 m m である。モールド樹脂 5 0 の内部には、前記実施の形態 1 と同じく、パワー MOSFET が形成されたシリコンチップ 5 2 が封止されている。W P A K の特徴の一つは、パッケージの熱抵抗を低減するために、シリコンチップ 5 2 が搭載されたダイパッド部 5 1 D の裏面をモールド樹脂 5 0 の外部に露出させ、ダイパッド部 5 1 D をヒートシンクとして機能させたことにある。

【 0 0 9 1 】

シリコンチップ 5 2 は、ドレインリードを構成する 4 本のリード 5 1 (5 番リード ~ 8 番リード) と一体に形成されたダイパッド部 5 1 D の上に、その主面を上に向けた状態で搭載されている。シリコンチップ 5 2 の裏面は、パワー MOSFET のドレインを構成しており、A g ペースト 5 を介してダイパッド部 5 1 D の上面に接合されている。ダイパッド部 5 1 D および 8 本のリード 5 1 (1 番リード ~ 8 番リード) は、C u または F e - N i 合金からなり、それらの表面には、P d 膜を主成分とし、その上下に N i 膜と A u 膜とを積層した 3 層構造 (N i / P d / A u) のメッキ層 (図示せず) が形成されている。

【 0 0 9 2 】

10

20

30

40

50

シリコンチップ 5 2 の主面には、ソースパッド（ソース電極）5 3 とゲートパッド 5 4 が形成されている。ソースパッド 5 3 とゲートパッド 5 4 は、シリコンチップ 5 2 の最上層に形成された A 1 膜を主体とする導電膜によって構成されている。ソースパッド 5 3 は、パワー M O S F E T のオン抵抗を低減するために、ゲートパッド 5 4 よりも広い面積で構成されている。同様の理由から、シリコンチップ 5 2 の裏面は、その全面がパワー M O S F E T のドレイン電極を構成している。

【 0 0 9 3 】

本実施の形態の半導体装置 1 G は、前記実施の形態 1 の半導体装置（S O P 8 ）1 A と同じく、ソースリードを構成する 3 本のリード 5 1（1 番リード～3 番リード）がモールド樹脂 5 0 の内部で連結されており、この連結された部分とソースパッド 5 3 とが A 1 リボン 5 5 によって電氣的に接続されている。一方、ゲートリードを構成する 1 本のリード 5 1（4 番リード）とゲートパッド 5 4 は、1 本の A u ワイヤ 5 6 によって電氣的に接続されている。

10

【 0 0 9 4 】

前述したように、W P A K は、シリコンチップ 5 2 が搭載されたダイパッド部 5 1 D の裏面をモールド樹脂 5 0 の外部に露出させた構造になっている。そのため、モールド樹脂 5 0 とダイパッド部 5 1 D（およびリード 5 1）の熱膨張係数差に起因して両者の界面に隙間が生じると、この隙間を通じてモールド樹脂 5 0 の内部に水分などの異物が侵入し、A g ペースト 5 を劣化させるという問題が生じ易い。特に、パワー M O S F E T は、シリコンチップ 5 2 の裏面がドレイン電極を構成しているため、A g ペースト 5 が劣化することによってドレイン抵抗の増加を引き起こす。

20

【 0 0 9 5 】

その対策として、本実施の形態では、図 2 6 に示すように、例えばダイパッド部 5 1 D の一辺（ドレインリードが形成された一辺）に沿って複数の突起部 5 7 を設け、それぞれの突起部 5 7 に、図 2 8 に拡大して示すような段差 5 7 s を形成する。また、他の対策として、ダイパッド部 5 1 D の三辺（突起部 5 7 が形成された一辺を除く三辺）に沿って、図 2 8 に拡大して示すようなハーフエッチング部 5 8 を形成する。上記段差 5 7 s は、例えば突起部 5 7 をプレス加工することによって形成することができる。また、ハーフエッチング部 5 8 は、エッチングマスクを使用した公知のハーフエッチング技術を用いて形成することができる。

30

【 0 0 9 6 】

ダイパッド部 5 1 D の周縁部に上記のような段差 5 7 s やハーフエッチング部 5 8 を形成した場合は、モールド樹脂 5 0 とダイパッド部 5 1 D の熱膨張係数差に起因する両者の界面剥離（界面のずれ）の進行が段差 5 7 s やハーフエッチング部 5 8 によって阻止されるため、界面剥離が生じ難くなるという効果が得られる。

【 0 0 9 7 】

モールド樹脂 5 0 とダイパッド部 5 1 D の界面剥離を防止する対策の他の例を図 3 0 ～図 3 2 に示す。図 3 0 はパッケージの内部構造を示す平面図、図 3 1 は図 3 0 の G - G 線に沿った断面図、図 3 2 は図 3 0 の H - H 線に沿った断面図である。なお、図 3 0 は、シリコンチップ 5 2、A 1 リボン 5 5 および A u ワイヤ 5 6 の図示を省略している。

40

【 0 0 9 8 】

この例では、ダイパッド部 5 1 D の三辺（突起部 5 7 が形成された一辺を除く三辺）に沿って、複数の突起部 5 9 を形成し、それぞれの突起部 5 9 に、図 3 2 に拡大して示すような屈曲部 5 9 b を形成する。屈曲部 5 9 b は、例えば突起部 5 9 を曲げ加工することによって形成することができる。

【 0 0 9 9 】

ダイパッド部 5 1 D の周縁部に上記のような屈曲部 5 9 b を形成した場合は、段差 5 7 s やハーフエッチング部 5 8 を形成した場合と同様、モールド樹脂 5 0 とダイパッド部 5 1 D の熱膨張係数差に起因する両者の界面剥離（界面のずれ）の進行が屈曲部 5 9 b によって阻止されるため、界面剥離が生じ難くなるという効果が得られる。

50

【 0 1 0 0 】

上記した段差 5 7 s、ハーフエッチング部 5 8 および屈曲部 5 9 b は、いずれか一種を単独で形成してもよく、二種以上を組み合わせ形成してもよい。

【 0 1 0 1 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 1 0 2 】

例えば図 3 3 に示すように、前記実施の形態 1 の S O P 8 において、ソースリードを構成する 3 本のリード 4 (1 番リード ~ 3 番リード) の連結部の幅 (A) は、モールド樹脂 2 の外部に露出した部分 (アウターリード) の幅 (B) よりも広くすることが望ましい。これにより、A 1 リボン 1 0 とリード 4 の接触面積を大きくすることができるので、両者の接触抵抗を小さくすることができる。これは、実施の形態 6 の V S O N 8 および実施の形態 7 の W P A K においても同様である。

【 0 1 0 3 】

また、前記実施の形態 4 では、モールド樹脂 2 の外部に露出しているリード 4 のうち、ソースリードを幅の広い 1 本のリードで構成することによってオン抵抗の低減と放熱性の向上を図った (図 1 6 参照) が、例えば図 3 4 に示すように、ソースリードとドレインリードをそれぞれ幅の広い 1 本のリードで構成することによって、上記の効果をさらに高めることができる。

【 0 1 0 4 】

また、前記図 7 に示したように、シリコンチップ 3 の表面には、多数のパワー M O S F E T が形成されている。そこで、例えば図 3 5 に示すように、ソースパッド 7 の表面にはば均等に A 1 リボン 1 0 を配置することによって、A 1 リボン 1 0 とパワー M O S F E T との距離のばらつきを最小化し、A 1 リボン 1 0 とパワー M O S F E T とを接続するソースパッド 7 の抵抗を低減することができる。

【 0 1 0 5 】

また、前記実施の形態では、A g ペーストを使ってダイパッド部上にシリコンチップを搭載したが、A g ペースト以外のペレット付け材料、例えば P b フリー半田などを使ってダイパッド部上にシリコンチップを搭載することもできる。

【 0 1 0 6 】

また、前記実施の形態では、リードフレーム (ダイパッド部 4 D およびリード 4) の表面に P d 膜を主成分とするメッキ層を形成したが、これに限定されるものではなく、例えば前記表 2 に示すように、A 1 リボンが接続されるソースリードの表面に N i または P d のいずれかのメッキ (または C u ペア) を使用し、A u ワイヤが接続されるゲートリードの表面に A g または P d のいずれかのメッキ (または C u ペア) を使用し、A g ペーストが塗布されるダイパッド部の表面に A g または P d のいずれかのメッキを使用するなど、ソースリード、ゲートリードおよびダイパッド部のそれぞれの表面に最適のメッキを施すこともできる。

【 0 1 0 7 】

また、前記実施の形態では、S O P 8、V S O N 8 あるいは W P A K に適用した半導体装置について説明したが、低抵抗が要求される各種の小型面実装パッケージに適用することができる。また、シリコンチップに形成される素子は、パワー M O S F E T や I G B T に限定されるものではない。

【 0 1 0 8 】

また、前記実施の形態では、面積の広いパッド (ソースパッドまたはエミッタパッド) とリードを接続する結線材料として A 1 リボンを用いたが、A u あるいは C u 合金のような電気抵抗の小さい他の金属材料で構成されたリボンを用いることもできる。

【 産業上の利用可能性 】

【 0 1 0 9 】

本発明は、携帯情報機器の電力制御スイッチや充放電保護回路スイッチなどに使用される半導体装置に利用することができる。

【図面の簡単な説明】

【0110】

【図1】本発明の実施の形態1である半導体装置の外観を示す平面図である。

【図2】本発明の実施の形態1である半導体装置の外観を示す側面図である。

【図3】本発明の実施の形態1である半導体装置の内部構造を示す平面図である。

【図4】図3のA-A線に沿った断面図である。

【図5】図3のB-B線に沿った断面図である。

【図6】シリコンチップに形成されたパワーMOSFETを示す要部断面図である。

10

【図7】シリコンチップに形成されたソースパッド、ゲートパッドおよびゲート配線を含む最上層の導電膜と下層のゲート電極とを示す平面図である。

【図8】本発明の実施の形態1である半導体装置の製造工程の一例を示すフロー図である。

【図9】シリコンチップのソースパッドにAlリボンウェッジボンディングする際にAgペーストに振動エネルギーが加わる様子を説明する図である。

【図10】Agペーストの最適な弾性率を導出するための選択指針式を説明する図である。

【図11】4種類のAgペーストの選択指針式とクラック耐性実験の結果を示すグラフである。

【図12】Agペーストの弾性率の剪断強度依存性を測定した結果を示すグラフである。

20

【図13】本発明の実施の形態2である半導体装置の内部構造を示す平面図である。

【図14】1本のボンディングツールで複数本のAlリボンを同時にボンディングする工程を示す要部斜視図である。

【図15】本発明の実施の形態3である半導体装置の内部構造を示す平面図である。

【図16】本発明の実施の形態4である半導体装置の内部構造を示す平面図である。

【図17】本発明の実施の形態5である半導体装置の内部構造を示す平面図である。

【図18】本発明の実施の形態6である半導体装置の外観を示す平面図である。

【図19】本発明の実施の形態6である半導体装置の外観を示す平面図である。

【図20】本発明の実施の形態6である半導体装置の内部構造を示す平面図である。

【図21】図20のC-C線に沿った断面図である。

30

【図22】本発明の実施の形態6である半導体装置の動作を概略的に説明する図である。

【図23】本発明の実施の形態6である半導体装置の製造工程において、クランプとリードの接触領域を示す要部平面図である。

【図24】シリコンチップに形成されたIGBTを示す要部断面図である。

【図25】本発明の実施の形態6である半導体装置のを用いた回路の一例を示す図である。

【図26】本発明の実施の形態7である半導体装置の内部構造を示す平面図である。

【図27】図26のD-D線に沿った断面図である。

【図28】図26のE-E線に沿った断面図である。

【図29】図26のF-F線に沿った断面図である。

40

【図30】本発明の実施の形態7である半導体装置の内部構造を示す平面図である。

【図31】図30のG-G線に沿った断面図である。

【図32】図30のH-H線に沿った断面図である。

【図33】本発明の他の実施の形態である半導体装置の内部構造を示す平面図である。

【図34】本発明の他の実施の形態である半導体装置の内部構造を示す平面図である。

【図35】本発明の他の実施の形態である半導体装置の内部構造を示す平面図である。

【符号の説明】

【0111】

1 A～1G 半導体装置

2 モールド樹脂

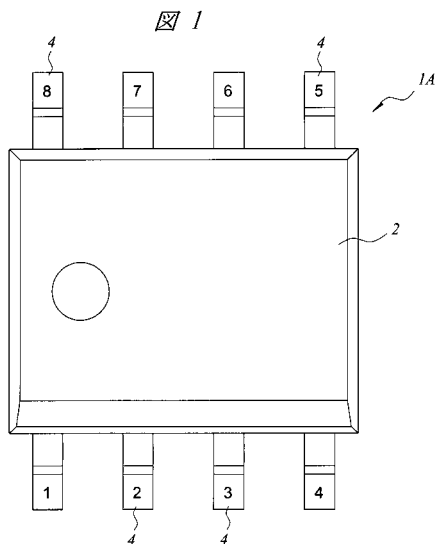
50

3	シリコンチップ	
4	リード	
4 D	ダイパッド部	
5	A g ペースト	
7	ソースパッド (ソース電極)	
8	ゲートパッド	
1 0	A l リボン	
1 1	A u ワイヤ	
1 2	ボンディングツール	
2 0	n ⁺ 型単結晶シリコン基板	10
2 1	n ⁻ 型単結晶シリコン層	
2 2	p 型ウエル	
2 3	酸化シリコン膜	
2 4	溝	
2 5	酸化シリコン膜 (ゲート酸化膜)	
2 6 A	多結晶シリコン膜 (ゲート電極)	
2 6 B	ゲート引き出し電極	
2 7	p ⁻ 型半導体領域	
2 8	p 型半導体領域	
2 9	n ⁺ 型半導体領域 (ソース)	20
3 0、3 1	酸化シリコン膜	
3 2、3 3	接続孔	
3 4	ゲート配線	
3 5	p ⁺ 型半導体領域	
3 6、3 7、3 8	A l 配線	
4 0	モールド樹脂	
4 1	リード	
4 1 D	ダイパッド部	
4 2	シリコンチップ	
4 3	エミッタパッド (エミッタ電極)	30
4 4	ゲートパッド	
4 5	A l リボン	
4 6	A u ワイヤ	
4 7	クランパ	
5 0	モールド樹脂	
5 1	リード	
5 1 D	ダイパッド部	
5 2	シリコンチップ	
5 3	ソースパッド	
5 4	ゲートパッド	40
5 5	A l リボン	
5 6	A u ワイヤ	
5 7	突起部	
5 7 s	段差	
5 8	ハーフエッチング部	
5 9	突起部	
5 9 b	屈曲部	
6 0	p 型コレクタ層	
6 1	n 型バッファ層	
6 2	n 型ドリフト層	50

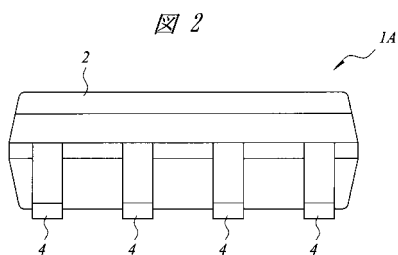
- 6 3 p 型 ウェル
- 6 4 p 型 ベース 層
- 6 5 ゲート 絶縁 膜
- 6 6 ゲート 電極
- 6 6 A ゲート 引き出し 電極
- 6 7 酸化 シリコン 膜
- 6 8 n 型 エミッタ 層
- 6 9 p 型 コンタクト 層
- 7 0 酸化 シリコン 膜
- 7 1 パッシベーション 膜
- 7 2 コレクタ 電極
- 7 3 I G B T ドライブ I C
- 7 4 X e 管
- 7 5 トリガ 変圧 器

10

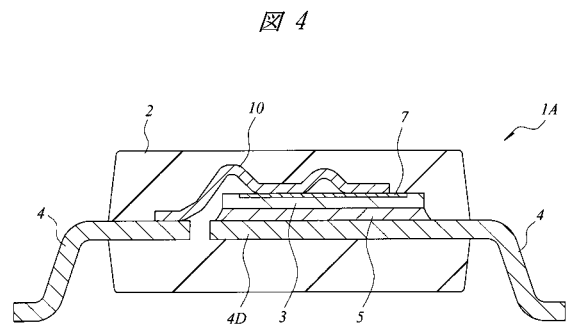
【 図 1 】



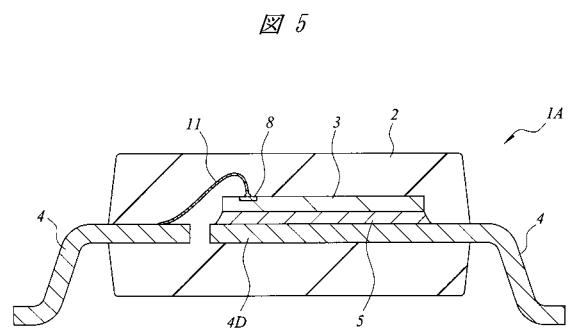
【 図 2 】



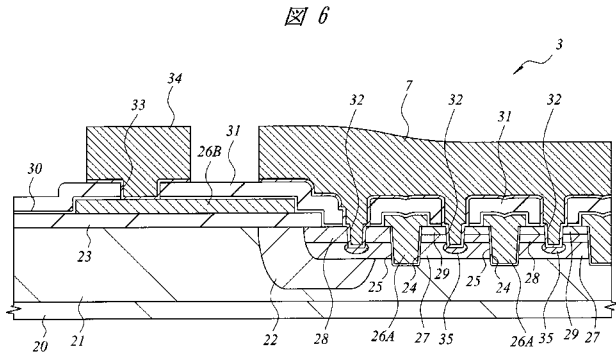
【 図 4 】



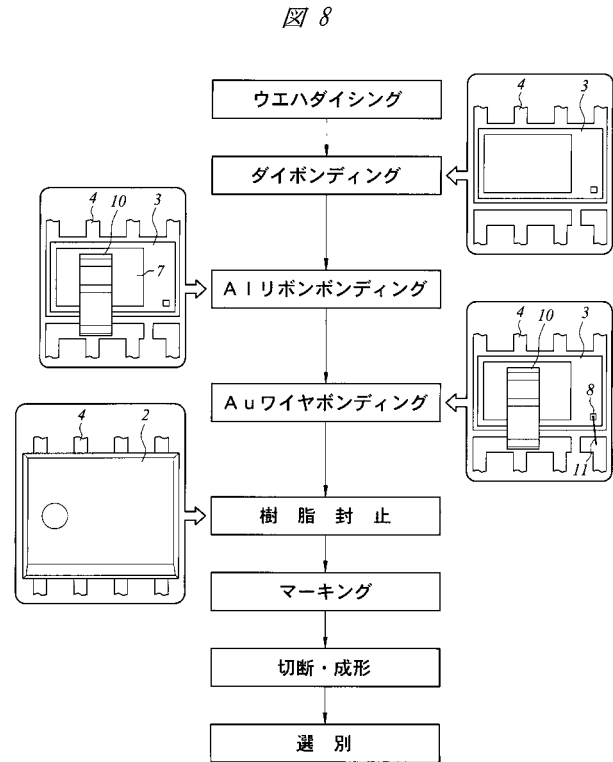
【 図 5 】



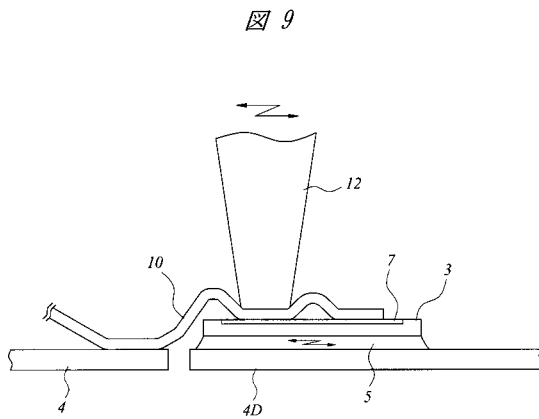
【図 6】



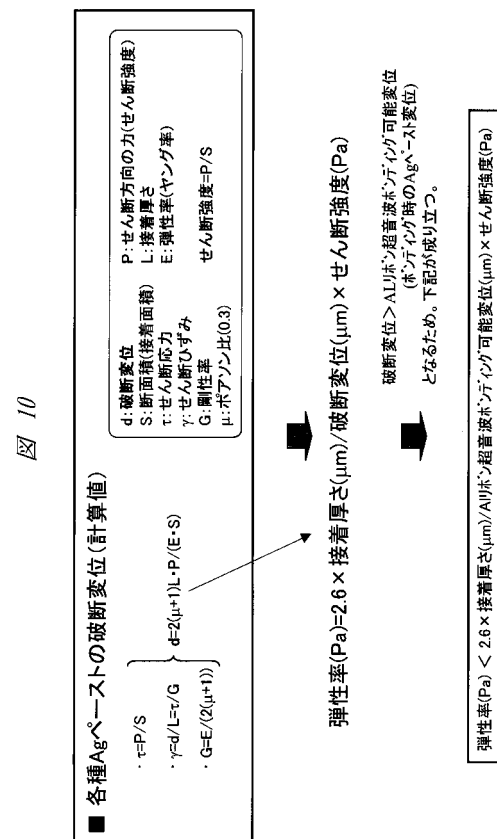
【図 8】



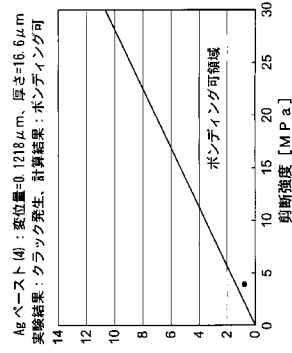
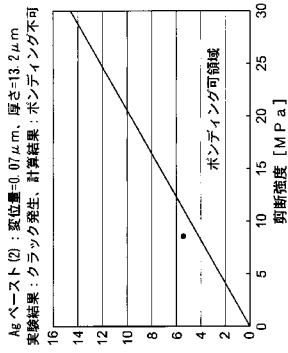
【図 9】



【図 10】



【図 1 1】



【図 1 2】

図 12

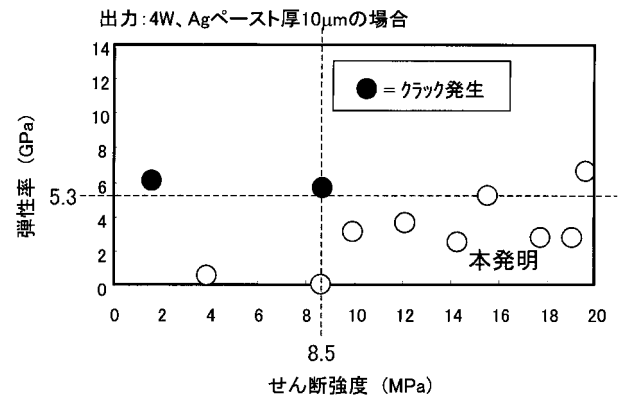
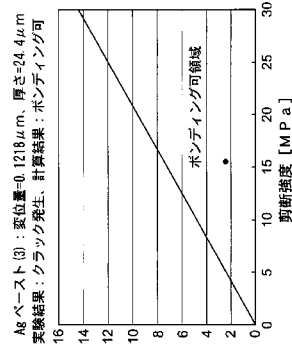
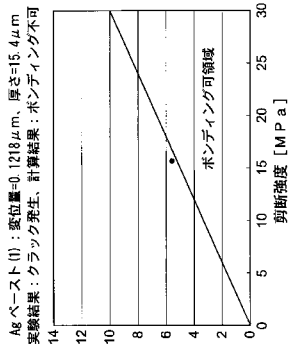
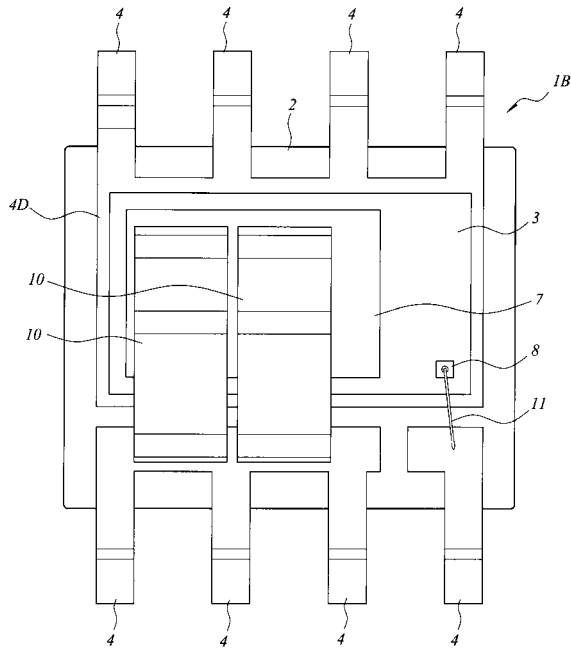


図 11



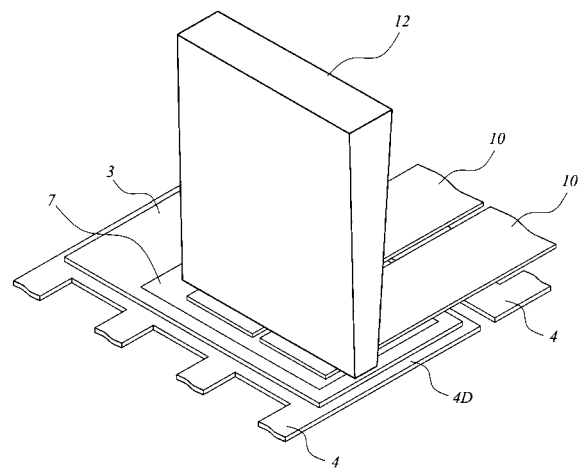
【図 1 3】

図 13

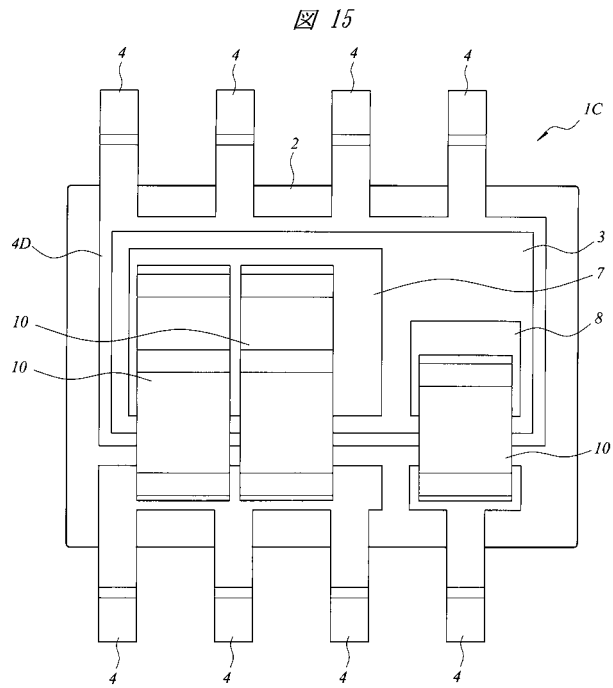


【図 1 4】

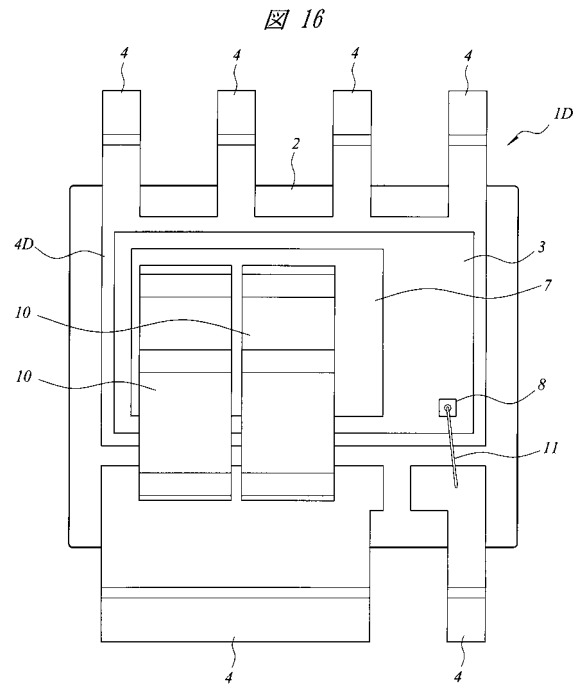
図 14



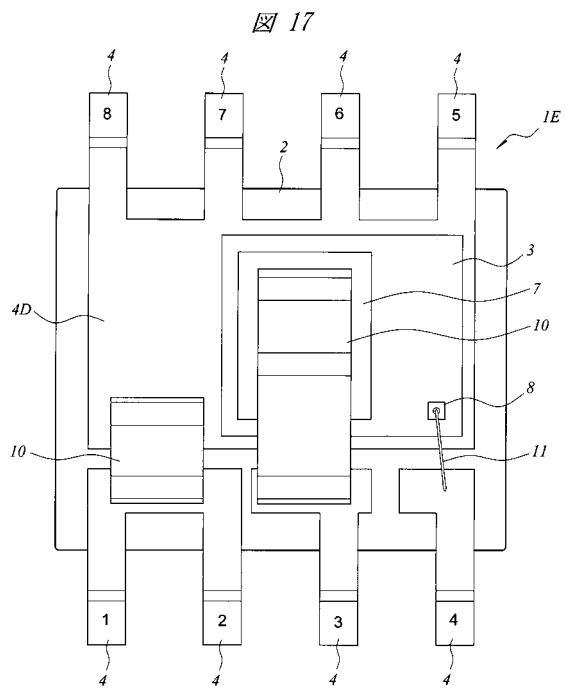
【図 15】



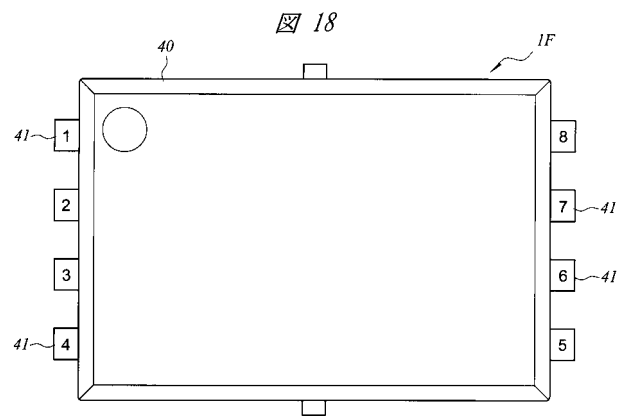
【図 16】



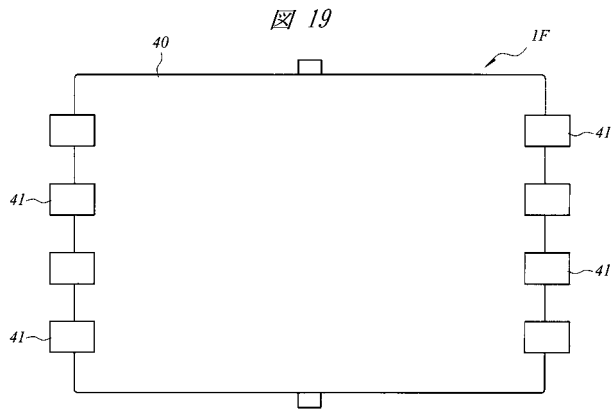
【図 17】



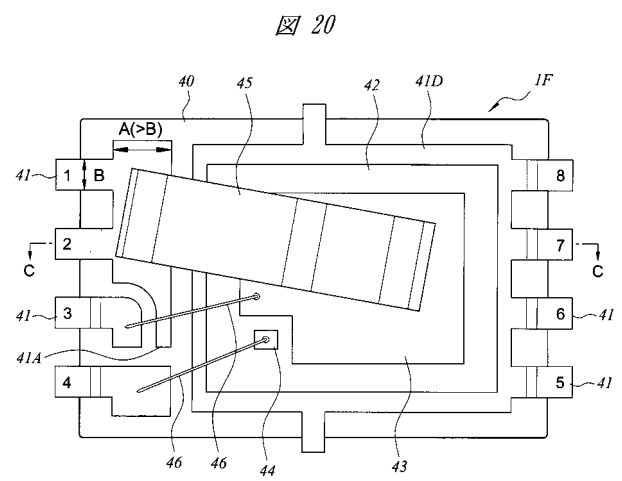
【図 18】



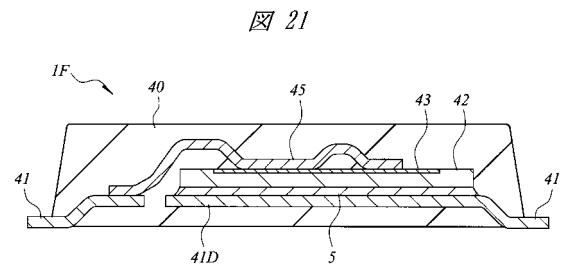
【図 19】



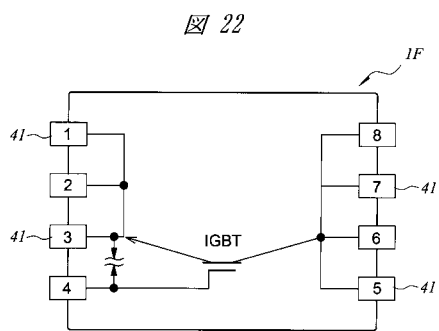
【図 20】



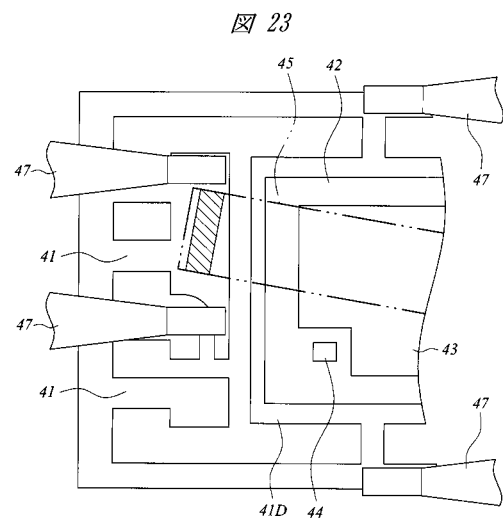
【図 21】



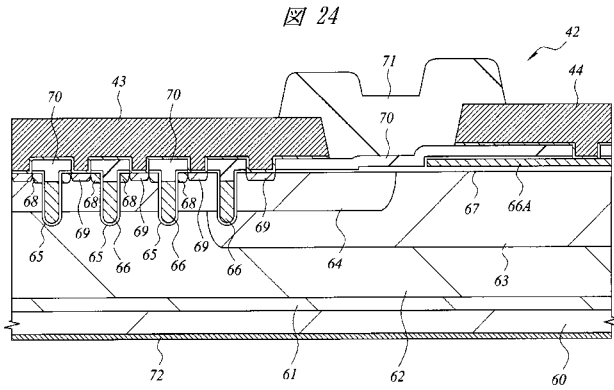
【図 22】



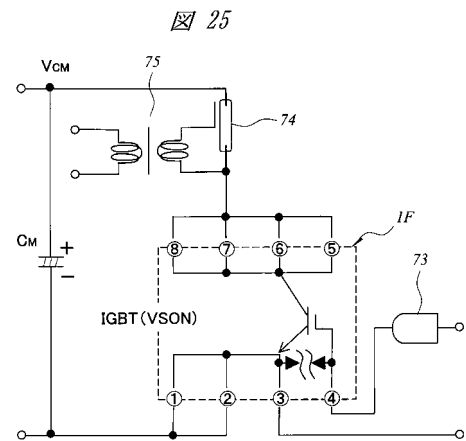
【図 23】



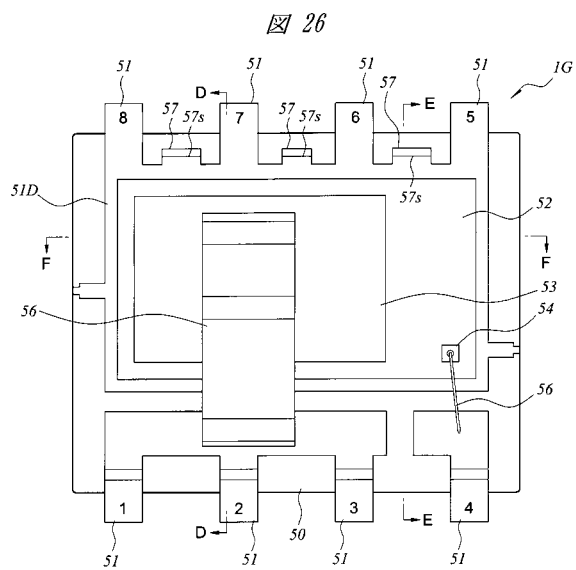
【 図 2 4 】



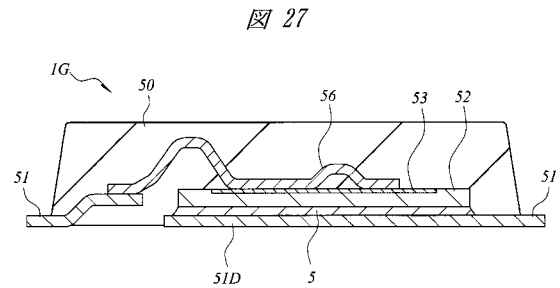
【 図 2 5 】



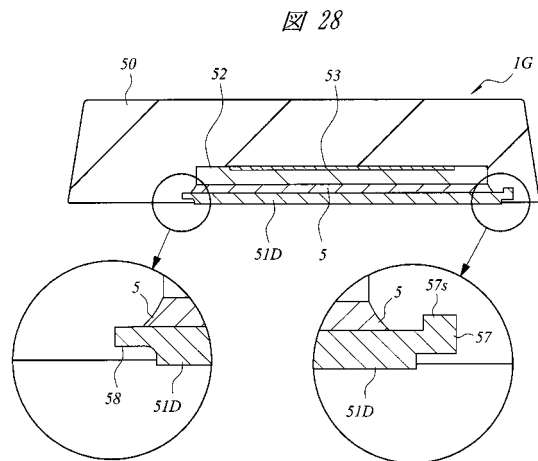
【 図 2 6 】



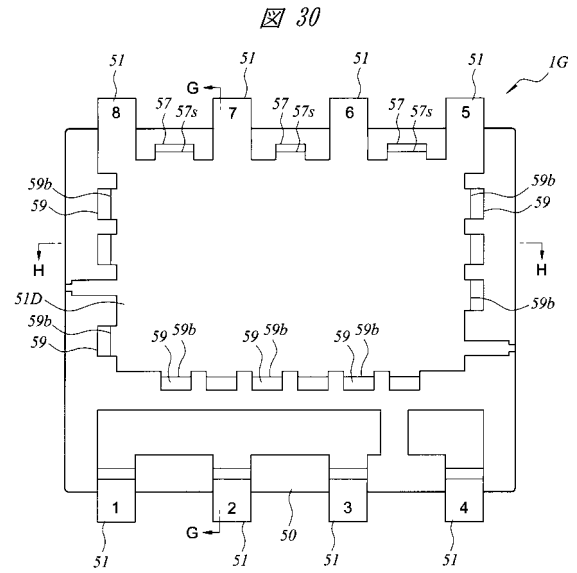
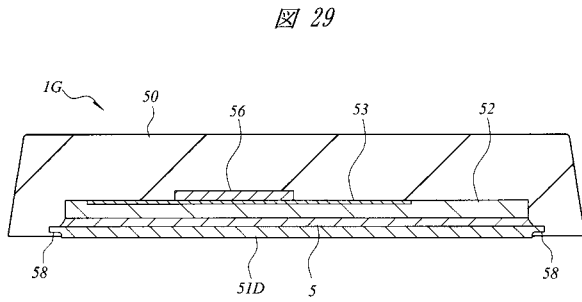
【 図 2 7 】



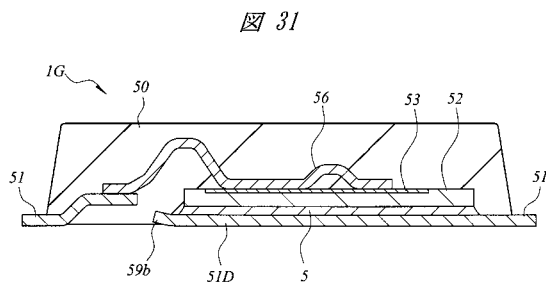
【 図 2 8 】



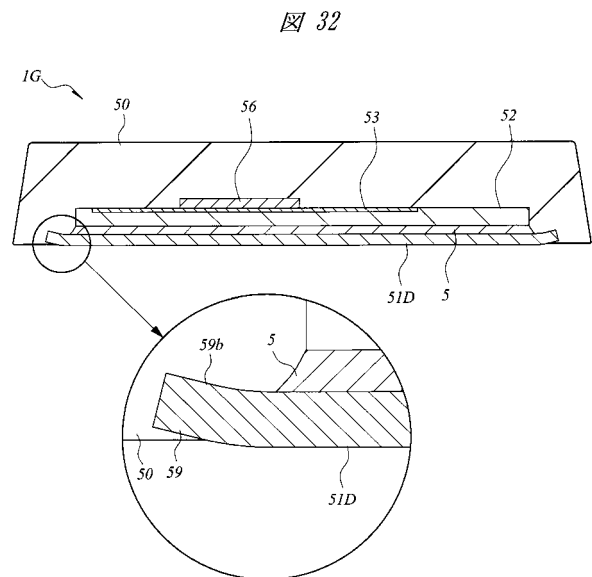
【 図 3 0 】



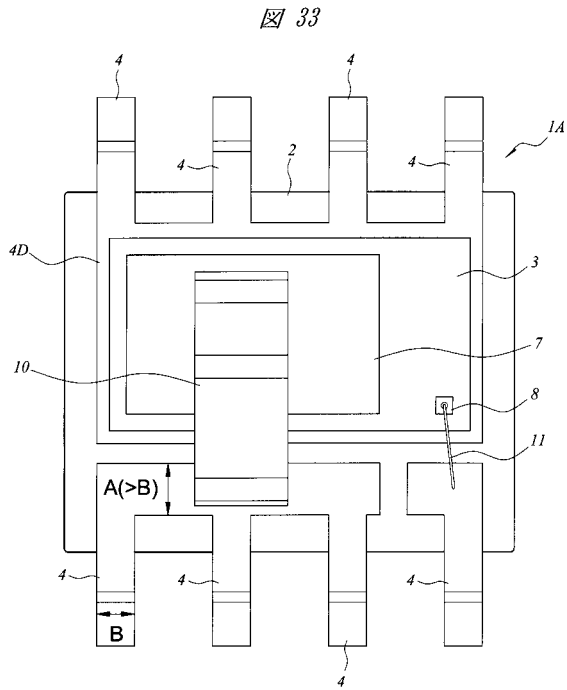
【 図 3 1 】



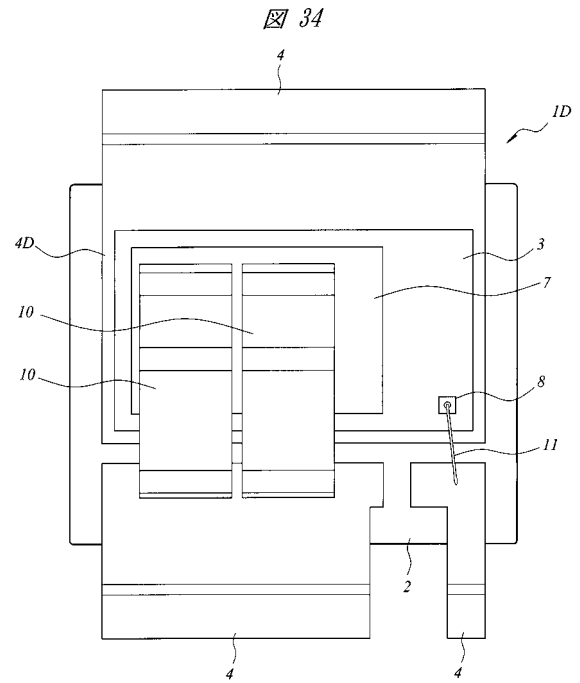
【 図 3 2 】



【 図 3 3 】



【 図 3 4 】



【 図 3 5 】

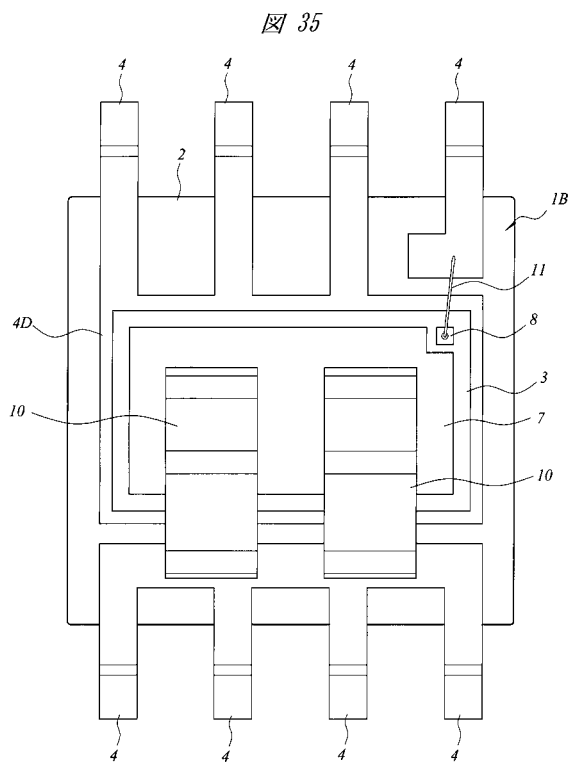
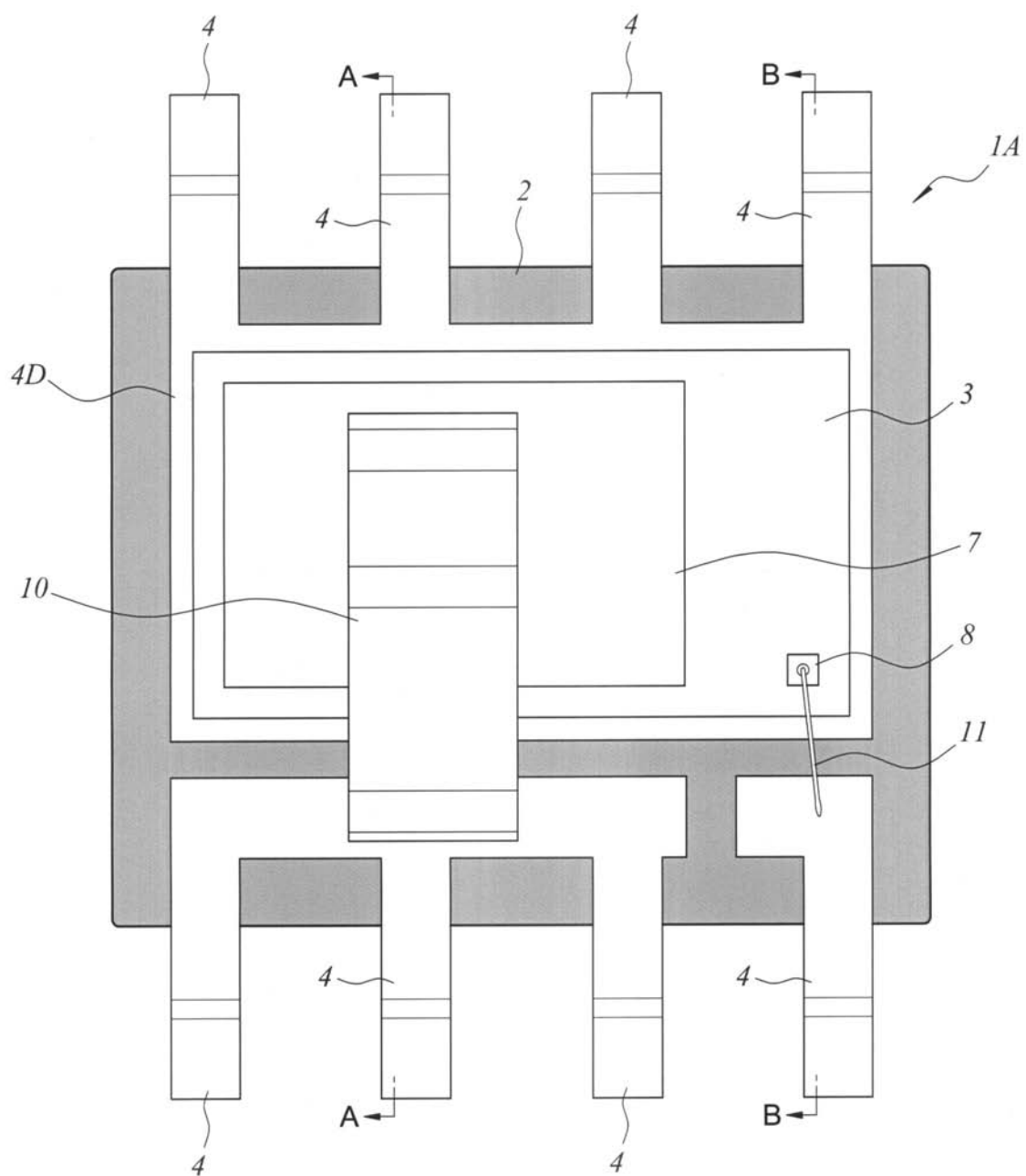
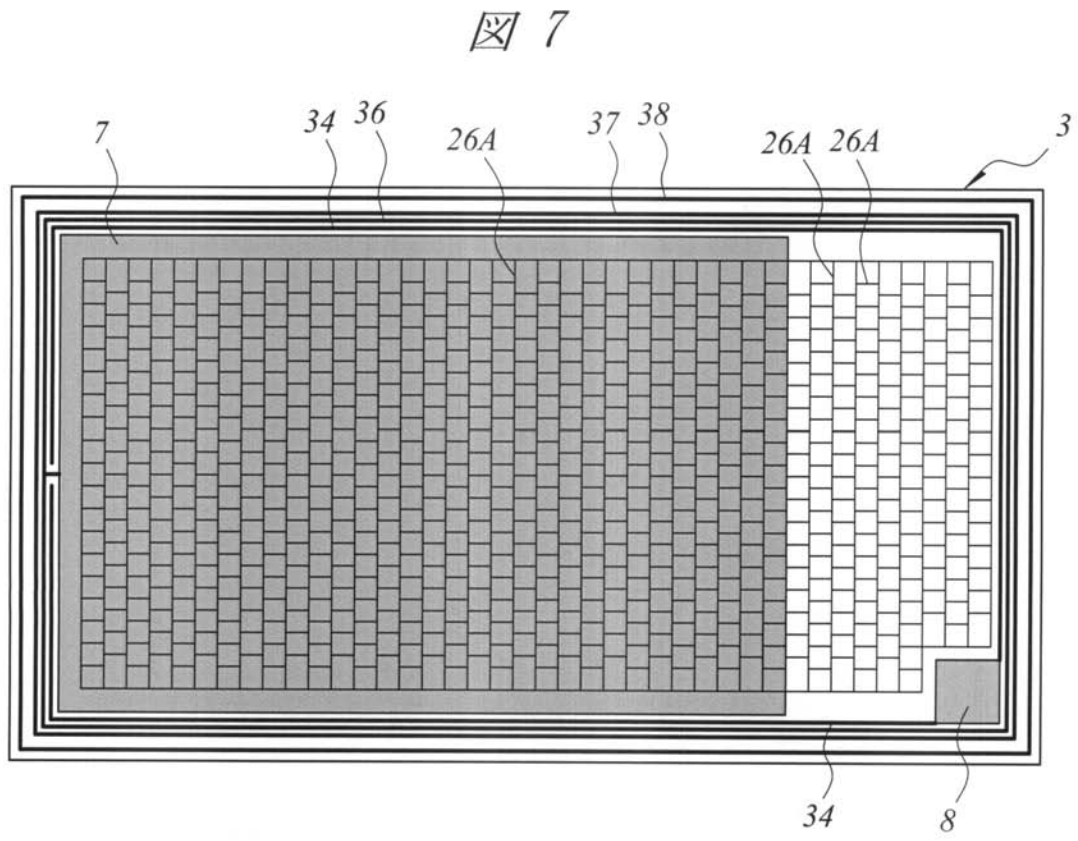


図 3



- 3 : シリコンチップ
4 : リード
4D : ダイパッド部
7 : ソースパッド
8 : ゲートパッド
10 : Alリボン
11 : Auワイヤ

【 図 7 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/52 E

(72)発明者 岡 浩偉

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

(72)発明者 池田 靖

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

Fターム(参考) 5F047 AA11 BA33 BA53 BB11 BB16