



(12) 发明专利

(10) 授权公告号 CN 1679109 B

(45) 授权公告日 2011.06.15

(21) 申请号 03820296.4

(22) 申请日 2003.08.04

(30) 优先权数据

02078531.7 2002.08.28 EP

02079217.2 2002.10.11 EP

03100980.6 2003.04.11 EP

(85) PCT申请进入国家阶段日

2005.02.25

(86) PCT申请的申请数据

PCT/IB2003/003418 2003.08.04

(87) PCT申请的公布数据

W02004/021351 EN 2004.03.11

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 M·加格 K·B·R·劳

J·D·J·皮内达德格伊维滋

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

代理人 王波波

(51) Int. Cl.

G11C 5/14(2006.01)

(56) 对比文件

全文.

US 6337583 B1, 说明书第3栏第48行至第5栏第61行.

US 5986962 A, 1999.11.16, 说明书第4栏第22-41行.

审查员 张妍

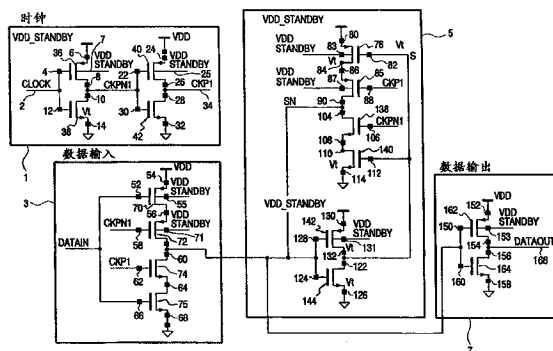
权利要求书 2 页 说明书 9 页 附图 7 页

(54) 发明名称

减小状态保持电路功耗的方法、状态保持电路以及电子器件

(57) 摘要

公开了一种用来减小待机模式中状态保持电路的功耗的方法,它包含:在激活状态下,将常规电源和待机电源提供给状态保持电路;为了从激活状态转变到待机状态,将常规电源减小到地电平并保持待机电源,从而在待机模式中向状态保持电路的电路元件提供足以保持状态的功率;以及为了从待机状态转变到激活状态,将常规电源从其地电平提高到其激活电平,其中在从激活状态移动到待机状态的过程中,待机电源从激活电平减小到较低的电平,此较低的电平足以保持状态;在返回到激活模式的过程中,待机电源从较低的电平提高到激活电平。并且公开了一种用来在待机模式中减小状态保持电路的功耗的电子器件。



1. 一种用来减小在待机模式中状态保持电路的功耗的方法,包含:

在激活模式中,将常规电源(VDD)和待机电源(VDD_STANDBY)提供给状态保持电路;

为了从激活状态转变到待机状态,将常规电源减小到地电平并保持待机电源(VDD_STANDBY),从而在待机模式中向状态保持电路的电路元件(36、142、78、85)提供足以保持状态的功率;以及

为了从待机状态转变到激活状态,将常规电源(VDD)从其地电平提高到其激活电平,其中

在从激活状态移动到待机状态的过程中,待机电源(VDD_STANDBY)从激活电平减小到较低的电平,此较低的电平足以保持状态;在返回到激活模式的过程中,待机电源(VDD_STANDBY)从较低的电平提高到激活电平。

2. 权利要求1的方法,其中,减小待机电源(VDD_STANDBY)的步骤发生在常规电源(VDD)已经固定在地电平之后;此方法还包含在返回到激活模式时,在待机电源(VDD_STANDBY)已经固定在其激活电平之后,将常规电源(VDD)提高到激活电平的步骤。

3. 权利要求1的方法,其中,在待机模式期间保持控制信号。

4. 权利要求3的方法,其中,所述控制信号在待机模式期间保持在预定的低电平。

5. 权利要求3或4的方法,其中,所述控制信号在待机模式期间由所述状态保持电路外部的装置来保持。

6. 权利要求3或4的方法,其中,所述控制信号在待机模式期间由提供在所述状态保持电路内的装置(200,201)来保持。

7. 权利要求6的方法,其中,用来在待机模式期间保持所述控制信号的所述装置包含至少一个晶体管(200),此晶体管(200)具有连接到待机信号的栅极端(201),且安排成在待机过程中导通而否则关断,所述晶体管(200)的漏极或源极端被连接到具有要求所述控制信号保持在其上的电压电平的线。

8. 权利要求7的方法,其中,所述电压电平是地。

9. 权利要求8的方法,其中,所述晶体管是n沟道MOSFET(200),其栅极端(201)被连接到在待机过程中为高而否则为低的待机信号,且源极端被连接到地。

10. 一种电子器件(200),包含:

常规电源(220,VDD);

待机电源(222,VDD_STANDBY);

耦合到常规电源(220,VDD)的第一电路部分(240);

耦合到常规电源(220,VDD)的第二电路部分(260);第二电路部分(260)包含:

用来在电子器件(200)的待机模式期间保持第一电路部分(240)的至少一部分状态的状态保持电路,此状态保持电路包含:

用来提供至少一个控制信号(CKPI/CKPNI)的控制单元(1);

用来提供至少一个输入信号的数据输入单元(3);

用来提供至少一个输出信号的数据输出单元(7);

用来在待机模式期间保持第一电路部分(240)的至少一部分状态的数据存储单元(5),所述数据存储单元(5)响应于所述至少一个控制信号(CKPI/CKPNI);

常规电源(VDD,220)被安排用于在电子器件(200)的激活模式期间提供功率给数据存

储单元 (5) ;

待机电源 (VDD-STANDBY, 222) 被安排用于在激活模式和待机模式期间提供功率给数据存储单元 (5) 的至少一部分, 其中

待机电源 (VDD-STANDBY, 222) 被安排用于在待机模式期间将减小的功率提供给至少一部分的状态保持电路 (5)。

11. 权利要求 10 所述的电子器件, 其特征在于, 状态保持电路的一些选择的电路元件位于第二电路部分 (240) 的单独的阱中。

12. 权利要求 10 的电子器件, 其中, 控制单元 (1) 连接到常规电源 (VDD) 和待机电源 (VDD-STANDBY), 用于在待机模式期间保持由控制单元所提供的控制信号 (CKPI/CKPNI) 的状态。

13. 权利要求 10 的电子器件, 其中, 数据输入单元 (3) 连接到常规电源 (VDD)。

14. 权利要求 10 的电子器件, 其中, 数据输入单元 (3) 连接到控制信号 (CKPI/CKPNI)。

15. 权利要求 10 的电子器件, 其中, 数据存储单元 (5) 连接到常规电源 (VDD) 和待机电源 (VDD-STANDBY)。

16. 权利要求 10 的电子器件, 其中, 数据存储单元 (5) 包含用来保持反相数据输入信号的串行电路 (78, 85)。

17. 权利要求 10 的电子器件, 其中, 数据输出单元 (7) 包含至少一个用来接收来自数据存储单元 (5) 的信号的输入端, 以及至少一个用来输出从状态保持单元 (5) 接收到的信号的输出端 (166)。

18. 权利要求 10-17 中任一的电子器件, 其中, 状态保持电路的一些选择的电路元件比未选择的电路元件具有更高的阈值电压。

19. 权利要求 10-17 中任一的电子器件, 包含用来在待机过程中将所述控制信号保持在预定电平的装置 (200)。

20. 权利要求 19 的电子器件, 其中, 用来保持所述控制信号的所述装置 (200) 被包括在所述控制单元 (1) 中。

21. 权利要求 19 的电子器件, 其中, 用来保持所述控制信号的所述装置 (200) 连接到在待机模式期间为高而否则为低的待机信号。

22. 权利要求 11-17 中任一的电子器件, 所述状态保持电路包括用来在激活模式期间将附加的电流提供给电路, 以便减小来自所述待机电源的电流要求的装置 (300, 400, 500, 600)。

减小状态保持电路功耗的方法、状态保持电路以及电子器件

技术领域

[0001] 本发明涉及用来减小功耗的方法、电路以及电子器件,确切地说是涉及用来减小状态保持电路在待机模式中的功耗的方法、状态保持电路以及电子器件。

[0002] 背景技术

[0003] 泄漏功率越来越成为以电池工作的器件的一大耗损,特别是在待机时间长的状态保持电路中更是如此。避免泄漏的一种显而易见方法是在待机过程中关断电源。但许多系统在待机过程中必须保持其状态,而由于关断例如数字电路中的电源电压,其中的状态由储存在锁存器或状态保持电路中的数据确定,则状态就会丢失。

[0004] US 5812463 提供了一种减小泄漏电流和闭锁易损性的高速高压锁存器。此锁存器在编程电源与输出之间具有开关晶体管。当锁存器输入转变成将输出驱动到低电平时,此开关晶体管就被锁存器输入关断。此开关晶体管从而减小泄漏电流。采用了耦合到编程电源的输出驱动器晶体管。锁存器输出一开始通过 V_{cc} 电源被上拉。在锁存器输出已经被上拉到起始电平之后,输出驱动器晶体管导通。输出驱动器晶体管然后通过编程电源将输出端上拉到高输出电压电平。一开始用 V_{cc} 电源上拉输出减小了器件的功率耗散。此锁存电路还包含防止闭锁的两个编程电源、一个 n 阱电源以及一个本地电源。当锁存器从读出模式被转换到编程模式时,在本地电源提升之前 n 阱电源被提升到编程电压。当锁存器从编程模式被转换到读出模式时,直至本地电源已经被减小且其余电路已经放电之后,才减小 n 阱电源电压。这确保了 n 阱电源至少与耦合到 n 阱的 p 扩散区的电压一样高,从而防止了闭锁。US 5812463 涉及一种存储电路。作为一个实施方案,提出了一种低泄漏的锁存电路。所公开的电路可应用于特定类型的存储器,如快闪存储器或 EEPROM 之类的。所提出的锁存电路是一种用于快闪存储器中正常与高电压电路之间接口处的电平移位器。

[0005] US 5955913 公开了一种可选择性地工作于第一模或(消耗低功率)或第二模式(消耗相对高的功率)的集成电路。此电路包括 MOS 晶体管以及用于至少一个晶体管的电源电压电路。在两种模式中,电源电压电路将各个晶体管的本体保持在固定的电压(例如 5-5.5V 范围内的电压 V_{cc} ,其中各个晶体管是 PMOS 器件)。在第二模式中,电源电压电路将此固定电压提供到各个晶体管的源极,但在第一模式中,它将等于或稍微偏离固定电压的电压提供到各个晶体管的源极。在某些实施方案中,电源电压电路(在起始过渡状态之后的第一模式中)将第一电压提供到多个 PMOS 晶体管共用的阱,且第二电压被提供到各个 PMOS 器件的源极。或者,电源电压电路(在初始瞬态之后的第一模式中)将第一电压提供到各个多个 NMOS 晶体管的本体,且第二电压被提供到各个 NMOS 器件的源极。第二电压最好偏离于第一电压一个电压降,该电压降选择为实现在第一模式中所希望的晶体管泄漏电流减小,以及所希望的从第一模式过渡到第二模式的上电时间。在优选实施方案中,集成电路是一种包括快闪存储阵列的存储器芯片,电压降在 1.4-2V 的范围内,并用一个连接成二极管的 MOS 晶体管或串联连接的两个连接成二极管的 MOS 晶体管来实现电压降。

[0006] US 2001/0038552 A1 公开了一种具有静态存储单元的半导体存储器,它具有其中

形成 PMOS 晶体管的 n 阱和其中形成 NMOS 晶体管的 p 阱。n 和 p 阱被分成块,每个块包含给定数目的存储单元。各个块中的 n 和 p 阱接收依赖于存储单元是否被选中而变化的电压。若存储单元被选中工作,则存储单元中各个晶体管的阈值电压减小以便增大从存储单元取出的电流。若存储单元未被选中,则阈值电压提高以便减小存储单元的泄漏电流。这种安排抑制了待机电流,并改善了存储单元的工作速度。

[0007] US 5955913 和 US 2001/0038552 提出了借助于用反偏置电压在电学上提高 MOS 开关的阈值电压,从而减小泄漏的经典想法。它们提供了作为实施方案的相应存储电路。

[0008] US 6344761 B2 公开了在电流比较型锁存器中,在时钟信号处于“L”电平的电流比较型锁存器的复位模式过程中,沿从高电位电源线到低电位电源线延伸的电流路径排列的晶体管被关断,而将高电位电源线连接到两个输出端的晶体管被导通,以便使两个输出端每个的电位成为逻辑电平(“H”电平或“L”电平),从而防止穿通电流从高电位电源线流到低电位电源线。因此,形成了高速高精度的电流比较,同时减小了复位模式过程中的穿通电流。US 6344761 B2 描述了一种用于模拟-数字转换器等电流比较型锁存器。目的是提供一种电流比较型锁存器,此锁存器消除了复位状态下流动的穿通电流,以便达到功耗的减小,并能够进行高速高精度的比较。

[0009] US 2002/0024873 A1 公开了一种电平转换器,此转换器将字线组规定信号,其从行译码器送出且幅度为电源电位 V_{cc} 和地电位 GND,转换成高电压 V_{pp} 和负电位 V_{bb} 的互补逻辑信号 WD 和 ZWD。RX 译码器对地址信号进行译码,以便输出规定字线组中一个字线的幅度 ($V_{pp}-V_{bb}$) 的信号。根据从电平转换电路送出的信号 WD 和 ZWD,对应于各个字线提供的字线驱动器将字线规定信号或负电位传输到相应的字线。未被选中的字线从字线驱动器接收负电位 V_{bb} 。被选中的字线从字线驱动器接收高电压 V_{pp} 。有可能抑制未被选中的存储单元中存储晶体管上的沟道泄漏电流,其可以由字线和/或位线的电位改变引起,并能够改善存储单元的电荷保持特性。US 2002/0024873 公开了一种以电荷形式储存信息的动态半导体存储器件。此存储器包含用来改善存储单元电荷保持特性的结构。

[0010] US 6344761 和 US 20020024873 涉及具有减小的泄漏电流的半导体存储器件,且包括下列特点。当低电位电源被切断时,连接到高电位源的晶体管被导通,防止了穿通电流。为 NMOS 器件提供了单独的电源。

[0011] 发明内容

[0012] 本发明的目的是提供一种方法、一种状态保持电路、以及一种在待机模式期间具有改进的功耗特性的电子器件。

[0013] 为了达到本发明的目的,公开了一种用来减小状态保持电路,例如锁存器、触发器或其它数据储存元件在待机模式期间的功耗的方法,此方法包含在激活状态下将常规电源 VDD 和待机电源 VDD_STANDBY 提供给状态保持电路;为了从激活状态转变到待机状态,将常规电源减小到地电平,并保持待机电源 VDD_STANDBY,从而将足以在待机模式期间保持状态的功率提供给电路元件;以及为了从待机状态转变到激活状态,将常规电源 VDD 从其地电平提高到其激活电平。此方法使得能够切断数字电路的常规电源而不丢失电路的状态,从而显著地减小了泄漏,例如在 CMOS12 技术中减小了大约 100 倍。

[0014] 根据本发明一个优选实施方案,在从激活状态移动到待机状态时,待机电源 VDD_STANDBY 减小到足以保持电路元件状态的较低电平;并在返回到激活模式时,待机电源

VDD_STANDBY 从其较低的电压提高到其激活电平。待机电源 VDD_STANDBY 减小到较低的电平,就减小了待机模式中的泄漏功率。

[0015] 根据本发明一个优选实施方案,待机模式期间电路元件状态的保持由具有高阈值电压的晶体管来完成。采用具有高阈值电压的晶体管,导致了非常小的泄漏功率。

[0016] 根据本发明的一个优选实施方案,在待机模式期间保持控制信号。

[0017] 根据本发明的一个优选实施方案,在待机模式期间,利用可以在状态保持电路外部的装置,将控制信号保持在预定的>低=电平。但在本发明的一个更优选的实施方案中,在待机模式期间,利用提供在状态保持电路内的装置来保持控制信号。这种装置可以包含至少一个晶体管,此晶体管的栅极端连接到待机信号,且安排成在待机模式中被切换到>导通=而否则被切换到>关断=,此晶体管的漏极或源极端被连接到具有要求控制信号保持在其上的电压电平的线。此电压电平基本上可以是地。在本发明的一个实施方案中,此晶体管可以是 n 沟道 MOSFET,其栅极端在待机模式中被连接到>高=电平的待机信号,而否则被连接到>低=电平,且源极端被连接到地。

[0018] 利用状态保持电路达到了本发明的另一目的,此状态保持电路包含用来提供至少一个控制信号的控制单元;用来提供至少一个输入信号的数据输入单元;用来提供至少一个输出信号的数据输出单元;数据存储单元,包含用来在待机模式期间保持电路的至少一部分状态的电路元件;在激活模式中将电源从常规电源耦合到电路元件的第一装置;以及在激活模式和待机模式中将电源从待机电源耦合到电路元件的第二装置。与公知的低功率电路相比,本发明的状态保持电路能够显著地减小电路或其中集成有状态保持电路的电子器件在待机模式中的功耗。

[0019] 根据本发明一个优选实施方案,控制单元被连接到常规电源和待机电源。在待机模式中,由于控制单元连接到待机电源而保持了控制信号。

[0020] 根据本发明一个优选实施方案,控制单元包含至少一个接收控制 输入信号的输入端以及至少一个控制输出端。此控制单元能够处理至少一个控制输入信号,并能够输出至少一个输出控制信号。由于能够使用不同的输入控制信号,因此这是有利的。不同的输出端可以被连接到具有不同控制信号的不同电路元件。

[0021] 根据本发明一个优选实施方案,控制单元包含至少一个用来在待机模式中保持状态的状态保持开关。每个控制单元包含至少一个用来在待机模式中保持状态的状态保持开关,由于状态被直接保持在控制信号的源处,故这是此控制单元的一个有利的特点。

[0022] 控制单元优选包含至少两个反相器级,提供至少一个反相的控制信号和至少一个非反相的控制信号。

[0023] 控制单元优选被安排来在待机模式中保持反相的控制信号和 / 或非反相的控制信号的状态。为此,控制单元被耦合到待机电源。此控制单元可以包含高阈值电压的晶体管,以便在待机时减小来自控制单元的泄漏电流。

[0024] 根据本发明一个优选实施方案,数据存储单元被连接到常规电源和待机电源。数据存储单元优选连接到反相的控制信号和非反相的控制信号。

[0025] 根据本发明另一优选实施方案,数据存储单元包含保持反相的数据输入信号的至少一个状态保持开关,和 / 或保持非反相的数据输入信号的至少一个状态保持开关。

[0026] 根据本发明另一优选实施方案,数据存储单元包含用来保持反相的数据输入信号

的串行电路。

[0027] 优选地,用来保持反相的数据输入信号的串行电路包含连接到待机电源的用于保持反相的数据输入信号的状态保持开关,以及连接到控制信号的状态保持开关。

[0028] 优选地,数据存储单元包含用来减小待机过程中的泄漏电流的高阈值电压晶体管。

[0029] 根据本发明另一优选实施方案,数据存储单元中的状态保持开关是具有高阈值电压的晶体管。具有高阈值电压的晶体管的优点在于泄漏功率非常小。

[0030] 根据本发明的一个实施方案,可以提供装置来在待机时将控制信号保持在预定的电平。这种装置可以包括在控制单元中,并可以在待机模式中被连接到为>高=的待机信号,否则被连接到>低=的信号。在任何情况下,此电路可以包括用来在激活模式中将附加电流提供给电路的装置,以便减小来自待机电源的电流要求。

[0031] 由一种电子器件实现了本发明的另一目的,此电子器件包含常规电源;待机电源;耦合到常规电源的第一电路部分;以及耦合到常规电源和待机电源的第二电路部分,此第二电路部分包含用来在电子器件待机模式中保持第一电路部分状态的状态保持电路,此状态保持电路包含:用来提供至少一个控制信号的控制单元;用来提供至少一个输入信号的数据输入单元;用来提供至少一个输出信号的数据输出单元;数据存储单元,包含用来在待机模式中保持第一电路部分的至少一部分状态的电路元件;常规电源,被安排来在电子器件的激活模式中将功率提供给电路元件;待机电源,被安排来在激活模式和待机模式中将功率提供给电路元件。在这种电子器件中,能够进入使第一电路部分和第二电路部分中的功耗都能够减小的待机模式。第一电路部分可以被完全切断,而仅仅第二电路部分的状态保持电路仍然被连接到待机电源。这样就实现了电子器件在待机模式中功耗的显著减小,其可能包含整个电子器件或其某些部分的切断。有利的是,待机电源被安排来在待机模式中将减小的功率提供给电路元件。这就进一步减小了电子器件在其待机模式中的功耗。

[0032] 在电子器件的一个优选实施方案中,电路元件位于第二电路部分的单独的阱中。其优点是,位于这种单独的阱中的电路元件,例如 p 阱中的 nMOS 晶体管、n 阱中的 pMOS 晶体管、或其它类型的多阱技术实现的电路元件,能够在电学上与电子器件的其它部件分离,这意味着可以采取进一步减小这些其它部件的功率泄漏,例如背偏技术,而不干扰储存在电路元件中的数据。

[0033] 在此处所附且构成其一部分的权利要求中,具体指出了作为本发明特征的这些和各种其它的优点和新颖特点。但为了更好地理解本发明、其优点、以及利用它达到的目的,应该参照构成其一部分的附图以及说明本发明优选实施方案的所附描述。

[0034] 附图说明

[0035] 图 1 示出了根据图 6 的状态保持电路的示例性示意电路图,图 6 示意示出了标准单元的一种建议布局;

[0036] 图 2 示出了根据本发明另一实施方案的状态保持电路的示例性示意电路图;

[0037] 图 3 示出了根据本发明又一实施方案的状态保持电路的示例性示意电路图;

[0038] 图 4 示出了其功能性基本相似于图 2 的状态保持电路的示例性示意电路图;

[0039] 图 5 示出了其功能性基本相似于图 3 的状态保持电路的示例性示意电路图;

[0040] 图 6 是示意图,示出了标准单元的一种建议布局;

[0041] 图 7 是示意图。示出了将电源开关环绕包覆在晶体管内核周围的概念；而

[0042] 图 8 示出了根据本发明的一种示例性电子器件。

[0043] 具体实施方式

[0044] 图 1 的状态保持电路图包含具有 p 沟道和 n 沟道的 FET。当栅极与源极端之间的电压小于 0 时，具有 p 沟道的 FET 被导通，而当栅极端与源极端之间的电压大于 0 时被关断。当栅极端与源极端之间的电压大于 0 时，具有 n 沟道的 FET 被导通，而当栅极与源极端之间的电压小于 0 时被关断。

[0045] 此状态保持电路图示出了控制单元 1，它包含连接到晶体管 36 的栅极接触 4 和晶体管 38 的栅极接触 12 的输入端 2。晶体管 36 是具有 p 沟道的 FET，而晶体管 38 是具有 n 沟道的 FET。晶体管 36 的源极端 6 和基底端 7 被连接到待机电源 VDD_STANDBY。晶体管 36 的漏极端 8 被连接到晶体管 38 的漏极端 10。晶体管 38 的源极端 14 被连接到地。晶体管 38 是具有高阈值电压的晶体管。用两个字母 V_t 示出了这一点。

[0046] 作为具有高阈值电压的晶体管的所有其它晶体管用相同的字母标注。晶体管 36 和 38 构成了反相器级。在漏极端 8 和 10 处输出被反相的端 2 的控制信号 CKPNI。晶体管 36 在待机模式中保持被反相的控制信号 CKPNI。漏极端 8 和 10 被连接到 p 沟道晶体管 40 的栅极接触 22 和 n 沟道晶体管 42 的栅极接触 30。晶体管 40 的源极端 24 被连接到常规电源 VDD，而基底端 25 被连接到 VDD_STANDBY。晶体管 40 的漏极端 26 被连接到晶体管 42 的漏极端 28。晶体管 42 的源极端 32 被连接到地。要强调的是，控制信号和反相的控制信号典型地是同步亦即钟控电路中的时钟信号，但其它控制信号，例如用于异步电路中的握手信号同样是可以接受的。

[0047] 两个晶体管 40 和 42 构成了另一个反相器级。此反相器级将反相的控制信号 CKPNI 反相成非反相的控制信号 CKPI。此非反相的控制信号 CKPI 被提供在端 34 处。端 34 被连接到漏极端 26 和 28。

[0048] 图 1 还示出了状态保持电路的数据输入单元 3。数据输入单元 3 包含连接到 p 沟道晶体管 70 的栅极接触 52 和 n 沟道晶体管 75 的栅极接触 66 的输入端 50。晶体管 70 的源极端 54 被连接到常规电源 VDD。晶体管 70 的基底端 55 被连接到 VDD_STANDBY。晶体管 70 的漏极端 56 在节点 56 处被连接到 p 沟道晶体管 72 的源极端。晶体管 72 的栅极端 58 被连接到反相的控制信号 CKPNI。晶体管 72 的基底端 71 被连接到 VDD_STANDBY。晶体管 72 的漏极接触在节点 60 处被连接到 n 沟道晶体管 74 的漏极接触。晶体管 74 的栅极端 62 被连接到非反相的控制信号 CKPI。晶体管 74 的源极端在节点 64 处被连接到 n 沟道晶体管 75 的漏极端。晶体管 75 的源极端在节点 68 处被连接到地。输入信号在节点 60 处被提供到数据存储单元。

[0049] 数据存储单元 5 包含在其栅极 128 处连接到节点 60 的 p 沟道晶体管 142。晶体管 142 的源极端 130 被连接到 VDD_STANDBY。晶体管 142 的漏极端 132 被连接到 n 沟道晶体管 144 的漏极端 122。晶体管 144 的栅极端 124 也被连接到节点 60。源极端 126 被连接到地。晶体管 142 和 144 构成反相器级。如上所述，晶体管 142 和 144 由字母 V_t 标注，因而是具有高阈值电压的晶体管。晶体管 142 在待机模式的情况下保持输入信号。漏极接触 132 和 122 代表由两个晶体管 142 和 144 所构成的反相器级的输出。

[0050] 在漏极端 132 和 122 处提供的信号 S 代表端 50 的数据输入信号。信号 S 被连接

到 p 沟道晶体管 78 的栅极端 82。晶体管 78 是具有高阈值电压的晶体管。晶体管 78 的基底端 83 被连接到 VDD_STANDBY。p 沟道晶体管 85 的栅极端 88 被连接到非反相的控制信号 CKPI。晶体管 85 的基底端 87 被连接到 VDD_STANDBY。晶体管 78 的源极端 80 被连接到待机电源 VDD_STANDBY。晶体管 78 的漏极接触 84 被连接到晶体管 85 的源极端 86。晶体管 138 的栅极端 106 被连接到反相的控制信号 CKPNI。晶体管 138 的漏极端 104 被连接到晶体管 85 的端 90。晶体管 138 的源极端 108 被连接到 n 沟道晶体管 140 的漏极端 110。晶体管 140 的源极端 114 被连接到地。晶体管 140 的栅极端 112 被连接到信号 S。晶体管 140 是具有高阈值电压的晶体管。

[0051] 反相的信号 SN 提供在漏极端 90 处。此反相的信号 SN 被提供给数据输出单元 7。数据输出单元 7 在 p 沟道晶体管 162 的栅极端 150 处和 n 沟道晶体管 164 的栅极端 160 处接收该反相的信号 SN。晶体管 162 的源极端 152 被连接到常规电源 VDD。晶体管 162 的基底端 153 被连接到 VDD_STANDBY。晶体管 162 的漏极端 154 被连接到晶体管 164 的漏极端 156 和数据输出端 166。晶体管 164 的源极端 158 被连接到地。晶体管 162 和 164 构成反相器级。

[0052] 本电路包含其状态在待机过程中需要保持的锁存器—称为状态保持锁存器—以及其状态不需要保持的组合逻辑、锁存器等。使用了二种电源：一种是常规电源 (VDD)，另一种是待机电源 (VDD_STANDBY)。VDD 被提供给其状态不保持的电路，而状态保持锁存器被提供以 VDD 和 VDD_STANDBY 二者。在激活操作中，两种电源都接通。

[0053] 为了进入待机，VDD 被减小到地电平，且 VDD_STANDBY 被减小到较低的电压，其刚刚足以保持状态保持锁存器中的状态。于是，除了状态保持锁存器之外，没有待机泄漏。待机电源 VDD_STANDBY 提供了维持状态保持锁存器中的状态所必须的电流。由于在激活和待机模式中从 VDD_STANDBY 汲取非常小的电流，故缓解了 VDD_STANDBY 的布线要求。

[0054] 图 1 电路的工作可以如下。首先考虑激活模式，其中 VDD 和 VDD_STANDBY 都导通。若 CLOCK 为高，则 DATAIN 确定节点 S 和 SN 的状态。当 CLOCK 变低时，状态保持锁存器中的反馈回路完成，且节点 S 和 SN 的先前状态被保持。现在移动到待机状态，正常电源 VDD 降低到地电平，然后，VDD_STANDBY 被减小到较低的电平（刚刚足以保持该状态）。由于 VDD 被降低，故控制信号例如 CLOCK 保持在地电平，且开关 36-85 保持节点 S、SN、CKPNI 以及 CKPI 的状态。

[0055] 其余节点的电压达到地电平，且它们变成浮置。于是在待机过程中，仅仅由于开关获得 VDD_STANDBY 而有小的泄漏。借助于如图 1 所示使这些开关具有高的 V_t ，这一小泄漏被进一步减小。现在回到激活模式，VDD_STANDBY 被提高到其激活电平，然后 VDD 从地电平被提高回到其激活电平。控制信号例如 CLOCK 的状态在待机过程中由外部电路保持，CLOCK 因而保持低。电路的拓扑结构使得节点 CKPNI、CKPI、S、以及 SN 的状态被保持。此电路现在能够开始其激活工作。

[0056] 锁存器中所有的 P 开关都被置于 N 阱中，其连接到电源 VDD_STANDBY。这避免了 PMOS 晶体管的源 / 漏结在待机模式中被正向偏置。

[0057] 本发明允许切断对数字电路的常规电源而不丢失电路的状态，从而在 CMOS12 技术中将泄漏减小非常大的倍数，例如大约 100 倍。状态保持锁存器采用高 V_t 的开关，其泄漏因而非常小。在采用这种方案的数字电路中，可以用低 V_t 开关来优化逻辑门的速度，而

没有高待机泄漏的代价,这是由于逻辑的电源在待机过程中能够被关断。于是,此方案提供了高性能和低泄漏。

[0058] 如上所述,随着 VDD 被减小,使得控制信号例如 CLOCK 保持在地电平。但可以理解的是,特别是当图 1 的电路用于较大设计内部时,在待机模式中,控制单元 1 的外部输入将是浮置的。若让其浮置,则外部控制(或 CLOCK)信号由于串扰或泄漏效应而可以充电到较高的电压,导致电路控制单元 1 中大的功率耗散。

[0059] 克服此问题的一种方法可以是提供外部装置来将控制信号(或 CLOCK)保持在低电平。或者,更优选的是可以在控制电路 1 内提供装置,以便严格保持>控制=信号在待机过程中处于低电平。

[0060] 参照图 2,这种装置可以包含其栅极端 201 连接到附加信号 SBS 的 n 沟道晶体管 200。信号 SBS 是待机模式中为>高=、而工作激活模式中为>低=的待机信号。于是,在待机模式中,晶体管 200 被切换为>导通=,结果就保持>控制=信号处于低电平。在激活模式中,由于待机信号 SBS 为低,故晶体管 200 被关断,从而对电路工作没有影响。于是,在图 2 所示的实施方案中,>控制=信号就不必被外部地保持在>低=电平,从而避免了上述功率损耗。

[0061] 参照图 3,本发明另一示例性实施方案在许多方面相似于图 2 的实施方案。但在此情况下,包括了四个附加的 p 沟道晶体管 300、400、500、和 600。这些附加晶体管中的两个即 300 和 400 提供在控制单元 1 中,而另两个附加晶体管即 500 和 600 提供在数据存储单元 5 中。晶体管 400 和 600 的栅极端 401 和 601 分别被连接到待机信号 SBS(在待机模式中为>高=,而在激活模式中为>低=),故 p 沟道晶体管 400 和 600 在激活模式中为>导通=,而在待机模式中为>关断=。晶体管 300 和 500 的源极端 301 和 501 分别被连接到常规电源>VDD=。

[0062] 于是,在激活模式中,通过晶体管 300-400 和 500-600 的路径能够提供电流来分别充电节点 CKPNI 和 S。这具有在激活模式中减小来自待机电源>VDD_STANDBY=的电流要求的效果。实际上,利用晶体管 300-600,电路的所有激活功率都由常规电源>VDD=提供,且待机电源>VDD_STANDBY=在待机模式中需要仅仅提供泄漏功率。于是,在存在晶体管 300-500 的情况下,>VDD_STANDBY=能够像正常信号那样被布线,这减小了整个设计的布线面积。在待机模式中,晶体管 400 和 600 被关断,从而对电路工作没有影响。

[0063] 可以理解的是,虽然图 2 和 3 的电路的附加特点分别能够提供优于图 1 电路的显著优点,但还设想了其中这些附加的特点可能不必要的各种情况。例如,在待机电源>VDD_STANDBY=能够提供必须的激活电流的设计中,可能就没有必要有附加的晶体管 300-600(图 3)。同样,若为了外部地保持>控制=信号在待机过程中保持在>低=电平而在图 2 或 3 的安排中提供装置,则能够避免包含晶体管 200(图 2)。

[0064] 图 4 和 5 以低功率双电源触发器(DSF)电路的形式示出了本发明两个其它的示例性实施方案,其中对 90nm CMOS 技术进行的模拟结果显示出(优于常规装置)高达 10 倍的待机泄漏的减小,其对电路在激活模式中的功率和性能的影响可忽略。

[0065] 在图 4 和 5 中,D 表示数据引脚(图 1-3 中的>DATAIN=),CP 是时钟引脚(图 1 中的>CLOCK=以及图 2 和 3 中的>CONTROL=),Q 是输出引脚(图 1-3 中的>DATAOUT=),而 SBS 是如上所述的待机信号引脚。

[0066] 本领域技术人员可以理解的是,图 4 示出了具有稍许不同构造的一个实施方案,但实际上等同于图 2 所示的实施方案。在两种情况下,所有 PMOS 晶体管都位于连接到 VDD_STANDBY 的同一个 n 阱中,由于这可以一直保持触发器中的最高电位(即使当 VDD 在待机情况下被减小到非常低的电压时)。在待机过程中无需供电的触发器中的这些晶体管被连接到 VDD,而为了保持状态而绝对需要供电的这些晶体管被连接到 VDD_STANDBY(在图 4 中被圈出)。如所示,从属锁存器中的背靠背连接的反相器构造必须由 VDD_STANDBY 供电,由于这是状态被保持的地方。CP 引脚之后的第一反相器必须由 VDD_STANDBY 供电,由于 cpi(CKPI) 和 cpn(CKPNI) 信号分别被保持为低和高,以便背靠背连接的从属锁存反相器保持状态。其余的触发器由 VDD 供电。

[0067] SBS 引脚在激活模式中必须保持低,以便确保到达 CP 处的时钟信号不被中断。但在待机模式中,其必须保持高,以便 CP 被有效地拉至低值,从而提高触发稳定性,并确保 cpn 上的低值和 cpi 上的高值。(注意,不要求输出 Q 在待机时具有任何有意义的值,因为没有栅极留意此数值)。

[0068] 图 5 相似于图 4,但具有 4 个附加的晶体管 300、400、500、600(圈起来的)。虽然此构造稍许不同,但实际上等同于图 3 的构造,因此,当 SBS = 0 时,4 个附加的晶体管 300、400、500、600 被连接并配置成极大地减小激活模式中从 VDD_STANDBY 汲取的电流。

[0069] (下面)表 1 示出了图 4 和 5 的双电源触发器电路的真值表。

D	CP	SBS	Vdd	Vdd-stby	Q	模式
0	r	0	1	1	0	激活
1	r	0	1	1	1	激活
x	f	0	1	1	Q(旧的)	激活
x	0	0	1	1	Q(旧的)	激活
x	1	0	1	1	Q(旧的)	激活
z	z	1	0	1	z	待机

表 1: DSFF 真值表

[0070] 该表的前 2 行示出了当 CP 上存在上升边沿的情况。接下来的 3 行示出了在输出 Q 被保持在旧的数值而不管 D 如何时,CP 分别 = 下降边沿、0、1 的情况。注意,SBS 和 Vdd 仅仅在作为待机模式的最后一行中改变。在此模式中,D、CP、以及 Q 由于其驱动器未被供电而进入高阻抗状态。但此状态被安全地保留在 DSF 内。SBS 被保持为高,表明待机模式,且 VDD 被下拉到接近 0 的值。Vdd-stby 一直被保持高。可以理解的是,在待机过程中,它能够被降低到其激活模式(满)数值以下,但此处不再进一步详细讨论此问题。

[0071] 由于 DSF = s 需要单独的 n 阱接触,故无法进行将 n 阱连接到 VDD 的常规布局方式。在三阱工艺的情况下,库单元可能具有单独的 n 阱和 p 阱接触。建议的示例性布局方案是为标准单元提出的,并被示于图 6 中。注意,存在着 4 个邻接的引脚,亦即 VDD、GND、VNW(n 阱电压)、以及 VPW(p 阱电压)。如图 7 所示,在大多数情况下,电源开关(PSS)能够

容易地在内核周围被包覆。放大的插图示出了 PSS 的细节, VDD 在外面而 VDD 内核在内部。若要求的 PSS 宽度小于内核的周长, 则其可以被分段。若要求的宽度较大, 则其可以围绕内核而折叠。

[0072] 本发明可应用于所有要求低待机泄漏和待机状态保持的器件。图 2 给出了这种电子器件的一个例子。电子器件 200 具有第一电路部分 240 和第二电路部分 260, 后者被安排用来至少在电子器件 200 的待机模式中保持第一电路部分 240 的状态。为此, 如图 1 及其详细描述所示的至少一个状态保持电路被包括在第二电路部分 260 中。显然, 第二电路部分 260 也可以包括具有其它任务的其它电路元件。电子器件 200 还包括常规电源 220 和待机电源 222。常规电源 220 被安排用来在电子器件 200 的激活模式中, 经由导体 230 向第一电路部分 240 和第二电路部分 260 提供电源, 而待机电源 222 被安排用来在电子器件 100 的待机模式中, 经由导体 232 向第二电路部分 260、或至少其状态保持电路的数据存储单元 5 的电路元件提供待机电源。在电子器件 200 的正常激活模式中, 常规电源 220 和待机电源 222 提供的功率强度基本上类似。实际上, 在激活模式中, 待机电源 222 可以是常规电源 220 的一个完整的部分。但在电子器件 200 的待机模式中, 常规电源 220 被切断, 或第一和第二电路部分 240 和 260 从常规电源 220 断开连接, 仅仅第二电路部分 160 的状态保持部分被连接到待机电源 222, 与电子器件 200 的电源相比, 其优选地提供减小的功率, 以便使第二电路部分 260 的状态保持部分的功耗最小化。

[0073] 由于待机模式中的功耗显著减小, 其延长了例如移动电话或膝上计算机的电子器件工作周期的寿命, 亦即其间不要求电池重新充电的时间周期, 故对于电池供电的电子器件来说这是特别有利的。由于工作周期寿命是这种器件的最重要品质之一, 故这将大幅度改善电子器件的销售性。

[0074] 在前面的描述中, 已经提出了被文件所覆盖的本发明的各种新的特性和优点。但可以理解的是, 本公开在许多方面仅仅是说明性的。可以在细节方面, 特别是在零件的形状、尺寸、以及安排方面, 作出各种改变而不超越本发明的范围。本发明的范围当然由所附权利要求来定义。

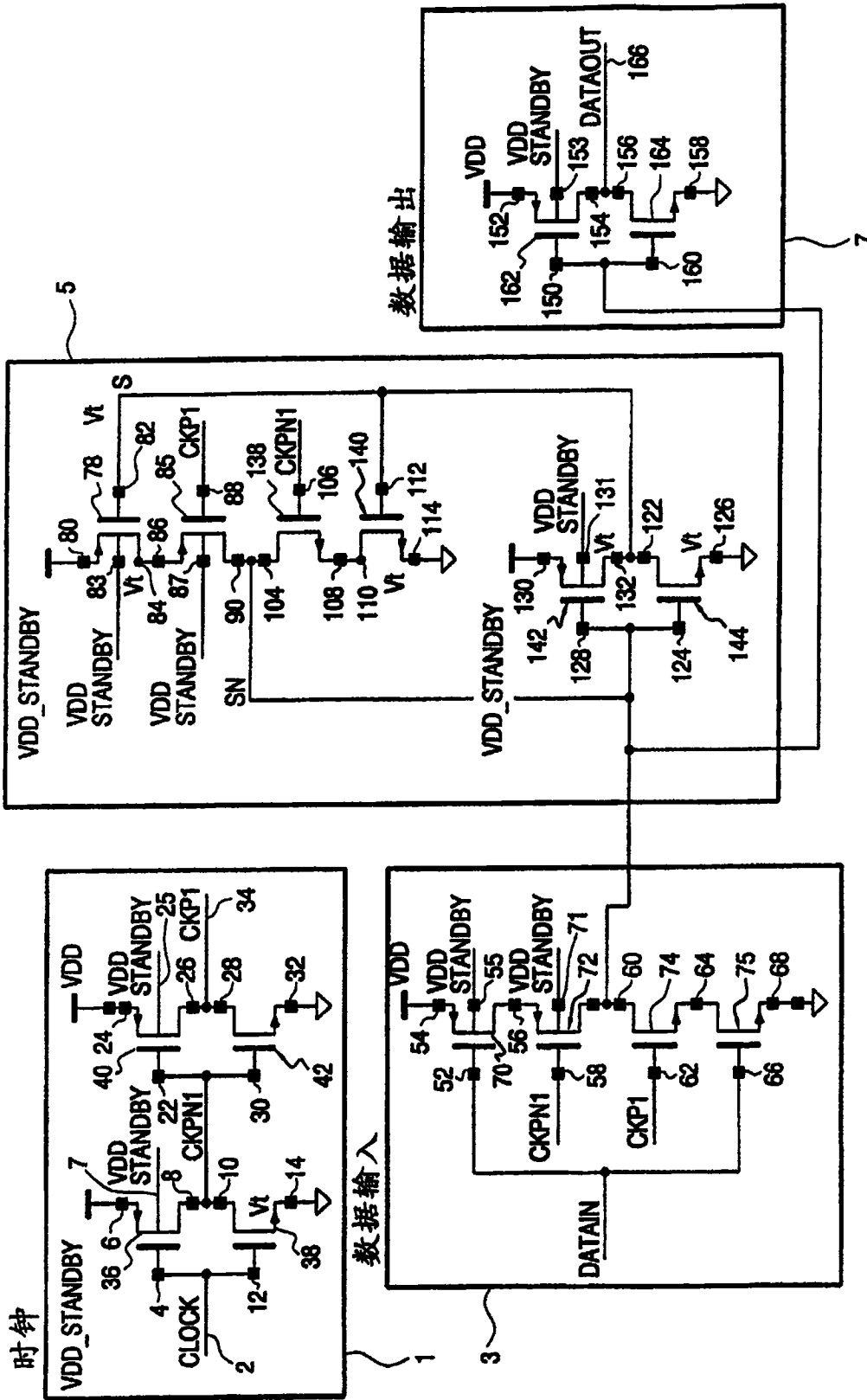


图 1

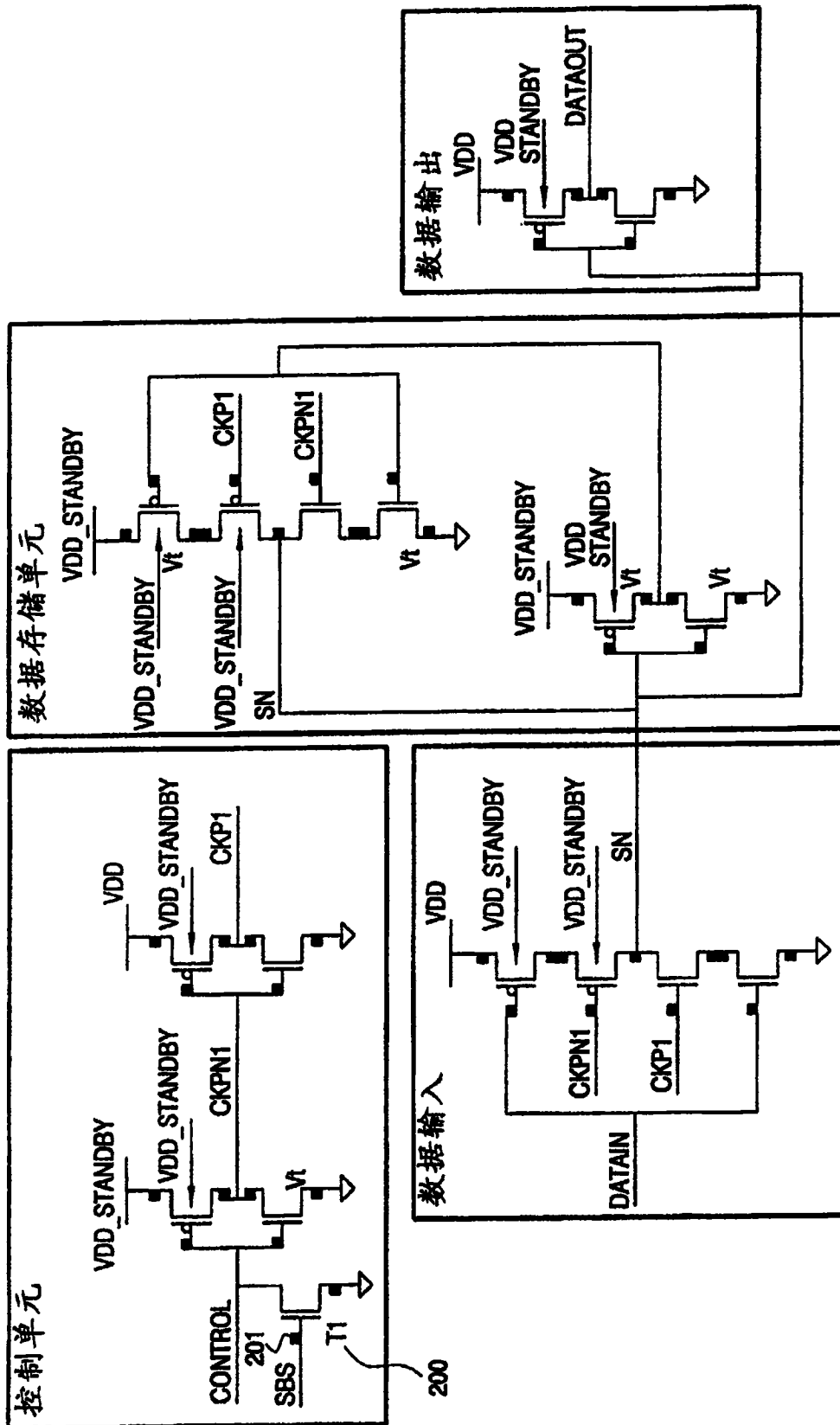


图 2

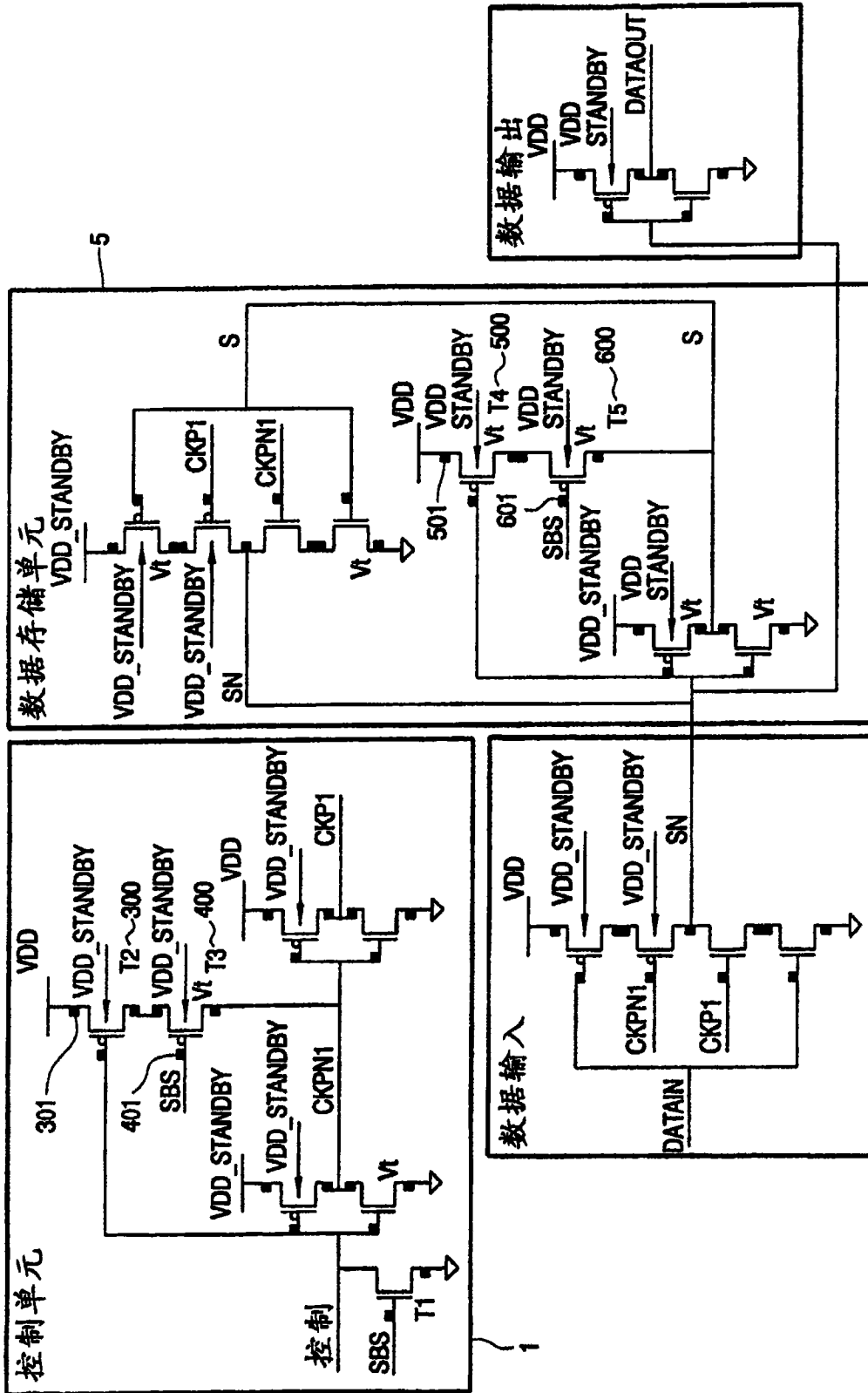


图 3

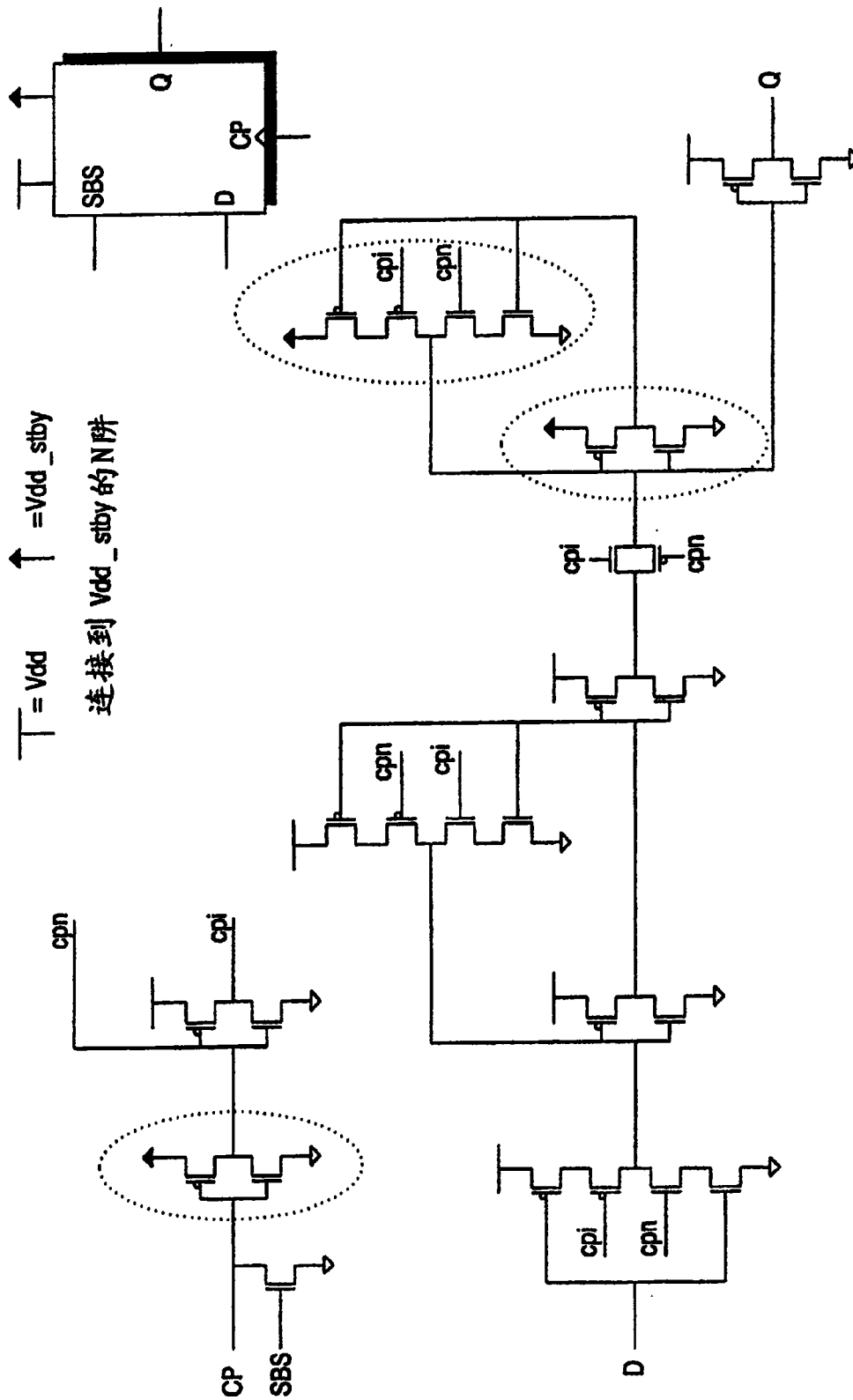


图 4

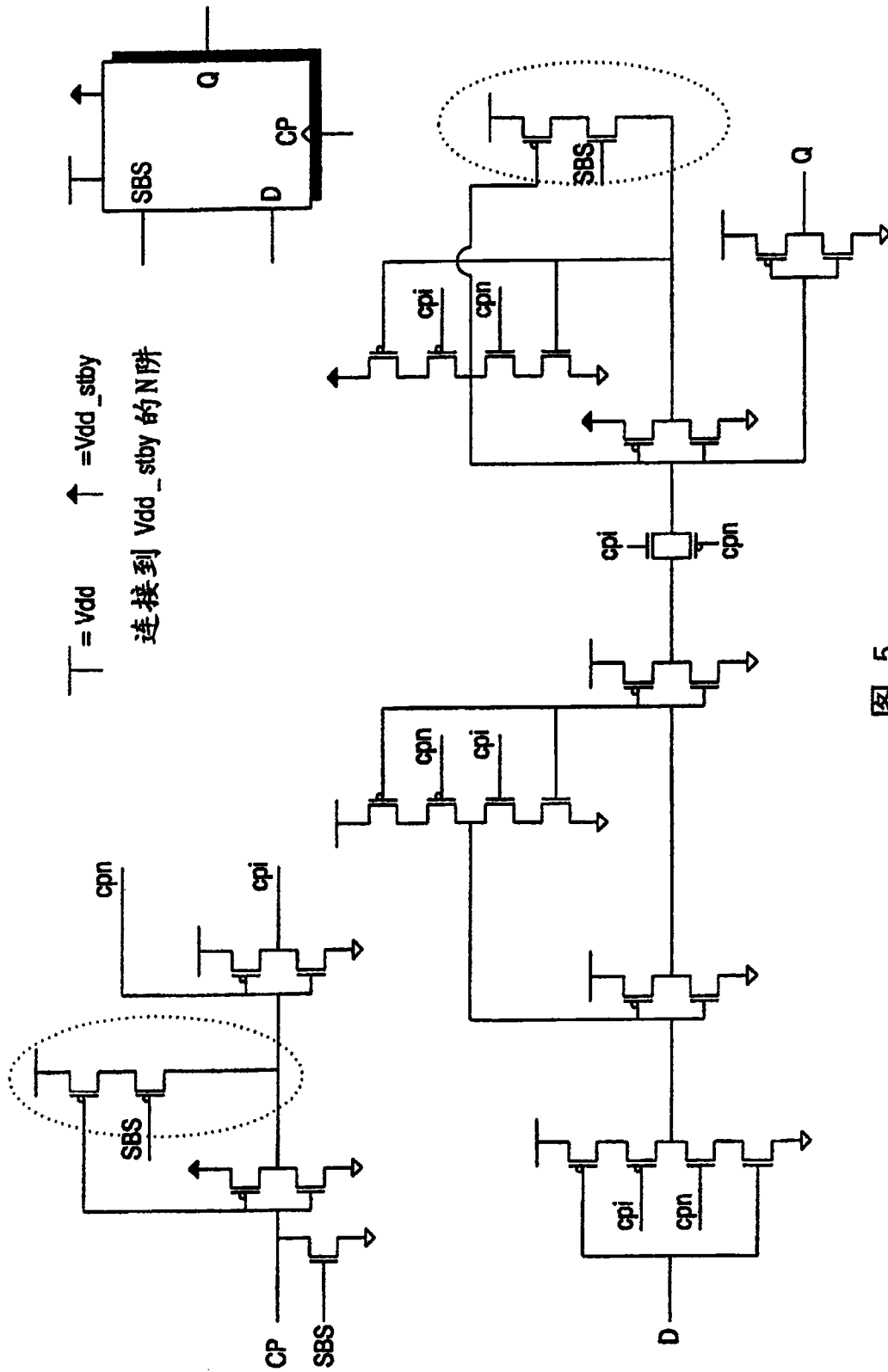


图 5

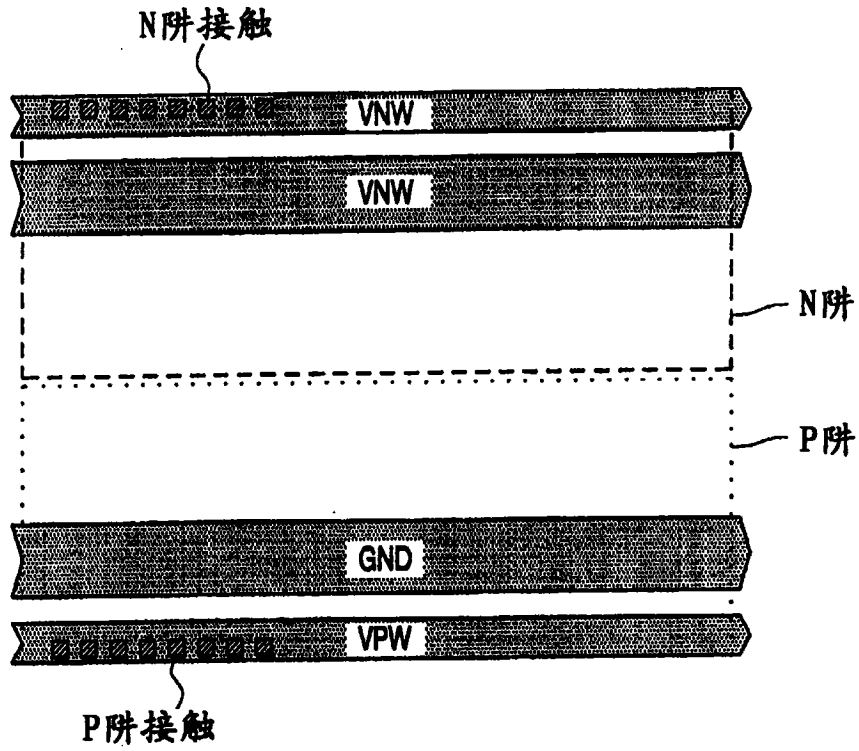


图 6

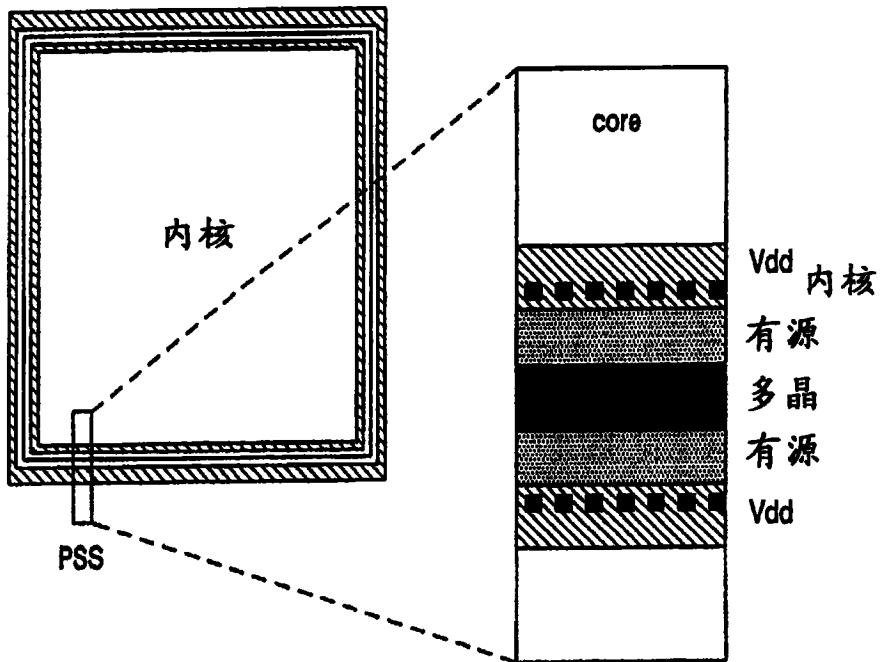


图 7

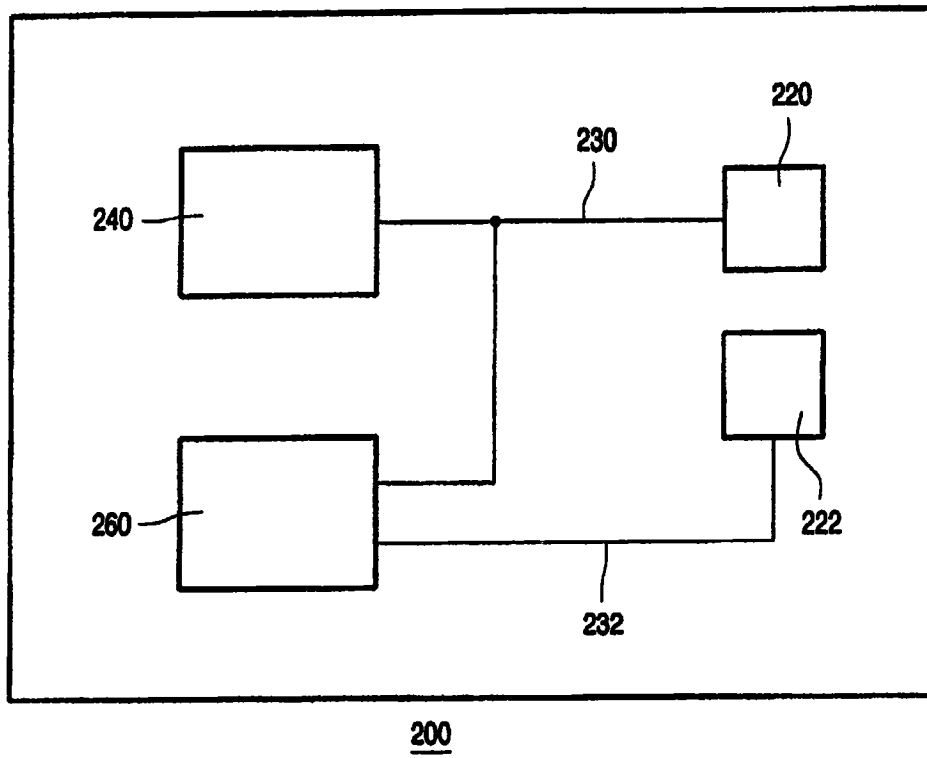


图 8