

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

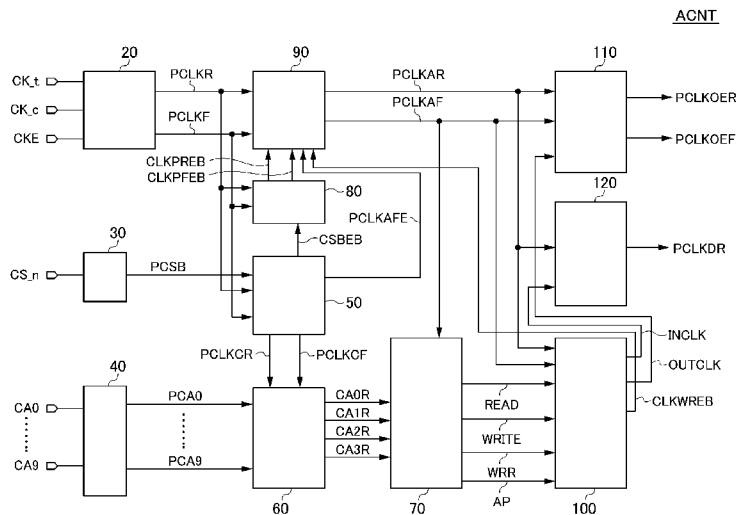
(43) 国際公開日
2014年8月28日 (28.08.2014)



(10) 国際公開番号
WO 2014/129438 A 1

- (51) 国際特許分類 : G11C 11/4076 (2006.01) G11C 11/407 (2006.01)
- (21) 国際出願番号 : PCT/JP20 14/0537 13
- (22) 国際出願日 : 2014年2月18日 (18.02.2014)
- (25) 国際出願の言語 : 日本語
- (26) 国際公開の言語 : 日本語
- (30) 優先権データ : 特願 2013-034103 2013年2月25日 (25.02.2013) JP
- (71) 出願人 : ピーエスフォー ルクスコ エスエイ
ールエル (PS4 LUXCO S.A.R.L.) [LU/LU]; 2121 ル
クセンブルク、ヴァル デ ボン マラデス 2
0 8 Luxembourg (LU).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, ML, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
ML, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).
- (2) 発明者 ; および
- (1) 出願人 (米国についてのみ) : 松井 義徳 (MAT-
SUI Yoshinori) [JP/JP]; 〒1040028 東 3/4 都 中 夫 区 入
重 洲 二 丁 目 2 番 1 号 エルピーダメモリ株式会
社 内 Tokyo (JP).
- (74) 代理人 : 鷲頭 光宏 , 外 (WASHIZU Mitsuhiro et
al); 〒1040061 東京 都 中 央 区 銀 座 一 丁 目 5 番 1 号
第 三 太 陽 ビ ル 7 F Tokyo (JP).
- 添付公開書類 :
- 国際調査報告 (条約第 21 条 (3))

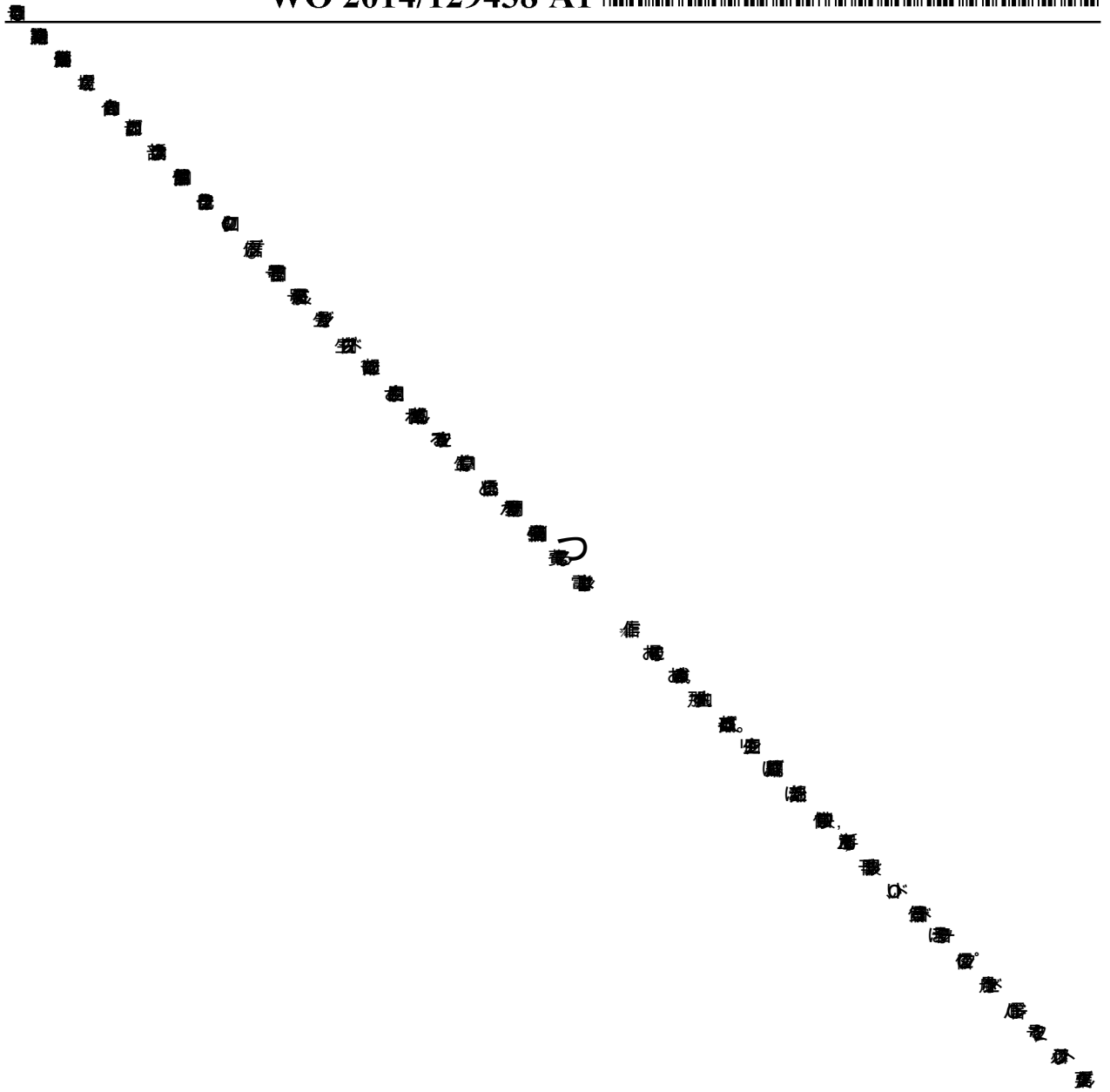
(54) Title: SEMICONDUCTOR DEVICE
(54) 発明の名称 : 半導体装置



(57) Abstract: [Pro Diem] To reduce current consumption caused by generation of an internal clock signal. [Solution] The present invention is provided with: a clock signal buffer circuit (90) which, in response to activation of a chip selection signal (CS_n), starts generation of an internal clock signal PCLKAR; and internal circuits (70, 100, 110, and 120) which operate in synchronization with the internal clock signal PCLKAR. The clock signal buffer circuit (90) suspends generation of the internal clock signal PCLKAR at a second timing if command signals (CA0 to CA9) indicate read commands, and suspends generation of the internal clock signal PCLKAR at a first timing which is earlier than the second timing if the command signals (CA0 to CA9) indicate active commands. According to the present invention, an internal clock signal is generated only for periods necessary in accordance with external command signals, and therefore, it is possible to reduce current consumption.

(57) 要約 :

2014/129438 1



] 0
 P
 イ
 クイ
 し、
 流の動、
 K動、
 C第
 発電機
 R
 或す
 こと
 こと
]
 口
 一
 イ
 とた
 った。

明 細 書

発明の名称 : 半導体装置

技術分野

[0001] 本発明は半導体装置に関し、特に、クロック信号に同期して動作する内部回路を備えた半導体装置に関する。

背景技術

[0002] 近年広く用いられているD R A M (Dynamic Random Access Memory) は、メモリコントローラから供給される外部クロック信号に同期して動作を行うシンクロナス型が一般的である。外部クロック信号は、D R A M内に設けられたクロック信号生成回路に供給され、これによりD R A M内のベースクロックである内部クロック信号が生成される (特許文献1参照)。

[0003] 内部クロック信号は、メモリコントローラからいっどのようなコマンドが発行されても対応できるように、通常動作時には常にクロッキングされることが一般的である。

先行技術文献

特許文献

[0004] 特許文献1 : 特開2011_108300号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、内部クロック信号は多数の内部回路に供給される信号であるため、常時クロッキングさせると、モバイル用途など特に低消費電力が求められるD R A Mにおいては無視できない消費電流が生じる。

課題を解決するための手段

[0006] 本発明の一側面による半導体装置は、第1のクロック信号に基づいて第2のクロック信号を生成する第1の回路と、前記第1のクロック信号に同期して入力される外部コマンド信号に基づいて、前記第2のクロック信号に同期した内部コマンド信号を生成する第2の回路と、を備え、前記第1の回路は

、前記外部コマンド信号が第1の値を示している場合、前記外部コマンド信号が入力されてから第1の期間が経過したことに応答して前記第2のクロック信号を停止させ、前記外部コマンド信号が前記第1の値とは異なる第2の値を示している場合、前記外部コマンド信号が入力されてから前記第1の期間よりも長い第2の期間が経過したことに応答して前記第2のクロック信号を停止させることを特徴とする。

[0007] 本発明の他の側面による半導体装置は、チップセレクト信号の活性化に応答して内部クロック信号の生成を開始するクロック信号バッファ回路と、前記内部クロック信号に同期して動作する内部回路と、を備え、前記クロック信号バッファ回路は、前記チップセレクト信号に同期して入力されるコマンド信号が所定のコマンドを示している場合には第2のタイミングで前記内部クロック信号の生成を停止し、前記コマンド信号が前記所定のコマンドとは異なるコマンドを示している場合には前記第2のタイミングよりも早い第1のタイミングで前記内部クロック信号の生成を停止することを特徴とする。

[0008] 本発明のさらに他の側面による半導体装置は、外部クロックを元に内部クロックを生成するクロック信号生成回路と、前記内部クロックをバッファリングして出力するクロックバッファ回路と、前記クロックバッファ回路から出力された前記内部クロックに基づき、外部から供給されたコマンドをデコードしてデコード信号を生成するコマンドデコード回路と、を有し、前記クロックバッファ回路は、チップセレクト信号に基づき前記内部クロック信号を出力し、前記コマンドデコード信号に基づき前記内部クロック信号の出力を停止することを特徴とする。

発明の効果

[0009] 本発明によれば、外部コマンド信号に応じて必要な期間だけ内部クロック信号が生成されることから、消費電流を削減することが可能となる。

図面の簡単な説明

[0010] [図1] 本発明の好ましい実施形態による半導体装置10の回路構成を示すブロック図である。

- [図2] アクセス制御回路 A C N T の主要部の構成を示すブロック図である。
- [図3] クロック信号生成回路 2 0 の回路図である。
- [図4] チップセレクトレシーバ回路 3 0 の回路図である。
- [図5] コマンドアドレスレシーバ回路 4 0 の回路図である。
- [図6] チップセレクトラッチ回路 5 0 の回路図である。
- [図7] コマンドアドレスラッチ回路 6 0 の回路図である。
- [図8] コマンドデコーダ 7 0 の一部を示す回路図である。
- [図9] クロックイネーブル信号生成回路 8 0 のうち内部クロック信号 P C L K R に同期して動作する回路部分 8 0 R を示す回路図である。
- [図10] クロックイネーブル信号生成回路 8 0 のうち内部クロック信号 P C L K F に同期して動作する回路部分 8 0 F を示す回路図である。
- [図11] クロック信号バッファ回路 9 0 の回路図である。
- [図12] 外部からリードコマンドが発行された場合の動作を示すタイミング図である。
- [図13] 外部からモードレジスタリードコマンドが発行された場合の動作を示すタイミング図である。
- [図14] 外部からライトコマンドが発行された場合の動作を示すタイミング図である。
- [図15] 外部からライトウイズオートプリチャージコマンドが発行された場合の動作を示すタイミング図である。
- [図16] 外部からアクティブコマンドが発行された場合の動作を示すタイミング図である。

発明を実施するための形態

- [001 1] 以下、添付図面を参照しながら、本発明の好ましい実施形態について詳細に説明する。
- [001 2] 図 1 は、本発明の好ましい実施形態による半導体装置 1 0 の回路構成を示すブロック図である。
- [001 3] 本実施形態による半導体装置 1 0 は 1 つのシリコンチップ C P に集積され

た D R A M であり、図 1 に示すように複数のメモリセルを含むメモリセルアレイ M A を備えている。メモリセルアレイ M A へのアクセスは、アクセス制御回路 A C N T によって行われる。リード動作時においては、アクセス制御回路 A C N T による制御のもとメモリセルアレイ M A からリードデータが読み出され、データ制御回路 D C N T に含まれるデータ出力回路 O B を介し、データ端子 D Q P からリードデータ D Q 0 ~ D Q n が出力される。リードデータ D Q 0 ~ D Q n の出力は、出カクロック信号 P C L K O E R , P C L K O E F に同期して行われる。また、ライト動作時においては、データ端子 D Q P に入力されたライトデータ D Q 0 ~ D Q n が、入カクロック信号 P C L K D R に同期してデータ入力回路 I B に取り込まれ、メモリセルアレイ M A に書き込まれる。

[0014] 図 1 に示すように、アクセス制御回路 A C N T には、コマンドアドレス端子 C A P を介して相補の外部クロック信号 C K __ t , C K __ c 、クロックイネーブル信号 C K E 、チップセレクト信号 C S __ n 、コマンドアドレス C A 0 ~ C A 9 などが入力される。また、アクセス制御回路 A C N T には、当該半導体装置 1 0 の動作モードを示すモード信号を保持するためのモードレジスタ M R を備えている。後述するように、モードレジスタ M R の設定値は、外部からモードレジスタリードコマンドを発行することによってデータ端子 D Q P から読み出すことができる。

[001 5] 以下、アクセス制御回路 A C N T の回路構成について詳細に説明する。

[001 6] 図 2 は、アクセス制御回路 A C N T の主要部の構成を示すブロック図である。

[001 7] 図 2 に示すように、アクセス制御回路 A C N T は、クロック信号生成回路 2 0 、チップセレクトレシーバ回路 3 0 及びコマンドアドレスレシーバ回路 4 0 を備えている。クロック信号生成回路 2 0 は、外部クロック信号 C K __ t , C K __ c 及びクロックイネーブル信号 C K E を受け、これらに基づいて相補の内部クロック信号 P C L K R , P C L K F を生成する回路である。また、チップセレクトレシーバ回路 3 0 は、チップセレクト信号 C S を受けて

チップセレクト信号PCSBを生成する回路である。さらに、コマンドアドレスレシーバ回路40は、コマンドアドレス信号CA0〜CA9を受け、コマンドアドレス信号PCA0〜PCA9を生成する回路である。

[0018] 図3は、クロック信号生成回路20の回路図である。

[0019] 図3に示すように、クロック信号生成回路20は、相補の外部クロック信号CK_t、CK_cを受け、対のレシーバ回路21、22と、クロックイネーブル信号CKEを受け、レシーバ回路23を備えている。レシーバ回路21については、非反転入力ノード(+)に外部クロック信号CK_tが供給され、反転入力ノード(-)に外部クロック信号CK_cが供給されるのに対し、レシーバ回路22については、非反転入力ノード(+)に外部クロック信号CK_cが供給され、反転入力ノード(-)に外部クロック信号CK_tが供給される。

[0020] また、レシーバ回路23の出力信号は、レシーバ回路21の出力信号に同期して、つまり、外部クロック信号CK_tの立ち上がりエッジに同期して、ラッチ回路24に取り込まれる。ラッチ回路24は、ラッチしたクロックイネーブル信号CKEの論理に基づき、マスク信号CLKMSKR、CLKMSKFを生成する。マスク信号CLKMSKR、CLKMSKFは、それぞれレシーバ回路21、22の出力信号を受け、ゲート回路25、26に供給され、ゲート回路25、26の出力信号がそれぞれ内部クロック信号PCLKR、PCLKFとして用いられる。

[0021] かかる構成により、外部クロック信号CK_tの立ち上がりエッジに同期したクロックイネーブル信号CKEの論理レベルがハイレベルであれば、外部クロック信号CK_t、CK_cと実質的に同じ位相を有する内部クロック信号PCLKR、PCLKFが生成される。一方、外部クロック信号CK_tの立ち上がりエッジに同期したクロックイネーブル信号CKEの論理レベルがローレベルであれば、内部クロック信号PCLKR、PCLKFのクロッキングが停止される。

[0022] 図4及び図5は、それぞれチップセレクトレシーバ回路30及びコマンド

アドレスレシーバ回路40の回路図である。

[0023] 図4及び図5に示すように、チップセレクトレシーバ回路30とコマンドアドレスレシーバ回路40は互いに同じ類似した回路構成を有しており、対応する信号CS_n又はCA_i (i = 0 ~ 9) と基準電位VREFCAを比較するレシーバ回路31, 41と、レシーバ回路31, 41の出力信号をそれぞれ遅延させる遅延回路DLY1, DLY2を備えている。図4に示すように、遅延回路DLY1の出力信号はチップセレクト信号PCSBとして用いられる。また、図5に示すように、遅延回路DLY2の出力信号はコマンドアドレス信号PCA_iとして用いられる。

[0024] 図2に戻って、アクセス制御回路ACNTは、内部クロック信号PCLKR, PCLKF及びチップセレクト信号PCSBを受けるチップセレクトラッチ回路50が含まれている。チップセレクトラッチ回路50は、これらの信号に基づき、イネーブル信号PCLKCR, PCLKCF, PCLKAFE及び内部チップセレクト信号CSBEBを生成する。これらの信号のうち、イネーブル信号pclkcr, PCLKCFはコマンドアドレスラッチ回路60に供給され、内部チップセレクト信号CSBEBはクロックイネーブル信号生成回路80に供給され、イネーブル信号PCLKAFEはクロック信号バッファ回路90に供給される。

[0025] 図6は、チップセレクトラッチ回路50の回路図である。

[0026] 図6に示すように、チップセレクトラッチ回路50は、縦続接続されたラッチ回路51~53を備えている。ラッチ回路51は、内部クロック信号PCLKRに同期してチップセレクト信号PCSBをラッチする回路であり、その出力信号はゲート回路54を介してイネーブル信号PCLKCRとして出力される。また、ラッチ回路51の出力信号は、内部クロック信号PCLKRに同期してラッチ回路52にラッチされ、その出力信号は内部チップセレクト信号CSBEB及びイネーブル信号PCLKAFEとして出力される。さらに、ラッチ回路52の出力信号は、内部クロック信号PCLKFに同期してラッチ回路53にラッチされ、その出力信号はゲート回路55を介し

てイネーブル信号 PCLKCF として出力される。

[0027] かかる構成により、チップセレクト信号 PCSB がローレベルに活性化すると、内部クロック信号 PCLKR に同期してイネーブル信号 PCLKCR が 0.5 クロックサイクルだけ活性化し、内部クロック信号 PCLKF に同期してイネーブル信号 PCLKCF が 0.5 クロックサイクルだけ活性化するとともに、内部チップセレクト信号 CSBEB 及びイネーブル信号 PCLKAFE が 1 クロックサイクルだけ活性化する。

[0028] チップセレクトラッチ回路 50 によって生成される信号のうち、イネーブル信号 PCLKCR, PCLKCF は、図 2 に示したコマンドアドレスラッチ回路 60 に供給される。

[0029] 図 7 は、コマンドアドレスラッチ回路 60 の回路図である。

[0030] 図 7 に示すように、コマンドアドレスラッチ回路 60 は、イネーブル信号 PCLKCR に同期してラッチ動作を行う縦続接続されたラッチ回路 61, 62 と、イネーブル信号 PCLKCF に同期してラッチ動作を行う縦続接続されたラッチ回路 63, 64 とを備えている。初段のラッチ回路にはいずれもコマンドアドレス信号 CAi が入力される。かかる構成により、イネーブル信号 PCLKCR に同期して、つまり、外部クロック信号 CK_t の立ち上がりエッジに同期して発行されたコマンドアドレス信号 CAi は、コマンドアドレス信号 CAiR としてラッチ回路 62 から出力される。一方、イネーブル信号 PCLKCF に同期して、つまり、外部クロック信号 CK_c の立ち上がりエッジ (外部クロック信号 CK_t の立ち下がりエッジ) に同期して発行されたコマンドアドレス信号 CAi は、コマンドアドレス信号 CAiF としてラッチ回路 64 から出力される。

[0031] このようにして分離されたコマンドアドレス信号 CAiR, CAiF は、図 2 に示したコマンドデコーダ 70 に供給される。

[0032] 図 8 は、コマンドデコーダ 70 の一部を示す回路図である。

[0033] 図 8 に示すように、コマンドデコーダ 70 は、コマンドアドレス信号 CA0R~CA3R をデコードするデコード回路部 71 と、内部クロック信号 P

C L K A F に同期してラッチ動作を行うラッチ回路 7 2 ~ 7 7 とを備えている。内部クロック信号 P C L K A F は、図 2 に示したクロック信号バッファ回路 9 0 によって生成される信号であり、詳細については後述する。

[0034] デコード回路部 7 1 は、内部チップセレクト信号 C S B E B によって活性化されるゲート回路 G 1 ~ G 3 を含んでいる。ゲート回路 G 1 ~ G 3 には、コマンドアドレス信号 C A 0 R ~ C A 3 R が互いに異なる論理で入力されており、これにより、コマンドアドレス信号 C A 0 R ~ C A 3 R が所定の値を示した場合に、対応するゲート回路 G 1 ~ G 3 の出力信号がローレベルに活性化する。

[0035] 図 8 に示すように、ゲート回路 G 1 の出力信号は縦続接続されたラッチ回路 7 2 , 7 3 に供給され、その出力信号はリード信号 R E A D として用いられる。また、ゲート回路 G 2 の出力信号は縦続接続されたラッチ回路 7 4 , 7 5 に供給され、その出力信号はライト信号 W R I T E として用いられる。さらに、ゲート回路 G 3 の出力信号は縦続接続されたラッチ回路 7 6 , 7 7 に供給され、その出力信号はモードレジスタリード信号 M R R として用いられる。これらリードコマンド R E A D 、ライトコマンド W R I T E 及びモードレジスタリードコマンド M R R は、図 2 に示すレイテンシ制御回路 1 0 0 に供給される。

[0036] レイテンシ制御回路 1 0 0 は、リードコマンド R E A D 、ライトコマンド W R I T E 及びモードレジスタリードコマンド M R R が活性化した場合、モードレジスタ M R に設定されたレイテンシに基づき、イネーブル信号 C L K W R E B , O U T C L K E , I N C L K E を所定期間だけ活性化させる回路である。図 2 に示すように、イネーブル信号 C L K W R E B , O U T C L K E , I N C L K E は、それぞれクロック信号バッファ回路 9 0 、出力クロック生成回路 1 1 0 、入力クロック生成回路 1 2 0 に供給される。

[0037] 例えば、リード信号 R E A D が活性化した場合、図 1 2 に示すように、イネーブル信号 C L K W R E B , O U T C L K E の順に活性化し、リード動作の終了後にいずれも非活性化する。イネーブル信号 O U T C L K E が活性化

すると、出カクロック生成回路 110 は内部クロック信号 PCLKAR, PCLKAF に基づいて出カクロック信号 PCLKOER, PCLKOEF を生成する。出カクロック信号 PCLKOER, PCLKOEF は、図 1 に示すデータ出力回路 OB に供給され、データ出力回路 OB は出カクロック信号 PCLKOER, PCLKOEF に同期してリードデータ DQj (j = 0 ~ n) のバースト出力を行う。

[0038] また、ライト信号 WRITE が活性化した場合、図 14 に示すように、イネーブル信号 CLKWREB, INCLKE の順に活性化し、ライト動作の終了後にいずれも非活性化する。イネーブル信号 INCLKE が活性化すると、入カクロック生成回路 120 は内部クロック信号 PCLKAR に基づいて入カクロック信号 PCLKDR を生成する。入カクロック信号 PCLKDR は、図 1 に示すデータ入力回路 IB に供給され、データ入力回路 IB は入カクロック信号 PCLKDR に同期して、バースト入力されるライトデータ DQj の取り込みを行う。

[0039] さらに、モードレジスタリード信号 MRR が活性化した場合、図 13 に示すように、イネーブル信号 CLKWREB, OUTCLKE の順に活性化し、モードレジスタリード動作の終了後にいずれも非活性化する。これにより、リード信号 READ が活性化した場合と同様、出カクロック信号 PCLKOER, PCLKOEF に同期して、モードレジスタ MR の設定値のバースト出力が行われる。

[0040] 図 9 及び図 10 はクロックイネーブル信号生成回路 80 の回路図であり、図 9 は内部クロック信号 PCLKR に同期して動作する回路部分 80R を示し、図 10 は内部クロック信号 PCLKF に同期して動作する回路部分 80F を示している。

[0041] 図 9 に示すように、クロックイネーブル信号生成回路 80 の回路部分 80R は、内部チップセレクト信号 CSBEB を受ける縦続接続されたラッチ回路 81 ~ 87 を備えている。これらラッチ回路 81 ~ 87 は、いずれも内部クロック信号 PCLKR に同期して動作する回路である。ここで、ラッチ回

路 8 2 とラッチ回路 8 3 との間、ラッチ回路 8 4 とラッチ回路 8 5 との間、並びに、ラッチ回路 8 6 とラッチ回路 8 7 との間は、それぞれゲート回路 G 4 ~ G 6 を介して接続されており、これらゲート回路 G 4 ~ G 7 は、内部チップセレクト信号 C S B E B によって活性化されるよう構成されている。かかる構成により、内部チップセレクト信号 C S B E B がローレベルに活性化すると、最終段のラッチ回路 8 7 からは、図 1 2 ~ 図 1 6 に示すように、4 クロックサイクルのパルス幅を持ったイネープル信号 C L K P R E B が生成される。

[0042] イネープル信号 C L K P R E B は、図 2 に示したクロック信号バッファ回路 9 0 に供給されるとともに、図 1 0 に示すクロックイネープル信号生成回路 8 0 の回路部分 8 0 F にも供給される。図 1 0 に示すように、クロックイネープル信号生成回路 8 0 の回路部分 8 0 F は、イネープル信号 C L K P R E B を受ける縦続接続されたラッチ回路 8 8 , 8 9 を備えている。ラッチ回路 8 8 , 8 9 は、いずれも内部クロック信号 P C L K F に同期して動作する回路である。かかる構成により、最終段のラッチ回路 8 9 から出力されるイネープル信号 C L K P F E B は、図 1 2 ~ 図 1 6 に示すように、イネープル信号 C L K P R E B に対して 0. 5 クロックサイクルだけ遅れた波形となる。イネープル信号 C L K P F E B は、図 2 に示したクロック信号バッファ回路 9 0 に供給される。

[0043] 図 1 1 は、クロック信号バッファ回路 9 0 の回路図である。

[0044] 図 1 1 に示すように、クロック信号バッファ回路 9 0 は、内部クロック信号 P C L K R に同期した内部クロック信号 P C L K A R を生成するゲート回路 9 1 と、内部クロック信号 P C L K F に同期した内部クロック信号 P C L K A F を生成するゲート回路 9 2 とを備えている。

[0045] ゲート回路 9 1 は、イネープル信号 C L K P R E B 及び C L K W R E B の少なくとも一方がローレベルに活性化していることを条件として、内部クロック信号 P C L K R に同期して内部クロック信号 P C L K A R をクロツキングさせる。逆に言えば、イネープル信号 C L K P R E B 及び C L K W R E B

の両方が非活性化している場合、内部クロック信号 PCLKAR のクロッキングは停止する。

[0046] ゲート回路 92 は、イネーブル信号 CLKPEB 及び CLKWREB の少なくとも一方がローレベルに活性化していることを条件として、内部クロック信号 PCLKF に同期して内部クロック信号 PCLKAF をクロッキングさせる。逆に言えば、イネーブル信号 CLKPEB 及び CLKWREB の両方が非活性化している場合、内部クロック信号 PCLKAF のクロッキングは停止する。また、ゲート回路 92 にはイネーブル信号 PCLKAFE も入力されており、これがハイレベルに活性化している期間は内部クロック信号 PCLKAF のクロッキングが停止する。

[0047] 以上が本実施形態による半導体装置 10 の回路構成である。次に、本実施形態による半導体装置 10 の動作について説明する。

[0048] 図 12 は、外部からリードコマンドが発行された場合の動作を示すタイミング図である。

[0049] 図 12 に示す例では、時刻で 10, t11 にコマンドアドレス信号 CAi が入力され、これがリードコマンドを示している。また、時刻で 10 における外部クロック信号 CK_t の立ち上がりエッジが現れる際には、チップセレクト信号 CS_n がローレベルに活性化されている。チップセレクト信号 CS_n の活性化にตอบสนองして、チップセレクト信号 CSBEB 及びイネーブル信号 PCLKAFE が 1 クロックサイクルの期間に亘って活性化するとともに、イネーブル信号 PCLKCR, ϕ_{10} に ϕ_{10} が 0.5 クロックサイクルの期間に亘って活性化する。

[0050] さらに、チップセレクト信号 CSBEB の活性化にตอบสนองして、イネーブル信号 CLKPREB, CLKPEFB が 4 クロックサイクルの期間に亘って活性化する。これらにより、クロック信号バッファ回路 90 がイネーブル状態となることから、図 12 に示すように、内部クロック信号 PCLKAR, PCLKAF のクロッキングが開始される。また、リードコマンドの発行にตอบสนองして、コマンドデコーダ 70 はリード信号 READ を活性化させる。リ

— ド信号 READ が活性化すると、レイテンシ制御回路 100 は、イネーブル信号 CLKWREB, OUTCLKE をこの順に活性化させる。

[0051] 内部クロック信号 PCLKAR, PCLKAF のクロッキングは、イネーブル信号 CLKPREB, CLKPEFB がローレベルに活性化している限り継続されるが、図 12 に示すように、時刻で 11 から 4 クロックサイクルが経過した時刻 t_{13} になるとイネーブル信号 CLKPREB がハイレベルに非活性化する。同様に、その 0.5 クロックサイクル後にはイネーブル信号 CLKPEFB もハイレベルに非活性化する。

[0052] しかしながら、時刻で 13 以前のタイミングである時刻 t_{12} において、レイテンシ制御回路 100 はイネーブル信号 CLKWREB をローレベルに活性化させるため、クロック信号バッファ回路 90 はイネーブル状態に保たれ、内部クロック信号 PCLKAR, PCLKAF のクロッキングが継続される。

[0053] その後、リードレイテンシ ($RL = X$) が経過した時刻 t_{14} になると、リードデータ DQ_j のバースト出力が開始される。リードデータ DQ_j のバースト出力は、出カクロック生成回路 110 によって生成される出カクロック信号 ϕ_{11} に ϕ_{11} PCLKOEF に同期して行われる。出カクロック信号 ϕ_{11} に ϕ_{11} PCLKOEF のクロッキングは、イネーブル信号 OUTCLKE の活性化によって開始され、リードデータ DQ_j のバースト出力の終了後である時刻 t_{15} になると、イネーブル信号 CLKWREB, OUTCLKE はいずれも非活性化する。

[0054] イネーブル信号 CLKWREB が非活性化すると、クロック信号/ックファ回路 90 がディセーブル状態に変化するため、内部クロック信号 PCLKAR, PCLKAF のクロッキングは停止する。以上により、一連のリード動作が終了する。

[0055] このように、リードコマンドが発行された場合、時刻で t_{11} ~ t_{15} の期間だけ内部クロック信号 PCLKAR, PCLKAF がクロッキングするため、内部クロック信号 PCLKAR, PCLKAF の生成によって生じる消

費電流を最小限に抑えることが可能となる。しかも、内部クロック信号 PCLKAR, PCLKAF を生成するクロック信号バッファ回路 90 は、時刻 t_{11} ~ t_{13} の期間においてはイネーブル信号 CLKPREB によってイネーブル状態とされ、時刻 t_{12} ~ t_{15} の期間においてはイネーブル信号 CLKWREB によってイネーブル状態とされることから、内部クロック信号 PCLKAR, PCLKAF を途切れることなく生成することが可能となる。

[0056] 図 13 は、外部からモードレジスタリードコマンドが発行された場合の動作を示すタイミング図である。

[0057] 図 13 に示すように、モードレジスタリードコマンドが発行された場合の動作は、コマンドデコーダ 70 がモードレジスタリード信号 MRR を生成する他は、リードコマンドが発行された場合の動作と同じである (時刻 t_{10} ~ t_{15})。モードレジスタリード信号 MRR が活性化されると、メモリセルアレイ MA に対するリード動作の代わりに、モードレジスタ MR に対するリード動作が実行され、これによりモードレジスタ MR の設定値がバースト出力される。

[0058] 図 14 は、外部からライトコマンドが発行された場合の動作を示すタイミング図である。

[0059] 図 14 に示す例では、時刻 t_{20} , t_{21} にコマンドアドレス信号 CA_i が入力され、これがライトコマンドを示している。ライトコマンドが発行された場合の動作はリードコマンドが発行された場合の動作と基本的に同じであるが、コマンドデコーダ 70 によってライト信号 WRITE が活性化される。ライト信号 WRITE が活性化すると、レイテンシ制御回路 100 は、イネーブル信号 CLKWREB, INCLKE をこの順に活性化させる。

[0060] そして、ライトレイテンシ ($wL = X$) が経過した時刻 t_{24} になると、ライトデータ DQ_j のバースト入力開始される。バースト入力されるライトデータ DQ_j の取り込みは、入力クロック信号 PCLKDR に同期して行われる。入力クロック信号 PCLKDR のクロッキングは、イネーブル信号

I N C L K E の活性化によって開始され、ライトデータ D Q j のバースト入力の終了後である時刻 t 2 5 になると、イネーブル信号 C L K W R E B , I N C L K E がいずれも非活性化する。

[0061] このように、ライトコマンドが発行された場合においても、クロック信号バッファ回路 9 0 は、時刻で 2 1 ~ t 2 3 の期間においてはイネーブル信号 C L K P R E B によってイネーブル状態とされ、時刻 t 2 2 ~ t 2 5 の期間においてイネーブル信号 C L K W R E B によってイネーブル状態とされることから、内部クロック信号 P C L K A R , P C L K A F を途切れることなく生成することが可能となる。

[0062] 図 1 5 は、外部からライトウイズオートプリチャージコマンドが発行された場合の動作を示すタイミング図である。ライトウイズオートプリチャージコマンドとは、ライト動作を実行するとともに、ライト動作の完了後、自動的にプリチャージ動作を実行するためのコマンドである。

[0063] 図 1 5 に示すように、ライトウイズオートプリチャージコマンドが発行された場合、ライト動作に関してはライトコマンドが発行された場合の動作と同じである (時刻で 2 0 ~ t 2 5) 。但し、ライトウイズオートプリチャージコマンドが発行された場合、レイテンシ制御回路 1 0 0 は、ライト動作が完了した時刻 t 2 5 以降もイネーブル信号 C L K W R E B をローレベルに活性化し続け、時刻 t 2 5 からライトリカバリ期間 n W E が経過した時刻 t 2 6 からさらに 1 クロックサイクルが経過した時刻 t 2 7 まで、イネーブル信号 C L K W R E B を活性状態とする。これにより、プリチャージ動作が完了する時刻 t 2 7 まで内部クロック信号 P C L K A R , P C L K A F のクロッキングを継続させることが可能となる。

[0064] 図 1 6 は、外部からアクティブコマンドが発行された場合の動作を示すタイミング図である。

[0065] 図 1 6 に示す例では、時刻 t 3 0 , t 3 1 にコマンドアドレス信号 C A i が入力され、これがアクティブコマンドを示している。この場合、チップセレクト信号 C S _ n の活性化に応答して、クロック信号バッファ回路 9 0 は

、時刻 t_{31} ~ t_{32} の期間においてイネーブル信号 $CLKPREB$ によってイネーブル状態とさる。これにより、メモリセルアレイ MA に対するアクティブ動作に必要な期間だけ、内部クロック信号 $PCLKAR$ 、 $PCLKAF$ を生成することが可能となる。尚、メモリセルアレイ MA に対するアクティブ動作とは、ロウアドレスに基づくワード線の選択である。

[0066] 図示しないが、カラムアクセスを伴わない他のコマンド、例えばプリチャージコマンドが発行された場合の動作も、図 16 に示した動作と同じ動作が行われる。尚、プリチャージコマンドが発行されると、アクティブ動作によって選択されたワード線がリセットされ、メモリセルアレイ MA がプリチャージ状態に戻る。

[0067] 以上説明したように、本実施形態によれば、チップセレクト信号 CS_n の活性化に应答して内部クロック信号 $PCLKAR$ 、 $PCLKAF$ のクロッキングを開始するとともに、発行されたコマンドの種類に応じた必要な期間だけ内部クロック信号 $PCLKAR$ 、 $PCLKAF$ をクロッキングさせている。これにより、内部クロック信号 $PCLKAR$ 、 $PCLKAF$ のクロッキングによる消費電流を最小限に抑えることが可能となる。

[0068] 以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

符号の説明

- [0069] 10 半導体装置
20 クロック信号生成回路
21 ~ 23 レシーバ回路
24 ラッチ回路
25, 26 ゲート回路
30 チップセレクトレシーバ回路
31, 41 レシーバ回路

4 0	コマンドアドレスレシーバ回路
5 0	チップセレクトラッチ回路
5 1 ~ 5 3	ラッチ回路
5 4 , 5 5	ゲート回路
6 0	コマンドアドレスラッチ回路
6 1 ~ 6 4	ラッチ回路
7 0	コマンドデコーダ
7 1	デコード回路部
7 2 ~ 7 7	ラッチ回路
8 0	クロックイネーブル信号生成回路
8 1 ~ 8 9	ラッチ回路
8 0 F	第 1 の回路部分
8 0 R	第 2 の回路部分
9 0	クロック信号バッファ回路
9 1 , 9 2	ゲート回路
1 0 0	レイテンシ制御回路
1 1 0	出カクロック生成回路
1 2 0	入カクロック生成回路
A C N T	アクセス制御回路
D C N T	データ制御回路
D L Y 1 , D L Y 2	遅延回路
D Q P	データ端子
G 1 ~ G 7	ゲート回路
I B	データ入力回路
M A	メモリセルアレイ
M R	モードレジスタ
O B	データ出力回路

請求の範囲

[請求項1] 第1のクロック信号に基づいて第2のクロック信号を生成する第1の回路と、

前記第1のクロック信号に同期して入力される外部コマンド信号に基づいて、前記第2のクロック信号に同期した内部コマンド信号を生成する第2の回路と、を備え、

前記第1の回路は、前記外部コマンド信号が第1の値を示している場合、前記外部コマンド信号が入力されてから第1の期間が経過したことに応答して前記第2のクロック信号を停止させ、前記外部コマンド信号が前記第1の値とは異なる第2の値を示している場合、前記外部コマンド信号が入力されてから前記第1の期間よりも長い第2の期間が経過したことに応答して前記第2のクロック信号を停止させることを特徴とする半導体装置。

[請求項2] 前記第1のクロック信号に同期して入力されるチップセレクト信号に基づき、前記第1の期間に対応する所定期間に亘って前記第1の回路を活性化させる第3の回路をさらに備えることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記第1の回路は、前記チップセレクト信号の活性化に応答して前記第2のクロック信号の生成を開始することを特徴とする請求項2に記載の半導体装置。

[請求項4] 前記第1の回路は、前記外部コマンド信号の値にかかわらず、前記外部コマンド信号が入力されてから前記第1の期間が経過するまでは前記第2のクロック信号の生成を継続することを特徴とする請求項3に記載の半導体装置。

[請求項5] 複数のメモリセルを含むメモリセルアレイをさらに備え、
前記外部コマンド信号の前記第1の値は、前記メモリセルアレイに対するアクティブ動作を示すアクティブコマンド及び前記メモリセルアレイに対するプリチャージ動作を示すプリチャージコマンドの少な

くとも一方を含むことを特徴とする請求項 1 に記載の半導体装置。

[請求項6]

複数のメモリセルアレイを含むメモリセルアレイをさらに備え、
前記外部コマンド信号の前記第 2 の値は、前記メモリセルアレイに対するリード動作を示すリードコマンド、前記メモリセルアレイに対するライト動作を示すライトコマンドの少なくとも一方を含むことを特徴とする請求項 1 に記載の半導体装置。

[請求項7]

前記ライトコマンドは、ライト動作完了後に前記メモリセルアレイに対するプリチャージ動作を自動的に行わない第 1 のライトコマンドと、前記ライト動作完了後に前記プリチャージ動作を自動的に行う第 2 のライトコマンドとを含み、

前記第 1 の回路は、前記外部コマンド信号が前記第 1 のライトコマンドを示している場合、前記外部コマンド信号が入力されてから前記第 2 の期間が経過したことに応答して前記第 2 のクロック信号を停止させ、前記外部コマンド信号が前記第 2 のライトコマンドを示している場合、前記外部コマンド信号が入力されてから前記第 2 の期間よりも長い第 3 の期間が経過したことに応答して前記第 2 のクロック信号を停止させることを特徴とする請求項 6 に記載の半導体装置。

[請求項8]

該半導体装置の動作モードが設定されるモードレジスタをさらに備え、

前記外部コマンド信号の前記第 2 の値は、前記モードレジスタに対するリード動作を示すモードレジスタリードコマンドを含むことを特徴とする請求項 1 に記載の半導体装置。

[請求項9]

チップセレクト信号の活性化に応答して内部クロック信号の生成を開始するクロック信号/クツファ回路と、

前記内部クロック信号に同期して動作する内部回路と、を備え、

前記クロック信号バッファ回路は、前記チップセレクト信号に同期して入力されるコマンド信号が所定のコマンドを示している場合には第 2 のタイミングで前記内部クロック信号の生成を停止し、前記コマ

ンド信号が前記所定のコマンドとは異なるコマンドを示している場合には前記第2のタイミングよりも早い第1のタイミングで前記内部クロック信号の生成を停止することを特徴とする半導体装置。

[請求項 10] 前記内部回路は、前記コマンド信号をデコードするコマンドデコーダを含むことを特徴とする請求項9に記載の半導体装置。

[請求項 11] リードデータの出力を行うデータ出力回路をさらに備え、
前記内部回路は、前記データ出力回路に出力クロック信号を供給する出力クロック生成回路を含むことを特徴とする請求項9に記載の半導体装置。

[請求項 12] 前記所定のコマンドは、前記リードデータの出力を指示するリードコマンドを含むことを特徴とする請求項11に記載の半導体装置。

[請求項 13] ライトデータの入力を行うデータ入力回路をさらに備え、
前記内部回路は、前記データ入力回路に入力クロック信号を供給する入力クロック生成回路を含むことを特徴とする請求項9に記載の半導体装置。

[請求項 14] 前記所定のコマンドは、前記ライトデータの入力を指示するライトコマンドを含むことを特徴とする請求項13に記載の半導体装置。

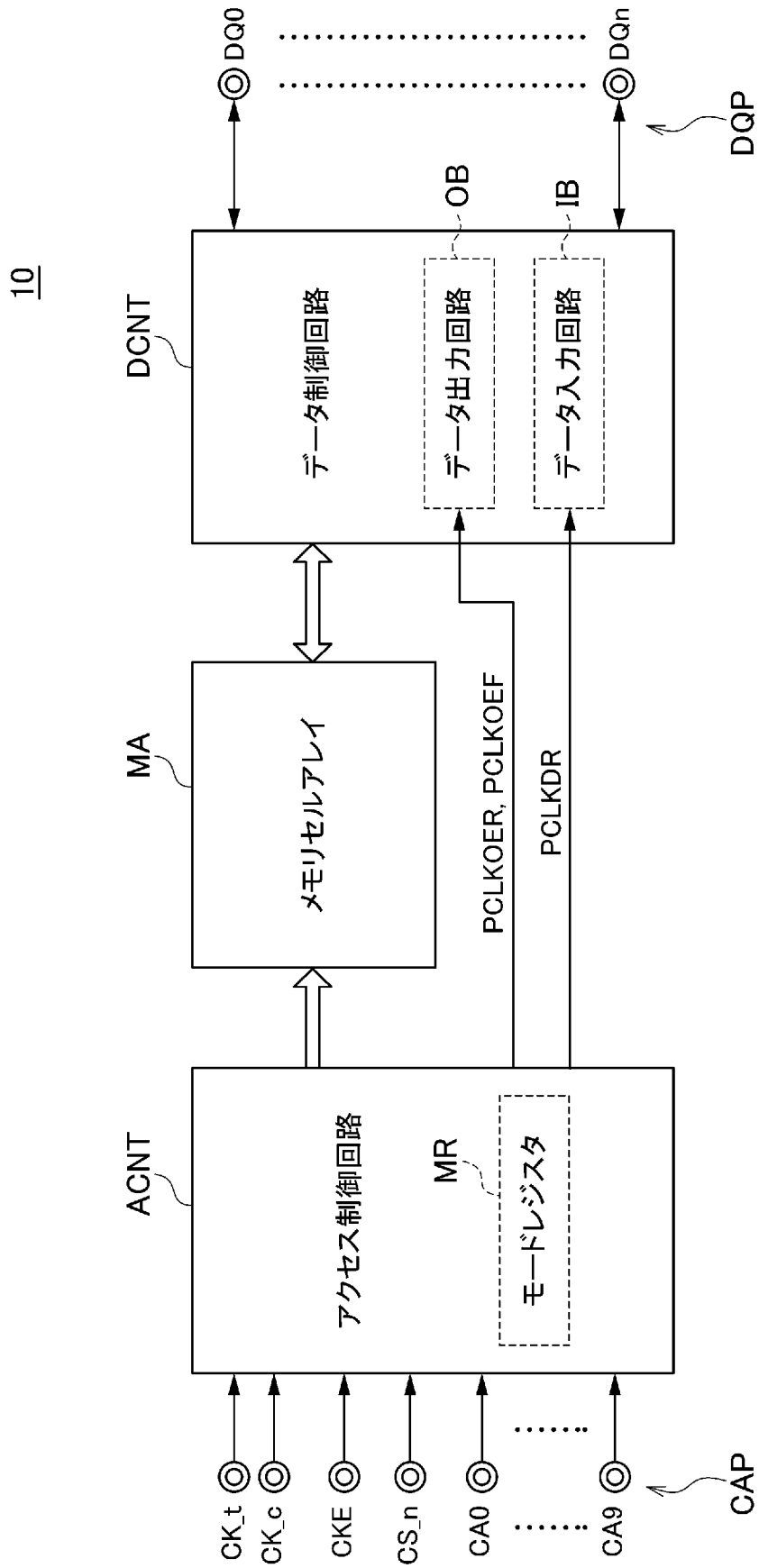
[請求項 15] 外部クロックを元に内部クロックを生成するクロック信号生成回路と、

前記内部クロックをバッファリングして出力するクロックバッファ回路と、

前記クロックバッファ回路から出力された前記内部クロックに基づき、外部から供給されたコマンドをデコードしてデコード信号を生成するコマンドデコード回路と、を有し、

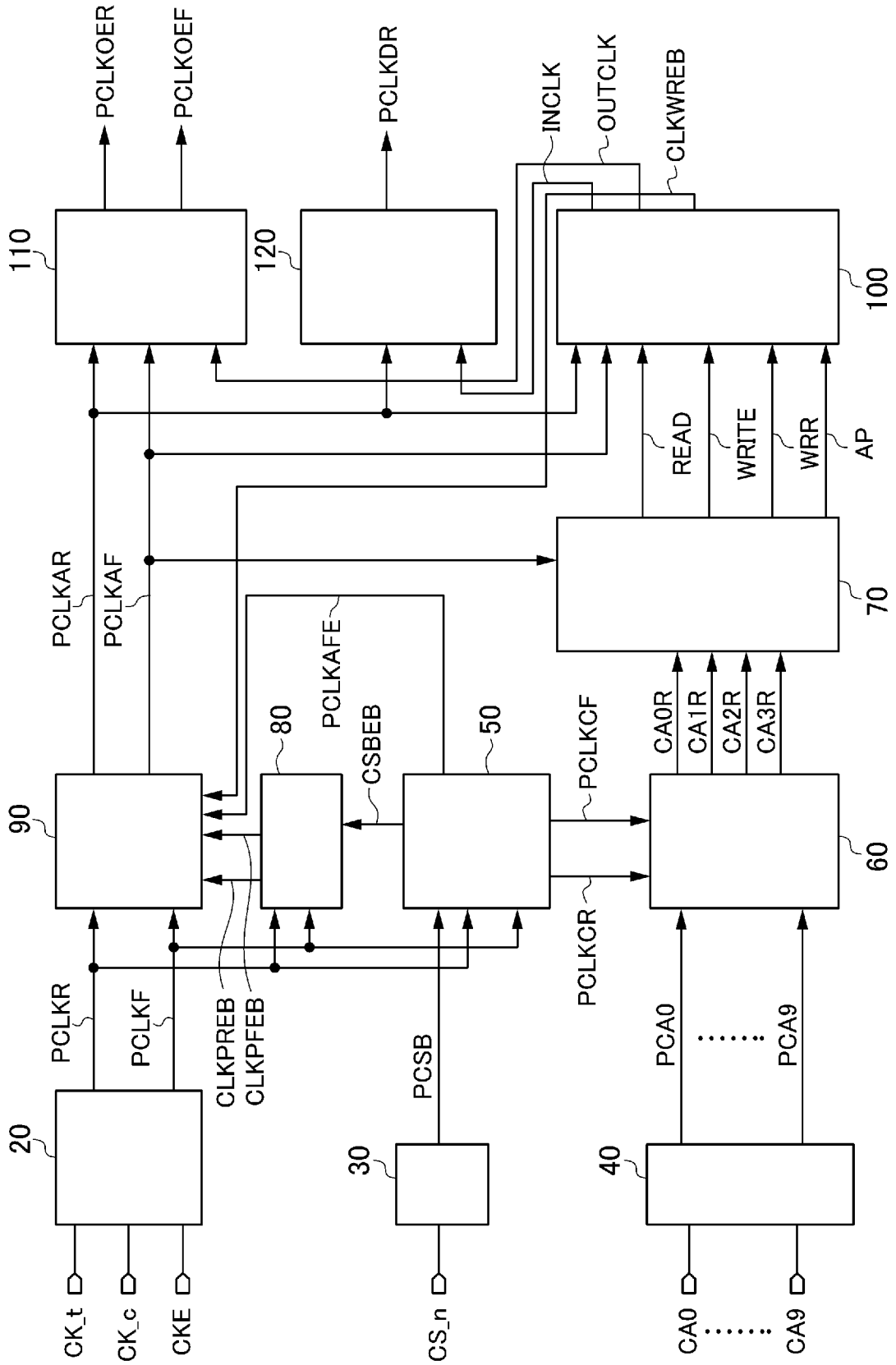
前記クロックバッファ回路は、チップセレクト信号に基づき前記内部クロック信号を出力し、前記コマンドデコード信号に基づき前記内部クロック信号の出力を停止することを特徴とする半導体装置。

[図1]

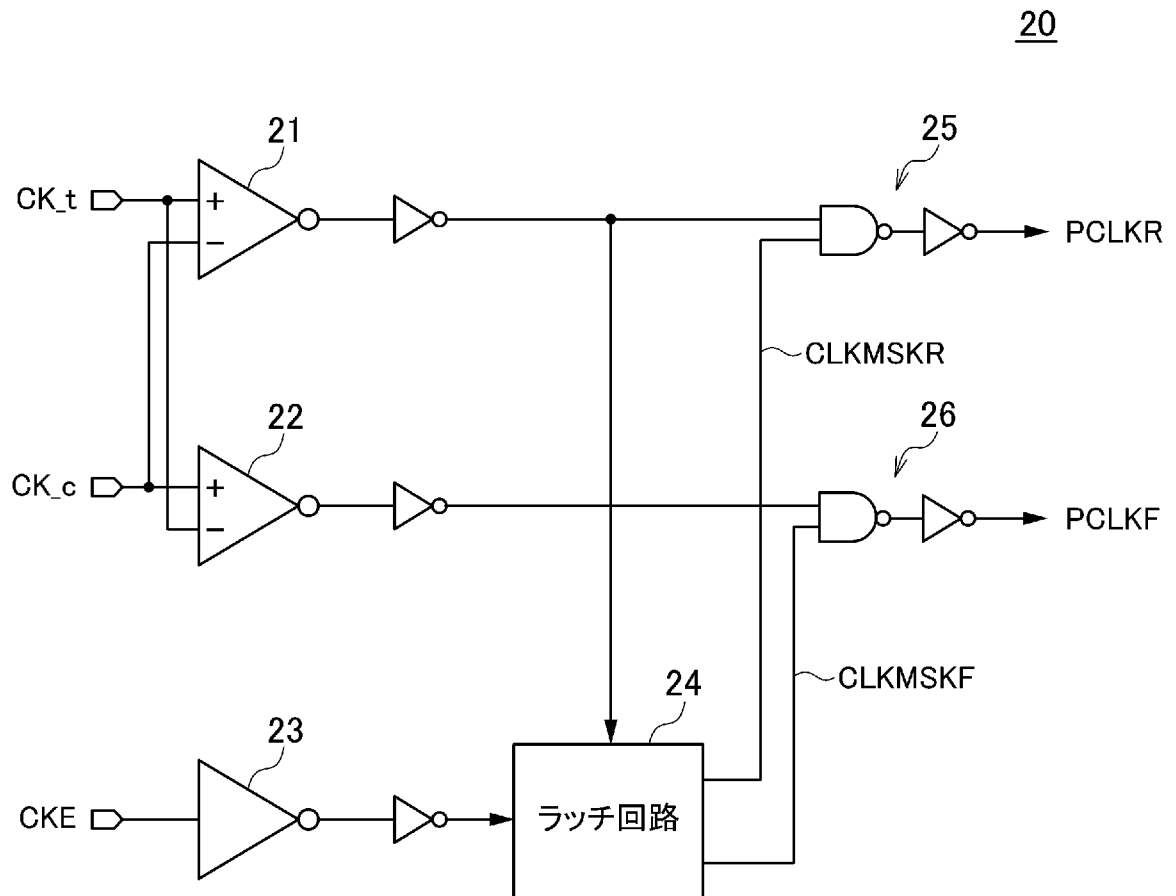


[2]

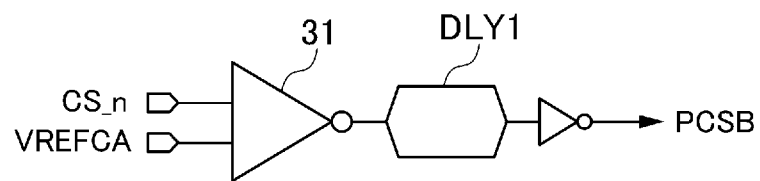
ACNT



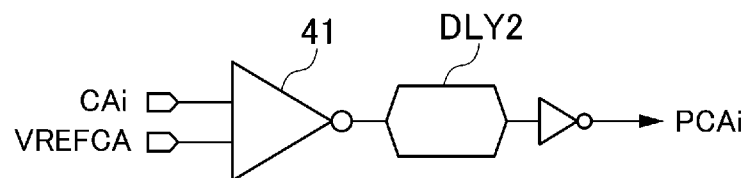
[図3]



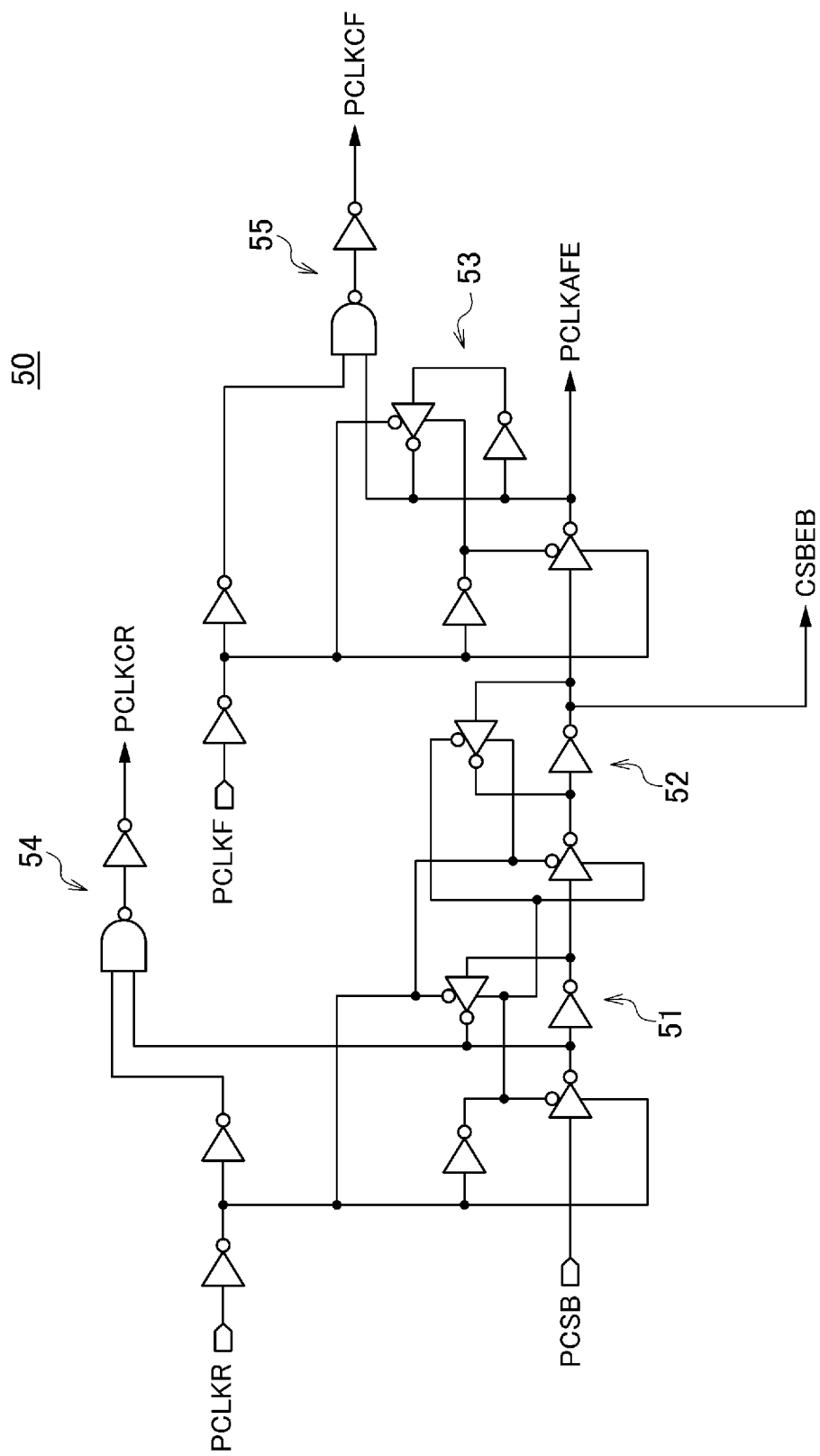
[図4]

30

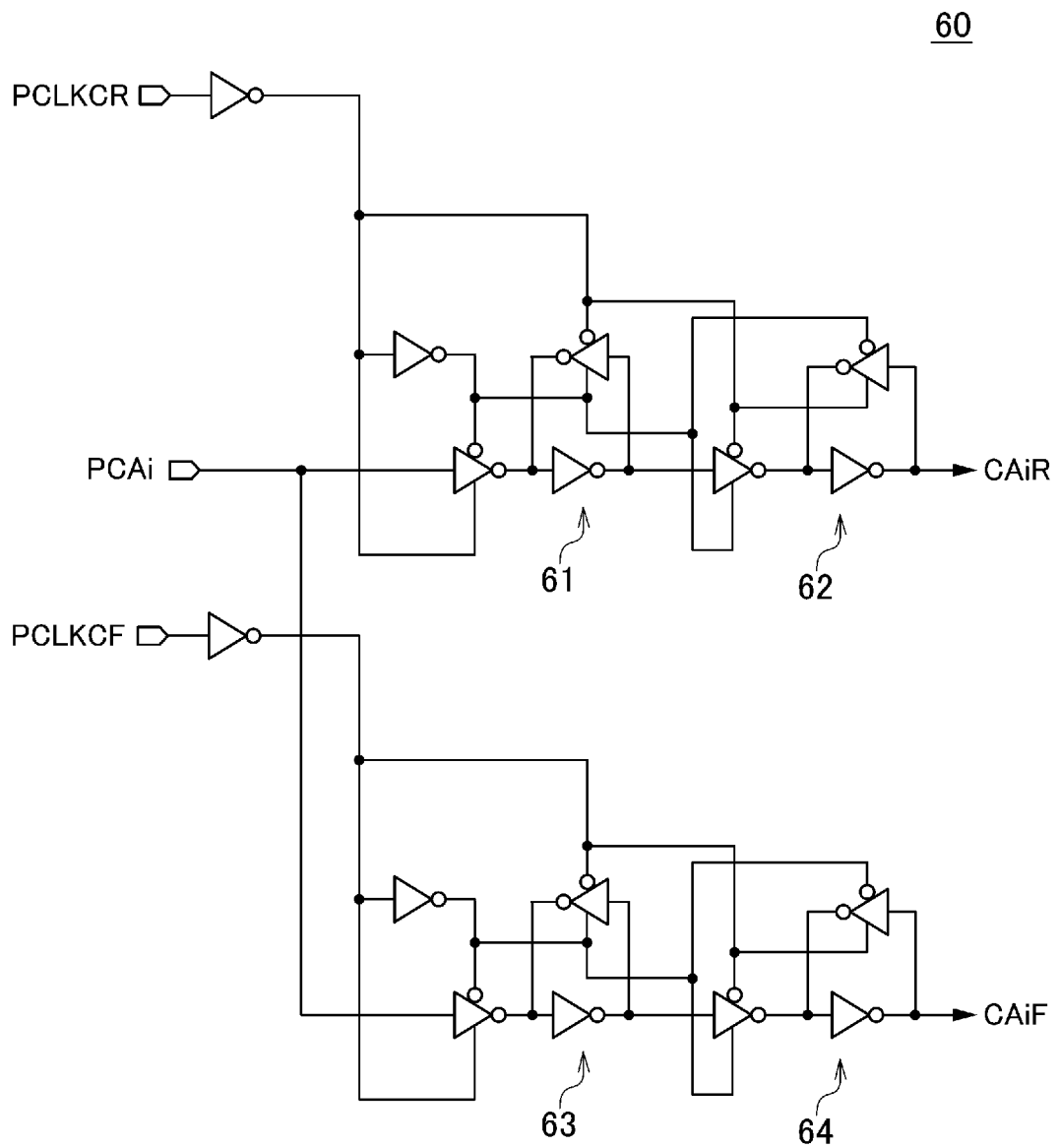
[図5]

40

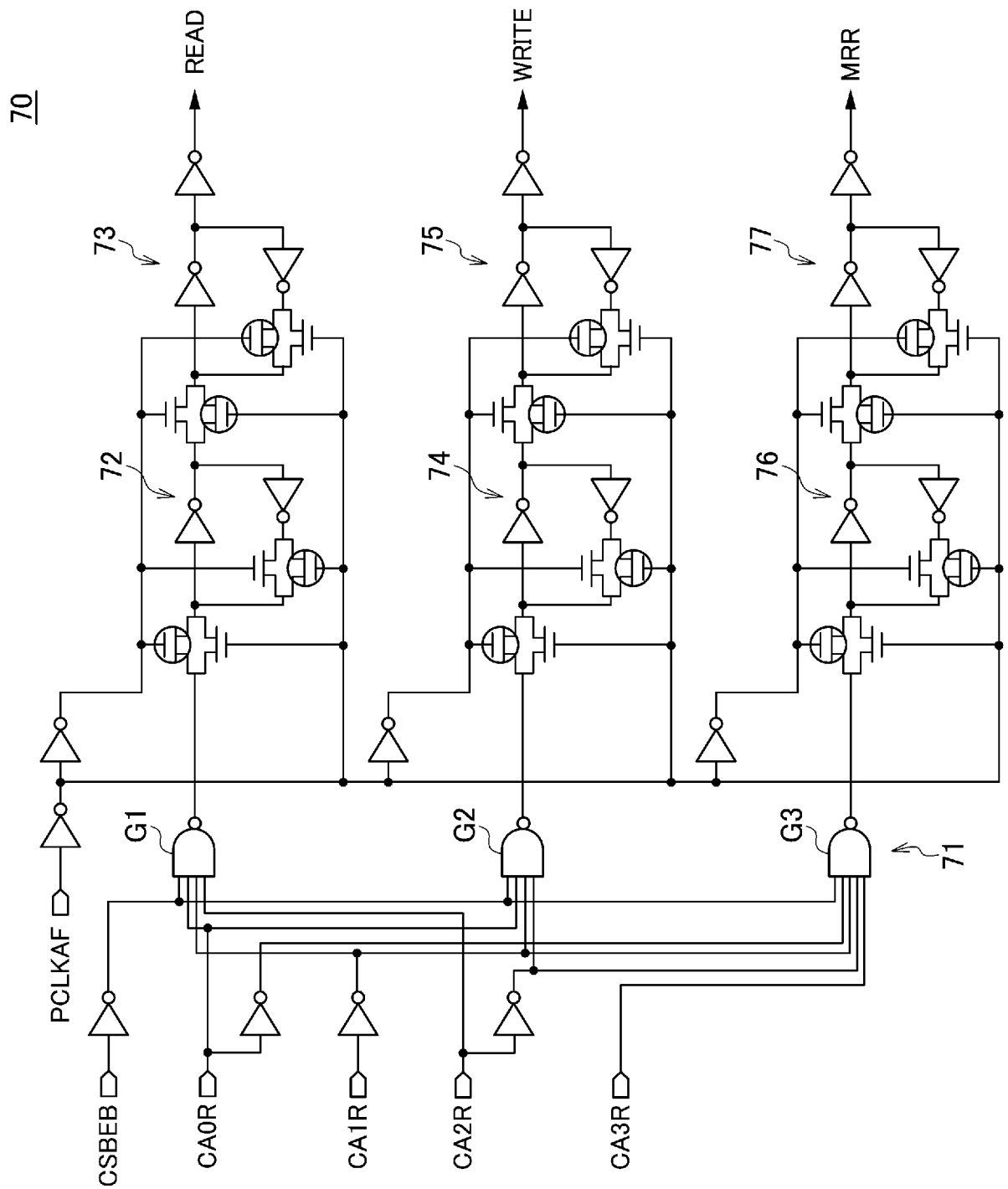
[図6]



[図7]

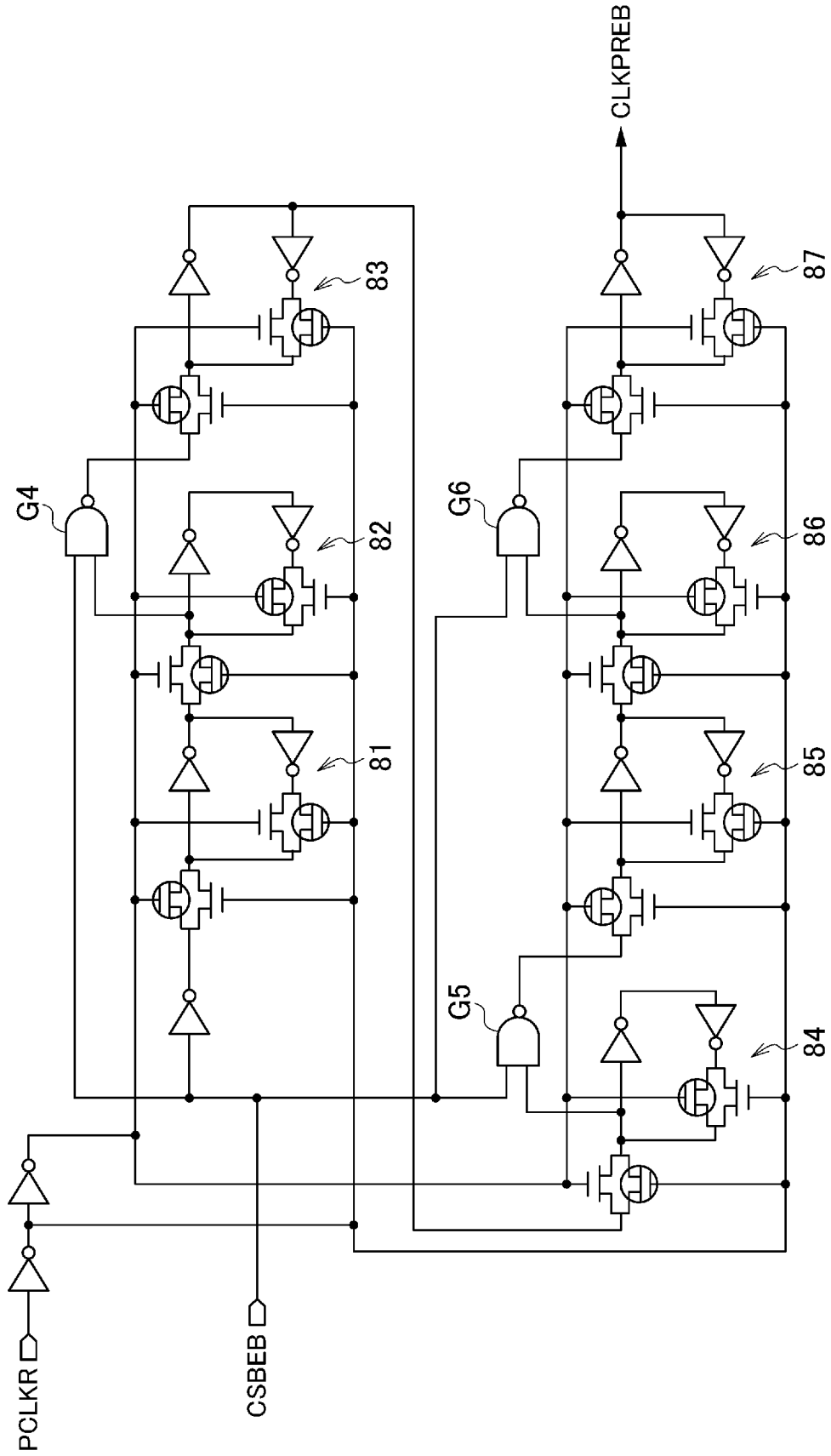


[図8]

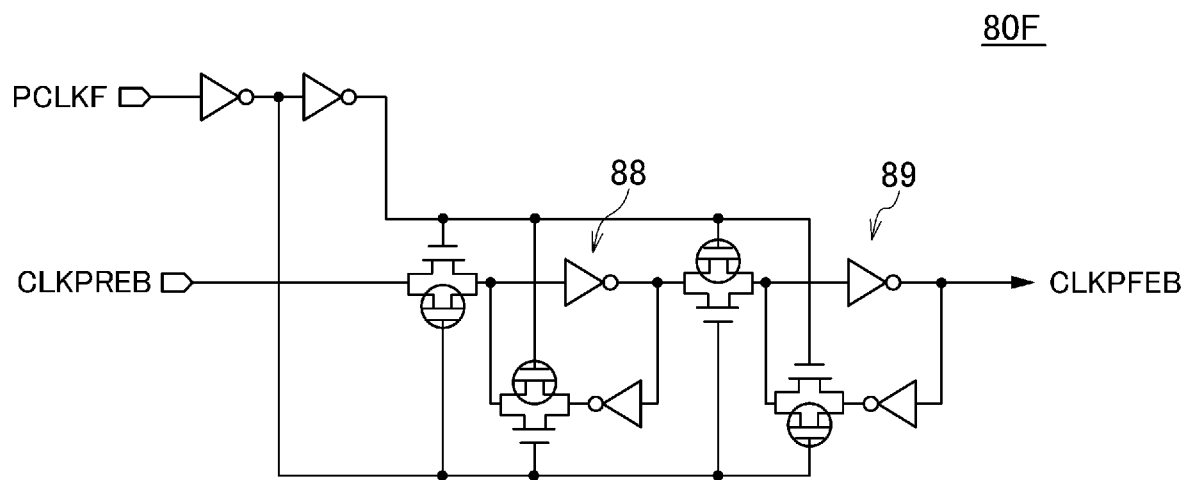


[図9]

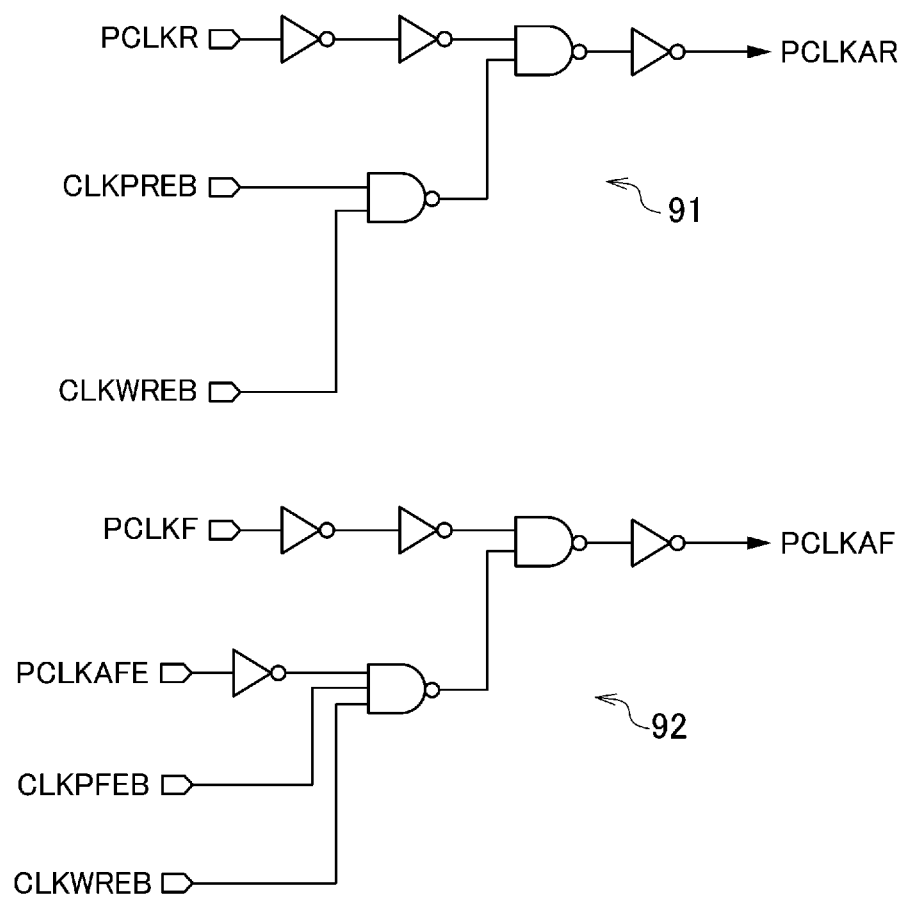
80R



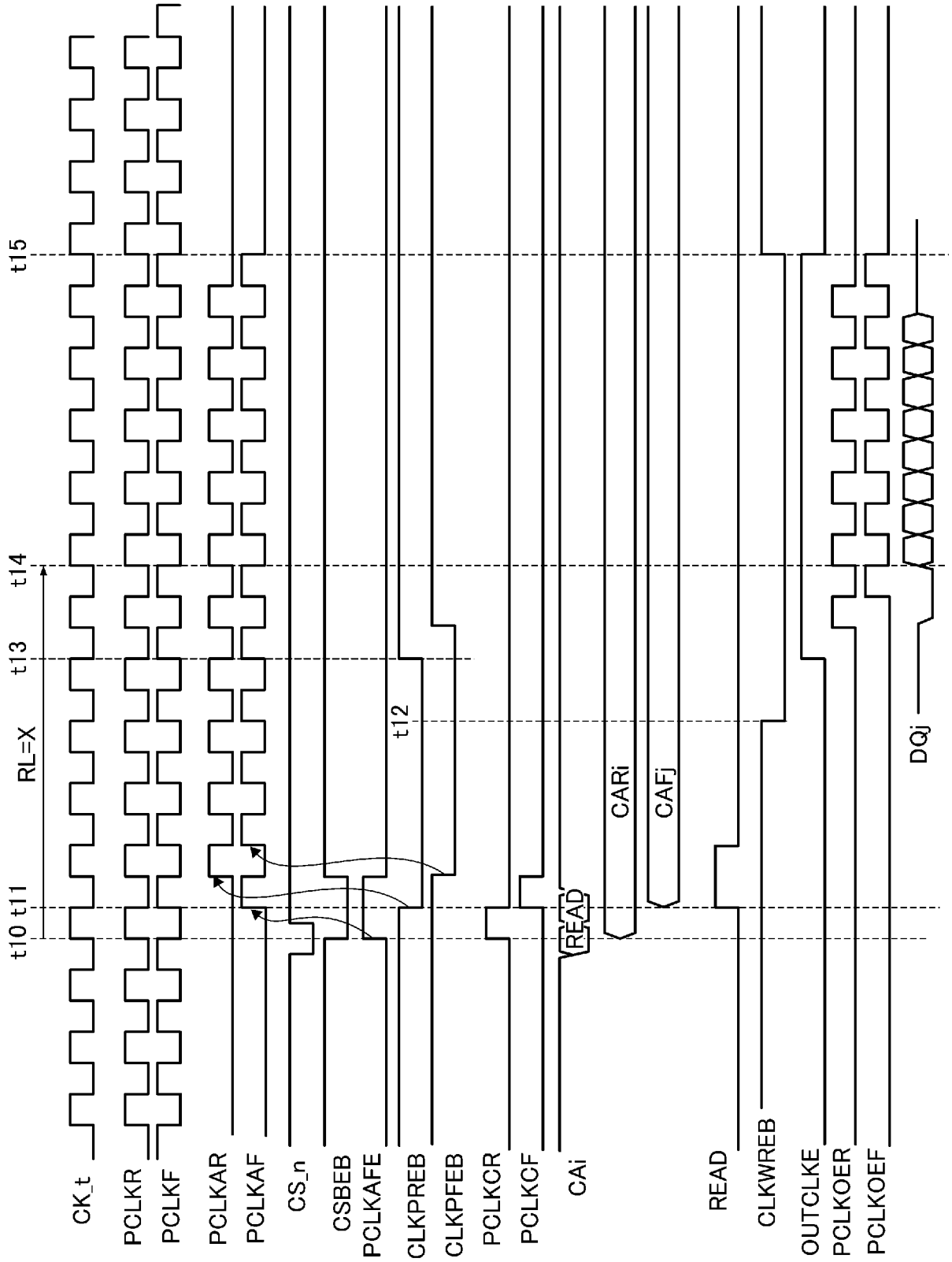
[図10]



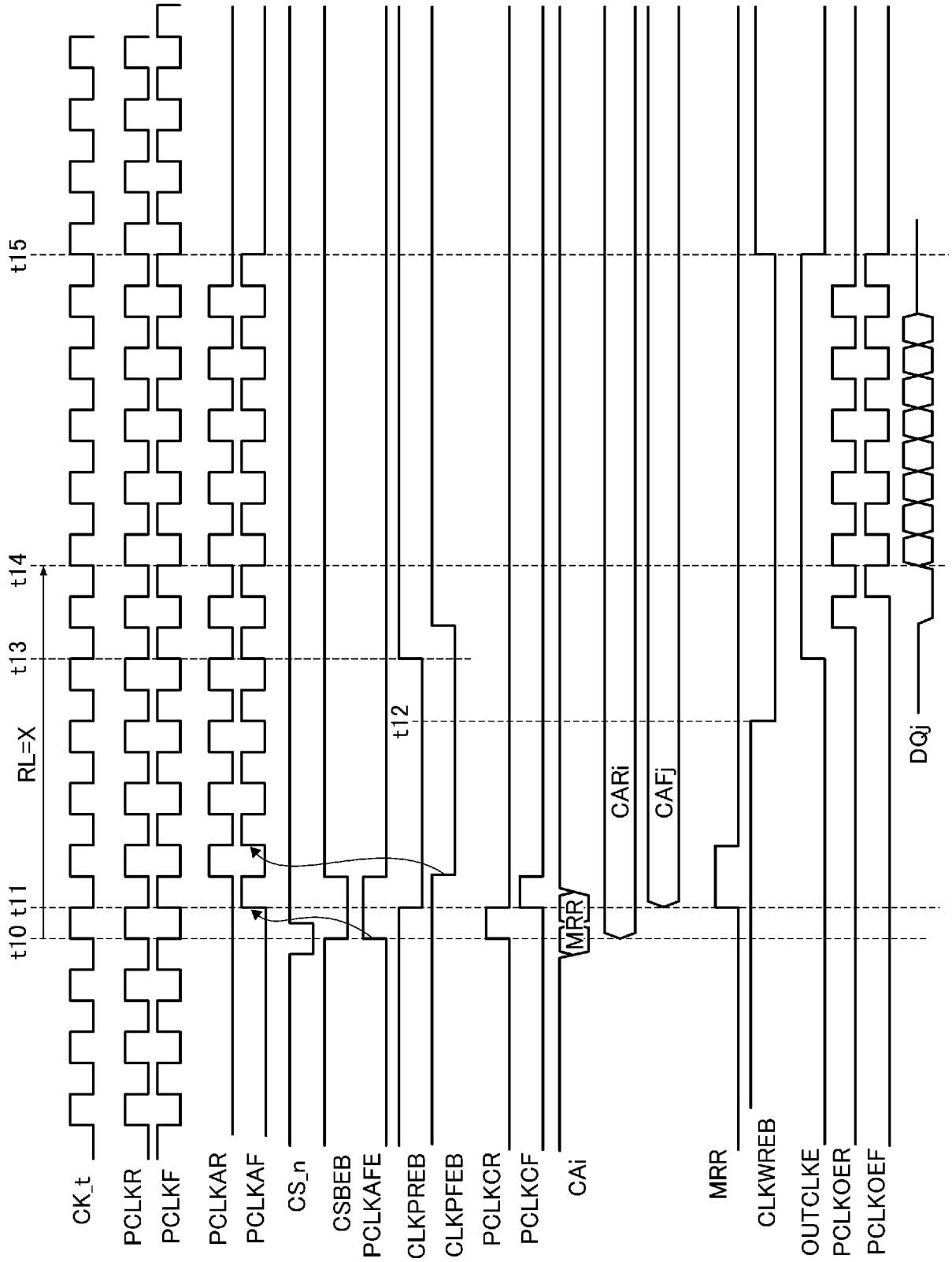
[図11]

90

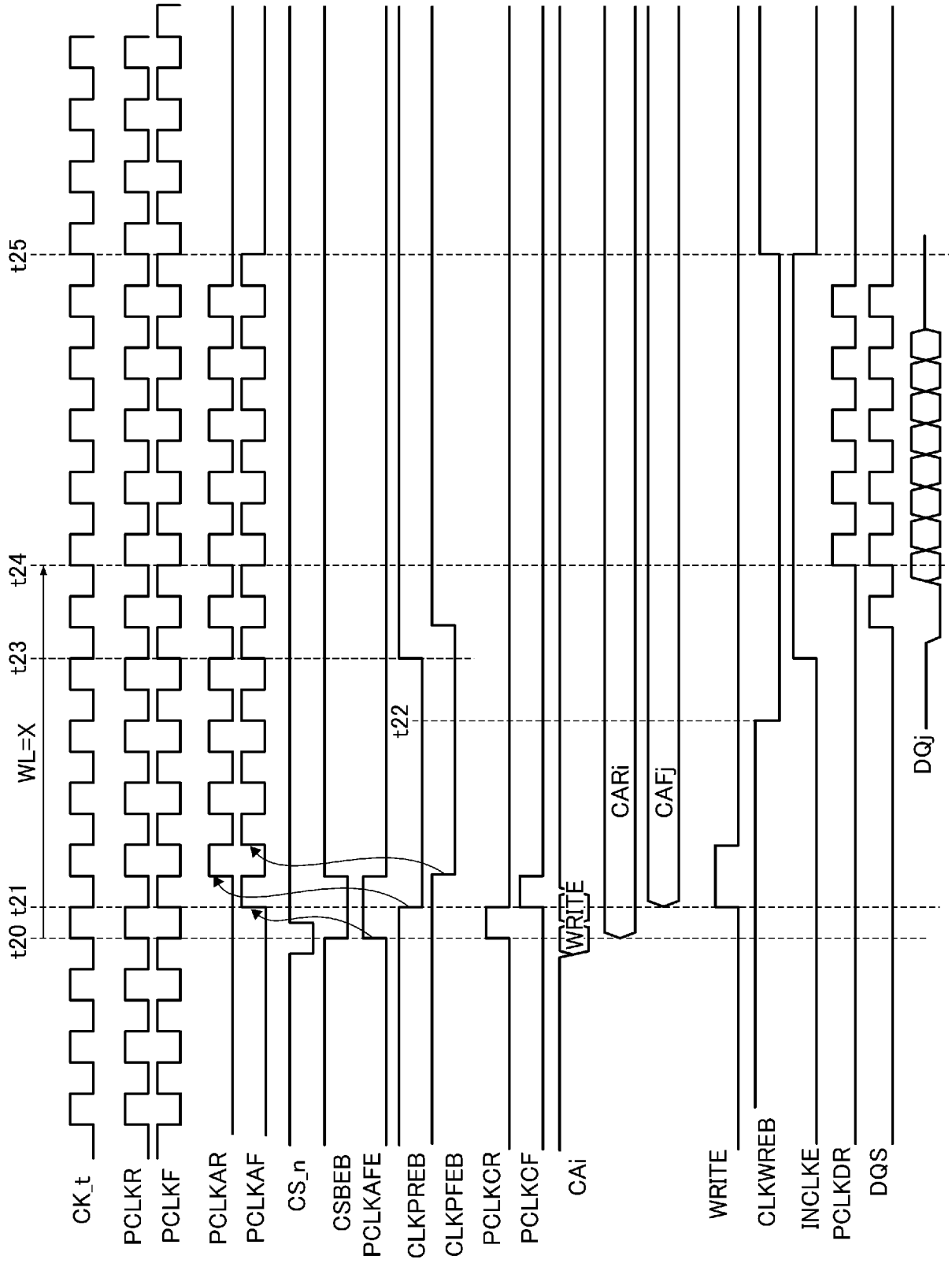
[12]



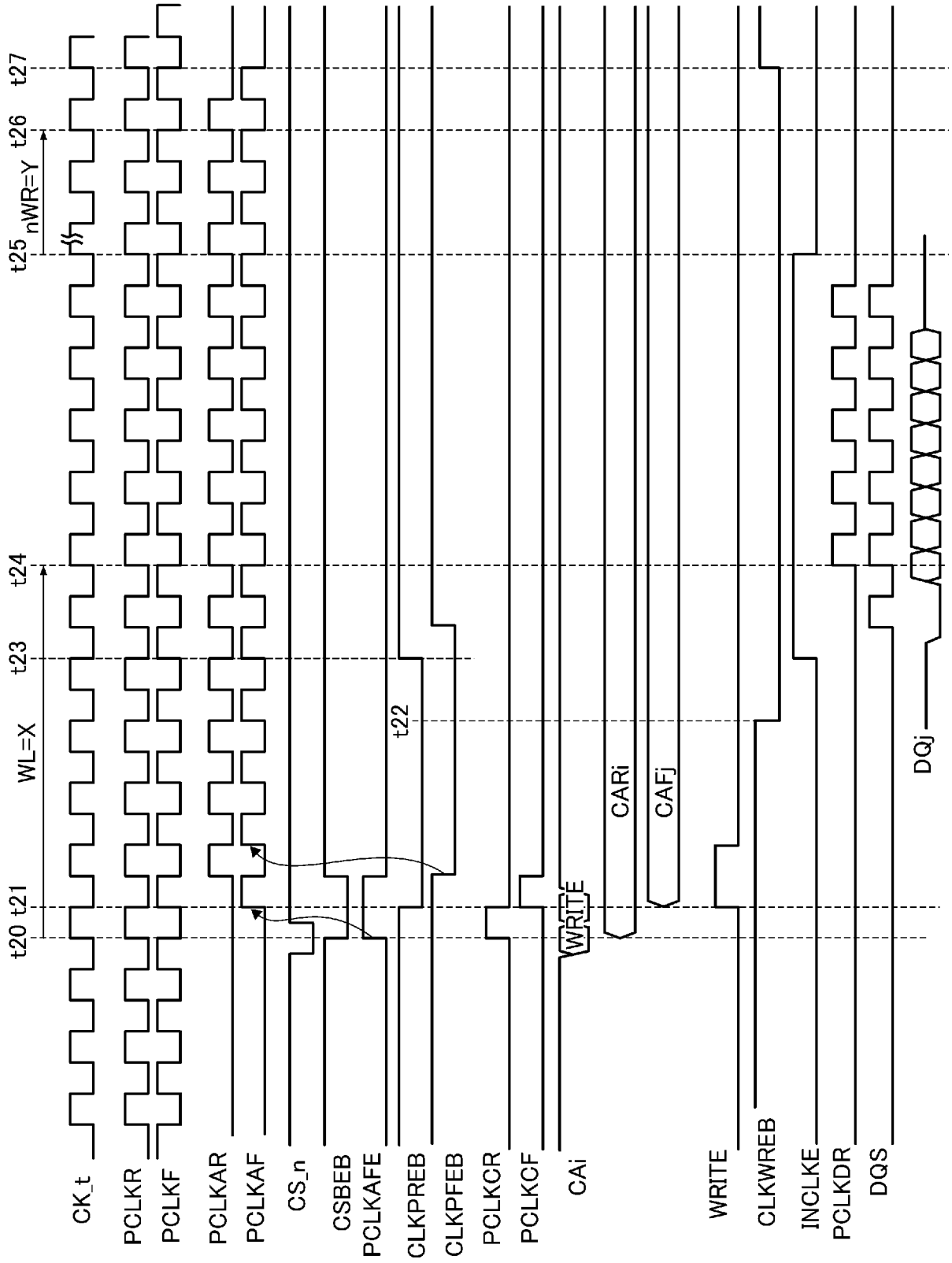
[13]



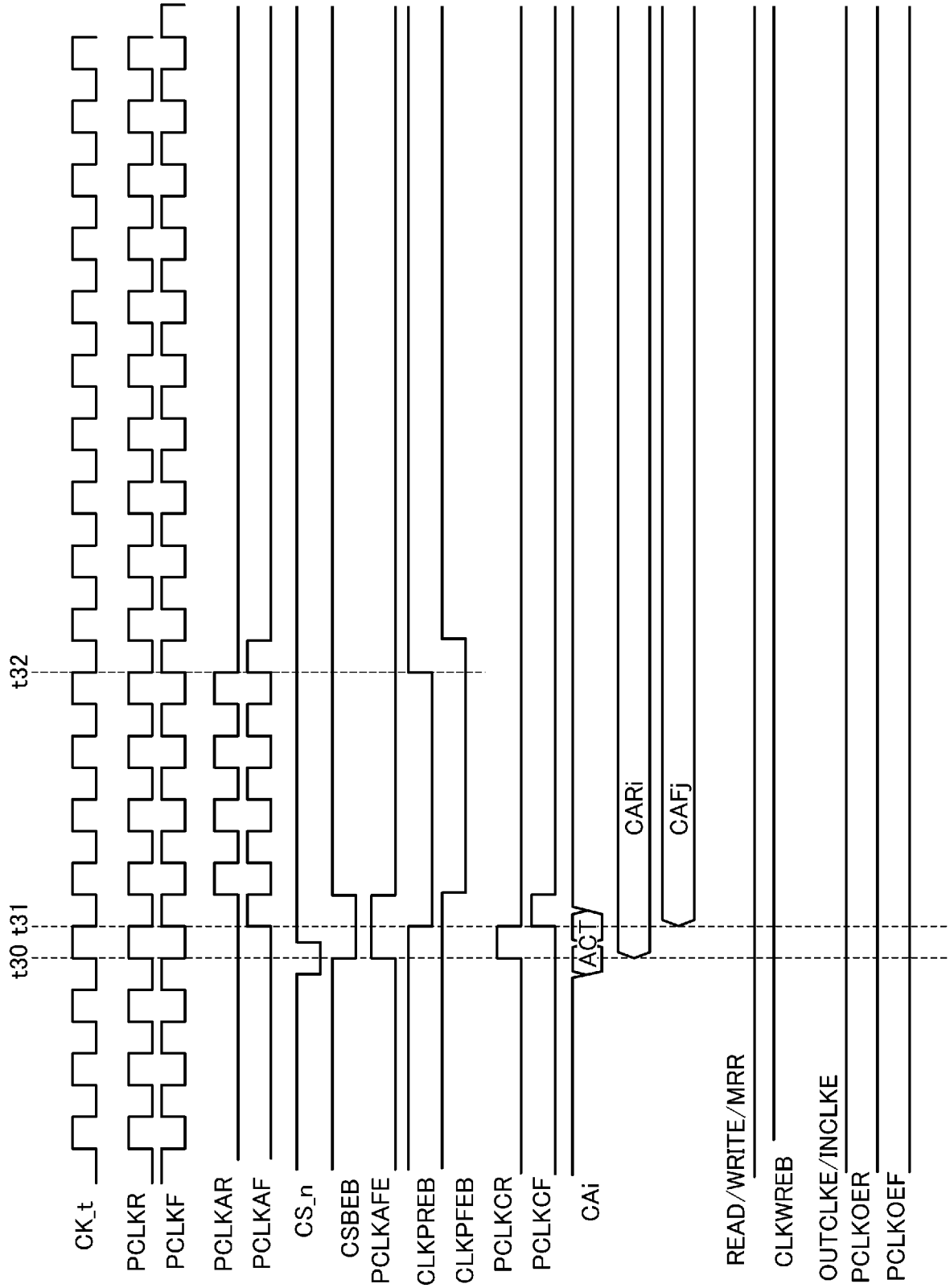
[圖14]



[圖 15]



[図16]



A. CLASSIFICATION OF SUBJECT MATTER

G11C11/4076(2006.01)i, G11C11/407(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C11/4076, G11C11/407

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1996	Jitsuyo	Shinan	Toroku	Koho	1996-2014	
Kokai	Jitsuyo	Shinan	Koho	1971-2014	Toroku	Jitsuyo	Shinan	Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-22673 A (Fujitsu Ltd.), 24 January 2003 (24-01.2003), paragraphs [0004], [0019] to [0067]; fig. 1 to 10 (Family: none)	1-15
Y	JP 2012-99189 A (Elpida Memory, Inc.), 24 May 2012 (24.05.2012), paragraphs [0070] to [0078]; fig. 12 & US 2012/0114086 A1	1-15

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 April, 2014 (17.04.14)Date of mailing of the international search report
28 April, 2014 (28.04.14)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 014 / 053713

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-522384 A (Silicon Image, Inc.), 01 July 2010 (01.07.2010), paragraph [0016]; fig. 4 & JP 5238727 B & US 2008/0235528 A I & EP 2135249 A & WO 2008/118816 A I & KR 10-2009-0121405 A & CN 101641745 A & TW 200841356 A & CN 103257702 A	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G11C11/4076 (2006.01)i, G11C11/407 (2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G11C11/4076, G11C11/407

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-
 日本国公開実用新案公報 1971-2
 日本国実用新案登録公報 1996-
 日本国登録実用新案公報 1994-2

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
 年

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-22673 A (富士通株式会社) 2003. 01. 24, 段落 0004, 0019-0067, 図 1-10 (ファミリーなし)	1-15
Y	JP 2012-99189 A (エルピーダメモリ株式会社) 2012. 05. 24, 段落 0070-0078, 図 12 & US 2012/0114086 A1	1-15

c 欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献の カテゴリー
 A 特に関連のある文献ではなく、一般的技術水準を示すもの
 E 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 L 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 O 口頭による開示、使用、展示等に言及する文献
 P 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 F 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 X 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 Y 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 & 同一パテントファミリー文献

国際調査を完了した日 17.04.2014	国際調査報告の発送日 28.04.2014
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA / JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 菅原 浩二 電話番号 03-3581-1101 内線 3565	5U	9460
---	--	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-522384 A (シリコン イメージ , インコーポレイテッド) 2010. 07. 01, 段落 0016, 図 4 & JP 5238727 B& US 2008/0235528 AI & EP 2135249 A & wo 2008/118816 AI & KR 10-2009-0121405 A & CN 101641745 A & TW 200841356 A & CN 103257702 A	1-15