

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 2 年 3 月 12 日 (2020.3.12)

【公開番号】特開 2018-120490 (P2018-120490A)

【公開日】平成 30 年 8 月 2 日 (2018.8.2)

【年通号数】公開・登録公報 2018-029

【出願番号】特願 2017-12541 (P2017-12541)

【国際特許分類】

G 0 6 F 13/28 (2006.01)

H 0 4 N 1/21 (2006.01)

G 0 6 F 13/362 (2006.01)

G 0 6 F 12/00 (2006.01)

【F I】

G 0 6 F 13/28 3 1 0 F

H 0 4 N 1/21

G 0 6 F 13/28 3 1 0 E

G 0 6 F 13/28 3 1 0 G

G 0 6 F 13/28 3 1 0 Y

G 0 6 F 13/362 5 1 0 D

G 0 6 F 12/00 5 7 1 B

【手続補正書】

【提出日】令和 2 年 1 月 27 日 (2020.1.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリアクセスシステムであって、

メモリと、

前記メモリにアクセスする複数のマスターと、

前記複数のマスターに含まれる第 1 マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターに含まれる第 2 マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視する監視手段と、

前記監視手段によって監視されたデータ量に関する所定の条件を満たすことに従って、前記監視された複数のマスターのうち優先度の低いマスターによる前記メモリへのアクセスを減少させる制御手段と

を備えることを特徴とするメモリアクセスシステム。

【請求項 2】

前記制御手段は、前記優先度の低い前記第 2 マスターによる前記メモリへのアクセスを停止させることにより、アクセスを減少させることを特徴とする請求項 1 に記載のメモリアクセスシステム。

【請求項 3】

前記制御手段は、前記優先度の低い前記第 2 マスターに前記メモリへアクセスする際のバースト長を短くさせることにより、アクセスを減少させることを特徴とする請求項 1 に記載のメモリアクセスシステム。

【請求項 4】

前記優先度の低い前記第 2 マスターは、非リアルタイムでの前記メモリへのアクセスによるデータ転送を実行するマスターであり、

優先度の高い前記第 1 マスターは、リアルタイムでの前記メモリへのアクセスによるデータ転送を実行するマスターであることを特徴とする請求項 1 乃至 3 の何れか 1 項に記載のメモリアクセスシステム。

【請求項 5】

前記制御手段は、DMA (Direct Memory Access) コントローラであることを特徴とする請求項 1 乃至 4 の何れか 1 項に記載のメモリアクセスシステム。

【請求項 6】

前記監視手段は、所定時間あたりの前記監視した複数のデータ量を合計し、

前記所定の条件は、前記所定時間あたりの前記監視した複数のデータ量の前記合計が第 1 の閾値以上である場合に満たされることを特徴とする請求項 1 乃至 5 の何れか 1 項に記載のメモリアクセスシステム。

【請求項 7】

前記制御手段は、

前記優先度の低い前記第 2 マスターによる前記メモリへのアクセスを減少させた後に、前記所定時間あたりの前記監視した複数のデータ量の前記合計が前記第 1 の閾値より低い第 2 の閾値以下であるか否かを判断し、

前記合計が前記第 2 の閾値以下であると判断すると、前記優先度の低い前記第 2 マスターによる前記メモリへのアクセスを減少させないことを特徴とする請求項 6 に記載のメモリアクセスシステム。

【請求項 8】

前記メモリと前記複数のマスターとの間のそれぞれに、メモリコントローラを有し、

複数の前記メモリコントローラの各々は、前記制御手段から前記メモリへのアクセスを減少させる信号を受け付けることに基づいて前記メモリへのアクセスを減少させることを特徴とする請求項 6 に記載のメモリアクセスシステム。

【請求項 9】

前記メモリと前記複数のマスターとの間のそれぞれに、メモリコントローラを有し、

複数の前記メモリコントローラの各々は、前記制御手段から前記メモリへのアクセスを許可する信号を受け付けることに基づいて前記メモリへのアクセスを減少させないことを特徴とする請求項 7 に記載のメモリアクセスシステム。

【請求項 10】

前記監視手段は、前記メモリと前記複数のマスターの各々の間で、所定時間あたりのデータ量を監視することを特徴とする請求項 1 乃至 9 の何れか 1 項に記載のメモリアクセスシステム。

【請求項 11】

前記複数のマスターに対して個別に前記第 1 の閾値が設けられ、

前記制御手段は、各マスターに割り当てられた前記第 1 の閾値に基づいて、当該マスターによるメモリへのアクセスを減少させることを特徴とする請求項 6 に記載のメモリアクセスシステム。

【請求項 12】

メモリアクセスシステムであって、

メモリと、

前記メモリにアクセスする複数のマスターと、

前記複数のマスターに含まれる第 1 マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターに含まれる、前記第 1 マスターよりも優先度の低い第 2 マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視する監視手段と、

前記監視手段によって監視されたデータ量に関する所定の条件を満たすことに従って、優先度の高い前記第 1 マスターによる前記メモリへのアクセスを減少させることなく、優

先度の低い前記第 2 マスターによる前記メモリへのアクセスを減少させ、前記所定の条件が満たされない場合は前記第 1 マスター及び前記第 2 マスターによる前記メモリへのアクセスを減少させないメモリコントローラと
を備えることを特徴とするメモリアクセスシステム。

【請求項 1 3】

前記監視手段は、所定時間あたりの前記監視した複数のデータ量を合計し、
前記所定の条件は、前記所定時間あたりの前記監視した複数のデータ量の前記合計が第 1 の閾値以上である場合に満たされることを特徴とする請求項 1 2 に記載のメモリアクセスシステム。

【請求項 1 4】

前記メモリコントローラは、
前記優先度の低い前記第 2 マスターによる前記メモリへのアクセスを減少させた後に、前記所定時間あたりの前記監視した複数のデータ量の前記合計が前記第 1 の閾値より低い第 2 の閾値以下であるか否かを判断し、
前記合計が前記第 2 の閾値以下であると判断すると、前記優先度の低い前記第 2 マスターによる前記メモリへのアクセスを減少させないことを特徴とする請求項 1 3 に記載のメモリアクセスシステム。

【請求項 1 5】

前記メモリコントローラは、前記複数のマスターの各々と前記メモリとの間に配され、各々のメモリコントローラの所定の閾値は、前記複数のマスターのそれぞれの優先度に基づいて設定されることを特徴とする請求項 1 4 に記載のメモリアクセスシステム。

【請求項 1 6】

前記メモリコントローラは、前記メモリへのアクセスを停止させることにより、アクセスを減少させることを特徴とする請求項 1 2 乃至 1 5 の何れか 1 項に記載のメモリアクセスシステム。

【請求項 1 7】

メモリと、前記メモリにアクセスする複数のマスターとを備えるメモリアクセスシステムの制御方法であって、
監視手段が、前記複数のマスターに含まれる第 1 マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターに含まれる第 2 マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視する監視工程と、
制御手段が、前記監視工程で監視されたデータ量に関する所定の条件を満たすことに従って、前記監視された複数のマスターのうち優先度の低いマスターによる前記メモリへのアクセスを減少させる制御工程と
を含むことを特徴とするメモリアクセスシステムの制御方法。

【請求項 1 8】

メモリと、前記メモリにアクセスする複数のマスターとを備えるメモリアクセスシステムの制御方法であって、
監視手段が、前記複数のマスターに含まれる第 1 マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターに含まれる、前記第 1 マスターよりも優先度の低い第 2 マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視する監視工程と、
メモリコントローラが、前記監視工程で監視されたデータ量に関する所定の条件を満たすことに従って、優先度の高い前記第 1 マスターによる前記メモリへのアクセスを減少させることなく、優先度の低い前記第 2 マスターによる前記メモリへのアクセスを減少させ、前記所定の条件が満たされない場合は前記第 1 マスター及び前記第 2 マスターによる前記メモリへのアクセスを減少させない制御工程と
を含むことを特徴とするメモリアクセスシステムの制御方法。

【請求項 1 9】

メモリと、前記メモリにアクセスする複数のマスターとを備えるメモリアクセスシステ

ムの制御方法における各工程をコンピュータに実行させるためのプログラムであって、前記制御方法は、

監視手段が、前記複数のマスターに含まれる第1マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターに含まれる第2マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視する監視工程と、

制御手段が、前記監視工程で監視されたデータ量に関する所定の条件を満たすことに従って、前記監視された複数のマスターのうち優先度の低いマスターによる前記メモリへのアクセスを減少させる制御工程と
を実行することを特徴とするプログラム。

【請求項20】

メモリと、前記メモリにアクセスする複数のマスターとを備えるメモリアクセスシステムの制御方法における各工程をコンピュータに実行させるためのプログラムであって、前記制御方法は、

監視手段が、前記複数のマスターに含まれる第1マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターに含まれる、前記第1マスターよりも優先度の低い第2マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視する監視工程と、

メモリコントローラが、前記監視工程で監視されたデータ量に関する所定の条件を満たすことに従って、優先度の高い前記第1マスターによる前記メモリへのアクセスを減少させることなく、優先度の低い前記第2マスターによる前記メモリへのアクセスを減少させ、前記所定の条件が満たされない場合は前記第1マスター及び前記第2マスターによる前記メモリへのアクセスを減少させない制御工程と
を実行することを特徴とするプログラム。

【請求項21】

画像形成装置であって、
メモリアクセスシステムと、
画像処理を実行する画像処理手段と、
原稿から画像を読み取るスキャナと、
記録媒体へ画像を形成するプリンタと
を備え、

前記メモリアクセスシステムは、
メモリと、

前記メモリにアクセスする複数のマスターと、
前記複数のマスターに含まれる第1マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターに含まれる第2マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視する監視手段と、

前記監視手段によって監視されたデータ量に関する所定の条件を満たすことに従って、前記監視された複数のマスターのうち優先度の低いマスターによる前記メモリへのアクセスを減少させる制御手段と
を備えることを特徴とする画像形成装置。

【請求項22】

前記画像処理手段に関わる処理は、非リアルタイムでの前記メモリへのアクセスによるデータ転送を実行し、

前記スキャナ及び前記プリンタに関わる処理は、リアルタイムでの前記メモリへのアクセスによるデータ転送を実行することを特徴とする請求項21に記載の画像形成装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【 0 0 1 1 】

本発明は、メモリアクセスシステムであって、メモリと、前記メモリにアクセスする複数のマスターと、前記複数のマスターに含まれる第 1 マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターに含まれる第 2 マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視する監視手段と、前記監視手段によって監視されたデータ量に関する所定の条件を満たすことに従って、前記監視された複数のマスターのうち優先度の低いマスターによる前記メモリへのアクセスを減少させる制御手段とを備えることを特徴とする。

【 手 続 補 正 3 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 1 2

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 1 2 】

また、本発明は、メモリアクセスシステムであって、メモリと、前記メモリにアクセスする複数のマスターと、前記複数のマスターに含まれる第 1 マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターに含まれる、前記第 1 マスターよりも優先度の低い第 2 マスターと前記メモリとの間で使用される所定時間あたりのデータ量を監視する監視手段と、前記監視手段によって監視されたデータ量に関する所定の条件を満たすことに従って、優先度の高い前記第 1 マスターによる前記メモリへのアクセスを減少させることなく、優先度の低い前記第 2 マスターによる前記メモリへのアクセスを減少させ、前記所定の条件が満たされない場合は前記第 1 マスター及び前記第 2 マスターによる前記メモリへのアクセスを減少させないメモリコントローラとを備えることを特徴とする。