

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-174101  
(P2007-174101A)

(43) 公開日 平成19年7月5日(2007.7.5)

(51) Int. Cl.		F I			テーマコード (参考)	
<b>HO4B</b>	<b>1/16</b>	<b>(2006.01)</b>	HO4B	1/16	R	5J100
<b>HO3G</b>	<b>3/20</b>	<b>(2006.01)</b>	HO3G	3/20	A	5K061
<b>HO3G</b>	<b>3/18</b>	<b>(2006.01)</b>	HO3G	3/18	A	
<b>HO3G</b>	<b>3/30</b>	<b>(2006.01)</b>	HO3G	3/30	B	
			HO3G	3/20	E	
審査請求 未請求 請求項の数 12 O L (全 16 頁)						

(21) 出願番号	特願2005-366933 (P2005-366933)	(71) 出願人	000005049
(22) 出願日	平成17年12月20日 (2005.12.20)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	110000338
			特許業務法人原謙三国際特許事務所
		(72) 発明者	▲濱▼口 睦
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	5J100 JA01 LA01 LA11 QA01 SA02
			5K061 AA10 AA11 AA13 BB06 BB07
			CC08 CC23 CC52 CD05 CD06

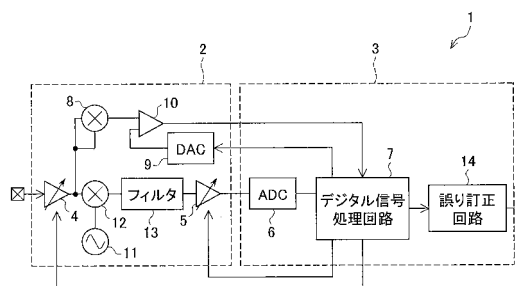
(54) 【発明の名称】 デジタル信号受信装置

(57) 【要約】

【課題】 受信したRF信号の入力レベルにかかわらずノイズ特性と歪特性とが良好なデジタル信号受信装置を提供する。

【解決手段】 デジタル信号受信装置1は、データ列がデジタル変調されキャリアに乘せられて受信された高周波信号を周波数変換及び増幅して出力する増幅ブロック2と、増幅ブロック2から出力された信号をAD変換して復調する復調ブロック3とを備え、増幅ブロック2は、高周波信号を増幅して出力する可変利得増幅器4と、可変利得増幅器4からの出力に基づく信号を増幅する可変利得増幅器5とを含み、受信した高周波信号の入力レベルに応じて可変利得増幅器4と可変利得増幅器5との利得配分を変更するデジタル信号処理回路7を設けた。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

データ列がデジタル変調されてキャリアに乗せられた高周波信号を受信し、周波数変換及び増幅して出力する増幅ブロックと、

前記増幅ブロックから出力された信号を A/D 変換して復調する復調ブロックとを備え、

前記増幅ブロックは、前記高周波信号を増幅して出力する第 1 可変利得増幅器と、

前記第 1 可変利得増幅器からの出力に基づく信号を増幅する第 2 可変利得増幅器とを含むデジタル信号受信装置であって、

前記受信した高周波信号の入力レベルに応じて前記第 1 可変利得増幅器と前記第 2 可変利得増幅器との利得配分を変更する利得配分変更回路を設けたことを特徴とするデジタル信号受信装置。

10

## 【請求項 2】

前記復調ブロックは、前記復調された信号の誤りを訂正する誤り訂正回路を含み、

前記利得配分変更回路は、前記誤り訂正回路による誤り訂正の状態に応じて前記第 1 可変利得増幅器と前記第 2 可変利得増幅器との利得配分を変更する請求項 1 記載のデジタル信号受信装置。

## 【請求項 3】

前記利得配分変更回路は、前記受信した希望波の高周波信号の入力レベルが増大して所定のレベルに到達する間、前記第 1 可変利得増幅器の利得は最大値で一定とし、前記第 2 可変利得増幅器の利得を下げるように前記第 1 可変利得増幅器と前記第 2 可変利得増幅器との利得配分を変更し、前記受信した高周波信号の入力レベルが前記所定のレベルからさらに増大したときに、前記第 2 可変利得増幅器の利得は一定とし、前記第 1 可変利得増幅器の利得を下げるように前記第 1 可変利得増幅器と前記第 2 可変利得増幅器との利得配分を変更する請求項 1 記載のデジタル信号受信装置。

20

## 【請求項 4】

前記利得配分変更回路は、前記誤り訂正回路による誤り訂正の状態に基づいて伝送誤り率を求め、前記伝送誤り率に応じて、前記第 1 可変利得増幅器の利得を下げる請求項 2 記載のデジタル信号受信装置。

## 【請求項 5】

前記利得配分変更回路は、前記伝送誤り率に基づいて入力 C/N を算出し、前記算出した入力 C/N に基づいて前記第 1 可変利得増幅器の利得を下げる請求項 4 記載のデジタル信号受信装置。

30

## 【請求項 6】

前記利得配分変更回路は、前記第 1 可変利得増幅器の出力レベルを検出するために前記増幅ブロックに設けられた検波回路を含み、

前記利得配分変更回路は、前記検波回路によって検出された前記第 1 可変利得増幅器の出力レベルが、外部制御信号によって設定されたレベルと等しくなるように、前記第 1 可変利得増幅器と前記第 2 可変利得増幅器との利得配分を変更する請求項 1 記載のデジタル信号受信装置。

## 【請求項 7】

前記利得配分変更回路は、前記外部制御信号に基づいて基準レベルを生成するために前記増幅ブロックに設けられた DAC 回路と、

前記検波回路によって検出された前記第 1 可変利得増幅器の出力レベルが、前記 DAC 回路によって生成された前記基準レベルと等しくなるように、前記第 1 可変利得増幅器の利得を制御する積分用アンプとをさらに含む請求項 6 記載のデジタル信号受信装置。

40

## 【請求項 8】

前記利得配分変更回路は、前記第 1 可変利得増幅器よりも後段側に配置されて利得が一定な回路からの出力レベルを検出するために前記増幅ブロックに設けられた検波回路を含み、

前記利得配分変更回路は、前記検波回路によって検出された前記利得が一定な回路から

50

の出力レベルが、外部制御信号によって設定されたレベルと等しくなるように、前記第 1 可変利得増幅器と前記第 2 可変利得増幅器との利得配分を変更する請求項 1 記載のデジタル信号受信装置。

【請求項 9】

前記利得配分変更回路は、前記外部制御信号に基づいて基準レベルを生成するために前記増幅ブロックに設けられた D A C 回路と、

前記検波回路によって検出された前記利得が一定な回路からの出力レベルが、前記 D A C 回路によって生成された前記基準レベルと等しくなるように、前記第 1 可変利得増幅器の利得を制御する積分用アンプとをさらに含む請求項 8 記載のデジタル信号受信装置。

【請求項 10】

10

前記利得配分変更回路は、間欠動作を行う請求項 1 記載のデジタル信号受信装置。

【請求項 11】

前記復調ブロックは、前記復調された信号の誤りを訂正する誤り訂正回路を含み、

前記利得配分変更回路は、前記誤り訂正回路による誤り訂正の状態に基づいて算出した伝送誤り率に基づいて間欠動作を行う請求項 1 記載のデジタル信号受信装置。

【請求項 12】

前記利得配分変更回路は、前記伝送誤り率に基づいて入力 C N を算出し、前記算出した入力 C N に基づいて間欠動作を行う請求項 11 記載のデジタル信号受信装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、地上波デジタル放送や衛星放送などにおいて、デジタル伝送方式に基づいた信号を受信するデジタル信号受信装置に関する。

【背景技術】

【0002】

従来から、データ列がデジタル変調されキャリアに乗せられて受信された高周波信号を周波数変換及び増幅して出力する増幅ブロックと、増幅ブロックから出力された信号を A D 変換して復調する復調ブロックとを備えたデジタル信号受信装置が広く使われている（例えば、特許文献 1 参照）。

【0003】

30

図 13 は、従来のデジタル信号受信装置 90 の構成を示すブロック図である。デジタル信号受信装置 90 は、増幅ブロック 92 を備えている。増幅ブロック 92 は、可変利得増幅器 94（以下、R F V G A 94 という）を有している。R F V G A 94 は、データ列がデジタル変調されキャリアに乗せられた高周波信号を増幅してミキサ 82 に供給する。ミキサ 82 は、周波数シンセサイザによって発振する発振器 81 からのローカル出力（以下 L O 出力という）に基づいて、R F V G A 94 により増幅された高周波信号を中間周波数信号（以下 I F 信号という）に周波数変換してフィルタ 83 に供給する。

【0004】

I F 信号は、入力された高周波信号の周波数成分を  $W_{rf}$  とし、L O 出力の周波数成分を  $W_{lo}$  とし、I F 信号の周波数成分を  $W_{if}$  と表記した場合、 $W_{if} = (W_{rf} \pm W_{lo})$  の周波数成分を持つ。

40

【0005】

I F 信号はフィルタ 83 によって、所望の周波数帯域のみ通過し、不要な周波数帯域の信号は除去される。所望の周波数帯域が  $(W_{rf} + W_{lo})$  の時をアップコンバート、 $(W_{rf} - W_{lo})$  の時をダウンコンバートと言う。フィルタ 83 からの出力は、可変利得増幅器 95（以後、I F V G A 95 という）によって、所望の出力レベルに増幅され、増幅ブロック 92 からの信号が出力される。

【0006】

復調ブロック 93 は、I F V G A 95 から入力された信号を A D 変換器 96 によりアナログ - デジタル変換（以後、A D 変換という）した後に、デジタル信号処理回路 97 によ

50

りデジタル信号処理を行い、復調動作を行っている。

【0007】

復調ブロック93は、誤り訂正回路84を備えている。誤り訂正回路84は、デジタル信号処理回路97から出力された信号の誤りを訂正する。

【0008】

復調動作の際に、誤り訂正回路84による制御を行うことにより、受信状態を良好に保つことができる。復調ブロック93に設けた誤り訂正回路84における誤り訂正の状態に基づいて伝送誤り率を計算し、その伝送誤り率の値により入力CNを算出して、受信状態が最適になるように、ベースバンドフィルタのカットオフ周波数と、キャリア再生用発振器への制御信号の時定数との少なくともいずれか一方を可変制御することによって低CNにおける誤り率を改善している(例えば特許文献1参照)。

【特許文献1】特開平6-315040号公報(平成6年(1994)11月8日公開)

【非特許文献1】「APPLICATION NOTE - TDA6650/51TT-3-BANDMIXER/OSCILLATOR AND LOW NOISE PLL FOR DIGITAL AND TERRESTRIAL TUNERS」Philips Semiconductors

【非特許文献2】「TAIFUN-TUA 6034 Digital Terrestrial and Multimedia One-Chip RF IC」Infineon technologies

【非特許文献3】「RFマイクロエレクトロニクス」黒田忠広監訳 丸善株式会社発行 p.49 (2.107)式

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら上記従来技術では、デジタル信号受信装置の特性を大きく左右する増幅ブロック92に制御のための構成が設けられておらず、復調ブロック93のみの制御により受信性能の向上を図っていた。そのため、増幅ブロック92から出力される信号のCN比が非常に悪い場合においては、良好な状態での受信は困難であった。

【0010】

また、デジタル信号受信装置のノイズ特性を良くする為に、一般的にはRFVGA94の利得を大きくとる傾向がある。RFVGA94の利得を上げることにより、ミキサ82以降の回路で発生するノイズの影響を小さくするためである(非特許文献3 p.49 (2.107)式参照)。

【0011】

RFVGA94の利得を上げることにより、一般的にデジタル信号受信装置のノイズ特性は改善する傾向になるが、一方で歪特性が悪くなる。デジタル信号受信装置の線形性(IIP3)は、受信装置で支配的となる回路ブロックの前段までの利得をGとし、支配的な回路ブロックの線形性をIIP3'とした時に、 $IIP3 = IIP3' / G$ となる。このため、前段までの回路ブロックの利得が大きくなればなるほど線形性が悪化する(非特許文献3 p.26 (2.47)式参照)。

【0012】

従来技術では、ある条件下においては、良好なノイズ特性と歪特性を実現するような利得配分がされている。しかし実使用では、受信状態によっては、よりノイズ特性または歪特性を改善したい場合が発生することがある。しかしながら、従来の構成ではRFVGA94とIFVGA95との間の利得配分を変更する手法がなく、受信したRF信号の入力レベルに応じて、RFVGA94とIFVGA95との間の良好な利得配分を実現するのが困難であった。

【0013】

また、良好な利得配分を実現するために新たな回路ブロックを付加する必要があり、消費電力が増加するといった課題があった。

10

20

30

40

50

## 【0014】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、受信したRF信号の入力レベルにかかわらず、ノイズ特性と歪特性とが良好なデジタル信号受信装置を実現することにある。

## 【課題を解決するための手段】

## 【0015】

本発明に係るデジタル信号受信装置は、上記課題を解決するために、データ列がデジタル変調されてキャリアに乗せられた高周波信号を受信し、周波数変換及び増幅して出力する増幅ブロックと、前記増幅ブロックから出力された信号をAD変換して復調する復調ブロックとを備え、前記増幅ブロックは、前記高周波信号を増幅して出力する第1可変利得増幅器と、前記第1可変利得増幅器からの出力に基づく信号を増幅する第2可変利得増幅器とを含むデジタル信号受信装置であって、前記受信した高周波信号の入力レベルに応じて前記第1可変利得増幅器と前記第2可変利得増幅器との利得配分を変更する利得配分変更回路を設けたことを特徴とする。

10

## 【0016】

上記特徴によれば、利得配分変更回路により、受信した高周波信号の入力レベルに応じて第1可変利得増幅器と第2可変利得増幅器との利得配分を変更するので、デジタル信号受信装置のノイズ特性または歪特性を、受信した高周波信号の受信状態に応じて改善することができるという効果を奏する。

## 【0017】

本発明に係るデジタル信号受信装置では、前記復調ブロックは、前記復調された信号の誤りを訂正する誤り訂正回路を含み、前記利得配分変更回路は、前記誤り訂正回路による誤り訂正の状態に応じて前記第1可変利得増幅器と前記第2可変利得増幅器との利得配分を変更することが好ましい。

20

## 【0018】

上記構成によれば、前記誤り訂正回路による誤り訂正の状態に応じて前記第1可変利得増幅器と前記第2可変利得増幅器との利得配分を変更するので、誤り訂正の状態を認識しながら、妨害波耐性を改善し、線形性を改善する必要がある場合にのみ、検波レベルを下げて第1可変利得増幅器の利得を下げ、ノイズ特性を悪化させずにデジタル信号受信装置の歪特性を改善することができる。このため、本来であれば改善の必要がない条件の妨害波が受信波に混入している場合でも、第1可変利得増幅器の利得を下げてしまい、その結果、ノイズ特性を悪化させることがない。

30

## 【0019】

本発明に係るデジタル信号受信装置では、前記利得配分変更回路は、前記受信した希望波の高周波信号の入力レベルが増大して所定のレベルに到達する間、前記第1可変利得増幅器の利得は最大値で一定とし、前記第2可変利得増幅器の利得を下げるように前記第1可変利得増幅器と前記第2可変利得増幅器との利得配分を変更し、前記受信した高周波信号の入力レベルが前記所定のレベルからさらに増大したときに、前記第2可変利得増幅器の利得は一定とし、前記第1可変利得増幅器の利得を下げるように前記第1可変利得増幅器と前記第2可変利得増幅器との利得配分を変更することが好ましい。

40

## 【0020】

上記構成によれば、前記受信した高周波信号の入力レベルが増大して所定のレベルに到達する間、前記第1可変利得増幅器の利得を最大になるように設定し、残りの利得を第2可変利得増幅器によってカバーするため、ノイズ特性を良好にすることができる。

## 【0021】

本発明に係るデジタル信号受信装置では、前記利得配分変更回路は、前記誤り訂正回路による誤り訂正の状態に基づいて伝送誤り率を求め、前記伝送誤り率に応じて、前記第1可変利得増幅器の利得を下げることを好ましい。

## 【0022】

上記構成によれば、伝送誤り率が増大して、受信状況が劣化した時のみ、利得配分変更

50

回路を動作させて、受信状況の改善を図ることができる。また、利得配分変更回路を常に動作させるよりも低消費電力化を図ることも可能である。

【0023】

本発明に係るデジタル信号受信装置では、前記利得配分変更回路は、前記伝送誤り率に基づいて入力C/Nを算出し、前記算出した入力C/Nに基づいて前記第1可変利得増幅器の利得を下げるのが好ましい。

【0024】

上記構成によれば、入力C/Nが増大して、受信状況が劣化した時のみ、利得配分変更回路を動作させて、受信状況の改善を図ることができる。また、利得配分変更回路を常に動作させるよりも低消費電力化を図ることも可能である。

10

【0025】

本発明に係るデジタル信号受信装置では、前記利得配分変更回路は、前記第1可変利得増幅器の出力レベルを検出するために前記増幅ブロックに設けられた検波回路を含み、前記利得配分変更回路は、前記検波回路によって検出された前記第1可変利得増幅器の出力レベルが、外部制御信号によって設定されたレベルと等しくなるように、前記第1可変利得増幅器と前記第2可変利得増幅器との利得配分を変更するのが好ましい。

【0026】

上記構成によれば、初段の第1可変利得増幅器への入力レベルが大きいか否かを第1可変利得増幅器の出力レベルを検出することによって判断することができるので、初段の第1可変利得増幅器への入力レベルが大きいか否かを第2可変利得増幅器からの出力に基づいて判断する構成よりも容易に、第1可変利得増幅器の制御方法を決定することができる。

20

【0027】

本発明に係るデジタル信号受信装置では、前記利得配分変更回路は、前記外部制御信号に基づいて基準レベルを生成するために前記増幅ブロックに設けられたDAC回路と、

前記検波回路によって検出された前記第1可変利得増幅器の出力レベルが、前記DAC回路によって生成された前記基準レベルと等しくなるように、前記第1可変利得増幅器の利得を制御するために前記増幅ブロックに設けられた積分用アンプとをさらに含むことが好ましい。

【0028】

上記構成によれば、増幅ブロックに設けられた積分用アンプが、第1可変利得増幅器の利得を制御する。このため、第1可変利得増幅器の利得を増幅ブロックのみによって制御することができる。従って、復調ブロックの機能を削減することができる。また、制御系が増幅ブロックのみで閉じていると、制御系を構成しやすく、使用しやすい。

30

【0029】

本発明に係るデジタル信号受信装置では、前記利得配分変更回路は、前記第1可変利得増幅器よりも後段側に配置されて利得が一定な回路からの出力レベルを検出するために前記増幅ブロックに設けられた検波回路を含み、前記利得配分変更回路は、前記検波回路によって検出された前記利得が一定な回路からの出力レベルが、外部制御信号によって設定されたレベルと等しくなるように、前記第1可変利得増幅器と前記第2可変利得増幅器との利得配分を変更するのが好ましい。

40

【0030】

上記構成によれば、第1可変利得増幅器の出力レベルが低すぎて、検波回路の動作が困難であっても、第1可変利得増幅器の後段に配置された利得が一定な回路からの増幅された出力を検波することができるので、前記第1可変利得増幅器の利得を適切に変更することができる。

【0031】

本発明に係るデジタル信号受信装置では、前記利得配分変更回路は、前記外部制御信号に基づいて基準レベルを生成するために前記増幅ブロックに設けられたDAC回路と、前記検波回路によって検出された前記利得が一定な回路からの出力レベルが、前記DAC回

50

路によって生成された前記基準レベルと等しくなるように、前記第 1 可変利得増幅器の利得を制御する積分用アンプとをさらに含むことが好ましい。

【0032】

上記構成によれば、第 1 可変利得増幅器の出力レベルが低すぎて、検波回路の動作が困難であっても、第 1 可変利得増幅器の後段に配置された利得が一定な回路からの増幅された出力を検波することができるので、前記第 1 可変利得増幅器の利得を適切に変更することができる。

【0033】

本発明に係るデジタル信号受信装置では、前記利得配分変更回路は、間欠動作を行うことが好ましい。

【0034】

上記構成によれば、常時動作している構成よりも、消費電力を削減することができる。

【0035】

本発明に係るデジタル信号受信装置では、前記復調ブロックは、前記復調された信号の誤りを訂正する誤り訂正回路を含み、前記利得配分変更回路は、前記誤り訂正回路による誤り訂正の状態に基づいて算出した伝送誤り率に基づいて間欠動作を行うことが好ましい。

【0036】

上記構成によれば、前記誤り訂正回路による誤り訂正の状態に基づいて算出した伝送誤り率に基づいて間欠動作を行うので、受信状態が劣化したときにのみ利得配分変更回路を動作させて受信状態を改善することができ、また、消費電力を低減することもできる。

【0037】

本発明に係るデジタル信号受信装置では、前記利得配分変更回路は、前記伝送誤り率に基づいて入力 C N を算出し、前記算出した入力 C N に基づいて間欠動作を行うことが好ましい。

【0038】

上記構成によれば、前記利得配分変更回路は、前記伝送誤り率に基づいて入力 C N を算出し、前記算出した入力 C N に基づいて間欠動作を行うので、受信状態が劣化したときにのみ利得配分変更回路を動作させて受信状態を改善することができ、また、消費電力を低減することもできる。

【発明の効果】

【0039】

本発明に係るデジタル信号受信装置は、以上のように、前記受信した高周波信号の入力レベルに応じて前記第 1 可変利得増幅器と前記第 2 可変利得増幅器との利得配分を変更する利得配分変更回路を備えているので、利得配分変更回路により、受信した高周波信号の入力レベルに応じて第 1 可変利得増幅器と第 2 可変利得増幅器との利得配分を変更する。このため、デジタル信号受信装置のノイズ特性または歪特性を、受信した高周波信号の受信状態に応じて改善することができるという効果を奏する。

【発明を実施するための最良の形態】

【0040】

本発明の一実施形態について図 1 ないし図 1 2 に基づいて説明すると以下の通りである。

【0041】

(実施の形態 1)

図 1 は、実施の形態 1 に係るデジタル信号受信装置 1 の構成を示すブロック図である。デジタル信号受信装置 1 は、増幅ブロック 2 を備えている。増幅ブロック 2 は、可変利得増幅器 4 (以下、RFVGA 4 という) を有している。RFVGA 4 は、データ列がデジタル変調されキャリアに乗せられた高周波信号を増幅してミキサ 1 2 に供給する。ミキサ 1 2 は、周波数シンセサイザによって発振する発振器 1 1 からのローカル出力 (以下 LO 出力ともいう) に基づいて、RFVGA 4 により増幅された高周波信号を中間周波数信号

(以下 I F 信号という) に周波数変換してフィルタ 1 3 に供給する。

【 0 0 4 2 】

I F 信号は、入力された高周波信号の周波数成分を  $W_{rf}$  とし、L O 出力の周波数成分を  $W_{lo}$  とし、I F 信号の周波数成分を  $W_{if}$  と表記した場合、 $W_{if} = (W_{rf} \pm W_{lo})$  の周波数成分を持つ。

【 0 0 4 3 】

I F 信号はフィルタ 1 3 によって、所望の周波数帯域のみ通過し、不要な周波数帯域の信号は除去される。所望の周波数帯域が  $(W_{rf} + W_{lo})$  の時をアップコンバート、 $(W_{rf} - W_{lo})$  の時をダウンコンバートと言う。フィルタ 1 3 からの出力は、可変利得増幅器 5 (以後、I F V G A 5 という) によって、所望の出力レベルに増幅され、増幅ブロック 2 から出力される。

10

【 0 0 4 4 】

復調ブロック 3 は、I F V G A 5 から入力された信号を A D 変換器 6 によりアナログ - デジタル変換 (以後、A D 変換という) した後に、デジタル信号処理回路 7 によりデジタル信号処理を行い、復調動作を行っている。

【 0 0 4 5 】

復調ブロック 3 は、誤り訂正回路 1 4 を備えている。誤り訂正回路 1 4 は、デジタル信号処理回路 7 から出力された信号の誤りを訂正する。

【 0 0 4 6 】

増幅ブロック 2 は、レベル検波回路 8 を有している。レベル検波回路 8 は、R F V G A 4 の出力レベルを検出する。増幅ブロック 2 には、D A C 回路 9 が設けられている。D A C 回路 9 は、デジタル信号処理回路 7 からの制御信号に基づいて任意の基準レベルを生成する。

20

【 0 0 4 7 】

増幅ブロック 2 は、コンパレータ 1 0 を有している。コンパレータ 1 0 は、レベル検波回路 8 によって検出された R F V G A 4 の出力レベルと、D A C 回路 9 によって生成された基準レベルとの比較結果をデジタル信号処理回路 7 に供給する。

【 0 0 4 8 】

レベル検波回路 8、D A C 回路 9 及びコンパレータ 1 0 によって構成される回路ブロックは、R F V G A 4 の出力レベルが設定レベルを超えているか否かを判断する機能を果たす。レベル検波回路 8 を構成する乗算器に設けられた 2 個の入力に、R F V G A 4 の出力が接続されている。同じ信号を掛け合わすと下記の (数 1) より、2 倍の高調波成分と D C 成分とが発生する。

30

【 0 0 4 9 】

【数 1】

$$(A \times \cos \omega t)^2 = \frac{A^2}{2} (1 + \cos 2\omega t)$$

【 0 0 5 0 】

レベル検波回路 8 の乗算器の出力には、図示しないローパスフィルタが接続されており、乗算器の出力には D C レベルのみが出力される構成になっている。

40

【 0 0 5 1 】

デジタル信号処理回路 7 から D A C 回路 9 に供給される制御信号は、デジタル信号である。例えば 3 ビットのデジタル信号であれば、D A C 回路 9 は 8 段階の電圧レベルを生成することができる。D A C 回路 9 が生成する電圧レベル (以後、検波レベルともいう) とレベル検波回路 8 の出力する電圧レベルとを比較して、D A C 回路 9 の生成する電圧レベルよりもレベル検波回路 8 の出力する電圧レベルが高い時に、コンパレータ 1 0 は R F V G A 4 の利得を下げる必要のあることを意味する H i g h レベルをデジタル信号処理回路 7 に出力する。これに対して、設定しているレベルよりも R F V G A 4 の出力レベルが低ければ、コンパレータ 1 0 は R F V G A 4 の利得に問題のないことを意味する L o w レベ

50

ルをデジタル信号処理回路 7 に出力する。デジタル信号処理回路 7 は、復調の状態に応じて最適な D A C レベルを決定する。

【 0 0 5 2 】

R F V G A 4 の出力レベルが検波レベルと同じになるように入力側の増幅器である R F V G A 4 の利得を調整するような構成にするためには、まず、R F V G A 4 の利得を最大になるように設定し、残りの利得を I F V G A 5 でカバーするようにしておき、コンパレータ 1 0 の出力が H i g h の時には R F V G A 4 の利得を落とすようにしておく。その結果、R F V G A 4 の出力レベルが検波レベルを超えるような場合には、R F V G A の利得を下げるように動作し、R F V G A 4 の出力レベルと検波レベルが同じになるように、バランスがとられる。

10

【 0 0 5 3 】

なお、R F V G A 4 の出力レベルと検波レベルとが、ほぼ同じレベルになるときは、コンパレータ 1 0 の出力が H i g h レベルおよび L o w レベルを繰り返す可能性がある。上記のようにコンパレータ 1 0 の出力が H i g h レベルおよび L o w レベルを繰り返すと、システムが不安定になるおそれがあるのであれば、コンパレータ 1 0 の周波数応答を低くして設計しておき、高速動作ができないようにしておくか、またはコンパレータ 1 0 をヒステリシスのある特性にしておけば良い。

【 0 0 5 4 】

図 2 は、デジタル信号受信装置 1 の希望波入力レベルと R F V G A 4 および I F V G A 5 の合計利得との関係を示すグラフである。横軸は希望波入力レベルを示しており、縦軸は R F V G A 4 および I F V G A 5 の合計利得を示している。

20

【 0 0 5 5 】

復調ブロック 3 のデジタル信号処理回路 7 は、R F V G A 4 および I F V G A 5 の利得制御を行っている。デジタル信号処理回路 7 は、決められた入力レベルになるように R F V G A 4 の利得と I F V G A 5 の利得とを調整する。例として、復調ブロック 3 の決められた入力レベルを 0 d B m とし、ミキサ 1 2 の利得およびフィルタ 1 3 の利得をそれぞれ 1 0 d B と仮定する。

【 0 0 5 6 】

図 2 に示すように、デジタル信号受信装置 1 への入力が - 1 0 0 d B m とすると、増幅ブロック 2 の利得は 1 0 0 d B となり、ミキサ 1 2 およびフィルタ 1 3 で 2 0 d B の利得があるので、R F V G A 4 および I F V G A 5 の合計利得は 8 0 d B 必要となる。デジタル信号受信装置 1 への入力が - 5 0 d B m とすると、同様に考えて R F V G A 4 および I F V G A 5 の合計利得は 3 0 d B となる。

30

【 0 0 5 7 】

図 3 は、デジタル信号受信装置 1 における希望波入力レベルに応じた R F V G A 4 および I F V G A 5 の利得配分の方法を説明するためのグラフである。線 C 1 は、R F V G A 4 の利得を示しており、線 C 2 は、I F V G A 5 の利得を示している。R F V G A 4 および I F V G A 5 の利得範囲が両方とも 5 0 d B ~ 0 d B と仮定する。ノイズ特性を良くするために R F V G A 4 の利得を最大になるように設定し、残りの利得を I F V G A 5 でカバーするのが一般的である。このため、図 3 に示すような R F V G A 4 (線 C 1) および I F V G A 5 (線 C 2) の利得配分となる。

40

【 0 0 5 8 】

即ち、R F V G A 4 および I F V G A 5 の合計利得が 8 0 d B の場合、R F V G A 4 が 5 0 d B、I F V G A 5 が 3 0 d B となる。また R F V G A および I F V G A の合計利得が 3 0 d B の場合、R F V G A 4 が 3 0 d B、I F V G A 5 が 0 d B となる。この例の場合 R F V G A 4 および I F V G A 5 の合計利得が 5 0 d B の時に、つまり希望波入力レベルが - 7 0 d B m のときが、R F V G A 4 および I F V G A 5 の利得切り替えポイント (以後、V t a k e という) になる。R F V G A 4 の利得は、希望波入力レベルが V t a k e よりも低い場合には 5 0 d B で一定になり、それ以上の希望波入力レベルで利得は減少する。

50

## 【 0 0 5 9 】

図 4 は、デジタル信号受信装置 1 の希望波入力レベルと R F V G A 4 の出力レベルとの関係を示すグラフである。R F V G A 4 の出力レベルは、図 4 に示すような特性になり、V t a k e ( - 7 0 d B m ) 以上の希望波入力レベルで一定となる。

## 【 0 0 6 0 】

図 5 は、デジタル信号受信装置 1 における希望波入力レベルと希望波入力レベルに対し一定の D U 比を持った妨害波が混入した場合の R F V G A の出力レベルとの関係を示すグラフである。

## 【 0 0 6 1 】

ここで希望波レベルに対し一定の比（以後、D U 比という）を持った妨害波が混入した場合を考える。例えば D U 比を - 3 0 d B とすると、希望波入力レベルが - 7 0 d B m の時、妨害波レベルは - 4 0 d B m となる。その時の、R F V G A 4 の出力レベルを図 5 に示す。この時に検波レベルを 0 d B m に設定しておけば、希望波入力レベルが - 8 0 d B m の時に、R F V G A 4 の出力レベルは 0 d B m ( = - 8 0 + 3 0 + 5 0 ) となり、検波レベルと同じになる。希望波入力レベルがそれ以上になると、R F V G A 4 の出力レベルは検波レベルを超えて、最終的に + 1 0 d B m となる。

## 【 0 0 6 2 】

この時に、R F V G A 4 の出力レベルが検波レベルと同じになるように入力側の可変利得増幅器である R F V G A 4 の利得を調整するような構成にしておくことにより、希望波入力レベルが - 8 0 d B m 以上の入力で利得が下がりだす。

## 【 0 0 6 3 】

図 6 は、デジタル信号受信装置 1 における希望波レベルに対し一定の D U 比を持った妨害波が混入した場合の R F V G A 4 および I F V G A 5 の利得配分の方法を説明するためのグラフである。

## 【 0 0 6 4 】

R F V G A 4 および I F V G A 5 の利得切り替えポイント（以後、V t a k e ' という）は - 8 0 d B m となる。この時に注目すべき点は、- 8 0 d B m より大きい信号が入力されている場合において、妨害波のある時の R F V G A 4 の利得を示す線 C 3 が、妨害波のない時の線 C 4 よりも低くなっている点である。例えば - 7 0 d B m の入力時には妨害波のない状態の線 C 4 では 5 0 d B の利得であるが、検波回路を用いた利得調整により、線 C 3 では 4 0 d B となっている。

## 【 0 0 6 5 】

前述したとおり、デジタル信号受信装置の線形性（I I P 3）は受信装置で支配的となる回路ブロックの前段までの利得を G とし、支配的な回路ブロックの線形性を I I P 3 ' とした時に、 $I I P 3 = I I P 3 ' / G$  となるため、妨害波のある時の R F V G A 4 の利得を示す線 C 3 が、妨害波のない時の線 C 4 よりも 1 0 d B 下がることにより、妨害波のある時の I F V G A 5 の利得を示す線 C 5 は、妨害波のない時の線 C 6 よりも 1 0 d B 上がり、デジタル信号受信装置の線形性は 1 0 d B 改善し、妨害波耐性が改善する。

## 【 0 0 6 6 】

上記の例は、D U 比が - 3 0 d B の時に、R F V G A 4 の利得が 1 0 d B 下がることを説明したが、D U 比が - 4 0 d B 比の時には、利得が 2 0 d B 下がる。

## 【 0 0 6 7 】

ここで R F V G A 4 の利得を下げる目的は、デジタル信号受信装置 1 の線形性の改善であるが、必要改善量は受信状態によって異なる。一般的に、同じレベルの妨害波が混入してくると仮定しても、妨害波の種類（例えば携帯の妨害波、A n a l o g - T V 妨害波など）や周波数（歪成分が希望波の周波数変換されてくる周波数関係や全く関係ない周波数）によっても、許容できる妨害波耐性が異なるため、受信装置の線形性の必要改善量が異なる。

## 【 0 0 6 8 】

例として、妨害波が隣接と隣々接の周波数関係にある場合と、周波数が離れたところに

妨害波が混入してくる場合とでは、妨害波耐性が異なる。

【0069】

図7は、デジタル信号受信装置1における希望信号と妨害信号との周波数関係を説明するためのグラフである。妨害波が隣接と隣々接の周波数関係にある場合(条件1)、歪特性により希望波の周波数帯域にノイズ信号が発生するが、周波数が離れたところに妨害波が混入してくる場合(条件2)には、希望波の周波数帯域にノイズは発生しない。例えば、希望波の隣接と隣々接の周波数関係にあるところにDU比-30dBの妨害波を入力した時に、受信特性が問題になるが、周波数が離れたところにDU比-30dBの妨害波が混入してくる場合には問題にならないことが考えられる。

【0070】

妨害波耐性を改善するために、RFVGA4の利得を下げようとしているが、本来であれば改善の必要がない条件の妨害波が混入している場合でも利得を下げた結果ノイズ特性を悪化させている場合がある。

【0071】

このような不具合を解消するために、誤り訂正の状態を認識しながら、線形性の改善が必要であれば、検波レベルをさげてRFVGA4の利得を下げ、デジタル信号受信装置の歪特性の改善を図る。

【0072】

(実施の形態2)

図8は、実施の形態2に係るデジタル信号受信装置1aの構成を示すブロック図である。前述した構成要素には同一の参照符号を付し、それらの構成要素の詳細な説明は省略する。

【0073】

デジタル信号受信装置1aは、増幅ブロック2aと復調ブロック3aとを備えている。増幅ブロック2aは、RFVGA4と発振器11とミキサ12とフィルタ13とIFVGA5とを有している。

【0074】

復調ブロック3aは、AD変換器6とデジタル信号処理回路7aと誤り訂正回路14とを有している。デジタル信号処理回路7aは、誤り訂正回路14による誤り訂正の状態に基づいて伝送誤り率を求め、その伝送誤り率の値から入力CN値を算出し、算出された入力CN値に基づいて、増幅ブロック2aに入力される高周波信号の入力レベルを求めて、RFVGA4とIFVGA5との利得配分を変更する。

【0075】

以上のように実施の形態2によれば、デジタル信号処理回路7aにより、増幅ブロック2aが受信した高周波信号の入力レベルに応じてRFVGA4とIFVGA5との利得配分を変更することができる。

【0076】

実施の形態2の復調ブロック3aのデジタル信号処理回路7aは、IF信号のみに基づいて高周波信号の入力レベルを判断することになり、ある状態で誤り訂正の状態が変化した時に、利得をどのように変化させて良いか判断する材料がないため、RFVGAの利得を上げるべきなのか、下げるべきなのかの判断が簡単にはできずサーチする作業が必要になる。このため、初段の回路であるRFVGA4からの出力に基づいて高周波信号の入力レベルを判断することができる構成を有する点で制御が容易になり、実施の形態1の構成が好ましい。

【0077】

一般的にVGAの利得配分は、NFを良くするためにRFVGA4の利得を上げるように利得配分するアルゴリズムを組む(RFVGA4の利得を下げる方向には動かない)。

【0078】

(実施の形態3)

図9は、実施の形態3に係るデジタル信号受信装置1bの構成を示すブロック図である

10

20

30

40

50

。前述した構成要素には同一の参照符号を付し、それらの構成要素の詳細な説明は省略する。

**【0079】**

デジタル信号受信装置1bは、増幅ブロック2bと復調ブロック3bとを備えている。増幅ブロック2bは、積分用アンプ15を有している。積分用アンプ15は、検波回路8によって検出されたRFVGA4の出力レベルが、DAC回路9によって生成された基準レベルと等しくなるように、RFVGA4の利得を制御する。

**【0080】**

復調ブロック3bは、デジタル信号処理回路7bを有している。デジタル信号処理回路7bは、IFVGA5の利得を制御する。

10

**【0081】**

このように、RFVGA4の利得は、積分用アンプ15の出力によって制御するので、復調ブロック3bのデジタル信号処理回路7bからの利得制御はIFVGA5のみとなる。RFVGA4の利得は積分用アンプ15により、検波回路8のDCレベルとDAC回路9の生成するDCレベルとが同じになるように調整される。

**【0082】**

実施の形態3の構成によれば、RFVGA4の制御を増幅ブロック2bのみで行えるので、復調ブロック3bの機能削減が図れる。このため、IFVGA5の制御のみを行う復調ブロックでも使用できる。

**【0083】**

また、実施の形態3の構成のように、制御系が増幅ブロック2bのみで閉じていると、増幅ブロック2bと復調ブロック3bとの間でインターフェースI/O電圧が異なる時などに、使用しやすい。後述する実施の形態5(図11)においても同様である。

20

**【0084】**

(実施の形態4)

図10は、実施の形態4に係るデジタル信号受信装置1cの構成を示すブロック図である。実施の形態1の図1で前述した構成要素には同一の参照符号を付し、それらの構成要素の詳細な説明は省略する。

**【0085】**

デジタル信号受信装置1cは、増幅ブロック2cを備えている。増幅ブロック2cは、レベル検波回路8を有している。レベル検波回路8は、RFVGA4よりも後段側に配置されて利得が一定なミキサ12からの出力レベルを検出する。

30

**【0086】**

実施の形態1の図1との違いは、レベル検波回路8の接続位置が、RFVGA4の出力からミキサ12の出力に変わったことである。ミキサ12の出力レベルはRFVGA4の出力レベルにミキサ12の利得分増幅されたレベルになっている。図1の状態と同じ動作をさせたいければ、検波レベルを、図1のときよりも、ミキサ12の利得分だけ大きくしておけば、同じ動作となる。この実施の形態4は、特に、RFVGA4の出力レベルが低すぎて、レベル検波回路8の動作が困難な場合に使用することが望ましい。

**【0087】**

(実施の形態5)

図11は、実施の形態5に係るデジタル信号受信装置1dの構成を示すブロック図である。実施の形態3の図9で前述した構成要素には同一の参照符号を付し、それらの構成要素の詳細な説明は省略する。

40

**【0088】**

デジタル信号受信装置1dは、増幅ブロック2dを備えている。増幅ブロック2dは、レベル検波回路8を有している。レベル検波回路8は、RFVGA4よりも後段側に配置されて利得が一定なミキサ12からの出力レベルを検出する。

**【0089】**

実施の形態3の図9との違いは、レベル検波回路8の接続位置が、RFVGA4の出力

50

からミキサ 1 2 の出力に変わったことである。ミキサ 1 2 の出力レベルは R F V G A 4 の出力レベルにミキサ 1 2 の利得増幅されたレベルになっている。図 9 の状態と同じ動作をさせたければ、検波レベルを図 9 のときよりも、ミキサ 1 2 の利得増幅だけ大きくしておけば同じ動作となる。この実施の形態 5 は、特に、R F V G A 4 の出力レベルが低すぎて、レベル検波回路 8 の動作が困難な場合に使用することが望ましい。

#### 【0090】

(実施の形態 6)

図 1 2 は、実施の形態 6 に係るデジタル信号受信装置 1 e の構成を示すブロック図である。実施の形態 1 の図 1 で前述した構成要素には同一の参照符号を付し、それらの構成要素の詳細な説明は省略する。

#### 【0091】

実施の形態 1 の図 1 との違いは、検波回路 8 e、コンパレータ 1 0 e 及び D A C 回路 9 e により構成される利得制御用ブロック 1 6 にパワーダウン機能を付加し、あるタイミングで動作を停止させて間欠動作させ、消費電力を削減することである。このように間欠動作を行うことにより、常時動作している状態よりも、消費電力を削減できる。

#### 【0092】

パワーダウンおよびパワーオンするタイミングは、決められた時間毎に行うという方法でもよいが、それ以外に、復調ブロック 3 e の誤り訂正回路 1 4 の誤り訂正の状態に基づいてデジタル信号処理回路 7 e が伝送誤り率を求め、求めた伝送誤り率に基づいてパワーダウンおよびパワーオンしても良い。同様に誤り訂正回路 1 4 の誤り訂正の状態から伝送誤り率を求め、その値から入力 C N を算出し、算出された C N 値に基づいてパワーダウンおよびパワーオンしても良い。

#### 【0093】

このように受信状況が劣化した時だけ動作させることにより、受信状況の改善を図ることができ、また低消費電力化を図ることも可能である。

#### 【0094】

なお当然のことながら、図 9 から図 1 1 に示すような構成に対しても上記したパワーダウン機能を付加して、消費電力を削減することができ、受信状況の改善を図ることができる。

#### 【0095】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

#### 【産業上の利用可能性】

#### 【0096】

本発明は、地上波デジタル放送や衛星放送などにおいて、デジタル伝送方式に基づいた信号を受信するデジタル信号受信装置に適用できる。

#### 【図面の簡単な説明】

#### 【0097】

【図 1】実施の形態 1 に係るデジタル信号受信装置の構成を示すブロック図である。

【図 2】実施の形態 1 に係るデジタル信号受信装置の希望波入力レベルと R F V G A および I F V G A の合計利得との関係を示すグラフである。

【図 3】実施の形態 1 に係るデジタル信号受信装置における希望波入力レベルに応じた R F V G A および I F V G A の利得配分の方法を説明するためのグラフである。

【図 4】実施の形態 1 に係るデジタル信号受信装置の希望波入力レベルと R F V G A の出力レベルとの関係を示すグラフである。

【図 5】実施の形態 1 に係るデジタル信号受信装置における希望波入力レベルと希望波レベルに対し一定の D U 比を持った妨害波が混入した場合の R F V G A の出力レベルとの関係を示すグラフである。

【図 6】実施の形態 1 に係るデジタル信号受信装置における希望波レベルに対し一定の D

10

20

30

40

50

U比を持った妨害波が混入した場合のRFVGAおよびIFVGAの利得配分の方法を説明するためのグラフである。

【図7】実施の形態1に係るデジタル信号受信装置における希望信号と妨害信号との周波数関係を説明するためのグラフである。

【図8】実施の形態2に係るデジタル信号受信装置の構成を示すブロック図である。

【図9】実施の形態3に係るデジタル信号受信装置の構成を示すブロック図である。

【図10】実施の形態4に係るデジタル信号受信装置の構成を示すブロック図である。

【図11】実施の形態5に係るデジタル信号受信装置の構成を示すブロック図である。

【図12】実施の形態6に係るデジタル信号受信装置の構成を示すブロック図である。

【図13】従来のデジタル信号受信装置の構成を示すブロック図である。

10

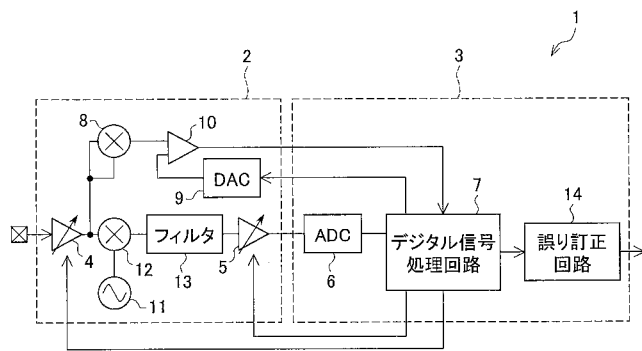
【符号の説明】

【0098】

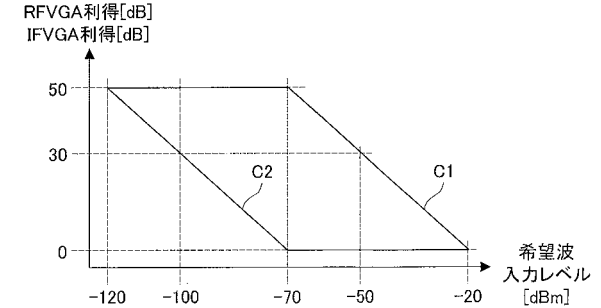
- 1 デジタル信号受信装置
- 2 増幅ブロック
- 3 復調ブロック
- 4 可変利得増幅器（第1可変利得増幅器）
- 5 可変利得増幅器（第2可変利得増幅器）
- 6 AD変換器
- 7 デジタル信号処理回路（利得配分変更回路）
- 8 レベル検波回路（検波回路）
- 9 DAC回路
- 10 コンパレータ
- 11 誤り訂正回路
- 12 積分用アンプ

20

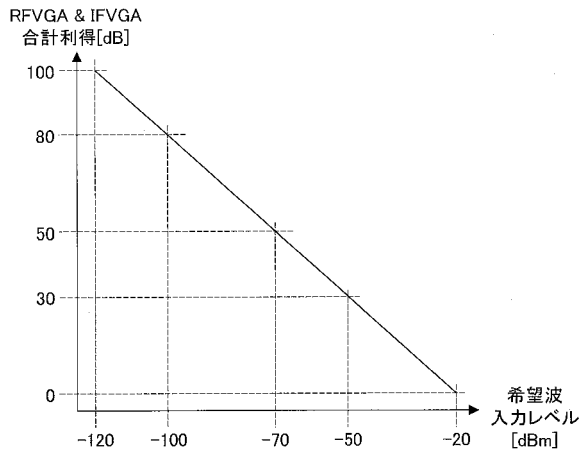
【図1】



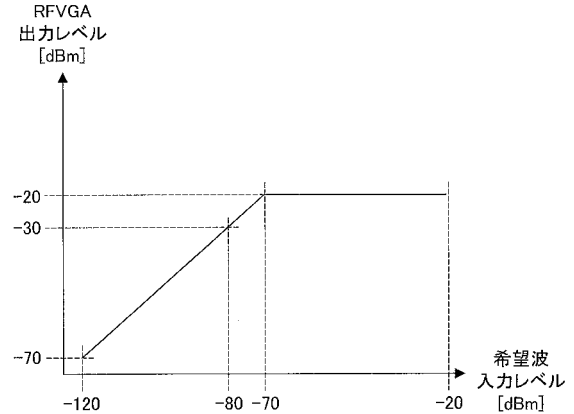
【図3】



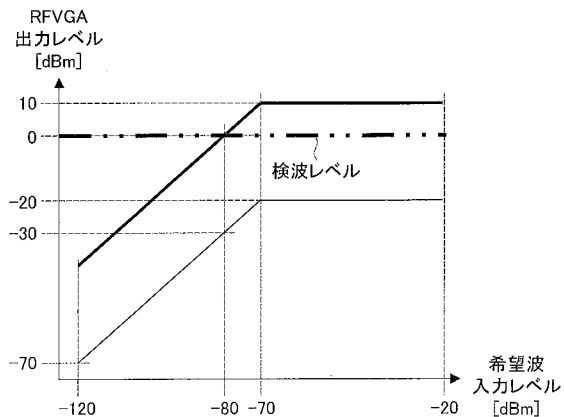
【図2】



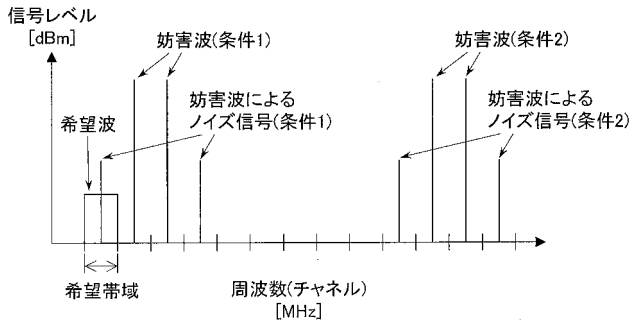
【図4】



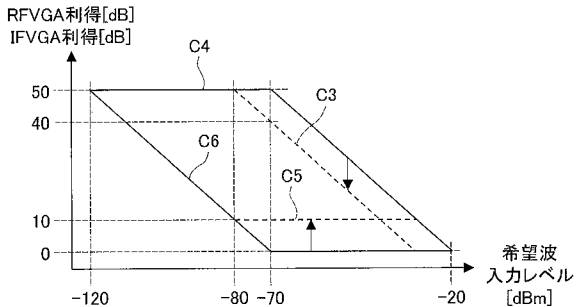
【図5】



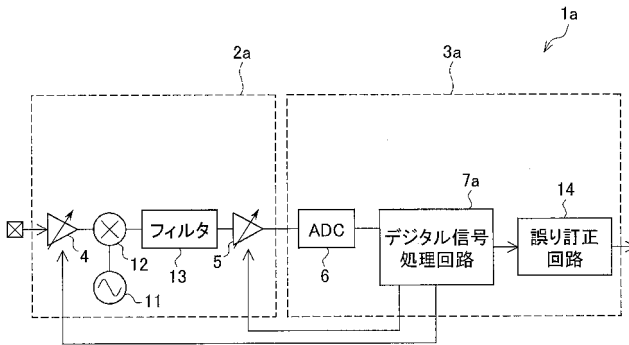
【図7】



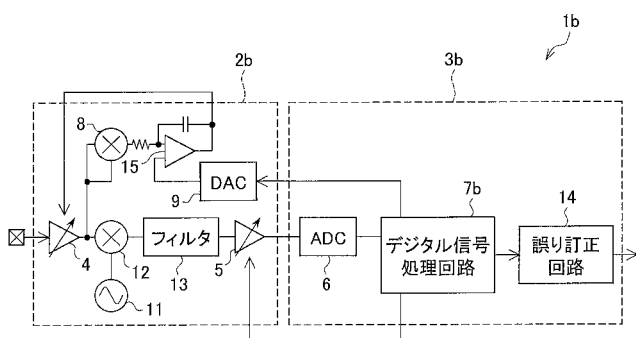
【図6】



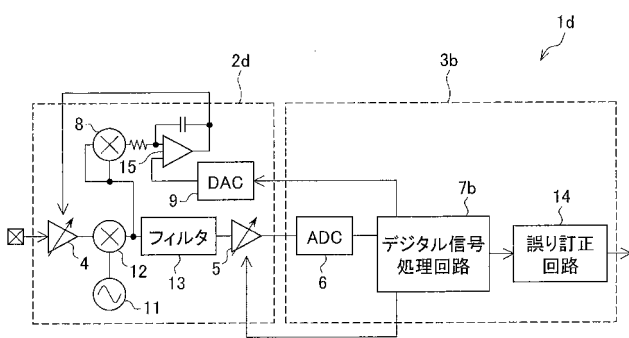
【図8】



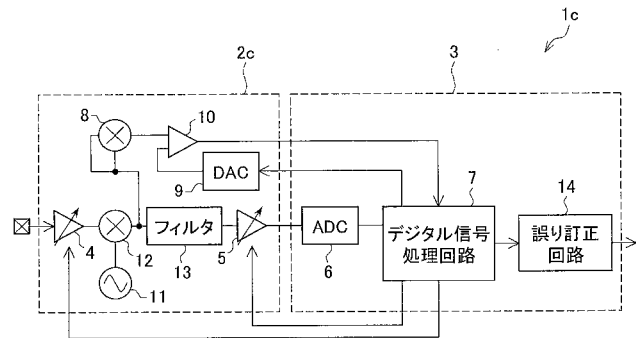
【図9】



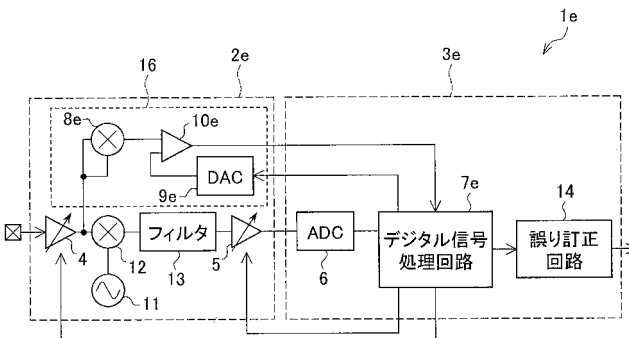
【図11】



【図10】



【図12】



【図13】

