



(12) 发明专利申请

(10) 申请公布号 CN 103681679 A

(43) 申请公布日 2014. 03. 26

(21) 申请号 201210315596. 5

(22) 申请日 2012. 08. 30

(71) 申请人 成都海存艾匹科技有限公司
地址 610041 四川省成都市高新区永丰路 6 号 B-36

(72) 发明人 张国飙

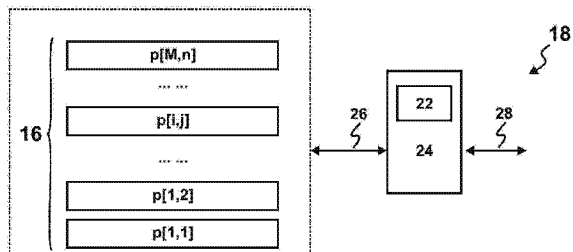
(51) Int. Cl.
H01L 27/112(2006. 01)
H01L 21/8246(2006. 01)

权利要求书2页 说明书8页 附图20页

(54) 发明名称
三维偏置印录存储器

(57) 摘要

本发明提出一种三维偏置印录存储器(3D-oP)。与常规的三维掩膜编程只读存储器(3D-MPROM)相比,其所需的数据掩膜版的数量较少,故其掩膜版成本较低。对应于不同存储层/数码位的掩膜图形被合并到一多区域数据掩膜版上。在不同的印录步骤中,晶圆相对于该多区域数据掩膜版的偏置量不同。因此,来自同一数据掩膜版的数据图形被印录到不同存储层/数码位的数据录入膜中。



1. 一种三维偏置印录存储器,其特征在于包括:
 - 一半导体衬底;
 - 多个堆叠在该衬底上并与之耦合的存储层,所述多个存储层相互堆叠,每个存储层含有至少一层数据录入膜,该数据录入膜中的图形代表一数码阵列;
 - 一可设置输入/输出,该可设置输入/输出根据该存储器中数码阵列序列来设置该存储器的输入/输出。
2. 根据权利要求1所述的存储器,其特征还在于包括:一存储手段,该存储手段存储与所述数码阵列序列相关的信息。
3. 一种三维偏置印录存储器,其特征在于包括:
 - 一半导体衬底;
 - 多个堆叠在该衬底上并与之耦合的存储层,所述多个存储层相互堆叠,每个存储层含有至少一层数据录入膜,该数据录入膜中的图形代表一数码阵列;
 - 在同一批次所述三维偏置印录存储器中,所有存储器均含有同样一组数码阵列集合;在至少两个存储器中,数码阵列序列不同。
4. 根据权利要求3所述的存储器,其特征还在于包括:一可设置输入/输出电路,该可设置输入/输出电路根据该存储器中数码阵列序列设置该存储器的输入/输出。
5. 根据权利要求3所述的存储器,其特征还在于:
 - 所述批次中含有第一和第二存储器,该第一和第二存储器均含有第一和第二存储层,所述第二存储层位于所述第一存储层之上;其中,
 - 所述第一存储器中的所述第一存储层存储第一数码阵列,所述第一存储器中的所述第二存储层存储第二数码阵列;
 - 所述第二存储器中的所述第一存储层存储第二数据图形,所述第二存储器中的所述第二存储层存储第一数据图形。
6. 根据权利要求3所述的存储器,其特征还在于:
 - 所述批次中含有第一和第二存储器,所述第一和第二存储器均含有一存储层,该存储层含有第一和第二数据录入膜,所述第一数据录入膜位于所述第二数据录入膜之上;其中,
 - 所述第一存储器中的所述第一数据录入膜存储第一数码阵列,所述第一存储器中的所述第二数据录入膜存储第二数码阵列;
 - 所述第二存储器中的所述第一数据录入膜存储第二数码阵列,所述第二存储器中的所述第二数据录入膜存储第一数码阵列。
7. 根据权利要求1和3所述的存储器是一个三维存储封装的一部分,该三维存储封装的特征还在于包括:多个相互堆叠的三维偏置印录存储器。
8. 一种制造三维偏置印录存储器的方法,其特征在于包括如下步骤:
 - 1) 在一半导体衬底上形成一衬底电路;
 - 2) 在该衬底电路上方形成一存储层,该存储层含有至少第一数据录入膜,在该第一数据录入膜中形成数据图形时,该衬底与一数据图形承载装置的第一位置对准;
 - 3) 在第一数据录入膜上方形成第二数据录入膜,在该第二数据录入膜中形成数据图形时,该衬底与所述数据图形承载装置的第二位置对准。
9. 根据权利要求8所述的存储器制造方法,其特征还在于:该存储器所需数据图形承

载装置的数目小于该存储器中数据录入膜的数目。

10. 根据权利要求 8 所述的存储器制造方法,其特征还在于:所述数据图形由光刻法(photo-lithography)或压印法(imprint-lithography)形成。

三维偏置印录存储器

技术领域

[0001] 本发明涉及集成电路存储器领域,更确切地说,涉及掩膜编程只读存储器(mask-ROM)。

背景技术

[0002] 三维掩膜编程只读存储器(3D-MPROM)是实现海量出版的理想媒介。美国专利5,835,396披露了一种3D-MPROM。如图1所示,3D-MPROM是一种单片集成电路,它含有一半导体衬底0及一堆叠在衬底上的三维堆10。该三维堆10含有M($M \geq 2$)个相互堆叠的存储层(如10A、10B)。每个存储层(如10A)含有多条顶地址线(如2a)、底地址线(如1a)和存储元(如5aa)。每个存储元存储n($n \geq 1$)位数据。存储层(如16A、16B)通过接触通道孔(如1av、1'av)与衬底0耦合。在衬底0中的衬底电路0X含有三维堆10的周边电路。在本申请中,xMxn 3D-MPROM是指一个含有M($M \geq 2$)个存储层,且每个存储元存储n($n \geq 1$)位的3D-MPROM。

[0003] 3D-MPROM是一种基于二极管的交叉点存储器。每个存储元(如5aa)一般含有一个二极管3d。二极管可以广义定义为任何具有如下特性的两端口器件:当其所受电压的大小小于读电压,或者其所受电压的方向与读电压不同时,其电阻大于在读电压下的电阻。每个存储层(如10A)还至少含有一层数据录入膜(如6A)。数据录入膜中的图形为数据图形,它代表其所存储的数据。在图1中,数据录入膜6A是一层隔离介质3b,它阻挡顶地址线和底地址线之间的电流流动,并通过数据开口(如6ca)的存在与否来区别存储元(如5ca)的不同状态。

[0004] 数据录入膜中的图形是通过图形转换得来的。图形转换,又称为印录(print),将图形从一块掩膜版转换到一层集成电路的薄膜中。在以往技术中,不同存储层中的数据图形是由不同数据掩膜版印录来的。图2A-图2B表示两款以往技术使用的数据掩膜版4A、4B。每块数据掩膜版(如4A)含有一个掩膜元阵列“aa”-“bd”。每个掩膜元处图形的明或暗决定对应的存储元处数据开口的存在与否。例如说,数据掩膜版4A上的掩膜开口4ca导致存储层10A中存储元5ca的数据开口6ca;数据掩膜版4B上的掩膜开口4'aa、4'da导致存储层10B中存储元5'aa、5'da的数据开口6'aa、6'da。

[0005] 为了进一步提高存储密度,3D-MPROM可以采用n($n > 1$)位元,即每个存储元存储n位数据。美国专利申请序列号12/785,621披露了一种采用多位元的3D-MPROM。如图3所示,其存储元(如5aa)是一个2位元,即它存储两个数码位:第1和第2数码位。其中,第1数码位通过一次额外掺杂实现,而第2数码位通过一层电阻膜实现。在本申请中,第j个数码位表示一个n位元(存储n个数码位的存储元, $n \geq j$)中存储的第j位。

[0006] 在以往技术中,不同数码位的数据图形是由不同数据掩膜版印录来的。图4A-图4B表示两款以往技术使用的数据掩膜版4C、4D。每块数据掩膜版(如4C)含有一个掩膜元阵列“aa”-“bd”。每个掩膜元处图形的明或暗决定对应的存储元处额外掺杂膜或电阻膜的存在与否。例如说,数据掩膜版4C上的掩膜开口4xa*导致形成存储元5ca、5da中的额

外掺杂膜 3i ;数据掩膜版 4D 上的掩膜开口 4' ba*、4' da* 导致清除存储元 5ba、5da 中的电阻膜 3r。

[0007] 在以往技术中,由于每个存储层和每个数码位均需要一块数据掩膜版, $xM \times n$ 3D-MPROM 一般需要 $M \times n$ 块数据掩膜版。在 22nm 节点,一块数据掩膜版的成本为 25 万美元,一套 $x8 \times 2$ 3D-MPROM 所需数据掩膜版(包括 16 块数据掩膜版)的成本高达 4 百万美元。如此高昂的数据掩膜版成本将极大地限制 3D-MPROM 的广泛应用。

发明内容

[0008] 本发明的主要目的是提供一种具有较低数据录入成本的 3D-MPROM。

[0009] 本发明的另一目的是提供一种减少 3D-MPROM 所需数据掩膜版数目的方法。

[0010] 根据这些以及别的目的,本发明提出一种三维偏置印录存储器(three-dimensional offset-printed memory, 简称为 3D-oP)。3D-oP 是一种改进的 3D-MPROM,它通过偏置印录来录入数据。为了实现偏置印录,对应于不同存储层 / 数码位的掩膜图形被合并到一多区域数据掩膜版上。在不同的印录步骤中,晶圆相对于该多区域数据掩膜版的偏置量不同。因此,来自同一数据掩膜版的掩膜图形被印录到不同存储层 / 数码位的数据录入膜中。偏置印录可以减少存储器所需数据掩膜版的数量,从而降低数据录入成本。本发明中,掩膜版可以泛指任何印录工艺采用的图形承载装置,包括模版。

[0011] 在同一 3D-oP 批次中,所有 3D-oP 芯片均由同一套数据掩膜版来印录。虽然芯片之间可能有不同的数码阵列序列,但是所有芯片均具有同样的数码阵列集合。这里,数码阵列是指一个数据图形在对应于每个存储元的位置所代表的数码值构成的阵列;数码阵列序列是指一个 3D-oP 芯片中所有数码阵列(包括所有存储层和所有数码位的数码阵列)按照一点顺序(如按照离衬底的远近)而形成的序列;数码阵列集合是指该 3D-oP 芯片中所有数码阵列的集合。顾名思义,集合只与其所含元素有关,与顺序无关。

[0012] 为了不让用户感知数码阵列序列的差异,3D-oP 最好含有一个可设置输入 / 输出(configurable input/output)。对于同一 3D-oP 批次中不同芯片,该可设置输入 / 输出根据其数码阵列序列来设置该芯片的输入 / 输出。相对于一个参照的 3D-oP 芯片,如果此 3D-oP 芯片中有两个存储层的数码阵列顺序是相互交换的,则可设置输入 / 输出需要改变该 3D-oP 芯片的至少部分输入地址;如果此 3D-oP 芯片中有两个数码位的数码阵列顺序是相互交换的,则可设置输入 / 输出需改变该 3D-oP 芯片输出中至少部分输出位的顺序。

附图说明

[0013] 图 1 是一种 $x2 \times 1$ 3D-MPROM 沿图 2A- 图 2B 中切割线 AA' 的截面图。

[0014] 图 2A- 图 2B 表示以往的 $x2 \times 1$ 3D-MPROM 技术中使用的两块数据掩膜版。

[0015] 图 3 是一种 $x1 \times 2$ 3D-MPROM 沿图 4A- 图 4B 中切割线 BB' 的截面图。

[0016] 图 4A- 图 4B 表示以往的 $x1 \times 2$ 3D-MPROM 技术中使用的两块数据掩膜版。

[0017] 图 5A- 图 5B 表示一种偏置印录法中使用的两个印录步骤。

[0018] 图 6 是一个多区域数据掩膜版的简单例子。

[0019] 图 7A- 图 7B 表示多区域数据掩膜版中两个数据掩膜区域分别代表的数码阵列 $m(1)$ 、 $m(2)$ 。

- [0020] 图 8A-图 8B 是同一 $x2 \times 1$ 3D-oP 批次中两个 3D-oP 芯片 18a、18b 的截面图。
- [0021] 图 9A-图 9B 表示 3D-oP 芯片 18a 中两个存储层 16A、16B 存储的数码阵列 $p_{18a}[1]$ 、 $p_{18a}[2]$ 。
- [0022] 图 10A-图 10B 是同一 $x1 \times 2$ 3D-oP 批次中两个 3D-oP 芯片 18c、18d 的截面图。
- [0023] 图 11A-图 11B 表示 3D-oP 芯片 18c 中第 1 和第 2 数码位存储的数码阵列 $p_{18c}[1, 1]$ 、 $p_{18c}[1, 2]$ 。
- [0024] 图 12 表示一种 3D-oP 的电路框图。
- [0025] 图 13A 表示一种 $x2 \times 1$ 3D-oP 的电路框图；图 13B 表示一种 $x1 \times 2$ 3D-oP 的电路框图。
- [0026] 图 14 是一种 $x2 \times 2$ 3D-oP 的截面图。
- [0027] 图 15 表示一种 $x2 \times 2$ 3D-oP 所采用的多区域数据掩膜版, 以及一个曝光场区内的所有芯片。
- [0028] 图 16 列出在 $x2 \times 2$ 3D-oP 的每个印录步骤后, 每个芯片上每个数据录入膜中的数码阵列。
- [0029] 图 17 表示一种 $x2 \times 2$ 3D-oP 的电路框图。
- [0030] 图 18 是一种 $x3 \times 3 \times 1$ 3D²-oP 封装的截面图。
- [0031] 图 19 表示一种 3D²-oP 封装的电路框图。
- [0032] 图 20 表示一种 3D²-oP 封装所采用的多区域数据掩膜版, 以及一个曝光场区内的所有芯片。
- [0033] 图 21 列出在 3D²-oP 封装的每个印录步骤后, 每个芯片上每个数据录入膜中的数码阵列。
- [0034] 图 22 列出一个 3D²-oP 批次中的三种 3D²-oP 封装。
- [0035] 注意到, 这些附图仅是概要图, 它们不按比例绘图。为了显眼和方便起见, 图中的部分尺寸和结构可能做了放大或缩小。在不同实施例中, 相同的符号一般表示对应或类似的结构。

具体实施方式

[0036] 为了减少数据掩膜版的数目, 本发明提出一种三维偏置印录存储器(3D-oP)。它通过偏置印录法来录入数据。偏置印录法是印录法中的一种。主要的印录法包括光刻法(photo-lithography)和压印法(imprint-lithography, 也称为 nano-imprint lithography, 简称为 NIL)(参见中国专利申请“三维印录存储器”):光刻法通过数据掩膜版来录入数据;而压印印录通过数据模版(template, 也称为 master、stamp、或 mold 等)来录入数据。

[0037] 图 5A-图 5B 表示一种偏置印录法中使用的两个印录步骤。它采用一块多区域数据掩膜版 8。在该实施例中, 多区域数据掩膜版 8 含有两个不同存储层 16A、16B 的掩膜图形。它们分别位于数据掩膜版区域 8a、8b 中。

[0038] 偏置印录法包括如下两个印录步骤。在第 1 印录步骤(见图 5A, 如印录第一存储层 16A 的光刻步骤 A)时, 芯片 18a 的原点 O_{18a} 与数据掩膜区域 8a 的原点 O_M 对齐。在曝光步骤 E_{1a} 时, 数据掩膜区域 8a 被印录到芯片 18a 中存储层 16A 的数据录入膜 6A 中;在曝光

步骤 E_{1b} 时,数据掩膜区域 8b 被印录到芯片 18b 中存储层 16A 的数据录入膜 6A 中。

[0039] 在第 2 印录步骤(见图 5B,如印录第二存储层 16B 的光刻步骤 B)时,晶圆 9 相对于它在第 1 印录步骤时的对准位置偏置了距离 S_y 。用 d_y 表示芯片 18a 和芯片 18b 之间的距离。如果 $S_y=d_y$,则芯片 18b 的原点 O_{18b} 与原点 O_M 对齐。在曝光步骤 E_{2a} 时,数据掩膜区域 8a 被印录到芯片 18b 中存储层 16B 的数据录入膜 6B 中。

[0040] 在对下一个曝光场区(exposure field) E_{2b} 曝光时,只要步进距离 D_y 是 d_y 的两倍,即 $D_y=2d_y$,则数据掩膜区域 8b 将被印录到芯片 18a 中存储层 16B 之数据录入膜 6B 中。最后,当完成上述两个光刻步骤 A、B 之后,在芯片 18a 中,数据掩膜区域 8a、8b 被印录到存储层 16A、16B 之数据录入膜 6A、6B 中;芯片 18b 中,它们被印录到存储层 16B、16A 之数据录入膜 6B、6A 中。

[0041] 图 6 是一个多区域数据掩膜版 8 的简单例子。每个数据掩膜区域 8a、8b 含有一个掩膜元阵列“aa”-“bd”。在数据掩膜区域 8a 中,在掩膜元“ca”、“bb”、“ab”处的明图形成掩膜开口 8ca、8xb。在数据掩膜区域 8b 中,在掩膜元“aa”、“da”、“bb”处的明图形成掩膜开口 8aa、8da、8bb。如果采用如下定义:暗掩膜图形代表‘0’,明掩膜图形代表‘1’,则数据掩膜区域 8a 中每个掩膜元所代表的数码值构成一个数码阵列 $m(1)$ (图 7A),数据掩膜区域 8b 中每个掩膜元所代表的数码值构成一个数码阵列 $m(2)$ (图 7B)。

[0042] 图 8A-图 8B 表示同一 $x2x1$ 3D-oP 批次中的两个 3D-oP 芯片 18a、18b。在一个 3D-oP 批次中,所有芯片都由同样一套掩膜版制造,它们均含有相同的三维框架。这里,三维框架包括三维堆中的所有地址线,但是不含数据录入膜。在这个实施例中,芯片 18a 和 18b 中的数据均由同一数据掩膜版 8 印录。图 8A 表示芯片 18a 的 $x2x1$ 三维堆 16a。存储层 16A 的数据录入膜 6A 由数据掩膜区域 8a 印录;存储层 16B 的数据录入膜 6B 由数据掩膜区域 8b 印录。此处,采用如下定义:无数据开口代表‘0’,有数据开口代表‘1’。相应地,在 3D-oP 芯片 18a 中,存储层 16A 中所有存储元存储的数码值构成图 9A 中的数码阵列 $p_{18a}[1]$,存储层 16B 中所有存储元存储的数码值构成图 9B 中的数码阵列 $p_{18a}[2]$ 。可以看出,数码阵列 $p_{18a}[1]$ 和图 7A 中的数码阵列 $m(1)$ 相同,即 $p_{18a}[1]=m(1)$;数码阵列 $p_{18a}[2]$ 和图 7B 中的数码阵列 $m(2)$ 相同,即 $p_{18a}[2]=m(2)$ 。另一方面,图 8B 表示芯片 18b 的 $x2x1$ 三维堆 16b。在芯片 18b 中,存储层 16A 的数据录入膜 6A 由数据掩膜区域 8b 印录;存储层 16B 的数据录入膜 6B 由数据掩膜区域 8a 印录。因此,对于芯片 18b 来说, $p_{18b}[1]=m(2)$; $p_{18b}[2]=m(1)$ 。

[0043] 在该 3D-oP 批次中,每个 3D-oP 芯片的所有数码阵列(包括所有存储层和所有数码位的数码阵列)按照一定顺序(按照离衬底的远近,从近到远)排列形成一数码阵列序列 S 。该数码阵列的集合被称为数码阵列集合 $\{S\}$ 。按照集合的定义,集合只和其中的元素有关,与元素的排列顺序无关。对于图 8A-图 8B 的芯片 18a 和 18b 来说,它们的数码阵列序列可以表达为:

$$S_{18a} = (p_{18a}[1], p_{18a}[2]) = (m(1), m(2));$$

$$S_{18b} = (p_{18b}[1], p_{18b}[2]) = (m(2), m(1));$$

$$\text{其中, } \{S_{18a}\} = \{S_{18b}\}, \text{ 但 } S_{18a} \neq S_{18b},$$

可以看出,芯片 18a 和芯片 18b 具有相同的数码阵列集合,但是不同的数码阵列序列。为读出同一数据,需要访问芯片 18a 和 18b 不同的存储层。

[0044] 偏置印录还可以应用到采用 n 位元的 3D-MPROM 中。类似地,对应于不同数码位的

掩膜图形被合并到一多区域数据掩膜版中。在不同的印录步骤中,晶圆相对于该多区域数据掩膜版的偏置量不同。因此,来自同一数据掩膜版的数据图形被印录到不同数码位的数据录入膜中。图 10A-图 10B 表示同一 $x1 \times 2$ 3D-oP 批次中的两个 3D-oP 芯片 18c、18d。

[0045] 图 10A 表示芯片 18c 的 $x1 \times 2$ 三维堆 16c。存储层 16C 上的每个存储元(如 5aa)存储两个数码位:第 1 和第 2 数码位。第 1 数码位由第一数据录入膜 6C 存储,它是一层额外掺杂膜 3i;第 2 数码位由第二数据录入膜 6D 存储,它是一层多组膜 3r。第 1 数码位的数据录入膜 6C 由数据掩膜区 8a 印录而来,第 2 数码位的数据录入膜 6D 由数据掩膜区 8b 印录而来。此处,采用如下定义:有额外掺杂代表‘0’,无额外掺杂代表‘1’;有电阻膜代表‘0’,无电阻膜代表‘1’。相应地,在 3D-oP 芯片 18c 的第一存储层 16C 中,其第 1 数码位所存储的数码值构成图 11A 中的数码阵列 $p_{18c}[1, 1]$,其第 2 数码位所存储的数码值构成图 11B 中的数码阵列 $p_{18c}[1, 2]$ 。这里, $p_{18c}[i, j]$ 是指芯片 18c 中第 i 个存储层的第 j 个数码位所存储的数码阵列。可以看出,数码阵列 $p_{18c}[1, 1]$ 与图 7A 中的数码阵列 $m(1)$ 相反,即 $p_{18c}[1, 1] = -m(1)$;数码阵列 $p_{18c}[1, 2]$ 与图 7B 中的数码阵列 $m(2)$ 相同,即 $p_{18c}[1, 2] = m(2)$ 。这里,符号‘-’表示相反,即‘0’和‘1’互换。由于数码阵列中的二进制值可以随着二进制值的定义而改变,因此数码阵列的正负没有太多意义。在本申请中,只要两个数码阵列中所有二进制值均相同或相反,则认为这两个数码阵列等同。另一方面,图 10B 表示芯片 18d 的 $x1 \times 2$ 三维堆 16d。在芯片 18d 的第一存储层 16C 中,其第 1 数码位的数据录入膜 6C 由数据掩膜区 8b 印录,第 2 数码位的数据录入膜 6D 由数据掩膜区 8a 印录。因此,对于芯片 18d 来说, $p_{18d}[1, 1] = -m(2)$; $p_{18d}[1, 2] = -m(1)$ 。

[0046] 对于图 10A-图 10B 的芯片 18c 和 18d 来说,其数码阵列序列可以表达为:

$$S_{18c} = (p_{18c}[1, 1], p_{18c}[1, 2]) = (-m(1), m(2));$$

$$S_{18d} = (p_{18d}[1, 1], p_{18d}[1, 2]) = (-m(2), m(1));$$

$$\text{其中, } \{S_{18c}\} = \{S_{18d}\}, \text{ 但是 } S_{18c} \neq S_{18d},$$

可以看出,芯片 18c 和芯片 18d 具有相同的数据阵列集合,但是不同的数据阵列序列。对于同一输入地址来说,输出中输出位的顺序需要交换。

[0047] 图 12 表示一种 3D-oP 的电路框图。它含有一 $xM \times n$ 三维堆 16 和一可设置输入/输出电路 24。三维堆 16 含有 $M \times n$ 个数码阵列。其中,在第 i 存储层中第 j 个数码位的数码阵列由 $p[i, j]$ ($0 \leq i \leq M, 0 \leq j \leq n$) 表示。可设置输入/输出电路 24 还含有一序列存储器 22。该存储器 22 存储与该 3D-oP 芯片中数码阵列序列相关的信息。一个与数码阵列序列相关的信息是芯片序列号。芯片序列号直接和芯片在晶圆上的位置相关,它可以用来提取芯片的数码阵列序列信息。序列存储器 22 最好是一嵌入式非易失性存储器。例如说,它可以是直接写入存储器、激光编程熔丝和/或电编程存储器。对于直接写入存储器存储器来说,与数码阵列序列相关的信息在生产过程中写入;对于激光编程熔丝来说,与数码阵列序列相关的信息在生产过程中或后写入;对于电编程存储器来说,与数码阵列序列相关的信息在生产过程后写入。

[0048] 根据与数码阵列序列相关的信息,可设置输入/输出电路 24 可以改变外部输入/输出 28 中的输入,也可以改变内部输入/输出 26 的输出,从而使外部输入/输出 26 与数码阵列序列无关。换句话说,在同一批次的所有 3D-oP 中,虽然它们可能有不同数码阵列序列,但是对于用户来说,它们具有相同外部输入/输出 28。图 13A-图 13B 披露了 3D-oP 电

路的更多细节。

[0049] 图 13A 表示一种图 8A-图 8B 中 $x_2 \times x_1$ 3D-oP 18 的电路框图。该图显示了其输入地址解码器 20I。三维堆 16 中的存储层 16A、16B 分别存储了数码阵列 $p[1]$ 、 $p[2]$ 。这里,由于每个存储元只存储一个数码位,数码阵列的表示式简化成了 $p[i]$ ($0 \leq i \leq M$)。输入地址解码器 20I 对内部输入地址 26 进行解码。例如,如果内部输入地址 26 的最高位为 '0',则数码阵列 $p[1]$ 被访问;反之,数码阵列 $p[2]$ 被访问。可设置输入/输出电路 24 可以根据与数码阵列序列相关的信息,改变外部输入地址 28。对于芯片 18a 来说,内部输入地址 26 和外部输入地址 28 相同;对于芯片 18b 来说,内部输入地址 26 和外部输入地址 28 的最高位正好相反。

[0050] 图 13B 表示一种图 10A-图 10B 中 $x_1 \times x_2$ 3D-oP 18 的电路框图。该图显示了输出缓冲区 200。三维堆 6 存储与第 1 和第 2 数码位对应的数码阵列 $p[1, 1]$ 和 $p[1, 2]$ 。输出缓冲区 200 含有多个输出组 21、21'...。每个输出组输出存储在同一存储元中的所有数码位。例如说,输出组 21 含有数码位 21a、21b。其中,输出数码位 21a 输出存储在某个存储元中的第 1 数码位,输出数码位 21b 输出存储在同一存储元的第 2 数码位。可设置输入/输出电路 24 可以根据与数码阵列序列相关的信息,改变输出缓冲区 200 中每个输出组 21 的输出数码位顺序。对于芯片 18c 来说,外部输出 28 和内部输出 26 相同;对于芯片 18d 来说,每个输出组(如 21)中的输出数码位顺序正好相反。

[0051] 图 8A-图 8B 中偏置印录到不同存储层的方法可以和图 10A-图 10B 中偏置印录到不同数码位的方法结合起来。具体说来,不同存储层和不同数码位的掩膜图形合并到同一多区域数据掩膜版上。在不同的印录步骤中,晶圆相对于该多区域数据掩膜版的偏置量不同。因此,来自同一数据掩膜版的数据图形被印录到不同存储层和不同数码位的数据录入膜中。图 14 披露了这样一个例子。该 $x_2 \times x_2$ 3D-oP 18e 含有两个存储层 16A、16B,且每个存储元存储两个数码位:第 1 和第 2 数码位。该实施例含有 4 个数据录入膜,它们分别存储如下数码阵列:存储层 16A 中的第 1 数码位存储 $p[1, 1]$;存储层 16A 中的第 2 数码位存储 $p[1, 2]$;存储层 16B 中的第 1 数码位存储 $p[2, 1]$;存储层 16B 中的第 2 数码位存储 $p[2, 2]$ 。

[0052] 图 15 中的左边图形表示该 $x_2 \times x_2$ 3D-oP 18 所采用的多区域数据掩膜版 8。它含有 4 个数据掩膜区域,其数码阵列分别是 $m(1)$ - $m(4)$ 。该多区域数据掩膜版 8 的原点是 O_M 。图 15 的右边图形表示在一个 3D-oP 晶圆 9 上一个曝光场区 E 内的所有芯片 $D[1]$ - $D[4]$ 。这些芯片各自的原点是 O_1 - O_4 。由于芯片 $D[1]$ - $D[4]$ 由一数据掩膜版 8 偏置印出,它们属于同一 3D-oP 批次。

[0053] 图 16 列出在 $x_2 \times x_2$ 3D-oP 18 的每个印录步骤后,每个芯片上每个数据录入膜存储的数码阵列。该表的第 3 列列出了在每个印录步骤时, O_M 所对准的芯片原点。本实施例的 4 个数据录入膜需要 4 次印录步骤。在第 1 印录步骤(形成 $p[1, 1]$)时, O_M 对准芯片 $D[1]$ 的原点 O_1 ,芯片 $D[1]$ - $D[4]$ 的数码阵列 $p[1, 1]$ 分别为 $m(1)$ - $m(4)$ 。在第 2 印录步骤(形成 $p[1, 2]$)时, O_M 对准芯片 $D[2]$ 的原点 O_2 。只要 y 方向上的步进距离 D_y 是芯片 $D[1]$ 和 $D[2]$ 距离 d_y 的 2 倍,即 $D_y=2d_y$,则芯片 $D[1]$ - $D[4]$ 的数码阵列 $p[1, 2]$ 分别为 $m(2)$, $m(1)$, $m(4)$, $m(3)$ 。在第 3 印录步骤(形成 $p[2, 1]$)时, O_M 对准芯片 $D[3]$ 的原点 O_3 。只要 x 方向上的步进距离 D_x 是芯片 $D[3]$ 和 $D[1]$ 距离 d_x 的 2 倍,即 $D_x=2d_x$,则芯片 $D[1]$ - $D[4]$ 的数码阵列 $p[2, 1]$ 分别为 $m(3)$, $m(4)$, $m(1)$, $m(2)$ 。在第 4 印录步骤(形成 $p[2, 2]$)时, O_M 对准芯片 $D[4]$ 的原

点 O_4 。只要 $D_y=2d_y$ 以及 $D_x=2d_x$, 则芯片 D[1]-D[4] 的数码阵列 $p[2, 2]$ 分别为 $m(4)$, $m(3)$, $m(2)$, $m(1)$ 。

[0054] 总之, 对于图 15 中芯片 D[1]-D[4], 其数码阵列序列可以表达为:

$$S_{D[1]} = (p_{D[1]}[1, 1], p_{D[1]}[1, 2], p_{D[1]}[2, 1], p_{D[1]}[2, 2]) = (m(1), m(2), m(3), m(4));$$

$$S_{D[2]} = (p_{D[2]}[1, 1], p_{D[2]}[1, 2], p_{D[2]}[2, 1], p_{D[2]}[2, 2]) = (m(2), m(1), m(4), m(3));$$

$$S_{D[3]} = (p_{D[3]}[1, 1], p_{D[3]}[1, 2], p_{D[3]}[2, 1], p_{D[3]}[2, 2]) = (m(3), m(4), m(1), m(2));$$

$$S_{D[4]} = (p_{D[4]}[1, 1], p_{D[4]}[1, 2], p_{D[4]}[2, 1], p_{D[4]}[2, 2]) = (m(4), m(3), m(2), m(1));$$

其中 $\{S_{M[1]}\} = \{S_{M[2]}\} = \{S_{M[3]}\}$, 但是 $S_{M[1]} \neq S_{M[2]} \neq S_{M[3]}$,

从这些表达式可以看出, 3D-oP 芯片 D[1]-D[4] 均具有相同的数码阵列集合, 但是可以具有不同数码阵列序列。

[0055] 图 17 表示 $x2x2$ 3D-oP 18 的电路框图。该图显示了输入地址解码器 20I 和输出缓冲区 200。它们和图 13A-图 13B 中的输入地址解码器 20I 和输出缓冲区 200 具有相同功能。三维堆 16 存储 4 个数码阵列 $p[1, 1]-p[2, 2]$ 。可设置输入 / 输出电路 24 根据与数码阵列序列相关的信息, 可以改变外部输入地址 28, 也可以改变内部输出 26; 对于芯片 D[1] 来说, 没有任何改变; 对于芯片 D[2] 来说, 输出缓冲区 200 中每个输出组 (如 21) 的输出数码位顺序被交换; 对于芯片 D[3] 来说, 内部输入地址 26 和外部输入地址 28 的最高位正好相反; 对于芯片 D[4] 来说, 内部输入地址 26 和外部输入地址 28 的最高位正好相反, 而且输出缓冲区 200 中每个输出组 (如 21) 的输出数码位顺序被交换。

[0056] 偏置印录技术不仅可以用于单个芯片的数据录入膜中, 也可以用于多个芯片的数据录入膜中。相应地, 本发明提出一种基于 3D-oP 的三维存储封装 ($3D^2$ -oP)。 $3D^2$ -oP 封装一般以存储卡的形式发行。类似地, 多个芯片中多个存储层 / 数码位的掩膜图形被合并到一块多区域数据掩膜版中。在不同的印录步骤中, 晶圆相对于该多区域数据掩膜版的偏置量不同。因此, 来自同一数据掩膜版的数据图形被印录到 $3D^2$ -oP 封装中不同芯片的不同存储层 / 数码位中。

[0057] 图 18 表示一种 $x3x3x1$ $3D^2$ -oP 封装 38。这里, $xKxMxn$ $3D^2$ -oP 封装表示一个含有 K 个相互堆叠 $xMxn$ 3D-oP 芯片的存储封装。具体说来, 本实施例含有三个 3D-oP 芯片 C_1-C_3 。它们垂直地堆叠在封装衬底 30 上并形成 3D-oP 堆 36。引线 32 将芯片 C_1-C_3 与衬底 30 耦合。为了提高其数据安全性, 最好在 $3D^2$ -oP 封装 38 中填充模塑料。

[0058] 图 19 是该 $3D^2$ -oP 封装 38 的电路框图。其 3D-oP 堆 36 含有 9 个数码阵列, 其中每个芯片 C_1-C_3 含有 3 个数码阵列 $p[1]-p[3]$ 。它还含有一个可设置输入 / 输出电路 24, 其功能与图 17 中的类似。可设置输入 / 输出电路 24 可以位于 3D-oP 芯片中和 / 或控制芯片中。

[0059] 图 20 的左边图是 $3D^2$ -oP 封装 38 所采用的多区域数据掩膜版 8。它含有 9 个数据掩膜区域, 并分别代表数码阵列 $m(1)-m(9)$ 。该多区域数据掩膜版 8 的原点是 O_M 。图 20 的右边图是一 3D-oP 晶圆 9 中一曝光场区 E 内的所有芯片 D[1]-D[9]。其中, 芯片 D[1]-D[3] 的原点分别为 O_1-O_3 。

[0060] 图 21 列出在 $3D^2$ -oP 封装 38 的每个印录步骤后, 每个芯片上每个数据录入膜中的数码阵列。该表的第 3 列列出了在每个印录步骤时, O_M 所对准的芯片原点。本实施例的 3 个数据录入膜需要 3 次印录步骤。在第 1 印录步骤 (形成 $p[1]$) 时, O_M 对准芯片 D[1] 的原点

O_1 , 芯片 D[1]-D[9] 的数码阵列 p[1] 分别为 m(1)-m(9)。在第 2 印录步骤(形成 p[2])时, O_M 对准芯片 D[2] 的原点 O_2 。只要 $D_y=3d_{y1}=3d_{y2}$, 则芯片 D[1]-D[9] 的数码阵列 p[2] 分别为 m(3), m(1), m(2), m(6), m(4), m(5), m(9), m(7), m(8)。在第 3 印录步骤(形成 p[3])时, O_M 对准芯片 D[3] 的原点 O_3 。只要 $D_y=3d_{y1}=3d_{y2}$, 则芯片 D[1]-D[9] 的数码阵列 p[3] 分别为 m(2), m(3), m(1), m(5), m(6), m(4), m(8), m(9), m(7)。

[0061] 图 22 列出一个 $3D^2$ -oP 批次中的三种 $3D^2$ -oP 封装 M[1]-M[3]。这三种 $3D^2$ -oP 封装 M[1]-M[3] 分别由图 20 中的 9 个芯片构成: $3D^2$ -oP 封装 M[1] 含有芯片 D[1], D[4], D[7]; $3D^2$ -oP 封装 M[2] 含有芯片 D[2], D[5], D[8]; $3D^2$ -oP 封装 M[3] 含有芯片 D[3], D[6], D[9]。因为这些 $3D^2$ -oP 封装 M[1]-M[3] 由同一数据掩膜版 8 偏置印录形成, 它们属于同一 $3D^2$ -oP 批次。

[0062] 总之, 对于图 20 中的 $3D^2$ -oP 封装 M[1]-M[3], 其数码阵列序列可以表达为:

$$S_{M[1]} = (S_{D[1]}, S_{D[4]}, S_{D[7]}) = (m(1), m(3), m(2); m(4), m(6), m(5); m(7), m(9), m(8));$$

$$S_{M[2]} = (S_{D[2]}, S_{D[5]}, S_{D[8]}) = (m(2), m(1), m(3); m(5), m(4), m(6); m(8), m(7), m(9));$$

$$S_{M[3]} = (S_{D[3]}, S_{D[6]}, S_{D[9]}) = (m(3), m(1), m(1); m(6), m(5), m(4); m(9), m(8), m(7));$$

$$\text{其中 } S_{M[1]} \neq S_{M[2]} \neq S_{M[3]} \text{ and } \{S_{M[1]}\} = \{S_{M[2]}\} = \{S_{M[3]}\},$$

从这些表达式可以看出, $3D^2$ -oP 封装 M[1]-M[3] 均具有相同的数码阵列集合, 但是它们可以具有不同数码阵列序列。

[0063] 应该了解, 在不远离本发明的精神和范围的前提下, 可以对本发明的形式和细节进行改动, 这并不妨碍它们应用本发明的精神。例如说, 偏置印录不仅可以应用于光刻法, 也可以应用于压印法。因此, 除了根据附加的权利要求书的精神, 本发明不应受到任何限制。

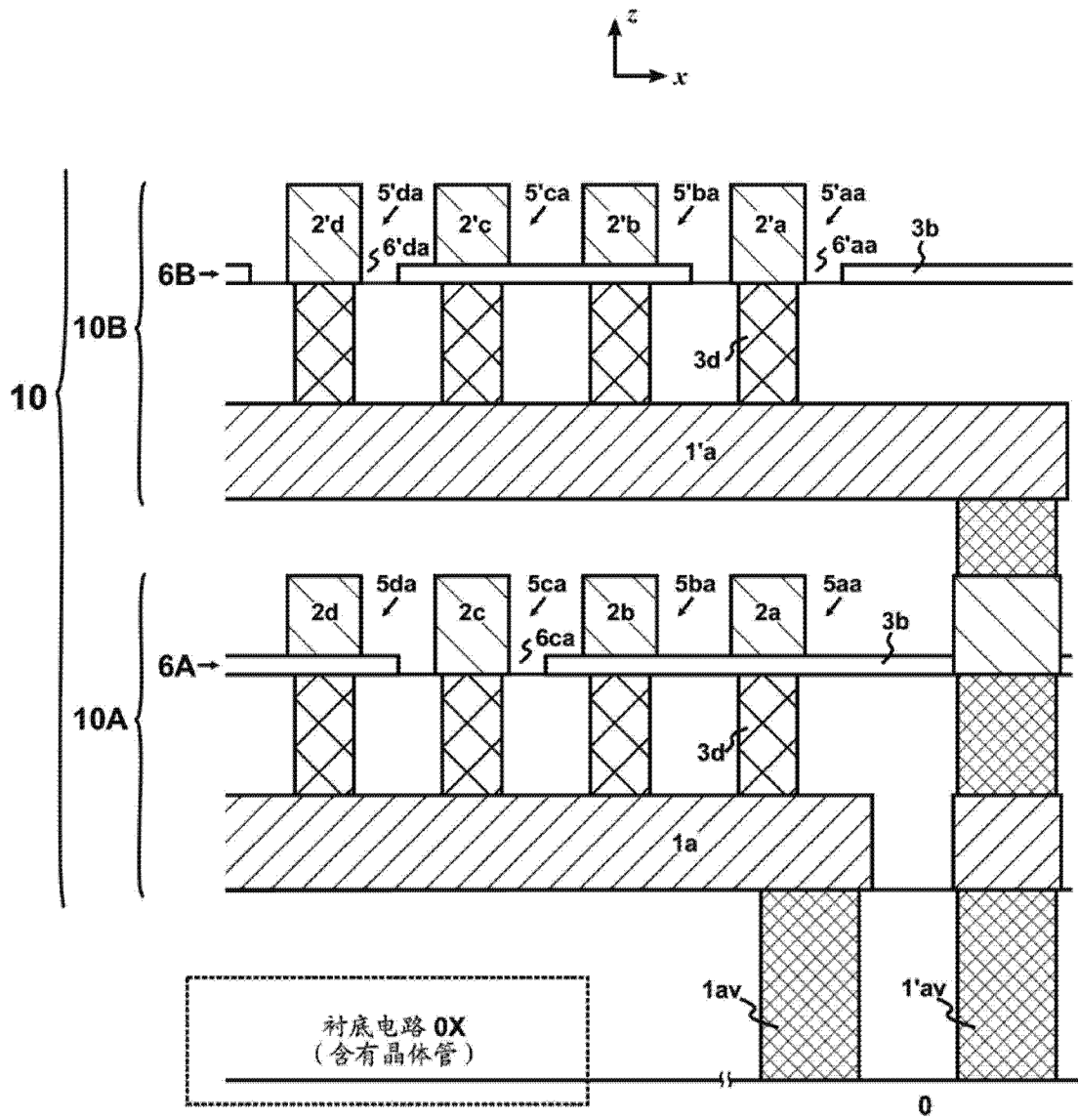


图 1

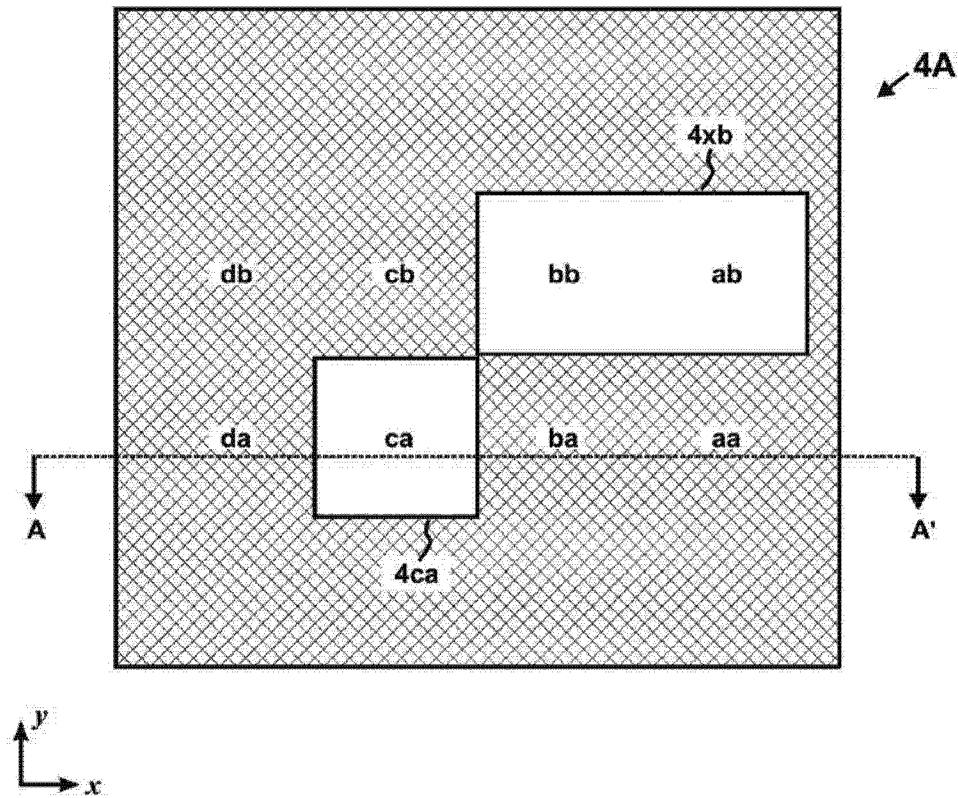


图 2A(以往技术)

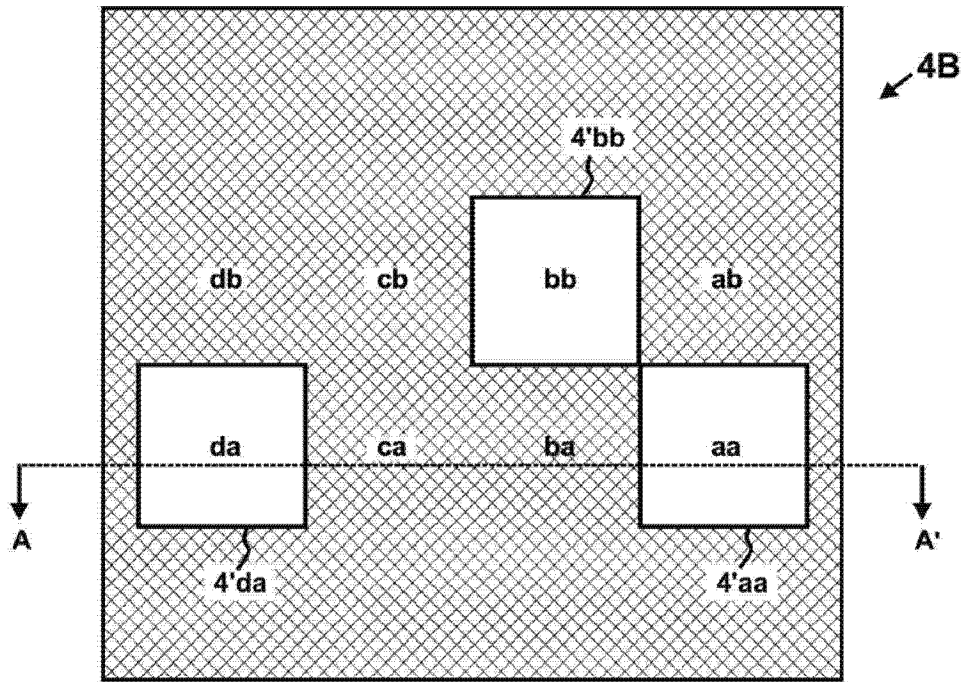


图 2B(以往技术)

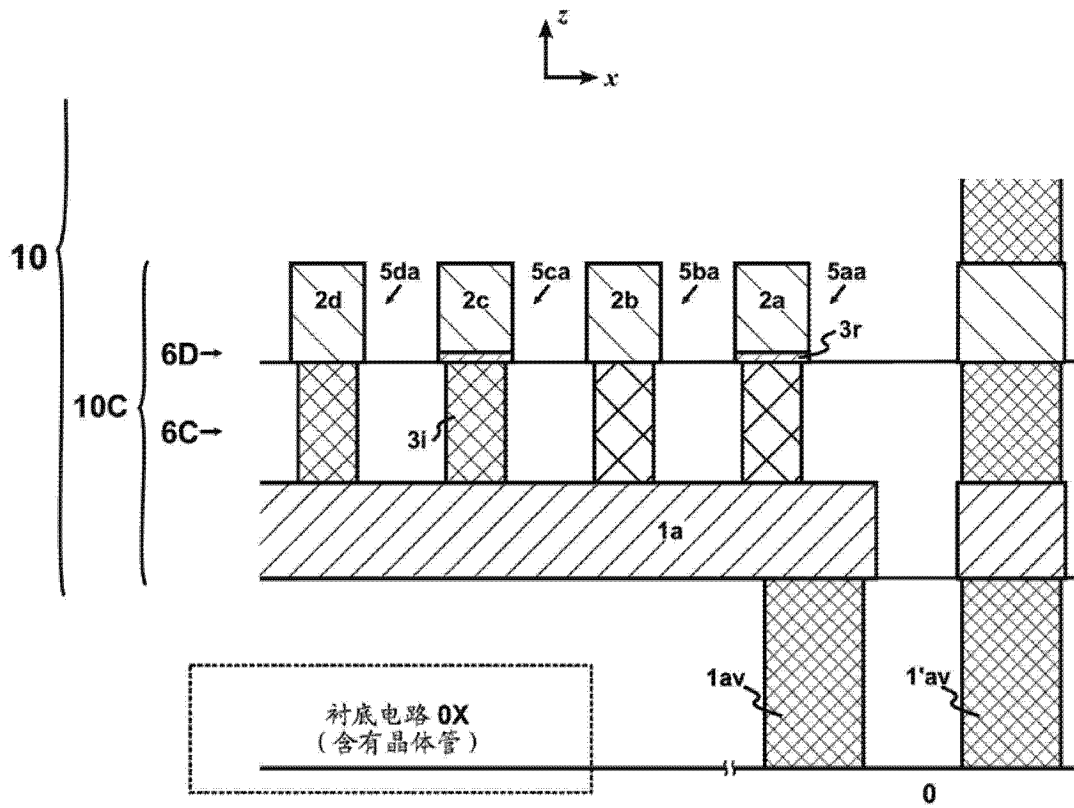


图 3

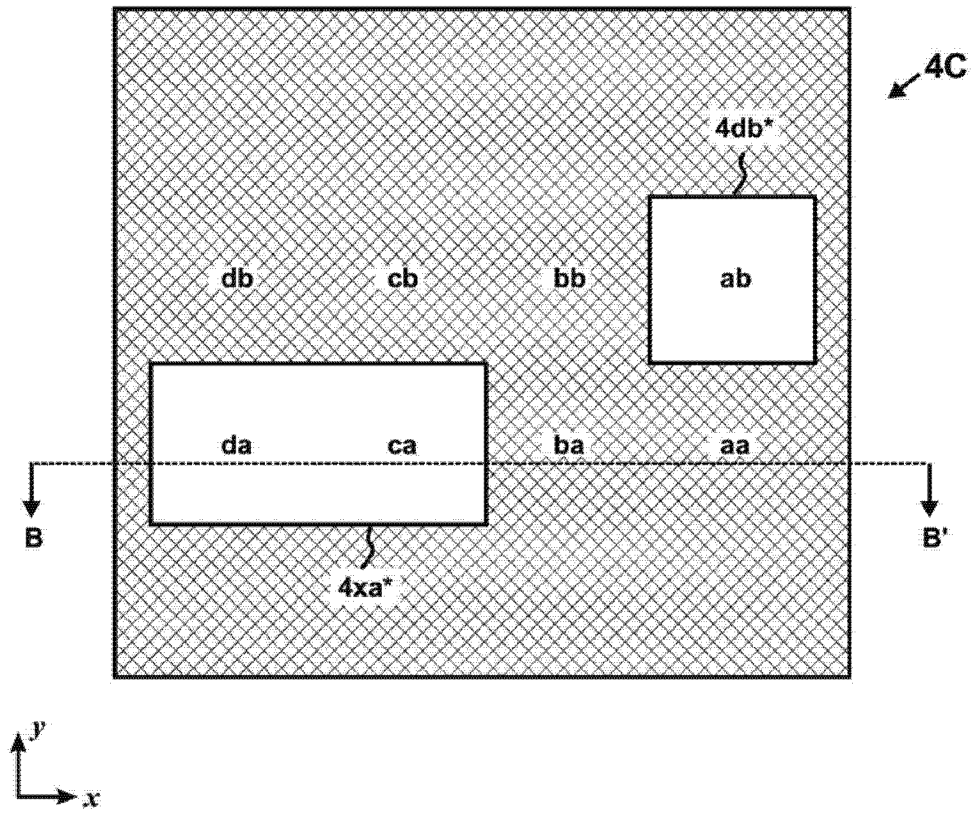


图 4A(以往技术)

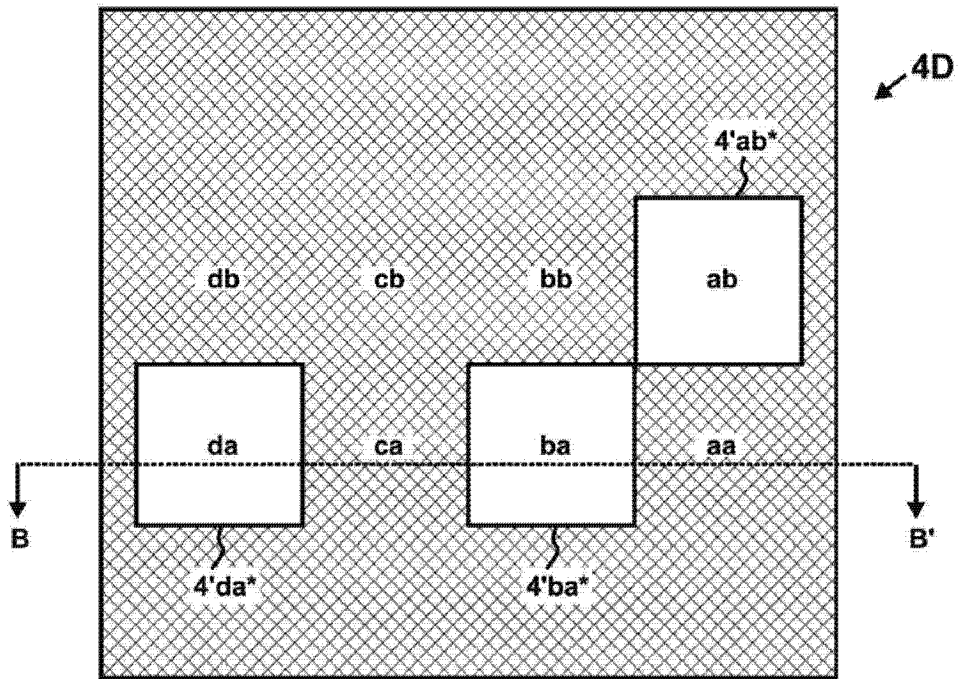


图 4B(以往技术)

第1印录步骤 (光刻步骤A)

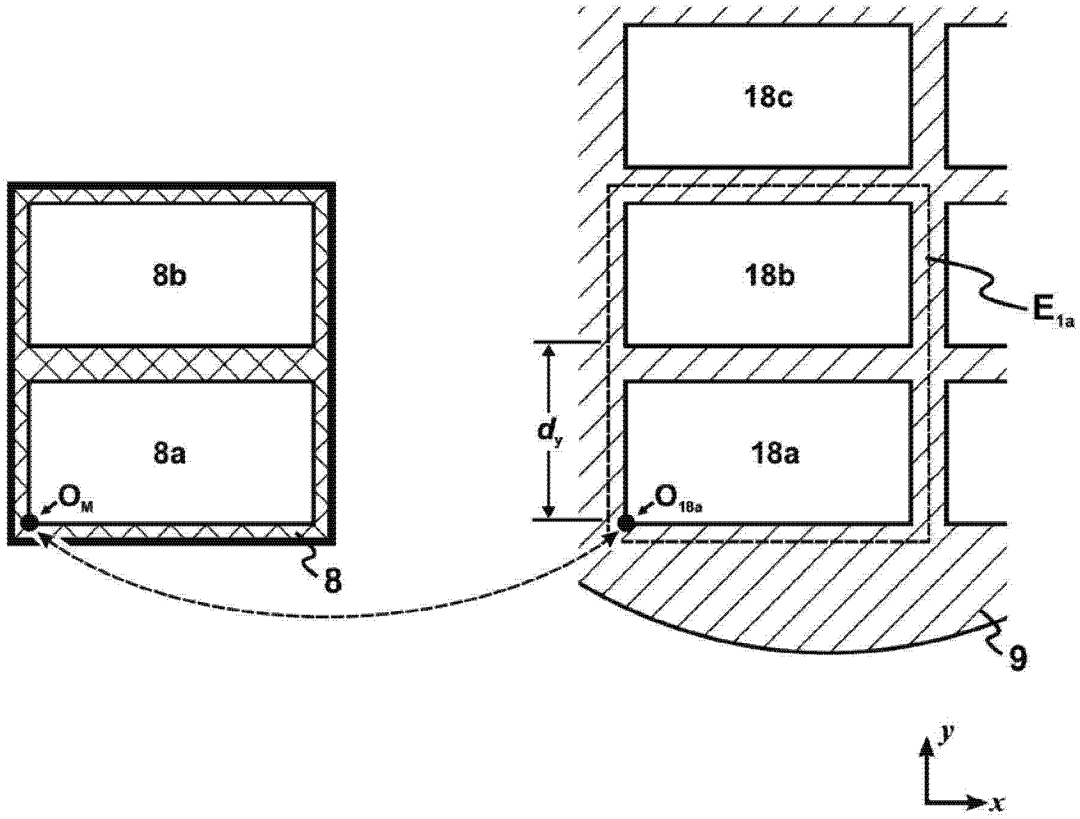


图 5A

第2印录步骤 (光刻步骤B)

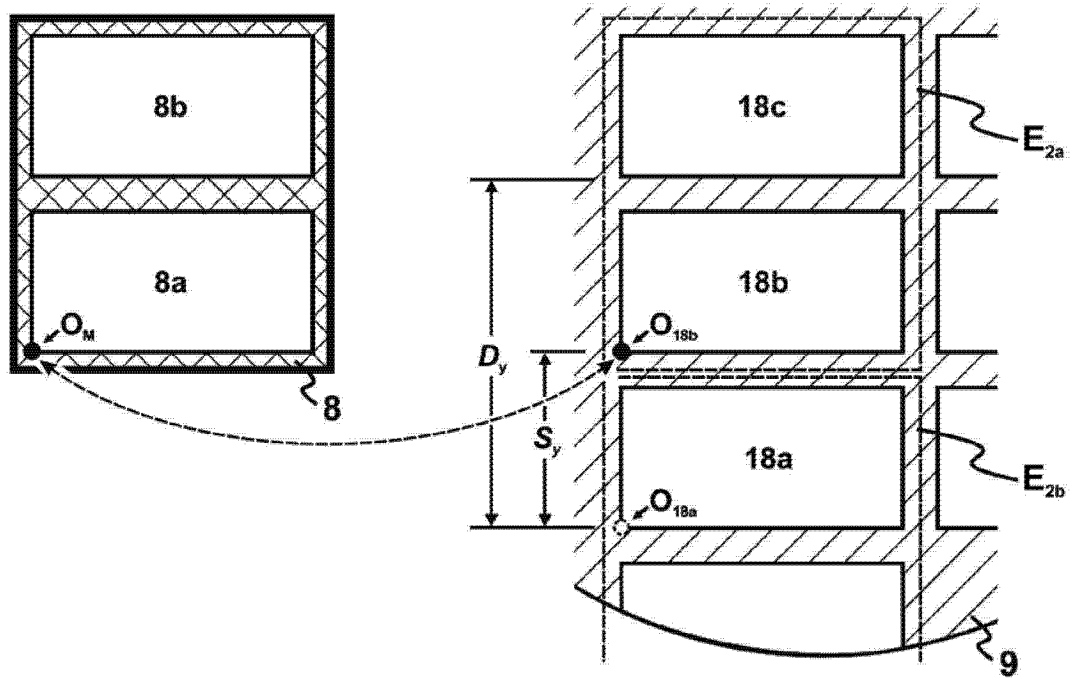


图 5B

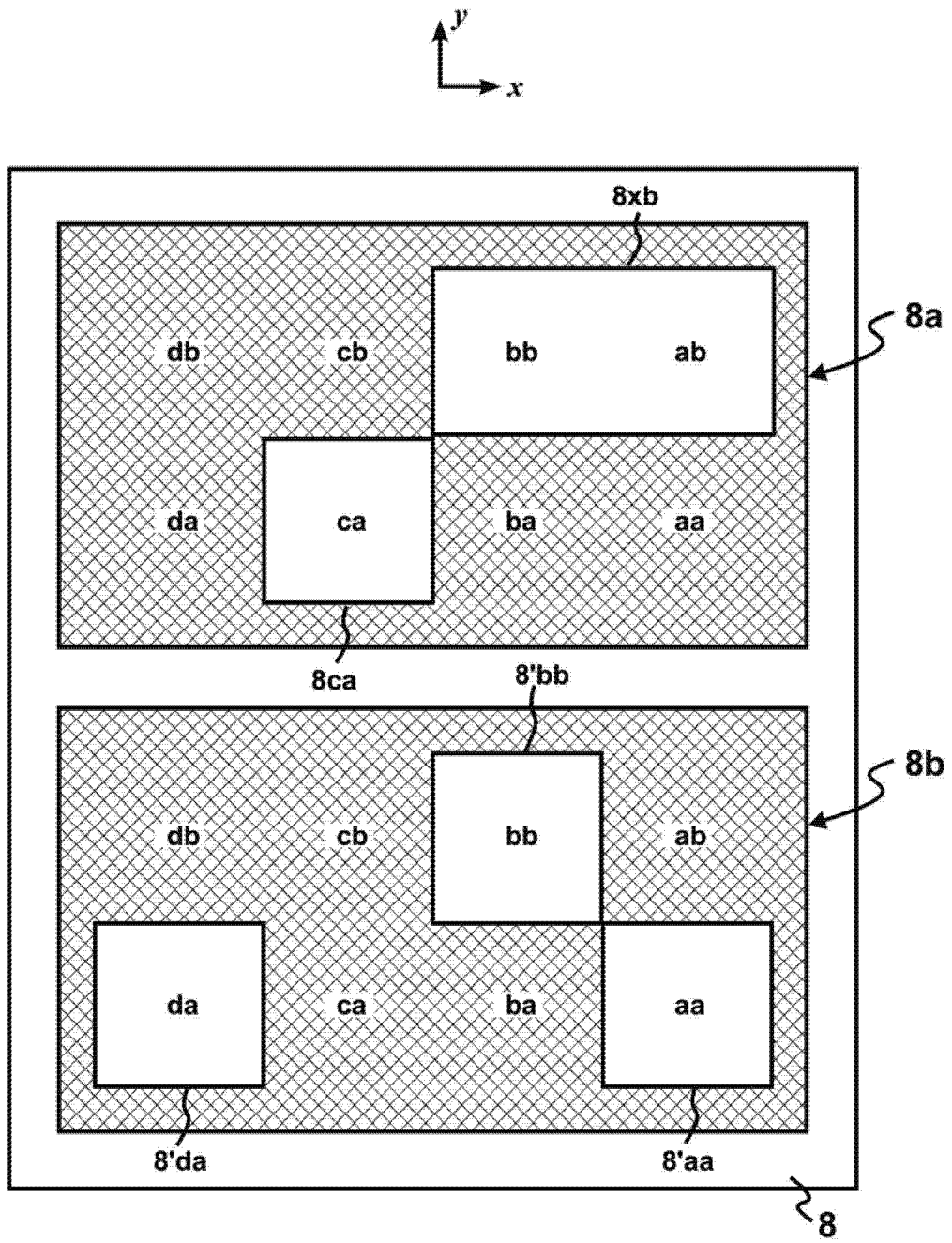


图 6

m(1)

	db	cb	bb	ab
	'0'	'0'	'1'	'1'
	da	ca	ba	aa
	'0'	'1'	'0'	'0'

图 7A

m(2)

	db	cb	bb	ab
	'0'	'0'	'1'	'0'
	da	ca	ba	aa
	'1'	'0'	'0'	'1'

图 7B

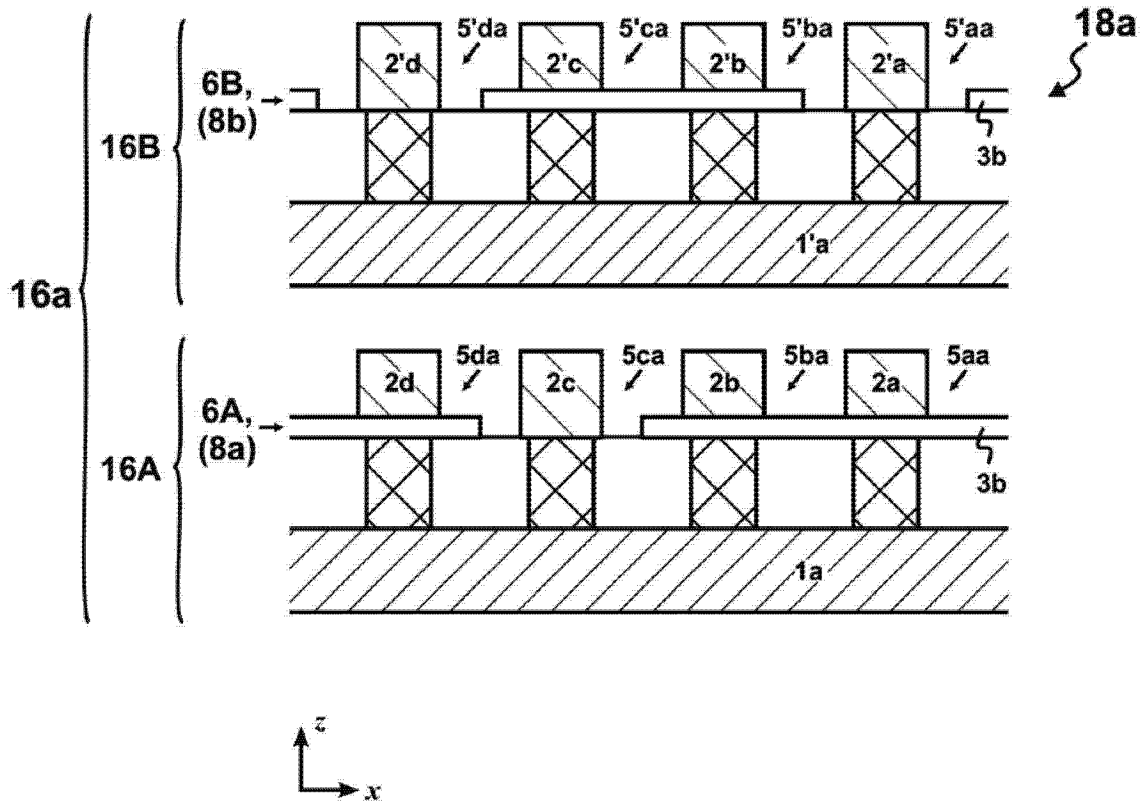


图 8A

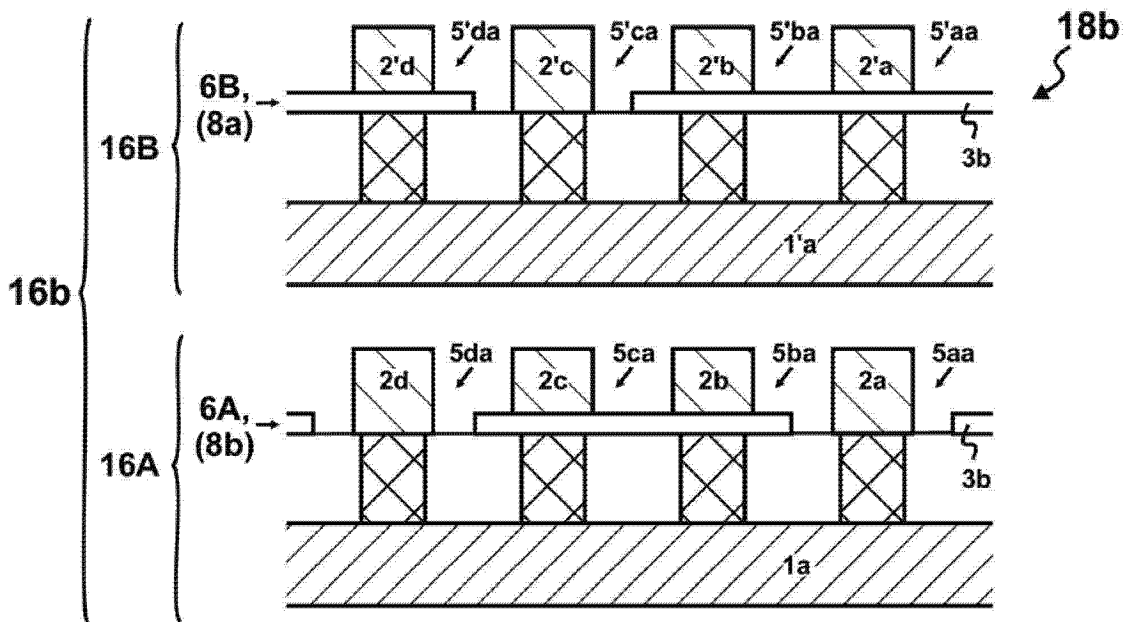


图 8B

$p_{18a}[1] (=m(1))$

	2d	2c	2b	2a
	5db	5cb	5bb	5ab
2a	'0'	'0'	'1'	'1'
	5da	5ca	5ba	5aa
1a	'0'	'1'	'0'	'0'

图 9A

$p_{18a}[2] (=m(2))$

	2'd	2'c	2'b	2'a
	5'db	5'cb	5'bb	5'ab
2'a	'0'	'0'	'1'	'0'
	5'da	5'ca	5'ba	5'aa
1'a	'1'	'0'	'0'	'1'

图 9B

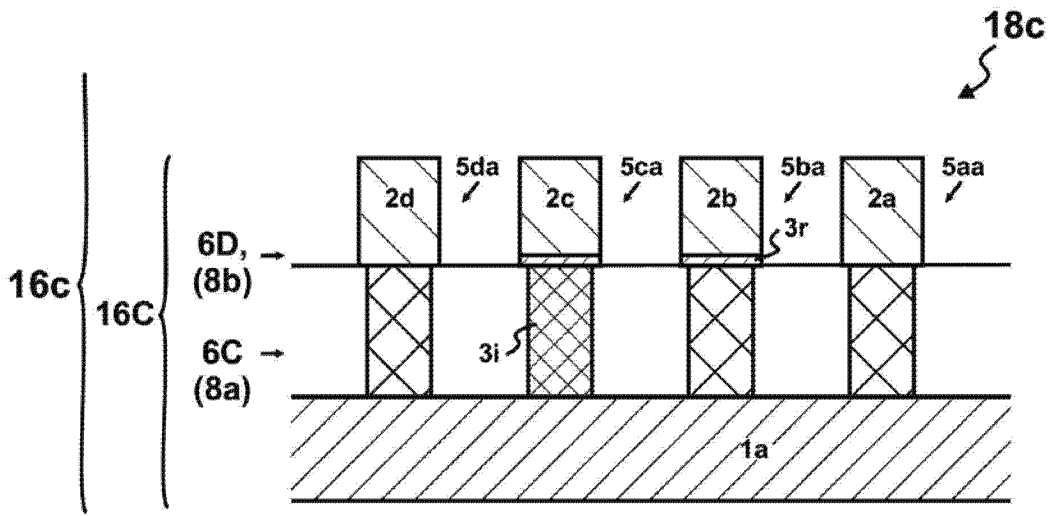


图 10A

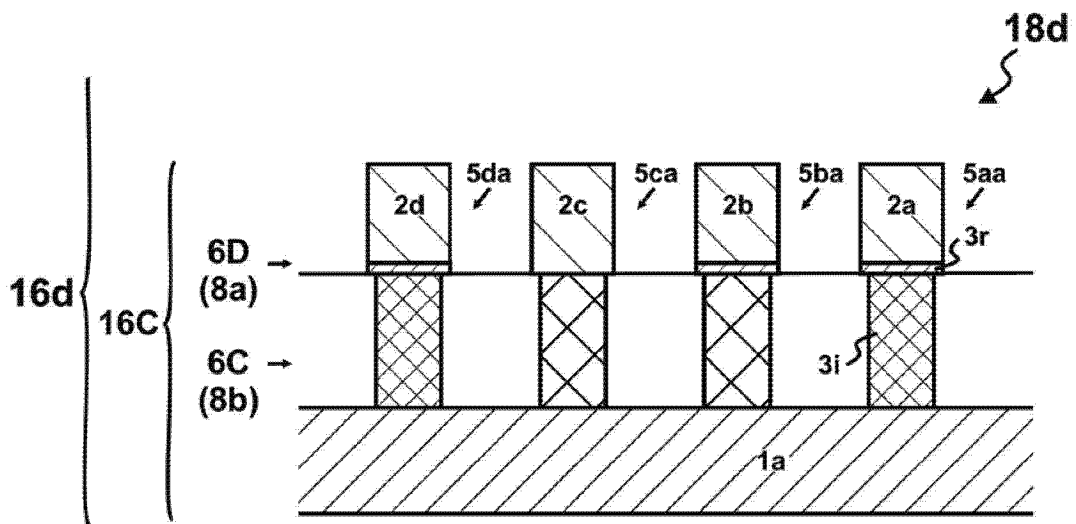


图 10B

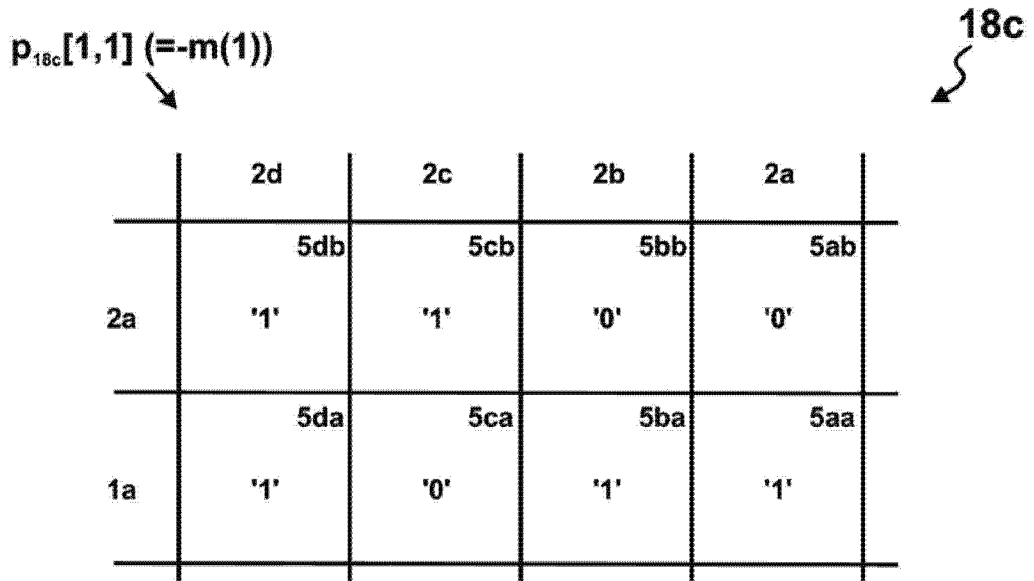


图 11A

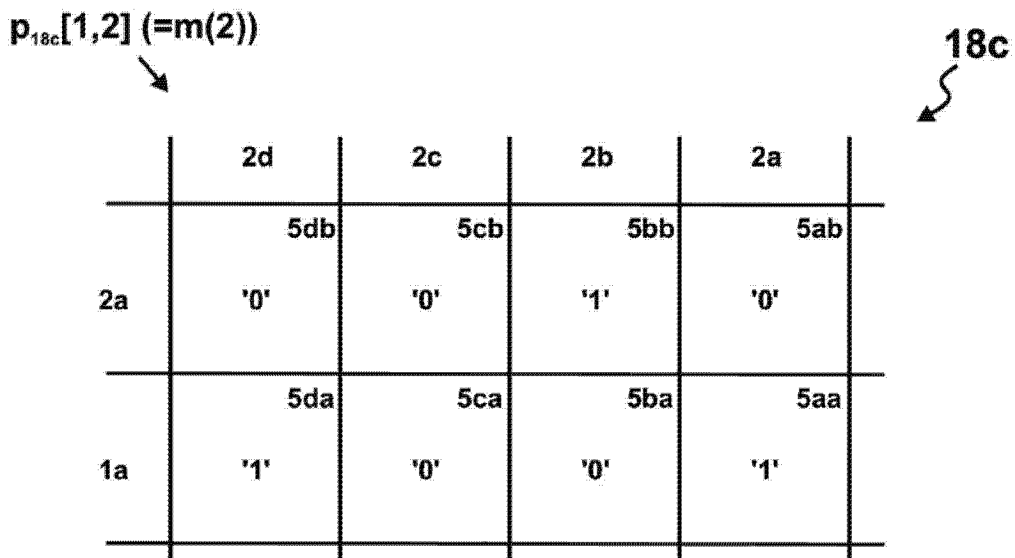


图 11B

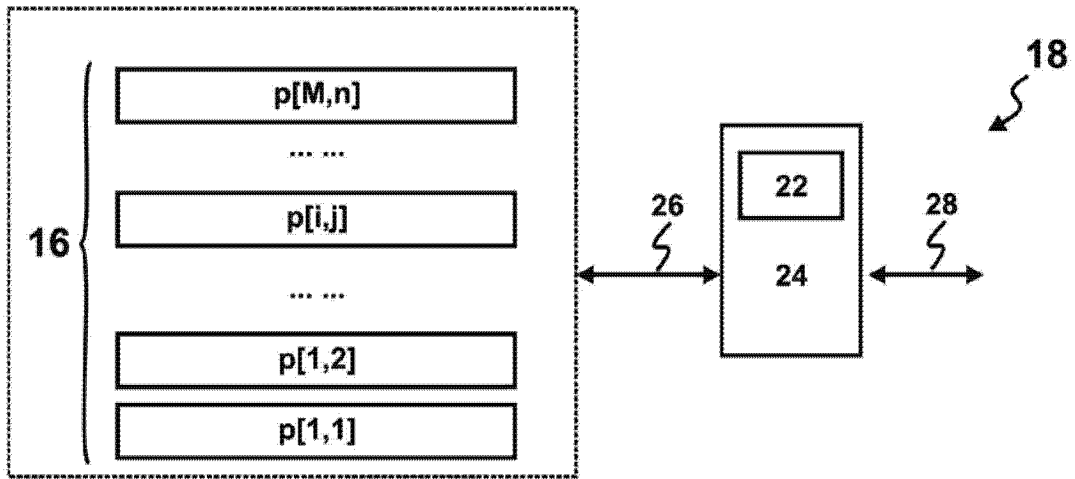


图 12

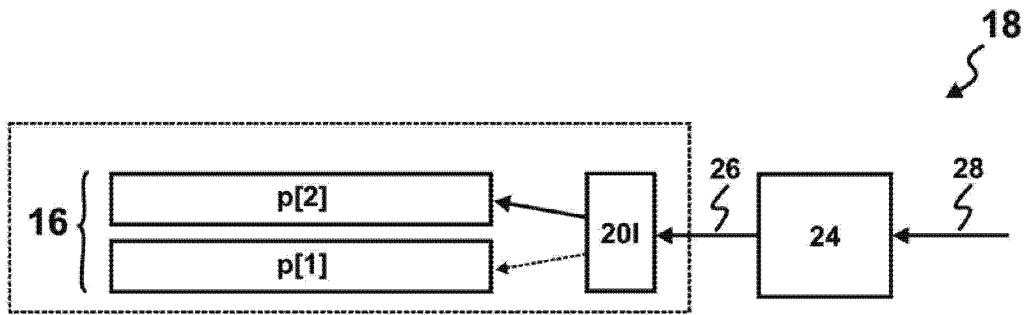


图 13A

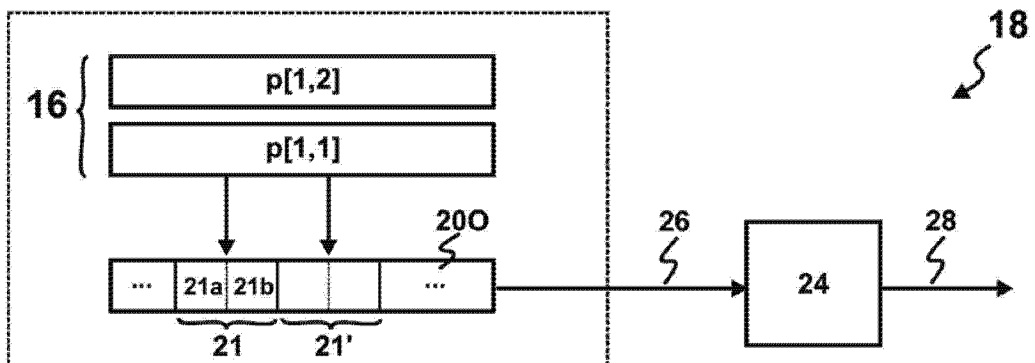


图 13B

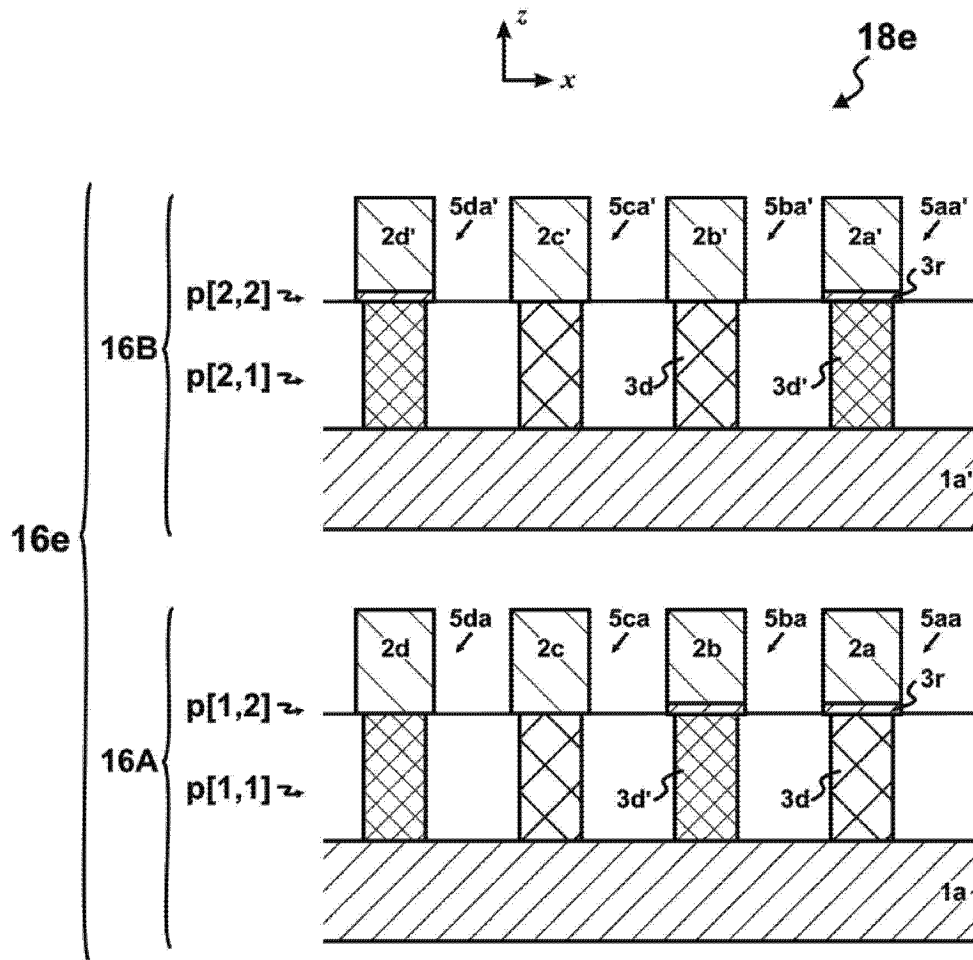


图 14

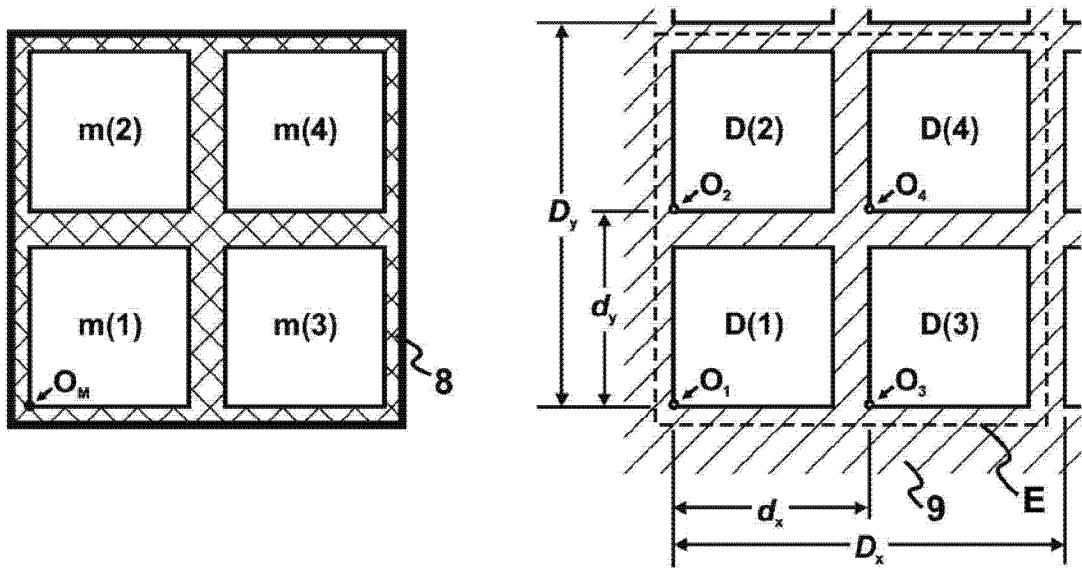


图 15

印录 步骤	数据 阵列	$O_M \rightarrow$	D(1)	D(2)	D(3)	D(4)
1	p[1,1]	O_1	m(1)	m(2)	m(3)	m(4)
2	p[1,2]	O_2	m(2)	m(1)	m(4)	m(3)
3	p[2,1]	O_3	m(3)	m(4)	m(1)	m(2)
4	p[2,2]	O_4	m(4)	m(3)	m(2)	m(1)

图 16

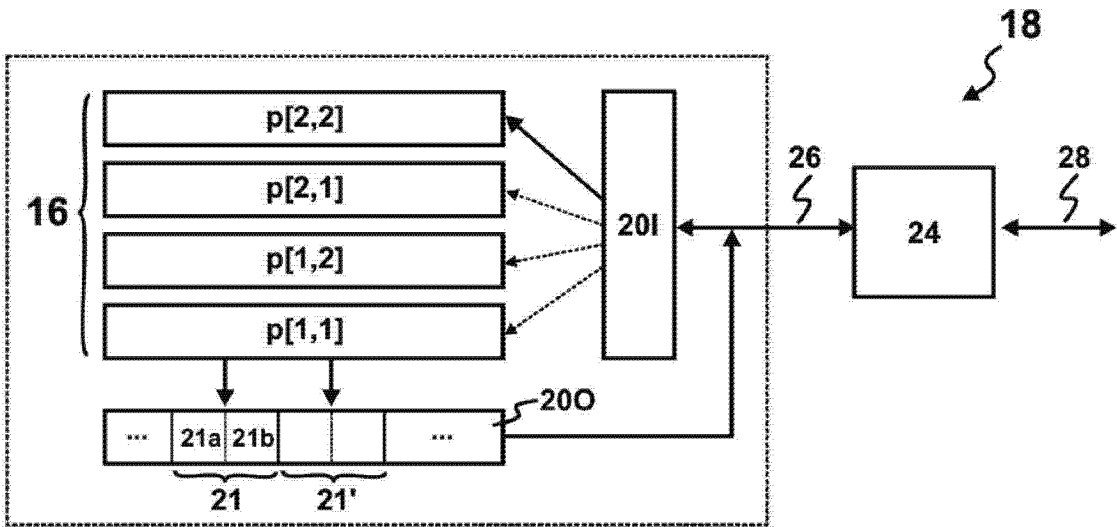


图 17

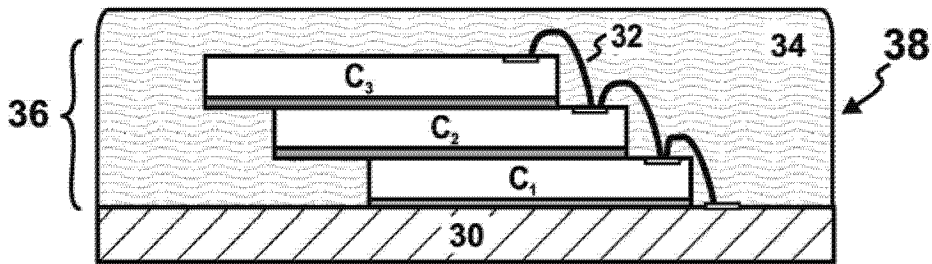


图 18

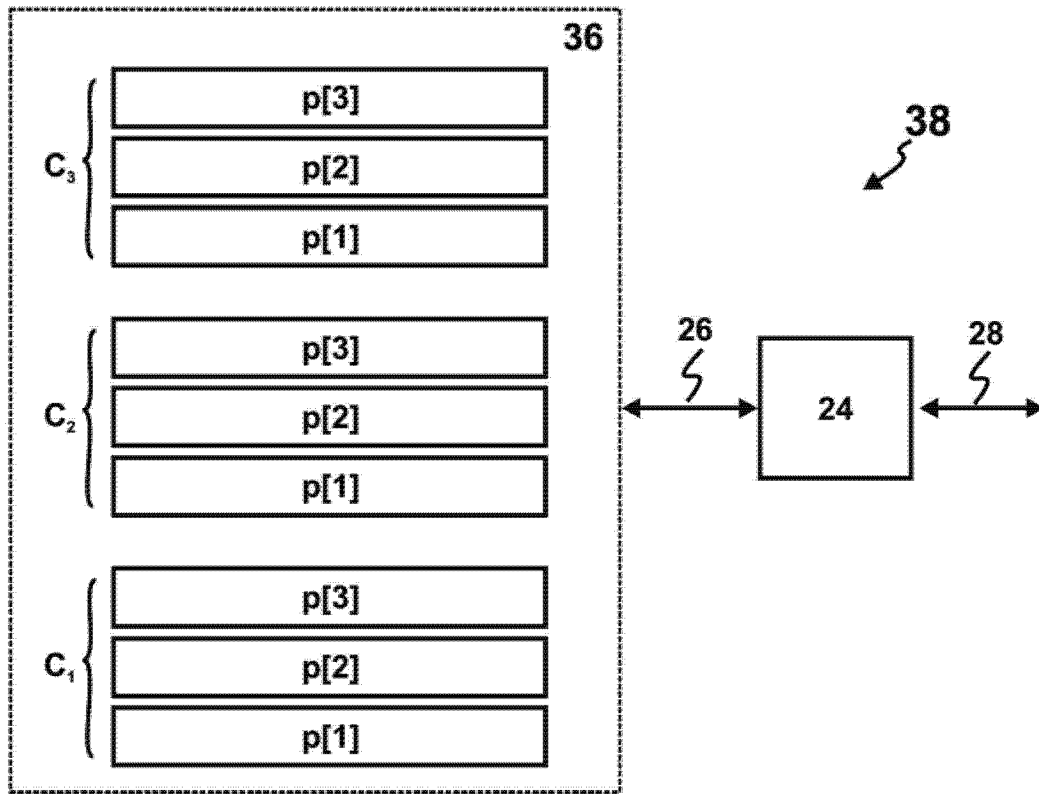


图 19

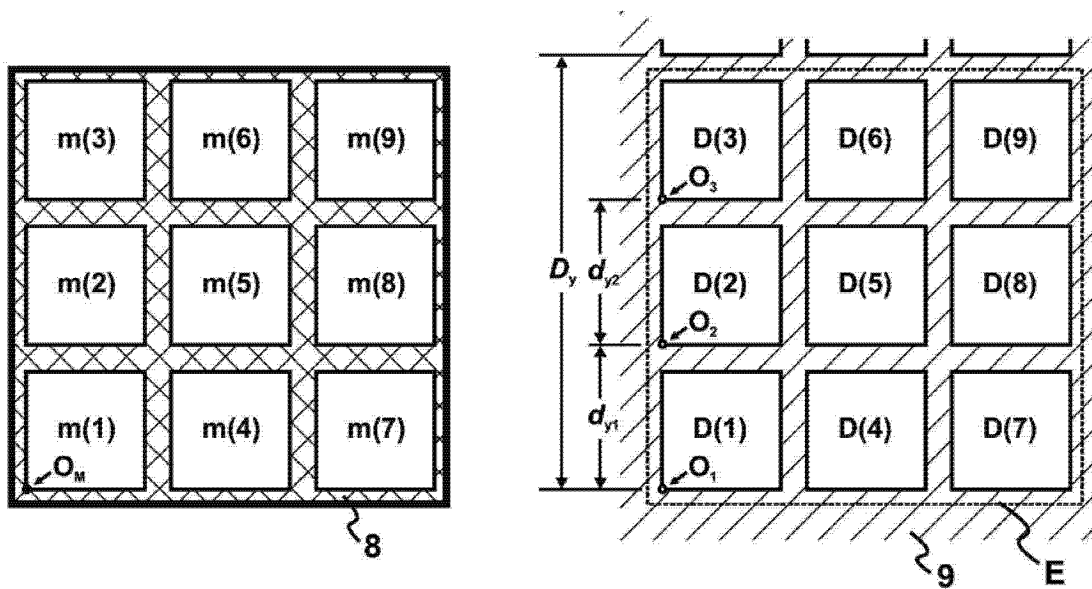


图 20

印录步骤	数据阵列	$O_m \rightarrow$	D(1)	D(2)	D(3)	D(4)	D(5)	D(6)	D(7)	D(8)	D(9)
1	p[1]	O_1	m(1)	m(2)	m(3)	m(4)	m(5)	m(6)	m(7)	m(8)	m(9)
2	p[2]	O_2	m(3)	m(1)	m(2)	m(6)	m(4)	m(5)	m(9)	m(7)	m(8)
3	p[3]	O_3	m(2)	m(3)	m(1)	m(5)	m(6)	m(4)	m(8)	m(9)	m(7)

图 21

	M[1]	M[2]	M[3]
C_1	D(1)	D(2)	D(3)
C_2	D(4)	D(5)	D(6)
C_3	D(7)	D(8)	D(9)

图 22