



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년06월17일
(11) 등록번호 10-1275356
(24) 등록일자 2013년06월10일

(51) 국제특허분류(Int. Cl.)
H03D 7/14 (2006.01) H04B 1/06 (2006.01)
(21) 출원번호 10-2011-7029857
(22) 출원일자(국제) 2010년05월17일
심사청구일자 2011년12월13일
(85) 번역문제출일자 2011년12월13일
(65) 공개번호 10-2012-0008072
(43) 공개일자 2012년01월25일
(86) 국제출원번호 PCT/US2010/035079
(87) 국제공개번호 WO 2010/132870
국제공개일자 2010년11월18일
(30) 우선권주장
12/467,111 2009년05월15일 미국(US)
(56) 선행기술조사문헌
US03906382 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
창 리-청
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
바가트 마울린 피
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 26 항

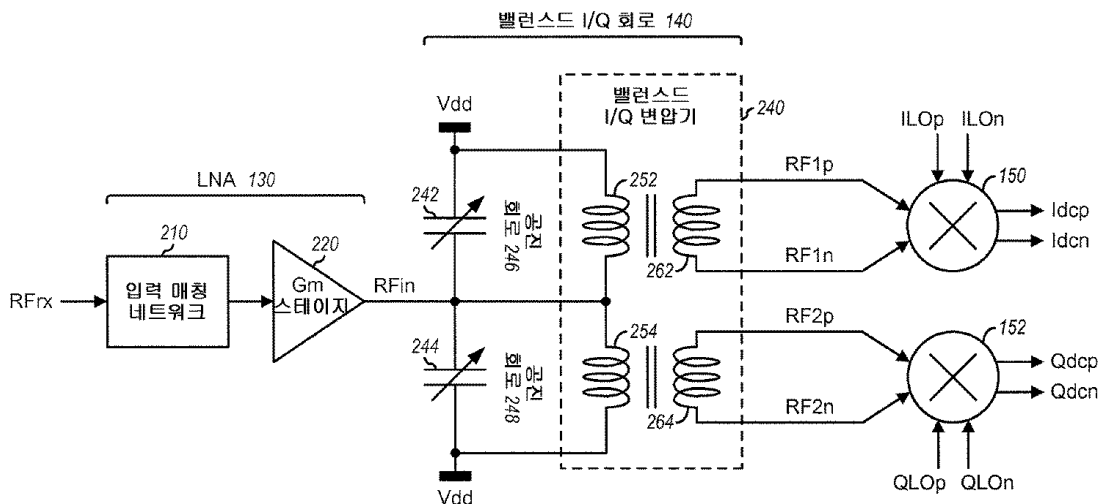
심사관 : 문형섭

(54) 발명의 명칭 **밸런스드 I / Q 변압기를 갖춘 수신기**

(57) 요약

밸런스드 I/Q 변압기가 설명되어 있다. 예시적 설계에서, 수신기는 수신한 RF 신호를 증폭하고 밸런스드 I/Q 변압기에 싱글 엔드형 RF 신호를 제공하는 LNA 를 포함하고 있다. 밸런스드 I/Q 변압기는 적어도 하나의 일차 코일과 제 1 및 제 2 이차 코일을 포함하고 있다. 제 1 이차 코일은 적어도 하나의 일차 코일에 자기적으로 연결되고 제 1 차동 RF 신호를 제 1 믹서에 제공한다. 제 2 이차 코일은 적어도 하나의 일차 코일에 자기적으로 연결되고 제 2 차동 RF 신호를 제 2 믹서에 제공한다. 제 1 믹서 및 제 2 믹서는 제 1 차동 RF 신호 및 제 2 차동 RF 신호를 I 및 Q LO 신호로, 각각, 하향변환하고, 차동 I 및 Q 하향변환된 신호를 제공한다. 일차 및 이차 코일은 집적 회로의 두 개의 도전층 상에 제조될 수 있다.

대표도



(72) 발명자

이 한일

미국 92121 캘리포니아주 샌디에고 모어하우스 드
라이브 5775

스리드하라 라비

미국 92121 캘리포니아주 샌디에고 모어하우스 드
라이브 5775

특허청구의 범위

청구항 1

싱글 엔드형 신호를 제공하는 제 1 회로; 및
 상기 제 1 회로에 연결된 변압기를 포함하고,
 상기 변압기는,
 상기 싱글 엔드형 신호를 수신하는 적어도 하나의 일차 코일,
 상기 적어도 하나의 일차 코일에 자기적으로 연결되고 제 2 회로에 제 1 차동 신호를 제공하는 제 1 이차 코일,
 및
 상기 적어도 하나의 일차 코일에 자기적으로 연결되고 제 3 회로에 제 2 차동 신호를 제공하는 제 2 이차 코일을 포함하는, 장치.

청구항 2

제 1 항에 있어서,
 상기 제 1 회로는 수신된 무선 주파수 (RF) 신호를 증폭하고 상기 변압기에 상기 싱글 엔드형 신호를 제공하는 저 잡음 증폭기 (LNA) 를 포함하는, 장치.

청구항 3

제 2 항에 있어서,
 상기 적어도 하나의 일차 코일이 상기 LNA의 수동 부하 (passive load) 로서 동작하는, 장치.

청구항 4

제 1 항에 있어서,
 상기 제 2 회로는 상기 제 1 차동 신호를 동위상 (I) 국부 발진기 (LO) 신호로 하향변환하고 차동 I 하향변환된 신호를 제공하는 제 1 믹서를 포함하고,
 상기 제 3 회로는 상기 제 2 차동 신호를 직교위상 (Q) LO 신호로 하향변환하고 차동 Q 하향변환된 신호를 제공하는 제 2 믹서를 포함하는, 장치.

청구항 5

제 1 항에 있어서,
 상기 적어도 하나의 일차 코일은,
 상기 제 1 이차 코일에 자기적으로 연결되고 상기 싱글 엔드형 신호를 수신하는 제 1 일차코일, 및
 상기 제 2 이차 코일에 자기적으로 연결되고 상기 싱글 엔드형 신호를 수신하는 제 2 일차 코일을 포함하는, 장치

청구항 6

제 1 항에 있어서,
 상기 적어도 하나의 일차 코일은 상기 싱글 엔드형 신호를 수신하는 센터 탭 (center tap) 을 가지는 하나의 일차 코일을 포함하며,
 상기 제 1 이차 코일은 상기 일차 코일의 제 1 절반부와 자기적으로 연결되고,
 상기 제 2 이차 코일은 상기 일차 코일의 제 2 절반부와 자기적으로 연결되는, 장치.

청구항 7

제 1 항에 있어서,
 상기 적어도 하나의 일차 코일은 제 1 도전층 상에 제조되고,
 상기 제 1 이차 코일 및 제 2 이차 코일은 제 2 도전층 상에 제조된, 장치.

청구항 8

제 1 항에 있어서,
 상기 적어도 하나의 일차 코일, 및 상기 제 1 이차 코일 및 상기 제 2 이차 코일이 하나의 도전층 상에 제조된,
 장치.

청구항 9

제 5 항에 있어서,
 상기 제 1 일차 코일 및 상기 제 2 일차 코일 각각이 제 1 권취수 (number of turns) 를 포함하고,
 상기 제 1 이차 코일 및 상기 제 2 이차 코일 각각이 상기 제 1 권취수보다 작은 제 2 권취수를 포함하는, 장
 치.

청구항 10

제 5 항에 있어서,
 상기 제 1 이차 코일이 상기 제 1 일차 코일을 오버레이하고,
 상기 제 2 이차 코일은 상기 제 2 일차 코일을 오버레이하는, 장치.

청구항 11

제 5 항에 있어서,
 상기 제 1 일차 코일 및 상기 제 1 이차 코일은 제 1 방향의 나선형 패턴으로 형성되고,
 상기 제 2 일차 코일 및 상기 제 2 이차 코일은 상기 제 1 방향과 반대인 제 2 방향의 나선형 패턴으로 형성된,
 장치.

청구항 12

제 5 항에 있어서,
 상기 제 1 일차 코일에 병렬연결되고 제 1 공진회로를 형성하는 제 1 버랙터 (varactor); 및
 상기 제 2 일차 코일에 병렬연결되고 제 2 공진회로를 형성하는 제 2 버랙터를 더 포함하는, 장치.

청구항 13

제 12 항에 있어서,
 상기 제 1 버랙터 및 상기 제 2 버랙터는 집적 회로 상의 변압기 아래에 제조된, 장치.

청구항 14

수신된 무선 주파수 (RF) 신호를 증폭하고 싱글 엔드형 RF 신호를 제공하는 저 잡음 증폭기 (LNA); 및
 상기 LNA에 연결된 변압기를 포함하며,
 상기 변압기는,
 상기 싱글 엔드형 RF 신호를 수신하는 적어도 하나의 일차 코일,
 상기 적어도 하나의 일차 코일에 자기적으로 연결되고 제 1 차동 RF 신호를 제공하는 제 1 이차 코일, 및

상기 적어도 하나의 일차 코일에 자기적으로 연결되고 제 2 차동 RF 신호를 제공하는 제 2 이차 코일을 포함하는, 집적 회로.

청구항 15

제 14 항에 있어서,

동위상 (I) 국부 발진기 (LO) 신호로 상기 제 1 차동 RF 신호를 하향변환하여 차동 I 하향변환된 신호를 제공하는 제 1 믹서; 및

직교위상 (Q) LO 신호로 상기 제 2 차동 RF 신호를 하향변환하여 차동 Q 하향변환된 신호를 제공하는 제 2 믹서를 더 포함하는, 집적 회로.

청구항 16

제 14 항에 있어서,

상기 적어도 하나의 일차 코일은,

상기 제 1 이차 코일에 자기적으로 연결되고 상기 싱글 엔드형 RF 신호를 수신하는 제 1 일차 코일, 및

상기 제 2 이차 코일에 자기적으로 연결되고 상기 싱글 엔드형 RF 신호를 수신하는 제 2 일차 코일을 포함하는, 집적 회로.

청구항 17

제 14 항에 있어서,

상기 LNA는,

수신된 RF 신호에 증폭을 제공하는 제 1 트랜지스터, 및

상기 제 1 트랜지스터에 연결되고 상기 변압기에 상기 싱글 엔드형 RF 신호를 제공하는 제 2 트랜지스터를 포함하는, 집적 회로.

청구항 18

제 14 항에 있어서,

제 1 믹서 및 제 2 믹서 각각이,

차동 국부 발진기 (LO) 신호로 비반전 RF 신호를 하향변환하는 제 1 트랜지스터 쌍, 및

차동 LO 신호로 반전 RF 신호를 하향변환하는 제 2 트랜지스터 쌍을 포함하며,

상기 비반전 RF 신호 및 상기 반전 RF 신호는 상기 변압기로부터의 상기 제 1 차동 RF 신호 또는 상기 제 2 차동 RF 신호에 대한 것인, 집적 회로.

청구항 19

수신된 무선 주파수 (RF) 신호를 제공하는 안테나;

상기 수신된 RF 신호를 증폭하고 싱글 엔드형 RF 신호를 제공하는 저 잡음 증폭기 (LNA); 및

상기 LNA에 연결된 변압기를 포함하고,

상기 변압기는,

싱글 엔드형 RF 신호를 수신하는 적어도 하나의 일차 코일,

상기 적어도 하나의 일차 코일에 자기적으로 연결되고 제 1 차동 RF 신호를 제공하는 제 1 이차 코일, 및

상기 적어도 하나의 일차 코일에 자기적으로 연결되고 제 2 차동 RF 신호를 제공하는 제 2 이차 코일을 포함하는, 무선 통신 장치.

청구항 20

제 19 항에 있어서,

동위상 (I) 국부 발진기 (LO) 신호로 상기 제 1 차동 RF 신호를 하향변환하고 차동 I 하향변환된 신호를 제공하는 제 1 믹서; 및

직교위상 (Q) LO 신호로 상기 제 2 차동 RF 신호를 하향변환하고 차동 Q 하향변환된 신호를 제공하는 제 2 믹서를 더 포함하는, 무선 통신 장치.

청구항 21

제 19 항에 있어서,

상기 적어도 하나의 일차 코일은,

상기 제 1 이차 코일에 자기적으로 연결되고 상기 싱글 엔드형 RF 신호를 수신하는 제 1 일차 코일, 및

상기 제 2 이차 코일에 자기적으로 연결되고 상기 싱글 엔드형 RF 신호를 수신하는 제 2 일차 코일을 포함하는, 무선 통신 장치.

청구항 22

제 1 회로로 싱글 엔드형 신호를 발생하는 단계;

상기 싱글 엔드형 신호를 제 1 이차 코일 및 제 2 이차 코일을 포함하는 변압기의 적어도 하나의 일차 코일에 제공하는 단계;

상기 적어도 하나의 일차코일에 자기적으로 연결된 상기 제 1 이차 코일에 제 1 차동 신호를 제공하는 단계;

상기 적어도 하나의 일차코일에 자기적으로 연결된 상기 제 2 이차 코일에 제 2 차동 신호를 제공하는 단계;

상기 제 1 차동 신호를 제 2 회로로 처리하는 단계; 및

상기 제 2 차동 신호를 제 3 회로로 처리하는 단계를 포함하는, 방법.

청구항 23

제 22 항에 있어서,

상기 제 1 회로로 싱글 엔드형 신호를 발생시키는 단계는,

상기 싱글 엔드형 신호를 발생시키기 위해 저 잡음 증폭기 (LNA) 로, 수신된 무선 주파수 (RF) 신호를 증폭하는 단계를 포함하는, 방법.

청구항 24

제 22 항에 있어서,

상기 제 2 회로로 상기 제 1 차동 신호를 처리하는 단계는,

차동 동위상 (I) 하향변환된 신호를 얻기 위해 제 1 믹서로 상기 제 1 차동 신호를 하향변환하는 단계를 포함하고,

상기 제 3 회로로 상기 제 2 차동 신호를 처리하는 단계는,

차동 직교위상 (Q) 하향변환된 신호를 얻기 위해 제 2 믹서로 상기 제 2 차동 신호를 하향변환하는 단계를 포함하는, 방법.

청구항 25

제 22 항에 있어서,

상기 싱글 엔드형 신호는 제 1 일차 코일 및 제 2 일차 코일에 제공되고,

상기 제 1 일차 코일은 상기 제 1 이차 코일에 자기적으로 연결되며,
상기 제 2 일차 코일은 상기 제 2 이차 코일에 자기적으로 연결되는, 방법.

청구항 26

싱글 엔드형 신호를 발생하는 수단;
상기 싱글 엔드형 신호를 제 1 이차 코일 및 제 2 이차 코일을 포함하는 변압기의 적어도 하나의 일차 코일에 제공하는 수단;
상기 적어도 하나의 일차 코일에 자기적으로 연결된 상기 제 1 이차 코일에 제 1 차동 신호를 제공하는 수단;
상기 적어도 하나의 일차 코일에 자기적으로 연결된 상기 제 2 이차 코일에 제 2 차동 신호를 제공하는 수단;
상기 제 1 차동 신호를 처리하는 수단; 및
상기 제 2 차동 신호를 처리하는 수단을 포함하는, 장치.

명세서

기술분야

[0001] 이 개시물은 일반적으로 전자장치에 관한 것으로, 더 구체적으로는 무선통신용 수신기에 관한 것이다.

배경기술

[0002] 수신기는 다양한 무선통신 시스템에서 수신된 무선 주파수 (RF) 신호를 컨디셔닝하고 (예를 들어, 증폭, 여과, 하향변환) 기저대역 신호를 제공하기 위하여 널리 사용된다. 수신기는 보통 다양한 선형성 및 잡음에 관한 요구사항들을 만족시킬 필요가 있는데, 이는 몇몇 무선통신 시스템에 있어서는 매우 중요한 것이라 할 수 있다. 수신기는 이러한 선형성 및 잡음에 관한 요구사항들을 만족시킬 수 있는 회로로 설계될 수 있다. 그러나, 이러한 회로들은 수신기의 비용 및 크기를 증가시킬 수 있고 전력을 소모할 수 있는데, 이들 모두는 바람직하지 못하다. 이러한 단점들을 최소화하는 동시에, 양호한 성능을 제공할 수 있는 수신기가 매우 요구된다.

도면의 간단한 설명

[0003] 도 1 은 무선 통신 장치의 블록도를 도시한다.
도 2 는 저 잡음 증폭기 (LNA) 및 밸런스드 동위상/직교위상 (I/Q) 회로의 개략도를 도시한다.
도 3 은 언밸런스드 I/Q 회로의 개략도를 도시한다.
도 4 는 또 다른 밸런스드 I/Q 회로의 개략도를 도시한다.
도 5 는 LNA, 밸런스드 I/Q 회로, 믹서의 개략도를 도시한다.
도 6 은 밸런스드 I/Q 변압기의 평면도를 도시한다.
도 7 은 도 6 의 밸런스드 I/Q 변압기의 횡단면도를 도시한다.
도 8 은 신호를 처리하는 프로세스를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0004] 여기에서 사용되는 "예시적" 은 "예, 사례, 또는 실시 예로서 제공되는" 의 의미이다. 여기에 "예시적" 으로 설명되는 어떠한 설계도 필수적으로 다른 설계에 비하여 선호되거나 장점이 있다는 것으로 이해되어서는 안 된다.

[0005] 밸런스드 I/Q 변압기를 갖춘 수신기가 여기 설명되어 있다. 수신기는 다양한 유선 및 무선 통신 시스템에 사용될 수 있다. 예를 들어, 수신기는 코드 분할 다중 접속 (CDMA) 시스템, 시분할 다중 접속 (TDMA) 시스템, 주파수 분할 다중 접속 (FDMA) 시스템, 직교 FDMA (OFDMA) 시스템, 싱글-캐리어 FDMA (SC-FDMA) 시스템, 무선 근거리 통신망 (WLANs), 방송 시스템, 위성 위치결정 시스템 등에 이용될 수 있다.

- [0006] 도 1 은 수신기 (120) 와 송신기 (122) 를 포함하고 있는 무선 통신장치 (100) 의 예시적 설계의 블록도를 도시한다. 일반적으로, 무선 장치 (100) 는 임의의 수의 통신 시스템 및 임의의 수의 주파수 대역을 위한 임의의 수의 송신기와 임의의 수의 수신기를 포함할 수 있다.
- [0007] 송신기 또는 수신기는 슈퍼헤테로다인 아키텍처 또는 직접변환 아키텍처로 구현될 수 있다. 슈퍼헤테로다인 아키텍처에 있어, 신호는 복수 스테이지에서 RF 와 기저대역 사이에서 주파수 변환되는데, 예를 들어, 한 스테이지에서는 RF 로부터 중간주파수 (IF) 로 변환하고, 그런 후 다른 스테이지에서는 IF 로부터 수신기를 위한 기저대역으로 변환하는 것이다. 제로 IF 아키텍처라고도 불리는, 직접변환 아키텍처에서는, 신호는 한 스테이지를 거쳐 RF 와 기저대역 사이에서 주파수 변환된다. 상기 슈퍼헤테로다인 아키텍처와 직접변환 아키텍처는 서로 다른 회로 블록을 이용할 수 있거나/ 있고 상이한 필요사항을 가질 수 있다. 도 1 의 예시적 설계는 직접변환 아키텍처로 구현된 수신기 (120) 를 도시한다.
- [0008] 수신 경로에 있어, 안테나 (110) 가 기지국, 위성, 및/또는 다른 송신국으로부터 다운링크 신호를 수신하고 듀플렉서 또는 스위치 (112) 에 안테나 출력 신호를 제공한다. 듀플렉서/스위치 (112) 는 (i) 안테나 출력 신호를 여과하고 수신된 RF 신호, RFRx 를 수신기 (120) 에 제공하는 듀플렉서 또는 (ii) 안테나 출력 신호를 수신된 RF 신호로서 통과시키는 스위치일 수 있다. 수신기 (120) 내에서, LNA (130) 는 수신된 RF 신호를 증폭하고 싱글 엔드형 입력 RF 신호, RFin 을 밸런스드 I/Q 회로 (140) 에 제공한다. 밸런스드 I/Q 회로 (140) 는 싱글 엔드형 입력 RF 신호를 위해 싱글 엔드 - 차동 (single ended to differential) 변환을 수행한다. 밸런스드 I/Q 회로 (140) 는 추가로 신호 분할을 수행하고, 제 1 차동 RF 신호를 동위상 (I) 믹서 (150) 에 제공하고, 제 2 차동 RF 신호를 직교위상 (Q) 믹서 (152) 에 제공한다. 제 1 차동 RF 신호는 RF1p 신호 및 RF1n 신호를 포함한다. 제 2 차동 RF 신호는 RF2p 신호 및 RF2n 신호를 포함한다.
- [0009] 믹서 (150) 는 LO 발생기 (170) 로부터의 차동 I 국부 발진기 (LO) 신호로 제 1 차동 RF 신호를 하향변환 하여 차동 I 하향변환된 신호를 제공한다. 지역통과 필터 (160) 는 차동 I 하향변환된 신호를 여과하여 차동 I 기저대역 신호를 데이터 프로세서에 (180) 제공한다. 유사하게, 믹서 (152) 는 LO 발생기 (170) 로부터의 차동 Q LO 신호로 제 2 차동 RF 신호를 하향변환하여 차동 Q 하향변환된 신호를 제공한다. 지역통과 필터 (162) 는 차동 Q 하향변환된 신호를 여과하여 차동 Q 기저대역 신호를 데이터 프로세서 (180) 에 제공한다.
- [0010] LO 발생기 (170) 는 믹서 (150) 를 위한 차동 I LO 신호 및 믹서 (152) 를 위한 차동 Q LO 신호를 발생시킨다. 차동 I LO 신호는 ILOp 신호 및 ILOn 신호를 포함한다. 차동 Q LO 신호는 QLOp 신호 및 QLOn 신호를 포함한다. LO 발생기 (170) 는 하나 이상의 전압 제어 발진기 (VCO), 위상동기루프 (PLL), 기준 발진기, 제산기, 버퍼 등을 포함할 수 있다.
- [0011] 도 1 은 수신기 (120) 의 예시적 설계를 도시한다. 일반적으로, 수신기의 신호 컨디셔닝은 하나 이상의 증폭기, 필터, 믹서, 등에 의하여 수행된다. 이러한 회로들은 도 1 에 도시된 설정으로부터 다르게 배치될 수 있다. 또한, 도 1 에 도시되지 않은 다른 회로들이 수신기의 신호를 컨디셔닝하기 위해 사용될 수 있다. 수신기의 전부 또는 일부는 하나 이상의 RF 집적회로 (RFIC), 아날로그 IC, 혼합신호 IC, 등에서 구현될 수 있다. 예를 들어, LNA (130), 밸런스드 I/Q 회로 (140), 및 믹서 (150, 152) 는 하나의 RFIC 상에서 구현될 수 있다.
- [0012] 송신 경로에 있어서, 데이터 프로세서 (180) 는 송신될 데이터를 처리하고, 송신기 (122) 에 아날로그 I 신호와 Q 신호를 제공한다. 송신기 (122) 는 아날로그 I 및 Q 신호를 컨디셔닝하여 (예를 들어, 증폭, 여과, 상향변환), 듀플렉서/스위치 (112) 를 통해 라우팅되고 안테나 (110) 를 통하여 송신되는, 송신 RF 신호를 제공한다.
- [0013] 데이터 프로세서 (180) 는 데이터 송신과 수신 및 다른 기능들을 위한 다양한 처리 유닛을 포함할 수 있다. 예를 들어, 데이터 프로세서 (180) 는 하나 이상의 아날로그 디지털 변환기 (ADC), 디지털 아날로그 변환기 (DAC), 디지털 신호 프로세서 (DSP), 단축 명령형 컴퓨터 (RISC) 프로세서, 중앙처리장치 (CPU) 등을 포함할 수 있다. 제어기/프로세서 (190) 는 무선 장치 (100) 의 동작을 제어할 수 있다. 메모리 (192) 는 무선장치 (100) 를 위한 프로그램 코드 및 데이터를 저장할 수 있다. 데이터 프로세서 (180), 제어기/프로세서 (190), 및/또는 메모리 (192) 는 하나 이상의 주문형 반도체 (ASIC) 및/또는 다른 IC 상에 구현될 수 있다.
- [0014] 도 1 에 도시된 예시적 설계에서, 싱글 엔드형 LNA (130) 는 수신한 RF 신호를 증폭하기 위해 사용된다. 싱글 엔드형 LNA (130) 는 차동 LNA 에 비하여 더 낮은 전력 소비를 가지거나, 더 적은 다이 (Die) 영역을 차지할 수 있으며, 더 적은 외부 대응 구성 요소를 필요로 할 수 있는데, 이들 모두는 매우 바람직할 수 있다. 보

통의 경우와 같이, 차동 I 및 Q 믹서 (150 및 152) 들은 양호한 성능을 얻기 위하여 수신기 (120) 안에 사용된다. 잔여 측파대 (RSB), 2차 입력 차단점 (IIP2) 등의 엄중한 시스템 요건을 만족시키기 위하여 한 쌍의 밸런스드 차동 RF 신호가 I 및 Q 믹서 (150 및 152) 에 제공되어야 한다. 도 1 에 도시된 예시적 설계에서, 밸런스드 I/Q 회로 (140) 는 싱글 엔드형 LNA (130) 와 차동 I 및 Q 믹서 (150 및 152) 사이에 인터페이스를 제공한다.

[0015] 도 2 는 도 1 의 싱글 엔드형 LNA (130) 및 밸런스드 I/Q 회로 (140) 의 예시적 설계의 개략도를 도시한다. 도 2 에 도시된 예시적 설계에 있어서, LNA (130) 는 입력 매칭 네트워크 (210) 와 상호컨덕턴스 (Gm) 스테이지 (220) 를 포함하고 있다. 매칭 네트워크 (210) 는 LNA (130) 를 위한 임피던스 매칭을 제공한다. Gm 스테이지 (220) 는 LNA (130) 를 위한 증폭을 제공하고, 전류 신호인 싱글 엔드형 입력 RF 신호, RFin 을 출력한다. 밸런스드 I/Q 회로 (140) 는 Gm 스테이지를 (220) 위한 수동부하로서 기능하고 Gm 스테이지 (220) 로부터 싱글 엔드형 입력 RF 신호를 수신한다. 도 2 에 도시된 예시적 설계에서, 밸런스드 I/Q 회로 (140) 는 밸런스드 I/Q 변압기 (240) 와 가변축전기 (버랙터) (242 및 244) 를 포함한다.

[0016] 도 2 에 도시된 예시적 설계에서, 밸런스드 I/Q 변압기 (240) 는 2 개의 일차 코일 (252 및 254) 및 2 개의 이차 코일 (262 및 264) 을 포함한다. 코일은 인덕터 코일, 권선, 전도체 등으로 불릴 수 있다. 제 1 일차 코일 (252) 및 제 2 일차 코일 (254) 은 LNA (130) 의 출력에 또한 연결된 센터 탭 (center tap) 에 연결되어 있다. 제 1 일차 코일 (252) 은 LNA (130) 의 출력과 전원전압 (Vdd) 사이에 연결되어 있다. 제 2 일차 코일 (254) 또한 LNA (130) 의 출력과 Vdd 공급부 사이에 연결되어 있다. 따라서 일차 코일들 (252 및 254) 의 차동 단자는 AC 접지에 연결되어 있다. 제 1 일차 코일 (252) 은 제 1 이차 코일 (262) 에 자기적으로 연결되어 있다. 제 2 일차 코일 (254) 은 제 2 이차 코일 (264) 에 자기적으로 연결되어 있다. 버랙터 (242) 는 제1 일차 코일 (252) 에 병렬연결되며 그 조합은 제 1 공진회로 (246) 를 형성한다. 버랙터 (244) 는 제 2 일차 코일 (254) 에 병렬연결되며 그 조합은 제 2 공진회로 (248) 를 형성한다.

[0017] 도 2 에 도시된 바와 같이, 밸런스드 I/Q 변압기 (240) 는 두 개의 일차 코일 (252 및 254) 을 가진 일차 측과 두 개의 이차 코일 (262 및 264) 을 가진 이차측을 포함한다. LNA (130) 로부터 싱글 엔드형 입력 RF 신호가 일차 코일들 (252 및 254) 의 센터 탭에 제공된다. 이차 코일 (262) 은 RF1p 전류 신호 및 RF1n 전류 신호를 포함하는 제 1 차동 RF 신호를 I 믹서 (150) 에 제공한다. 이차 코일 (264) 은 RF2p 전류 신호 및 RF2n 전류 신호를 포함하는 제 2 차동 RF 신호를 Q 믹서 (152) 에 제공한다.

[0018] 밸런스드 I/Q 회로 (140) 는 밸런스드 구조로 되어 있다. 이것은 이차 코일 (262) 로부터의 제 1 차동 RF 신호와 이차 코일 (264) 로부터의 제 2 차동 RF 신호가 유사한 부하를 따르도록 한다. 특히, 이차 코일 (262) 은 일차 코일 (252) 및 LNA (130) 의 출력과 Vdd 사이에 연결된 버랙터 (242) 의 임피던스를 따른다. 유사하게, 이차 코일 (264) 은 일차 코일 (254) 및 LNA (130) 의 출력과 Vdd 사이에 연결된 버랙터 (244) 의 임피던스를 따른다. 따라서 두 이차 코일 (262 및 264) 간에 밸런스드 연결이 형성될 수 있다.

[0019] 도 3 은 도 2 에 도시된 밸런스드 I/Q 회로 (140) 와의 비교를 위한 언밸런스드 I/Q 회로 (300) 의 예시적 설계를 도시한다. 언밸런스드 I/Q 회로 (300) 는 변압기 (340) 와 버랙터 (342) 를 포함하고 있다. 변압기 (340) 는 일차 코일 (352) 및 이차 코일 (362) 을 포함하고 있다. 일차 코일 (352) 은 LNA (130) 의 출력과 Vdd 공급부 사이에 연결되어 있고 이차 코일 (362) 에 자기적으로 연결되어 있다. 이차 코일 (362) 은 회로 접지와 연결된 센터 탭을 가지며, 이차 코일 (362) 의 양 끝단은 차동 전류 신호를 I 믹서 (150) 와 Q 믹서 (152) 모두에 제공한다. 버랙터 (342) 는 일차 코일 (352) 에 병렬로 연결되어 있고, 이 조합은 공진회로 (346) 를 형성한다.

[0020] 언밸런스드 I/Q 회로 (300) 는 언밸런스드 구조로 되어 있다. 특히, 노드 A 와 이차 코일 (362) 의 센터 탭 사이의 차동 RF 신호는 Vdd 공급부 및 일차 코일 (352) 의 센터 탭 사이의 연결을 따른다. 그러나, 노드 B 와 이차 코일 (362) 사이의 차동 RF 신호는 일차 코일 (352) 의 센터 탭과 LNA (130) 의 출력단 사이의 연결을 따른다. 따라서 이차 코일 (362) 의 노드 (A 와 B) 에서 언밸런스드 연결이 형성될 수 있다.

[0021] 도 2 의 밸런스드 I/Q 변압기 (240) 는 도 3 의 언밸런스드 변압기 (340) 보다 몇몇 측면에서 더 좋은 성능을 가질 수 있다. 첫째, 밸런스드 구조로 인하여 밸런스드 I/Q 변압기 (240) 내의 이차 코일 (262) 로부터의 일차 차동 RF 신호의 진폭 및 위상이 이차 코일 (264) 로부터의 제 2 차동 RF 신호의 진폭 및 위상과 더 양호하게 정합할 수 있다. 둘째, 밸런스드 구조로 인해 I 및 Q 지로 (branch) 간 격리가 더 양호하게 이루어질 수 있다. I 지로는 도 1 의 이차 코일 (262) 로부터 저역통과필터 (160) 로의 신호 경로를 말하며, Q 지로는 이차 코일 (264) 로부터 저역통과필터 (162) 로의 신호 경로를 말한다. 따라서 밸런스드 I/Q 변압기 (240)

는 RSB, IIP2 및 가능하다면, 다른 성능 척도를 위해서도 양호한 성능을 제공할 수 있다. 나아가, 밸런스드 I/Q 변압기 (240) 는 전체가 수동이고 전력을 소비하지 아니하므로, 이는 휴대용 장치에 있어 바람직할 수 있다.

[0022] 도 4 는 도 1 의 밸런스드 I/Q 회로 (140) 로 사용될 수 있는 밸런스드 I/Q 회로 (142) 의 예시적 설계의 개략도를 도시한다. 이 예시적 설계에서, 밸런스드 I/Q 회로 (142) 는 밸런스드 I/Q 변압기 (440) 와 버랙터 (442 및 444) 를 포함한다. 밸런스드 I/Q 변압기 (440) 는 하나의 일차 코일 (450) 및 두 개의 2차 코일 (462 및 464) 을 포함한다. 일차 코일 (450) 은 양끝단이 Vdd 공급부에 연결되어 있고, 센터 탭이 LNA (130) 의 출력에 연결되어 있다. 제 1 이차 코일 (462) 은 일차 코일 (450) 의 제 1 절반부에 자기적으로 연결되어 있고, 제 2 이차 코일 (464) 은 일차 코일 (450) 의 제 2 절반부에 자기적으로 연결되어 있다. 버랙터 (442) 는 일차 코일 (450) 의 제 1 절반부에 병렬연결되어 있고, 버랙터 (444) 는 일차 코일 (450) 의 제 2 절반부에 병렬연결되어 있다.

[0023] 일반적으로, 밸런스드 I/Q 변압기의 일차 측은 하나 이상의 일차 코일을 포함할 수 있다. 각각의 이차 코일은 각각의 일차 코일에 자기적으로 연결되거나 (도 2 에 도시된 바와 같다), 일차 코일의 각 부분에 자기적으로 연결될 수 있다 (도 4 에 도시된 바와 같다).

[0024] 도 5 는 도 1 의 LNA (130), 밸런스드 I/Q 회로 (140), 및 믹서 (150 및 152) 의 예시적 설계의 개략도를 도시한다. 이 예시적 설계에서, LNA (130) 는 N-채널 금속 산화막 반도체 (NMOS) 트랜지스터들 (514 및 516) 을 포함하고 있다. NMOS 트랜지스터 (514) 는 수신된 RF 신호, RFrx 를 수신하는 게이트, 인덕터 (512) 의 일단부에 연결된 소스, 및 NMOS 트랜지스터 (516) 의 소스에 연결된 드레인을 갖는다. NMOS 트랜지스터 (516) 는 제 1 바이어스 전압, Vbias1, 을 수신하는 게이트, 및 싱글 엔드형 입력 RF 신호, RFin, 을 제공하는 드레인을 갖는다. 인덕터 (512) 의 타단부는 회로 접지에 연결되어 있다. 저항 (518) 은 NMOS 트랜지스터 (514) 의 게이트에 연결된 일단부 및 제 2 바이어스 전압, Vbias2 를 수신하는 타단부를 갖는다.

[0025] NMOS 트랜지스터 (514) 는 수신된 RF 신호에 증폭을 제공하는 이득 트랜지스터이다. NMOS 트랜지스터 (516) 는 이득 트랜지스터를 위한 버퍼를 제공하고 추가로 싱글 엔드형 입력 RF 신호를 위한 신호 구동을 제공하는 캐스코드 트랜지스터이다. 인덕터 (512) 는 LNA (130) 의 협대역 설계를 위해 사용되는 소스 디커플레이션 인덕터이다. 밸런스드 I/Q 회로 (140) 는 LNA (130) 의 수동 부하로서 동작한다. 버랙터 (242 및 244) 는 바람직한 성능의 확보를 위해 튜닝될 수 있다. 한 예시적 설계에서, 버랙터 (242 및 244) 는 공진회로 (246 및 248) 의 공진주파수가, 예를 들어 수신되는 채널의 주파수같은, 바람직한 동작주파수에 있을수 있도록 튜닝될 수 있다. 또 다른 예시적 설계에서, 버랙터 (242 및 244) 는 LNA (130) 를 위한 바람직한 이득을 얻기 위하여 튜닝될 수 있다. 일반적으로, 버랙터 (242 및 244) 는 LNA (130) 의 부하를 변화시키기 위해 튜닝될 수 있고, 이어서, LNA (130) 의 부하는 LNA (130) 의 이득 및/또는 다른 특성들을 변화시킬 수 있다.

[0026] 도 5 에 도시된 예시적 설계에서, I 믹서 (150) 는 서로 교차결합된 두 쌍의 NMOS 트랜지스터를 포함한다. NMOS 트랜지스터 (552a 및 554a) 는 서로의 드레인이 연결되어 있고, 게이트는 버퍼 (562a 및 564a) 의 출력에 각각 연결되어 있으며, 소스는 각각 노드 A와 노드 B에 연결되어 있다. NMOS 트랜지스터 (556a 및 558a) 는 드레인이 서로 연결되어 있고, 게이트는 버퍼 (564a 및 562a) 의 출력에 각각 연결되며, 소스는 노드 A 와 노드 B 에 각각 연결되어 있다. AC 커플링 커패시터 (542a) 의 일단부는 이차 코일 (262) 로부터 RF1p 를 수신하고, 그 타단부는 NMOS 트랜지스터 (552a 및 554a) 의 드레인에 연결되어 있다. AC 커플링 커패시터 (544a) 의 일단부는 이차 코일 (262) 로부터 RF1n 신호를 수신하고, 그 타단부는 NMOS 트랜지스터 (556a 및 558a) 의 드레인에 연결되어 있다. 버퍼 (562a 및 564a) 는 LO 발생기 (170) 로부터 차동 I LO 신호를 형성하는 ILOp 및 ILOn 신호를 각각 수신한다. 노드 A 와 B 는 I 믹서 (150) 로부터 차동 I 하향변환된 신호를 형성하는 Idcp 및 Idcn 신호를 각각 제공한다.

[0027] Q 믹서 (152) 또한 유사하게 교차결합된 두 쌍의 NMOS 트랜지스터를 가진다. AC 커플링 커패시터 (542b 및 544b) 는 이차 코일 (264) 로부터 RF2p 및 RF2n 신호를 수신한다. NMOS 트랜지스터 (552b 및 554b) 들은 드레인이 커패시터 (542b) 에 연결되어 있고, 소스는 각각 노드 C 와 D 에 연결되어 있다. NMOS 트랜지스터 (556b 및 558b) 들은 드레인이 커패시터 (544b) 에 연결되어 있고, 소스는 노드 C 와 D 에 각각 연결되어 있다. 버퍼 (562b 및 564b) 는 LO 발생기 (170) 로부터의 차동 Q LO 신호를 형성하는 QLOp 및 QLOn 신호를 각각 수신한다. 버퍼 (562b) 는 그 출력이 NMOS 트랜지스터 (552b 및 558b) 의 게이트에 연결되어 있고, 버퍼 (564b) 는 그 출력이 NMOS 트랜지스터 (554b 및 556b) 의 게이트에 연결되어 있다. 노드 C 와 D 는 Q 믹서 (152) 에서 차동 Q 하향변환된 신호를 형성하는 Qdcp 및 Qdcn 신호를 각각 제공한다.

- [0028] 도 5 는 LNA (130) 및 믹서 (150 및 152) 의 예시적인 설계를 도시한다. 이러한 회로는 다른 설계로도 구현될 수 있다. 예를 들어, 매칭 네트워크가 입력 임피던스 매칭을 LNA (130) 에 제공하기 위해 사용될 수 있다. Gm 스테이지는 밸런스드 I/Q 회로 (140) 및 믹서 (150 및 152) 사이에 삽입되어 밸런스드 I/Q 회로의 (140) 두 개의 차동 RF 신호를 증폭하기 위해 사용될 수 있다. 믹서 (150 및 152) 또한 기술 분야에서 알려진 다른 믹서의 형상으로 구현될 수 있다.
- [0029] 밸런스드 I/Q 변압기는 다양한 방식으로 구현될 수 있다. 밸런스드 I/Q 변압기의 일차 및 이차 코일은 원하는 인덕턴스 및 커패시턴스를 얻기 위해 다양한 패턴으로 구현될 수 있다. 또한 일차 및 이차 코일이 하나 이상의 도전층 상에 제작될 수 있다.
- [0030] 도 6 은 도 2 의 밸런스드 I/Q 변압기 (240) 의 예시적 설계의 평면도를 도시한다. 이 예시적 설계에서, 일차 코일 (252 및 254) 은 RFIC 의 제 1 도전층 위에 제작되었다. 이차 코일 (262 및 264) 은 제 2 도전층 위에 제작되었으며 각각 일차 코일 (252 및 254) 에 오버랩되어 있다. 제 1 도전층은 제 2 도전층의 위쪽에 위치할 수 있거나 제 2 도전층이 제 1 도전층 위쪽에 위치할 수 있다.
- [0031] 도 7 은 도 6 의 밸런스드 I/Q 변압기 (240) 의 횡단면도를 도시한다. 도 7 의 횡단면도는 도 6 의 X-X' 선을 따라 도시한 것이다.
- [0032] 도 6 에 도시된 바와 같이, 제 1 일차 코일 (252) 은 나선형 패턴으로 배열된 전도체로 구현되어 있고, 제 2 일차 코일 (254) 또한 나선형 패턴으로 배열된 또 다른 전도체로 구현되어 있다. 일차 코일 (252 및 254) 은 센터 탭에 연결되어 있다. 이차 코일 (262) 은 일차 코일 (252) 의 전도체를 오버랩하는 나선형 패턴으로 배열된 전도체로 구현되어 있다. 유사하게, 이차 코일 (264) 은 일차 코일 (254) 의 전도체를 오버랩하는 나선형 패턴으로 배열된 전도체로 구현되어 있다. 도 6 에서 일차 코일 (252 및 254) 은 격자무늬로 도시되어 있으며, 이차 코일 (262 및 264) 은 진한 외곽선 만으로 도시되어 있다.
- [0033] 일반적으로, 일차 및 이차 코일은 저손실 금속 (예를 들어, 구리), 더 손실이 있는 금속 (예를 들어, 알루미늄), 또는 다른 몇몇의 물질과 같은 다양한 전도성 물질로 제작될 수 있다. 저손실 금속층 상에 코일이 제작되었을 때, 더 높은 품질 팩터 (Q) 를 얻을 수 있다. 다른 IC 설계 규칙이 적용될 수 있으므로, 더 작은 크기의 코일이 손실성 금속층 위에 제작될 수 있다.
- [0034] 한 예시적 설계에서, RFIC는 6개의 금속층을 가질 수 있으며, 이는 M1 내지 M6 층이라 부를 수 있다. M1 층은 가장 바닥층일 수 있고 (회로기관에 가장 가까운 쪽), M6 층은 가장 위쪽의 층이라 할 수 있다. M1 내지 M4 층은 얇은 구리층이고, M5 층은 두꺼운 구리층이며, M6 층은 두꺼운 알루미늄층일 수 있다. 일차 코일 (252 및 254) 은 도 7 에 도시된 대로 두꺼운 알루미늄층인 M6 상에 제작될 수 있다. 이차 코일 (262 및 264) 은 도 7 에 도시된 대로 두꺼운 구리층인 M5 상에 제작될 수 있다. 따라서 일차 코일 (252 및 254) 및 이차 코일 (262 및 264) 은 밸런스드 I/Q 변압기의 좋은 성능을 얻기 위해서 RFIC 상의 (전도성 측면에서) 최상의 두 금속층 위에 제작된다. 동일 코일의 부분들 (예를 들어, 도 6의 이차 코일 (262 또는 264)) 은 금속층 M4 또는 다른 도전층 위에 형성될 수 있는 바이어스 및 언더패스를 통하여 연결될 수 있다.
- [0035] 도 6 의 예시적 설계에서, 일차 코일 (252 및 254) 은 각각 권취수가 7 회로 구현되고, 이차 코일 (262 및 264) 은 각각 권취수가 4 회로 구현되어 있다. 일차 코일 (252 및 254) 은 (i) 이차 코일 (262 및 264) 로부터의 차동 전류 신호의 전류 이득 및 (ii) 일차 코일 (252 및 254) 에 비해 낮은 이차 코일 (262 및 264) 의 임피던스를 얻기 위해 이차 코일 (262 및 264) 보다 더 많은 권취수로 구현될 수 있다. 또한 일차 코일 (252 및 254) 은 이차 코일 (262 및 264) 의 차동 전압 신호의 전압 이득을 얻기 위해 (i) 이차 코일 (262 및 264) 과 같은 권취수를 갖거나 (도 6 에 도시되지 아니함), (ii) 이차 코일 (262 및 264) 보다 더 적은 권취수를 가질 수 있다 (또한 도 6 에 도시되지 아니함).
- [0036] 도 6 및 도 7 은 일차 코일 (252 및 254) 과 이차 코일 (262 및 264) 이 두 개의 도전층 상에 적층되어 제조되는 예시적 설계를 도시한다. 적층된 토폴로지는 밸런스드 I/Q 변압기 (240) 가 더 작은 다이 공간 안에 제작될 수 있게 허용하며, 또한 I 와 Q 지로 상에 더 양호한 매칭을 초래할 수 있다. 또 다른 예시적 설계에서는, 일차 코일과 이차 코일 모두가 하나의 도전층 위에 구현될 수 있다. 일차 코일 (252) 과 이차 코일 (262) 이 인터레이싱되거나 인터위빙될 수 있고, 일차 코일 (254) 과 이차 코일 (264) 이 인터레이싱될 수 있다. 이러한 나란한 (side-by-side) 토폴로지는 한정된 수의 금속층이 있을 때 사용될 수 있다. 이러한 나란한 토폴로지는 적층형 토폴로지에 비하여 일차 코일과 이차 코일 간에 더 작은 커패시턴스를 제공할 수 있다. 더 작은 커패시턴스는 변압기의 고주파 작동을 위한 더 높은 자기공진주파수 (SRF) 를 얻는 데에 바람

직할 수 있다. 또 다른 예시적 설계에서는, 일차 코일 및 이차 코일이 3개 이상의 도전층 위에 제작될 수 있다. 예를 들어, 하나의 일차 코일이 제 1 도전층 상에 제작되고, 제 1 이차 코일은 제 1 도전층 위의 제 2 도전층 상에 제작되며, 제 2 이차 코일은 제 1 도전층 아래의 제 3 도전층 상에 제작될 수 있다.

[0037] 도 6 은 코일들 (252, 254, 262 및 264) 이 나선형 패턴으로 구현된 예시적 설계를 도시한다. 코일 (252 및 262) 들은 제 1 방향 (예를 들어, 도 6 에서 반 시계 방향) 으로 형성되고 코일 (254 및 264) 은 제 1 방향과 반대되는 제 2 방향으로 형성될 수 있다 (예를 들어, 도 6 에서 시계 방향). 이차 코일 (262 및 264) 들을 서로 반대 방향으로 형성함으로써 인해 두 이차 코일 간의 상호 결합을 줄일 수 있으며, 이는 I 및 Q 지로 간의 격리성을 개선할 수 있다. 또한 연결된 코일의 각 쌍들은 다른 방식으로 구현될 수 있다. 예를 들어, 코일 (252 및 262) 뿐만이 아니라 코일 (254 및 264) 은 이중 나선형, 지그재그 또는 다른 패턴으로 배열될 수 있다. 일반적으로, 다른 형상이나 다른 레이아웃 패턴, 다른 제작 기술은 밸런스드 I/Q 변압기에 다른 장점을 제공할 수 있다.

[0038] 밸런스드 I/Q 회로 (140) 의 버랙터 (242 및 244) 는 여러 방식으로 구현될 수 있다. 한 예시적 설계에서, 버랙터 (242 및 244) 는 각각 선택가능 (selectable) 커패시터의 뱅크로 구현될 수 있다. 각각의 선택가능 커패시터는 커패시턴스를 늘이거나 줄이기 위해 선택되거나 선택되지 않을 수 있다. 한 예시적 설계에서, 버랙터 (242 및 244) 를 위한 커패시터는 각각 이차 코일 (262 및 264) 의 아래의 층상에 제작되는 MOS 커패시터로 구현될 수 있다. 또 다른 예시적 설계에서, 버랙터 (242 및 244) 는 미세전자기계시스템 (MEMS) 버랙터로 구현될 수 있다. MEMS 버랙터는 DC 전압에 의해 위아래로 움직일 수 있는 기계적 멤브레인을 가질 수 있어 MEMS 버랙터의 커패시턴스를 조절할 수 있다. MEMS 버랙터의 멤브레인은 도 6의 일차 코일 (252 및 254) 의 중앙영역에 형성될 수 있다.

[0039] 예시적 설계에서, 밸런스드 I/Q 변압기 (240) 는 LNA (130) 및 믹서 (150 및 152) 를 포함하는 RFIC 상에 제조될 수 있다. 이것은 비용과 크기를 줄일 수 있다. RFIC 는, 예를 들어, 도 1 의 수신기 (120) 에서의 회로들과 같은 다른 회로들 또한 포함할 수 있다.

[0040] 일반적으로, 장치는 제 1, 제 2 및 제3 회로들과 변압기를 포함할 수 있다. 제 1 회로는 싱글 엔드형 신호를 제공할 수 있다. 변압기는 제 1 회로에 연결될 수 있으며 적어도 하나의 일차 코일과 제 1 및 제 2 이차 코일을 포함할 수 있다. 적어도 하나의 일차 코일은 제 1 회로로부터 싱글 엔드형 신호를 수신할 수 있다. 제 1 이차 코일은 적어도 하나의 일차 코일에 자기적으로 연결되어 있고 (예를 들어, 도 2 에 도시된 바와 같이 각각의 일차 코일에 각각 자기적으로 연결되거나, 도 4 에 도시된 바와 같이 일차 코일의 각 부분에 연결될 수 있다) 제 1 차동 신호를 제 2 회로에 제공할 수 있다. 제 2 이차 코일은 적어도 하나의 일차 코일에 자기적으로 연결될 수 있으며 제 2 차동 신호를 제 3 회로에 제공할 수 있다.

[0041] 한 예시적 설계에서, 제 1 회로는 수신된 RF 신호를 증폭하고 변압기에 싱글 엔드형 신호를 제공하는 LNA 를 포함할 수 있다. 도 2 및 도 5 에 도시된 예시와 같이, 적어도 하나의 일차 코일은 LNA의 수동 부하로서 동작할 수 있다. 제 2 회로는, 도 5 에 도시된 예와 같이, I LO 신호로 제 1 차동 신호를 하향변환하고 차동 I 하향변환된 신호를 제공하는 제 1 믹서를 포함할 수 있다. 제 3 회로는 Q LO 신호로 제 2 차동 신호를 하향변환 하고 차동 Q 하향변환된 신호를 제공하는 제 2 믹서를 포함할 수 있다.

[0042] 한 예시적 설계에서, 적어도 하나의 일차 코일은, 예를 들어, 도 2 에 도시된 바와 같이, 제 1 일차 코일 및 제 2 일차 코일을 포함할 수 있다. 제 1 일차 코일은 제 1 이차 코일에 자기적으로 연결되고 싱글 엔드형 신호를 수신할 수 있다. 제 2 일차 코일은 제 2 이차 코일에 자기적으로 연결되고 또한 싱글 엔드형 신호를 수신할 수 있다. 다른 예시적 설계에서, 적어도 하나의 일차 코일은, 예를 들어, 도 4 에 도시된 바와 같이, 싱글 엔드형 신호를 수신하는 센터 탭을 가지는 단일의 일차 코일을 포함할 수 있다. 제 1 이차 코일은 일차 코일의 제 1 절반부에 자기적으로 연결되어 있다. 제 2 이차 코일은 일차 코일의 제 2 절반부에 자기적으로 연결되어 있다.

[0043] 한 예시적 설계에서, 일차 코일 (들) 은 제 1 도전층 상에 제작되고, 이차 코일은 제 2 도전층 상에 제작될 수 있다. 또 다른 예시적 설계에서, 제 1 및 제 2 이차 코일들은 하나의 도전층 상에 제작될 수 있다.

[0044] 도 2 의 예시적 설계에서, 제 1 일차 코일 및 제 2 일차 코일은 각각이 제 1 권취수를 포함할 수 있다. 제 1 이차 코일 및 제 2 이차 코일은 제 1 권취수보다 적은 제 2 권취수를 포함할 수 있다. 제 1 이차 코일은, 예를 들어, 도 6 및 도 7 에 나타난 바와 같이, 제 1 일차 코일에 오버레이될 수 있다 (예를 들어, 위쪽 또는 아래쪽 모두). 제 2 이차 코일은 제 2 일차 코일에 오버레이될 수 있다. 제 1 일차 코일과 제 1 이차

코일은 제 1 방향의 나선형 패턴으로 형성될 수 있다. 도 6 에 도시된 바와 같이, 제 2 일차 코일과 제 2 이차 코일은 제 1 방향과 반대인 제 2 방향의 나선형 패턴으로 형성될 수 있다. 또한 일차 코일 및 이차 코일은 다른 방식으로 제조될 수 있다.

[0045] 예시적 설계에서, 제 1 버랙터는 제 1 일차 코일에 병렬 연결될 수 있으며 제 1 공진 회로를 형성할 수 있다. 제 2 버랙터는 제 2 일차 코일에 병렬 연결될 수 있으며 제 2 공진 회로를 형성할 수 있다. 예시적 설계에서, 버랙터는 집적 회로 상의 변압기 아래 쪽에 제작될 수 있다. 또한 버랙터는 MEMS 버랙터로 구현될 수 있으며 또는 다른 방식으로 제작될 수 있다.

[0046] 예시적 설계에서, 집적회로는 (예를 들어, RFIC) LNA 및 변압기를 포함할 수 있다. LNA 는 수신된 RF 신호를 증폭하고 싱글 엔드형 RF 신호를 제공할 수 있다. 변압기는 LNA 에 연결되고 적어도 하나의 일차 코일과 제 1 및 제 2 이차 코일을 포함할 수 있다. 그 적어도 하나의 일차 코일은 LNA로부터 싱글 엔드형 RF 신호를 수신하고 LNA 의 부하로서 동작할 수 있다. 제 1 이차 코일은 적어도 하나의 일차 코일에 자기적으로 연결되고 제 1 차동 RF 신호를 제공할 수 있다. 제 2 이차 코일은 적어도 하나의 일차 코일에 자기적으로 연결되고 제 2 차동 RF 신호를 제공할 수 있다. 하나의 예시적 설계에서, 적어도 하나의 일차 코일은, 도 2 에 도시된 바와 같이, (i) 제 1 이차 코일에 자기적으로 연결된 제 1 일차 코일과 (ii) 제 2 이차 코일에 자기적으로 연결된 제 2 일차 코일을 포함할 수 있다.

[0047] 한 예시적 설계에서, LNA 는 제 1 및 제 2 트랜지스터를 포함할 수 있다. 제 1 트랜지스터 (예를 들어, 도 5 의 NMOS 트랜지스터 (514)) 는 수신된 RF 신호를 위한 증폭을 제공할 수 있다. 제 2 트랜지스터 (예를 들어, NMOS 트랜지스터 (516)) 는 제 1 트랜지스터와 연결되고 변압기에 싱글 엔드형 RF 신호를 제공할 수 있다.

[0048] 집적회로는 제 1 및 제 2 믹서를 더 포함할 수 있다. 제 1 믹서는 I LO 신호로 제 1 차동 RF 신호를 하향변환하고, 차동 I 하향변환된 신호를 제공할 수 있다. 제 2 믹서는 Q LO 신호로 제 2 차동 RF 신호를 하향변환하고 차동 Q 하향변환된 신호를 제공할 수 있다. 한 예시적 설계에서, 각각의 믹서는 도 5 에 도시된 바와 같이, 두 쌍의 트랜지스터를 포함할 수 있다. 제 1 트랜지스터 쌍은 차동 LO 신호로 비반전 RF 신호를 하향변환할 수 있다. 제 2 트랜지스터 쌍은 차동 LO 신호로 반전 RF 신호를 하향변환할 수 있다. 비반전 및 반전 RF 신호는 변압기로부터의 제 1 또는 제 2 차동 RF 신호에 대한 것일 수 있다.

[0049] 다른 예시적 설계에서, 무선 통신 장치는 안테나, LNA 및 변압기를 포함할 수 있다. 안테나는 수신된 RF 신호를 제공할 수 있다. LNA 는 수신된 RF 신호를 증폭하고 싱글 엔드형 RF 신호를 제공할 수 있다. 송신기는 LNA 에 연결되고 도 2 또는 도 4 에 도시된 바와 같이 연결될 수 있는, 적어도 하나의 일차 코일과 제 1 및 제 2 이차 코일을 포함할 수 있다. 무선 통신 장치는 제 1 및 제 2 믹서를 더 포함할 수 있다. 제 1 믹서는 I LO 신호로 제 1 이차 코일로부터의 제 1 차동 RF 신호를 하향변환하고 차동 I 하향변환된 신호를 제공할 수 있다. 제 2 믹서는 Q LO 신호로 제 2 이차 코일로부터의 제 2 차동 RF 신호를 하향변환하고 차동 Q 하향변환된 신호를 제공할 수 있다.

[0050] 도 8 은 신호 처리를 위한 프로세스 (800) 의 예시적 설계를 도시한다. 제 1 회로로 싱글 엔드형 신호를 생성하고 (블록 812) 일차 코일 및 이차 코일을 포함하는 변압기의 적어도 하나의 일차 코일에 싱글 엔드형 신호를 제공한다 (블록 814). 블록 812 의 예시적 설계에서, 수신된 RF 신호는 싱글 엔드형 신호를 발생하기 위해 LNA 로 증폭될 수 있다.

[0051] 제 1 차동 신호는 적어도 하나의 일차 코일에 자기적으로 연결된 제 1 이차 코일로 제공될 수 있다 (블록 816). 제 2 차동 신호는 적어도 하나의 일차 코일에 자기적으로 연결된 제 2 이차 코일로 제공될 수 있다 (블록 818). 제 1 차동 신호는 차동 I 하향변환된 신호를 얻기 위해 제 2 회로에 의해 처리되는데, 예시적으로, 제 1 믹서로 하향변환하는 처리가 될 수 있다 (블록 820). 제 2 차동 신호는 차동 Q 하향변환된 신호를 얻기 위해 제 3 회로로 처리될 수 있는데, 예시적으로 제 2 믹서로 하향변환하는 처리가 될 수 있다 (블록 822).

[0052] 여기에 설명된 밸런스드 I/Q 변압기는 상기에 설명된 바와 같이 수신기에서 사용될 수 있다. 또한 밸런스드 I/Q 변압기는 송신기 및 다른 전기 회로에서 사용될 수 있다.

[0053] 여기 설명된 밸런스드 I/Q 변압기를 갖춘 수신기는 IC, 아날로그 IC, RFIC, 혼합신호 IC, ASIC, 인쇄회로기판 (PCB), 전자 장치 등에 구현될 수 있다. 밸런스드 I/Q 변압기를 갖춘 수신기는 상보성 금속산화막 반도체 (CMOS), NMOS, P 채널 MOS (PMOS), 쌍극 접합 트랜지스터 (BJT), 쌍극 CMOS (BiCMOS), 실리콘 게르마늄 (SiGe), 비화 갈륨 (GaAs) 등과 같은 다양한 IC 처리 기술로 제조될 수 있다.

[0054] 여기 설명된 밸런스드 I/Q 변압기를 갖춘 수신기를 구현하는 장치는 그 자체로 하나의 장치이거나 더 큰 장치의

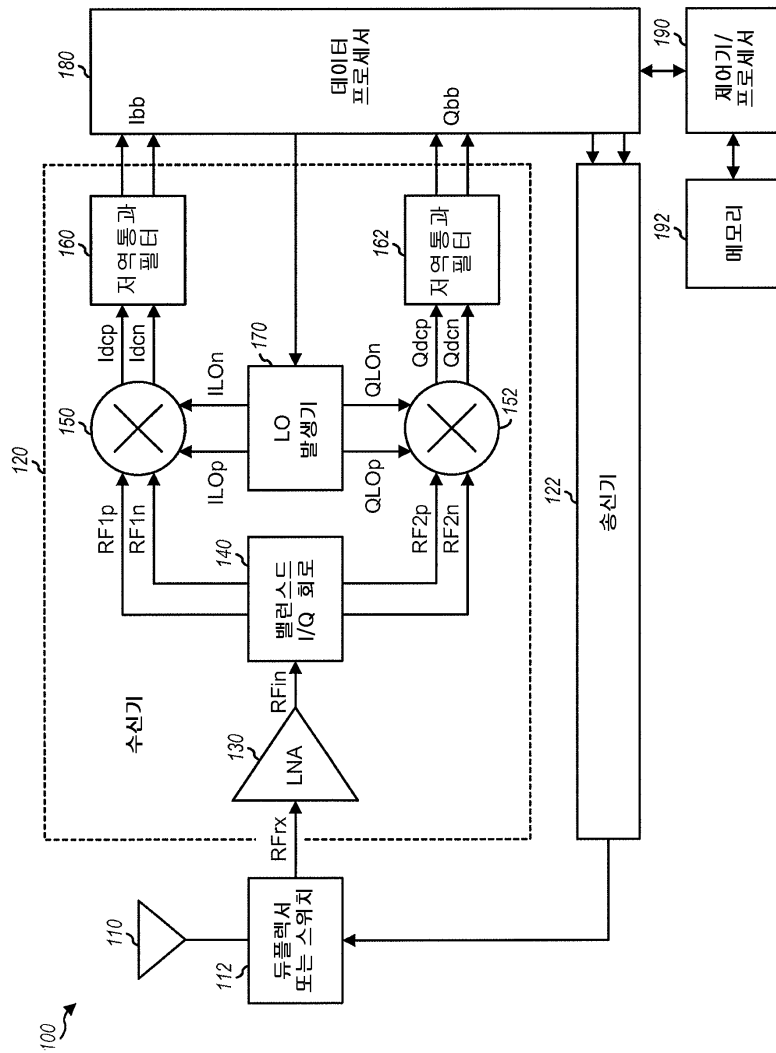
일부일 수 있다. 장치는, (i) 독립형 IC, (ii) 데이터 및/또는 명령어를 저장할 수 있는 메모리 IC를 포함할 수 있는 하나 이상의 IC 들의 세트, (iii) RF 수신기 (RFR) 또는 RF 송/수신기 (RTR) 와 같은 RFIC, (iv) 모바일 스테이션 모뎀 (MSM) 과 같은 ASIC, (v) 다른 장치 내에 임베디드 될 수 있는 모듈, (vi) 수신기, 셀룰라 전화기, 무선장치, 핸드셋, 또는 모바일 유닛, (vii) 기타 일 수 있다.

[0055] 하나 이상의 예시적 설계에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어 또는 이들의 임의의 조합에 의해서 구현될 수 있다. 만약 소프트웨어로 구현되었다면, 기능들은 컴퓨터로 해독가능한 매체에 하나 이상의 명령어 또는 코드로 저장되거나 전송될 수 있다. 컴퓨터로 해독가능한 매체란 컴퓨터 저장 매체와 컴퓨터 프로그램을 다른 곳으로 전송할 수 있도록 하는 임의의 매체를 포함하는 통신 매체를 모두 포함한다. 저장 매체는 컴퓨터에 의해 접속될 수 있는 임의의 매체 일 수 있다. 한정이 아닌 그 일례로서, 컴퓨터로 해독가능한 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장장치, 자기 디스크 저장장치 또는 다른 자기 저장장치, 또는 컴퓨터가 접근할 수 있는 명령어 또는 데이터 구조로 된 원하는 프로그램을 보관하거나 저장하기 위해 사용될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 연결도 컴퓨터로 해독가능한 매체라 부를 수 있다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 연선, 디지털 가입자 회선 (DSL), 또는 적외선, 라디오, 극초단파와 같은 무선 기술을 이용하여 웹사이트, 서버 또는 다른 원격소로부터 전송된다면, 이러한 동축 케이블, 광섬유 케이블, 연선, DSL, 또는 적외선, 라디오, 극초단파와 같은 무선 기술들은 매체의 정의에 포함된다. 여기에 설명된 디스크 (disk 또는 disc) 는 콤팩트 디스크 (CD), 레이저 디스크, 광학 디스크, 디지털 다목적 디스크 (DVD), 플로피 디스크, 블루레이 디스크 등을 포함하며 여기서 disk 는 보통 자기적으로 데이터를 재생산 하는 반면, disc 는 레이저로 광학적으로 데이터를 재생산한다. 상기 매체들의 조합 또한 컴퓨터로 해독 가능한 매체의 범위에 포함된다.

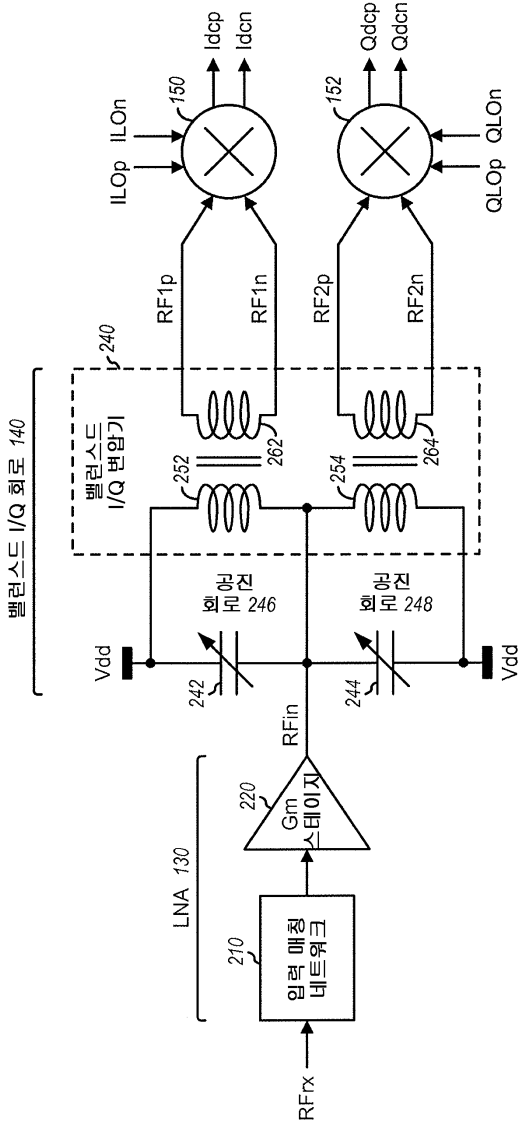
[0056] 개시된 실시태양들의 이전 설명은 당업자가 본 개시물을 제조 또는 이용하게 하도록 제공된다. 이들 실시태양들에 대한 각종 변형들이 당업자에게 자명할 것이고, 본원에 정의된 일반적 원리들을 개시물의 사상 또는 범위로부터 벗어남 없이 다른 실시태양에 적용될 수 있다. 따라서 본 발명은 본원에 도시된 예시적인 실시형태들로 제한되는 것으로 의도되지 아니하고 본원에 개시된 원리 및 신규한 특징에 부합하는 최광의 범위를 따르게 될 것이다.

도면

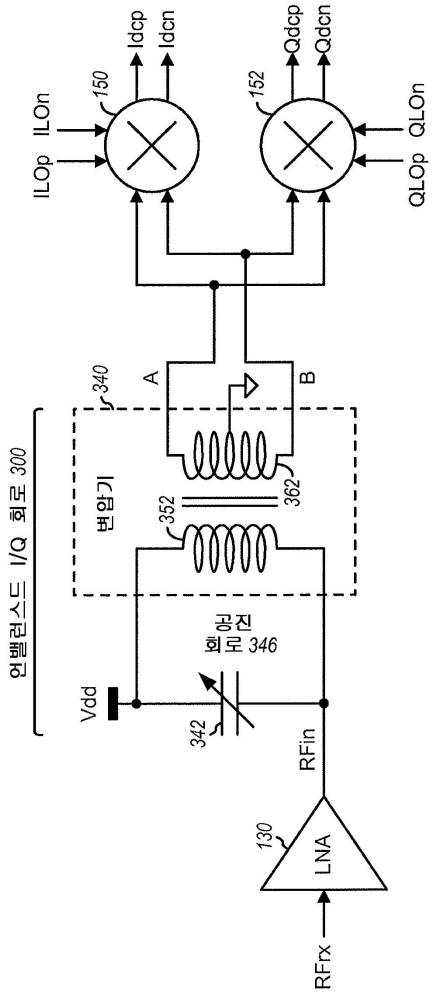
도면1



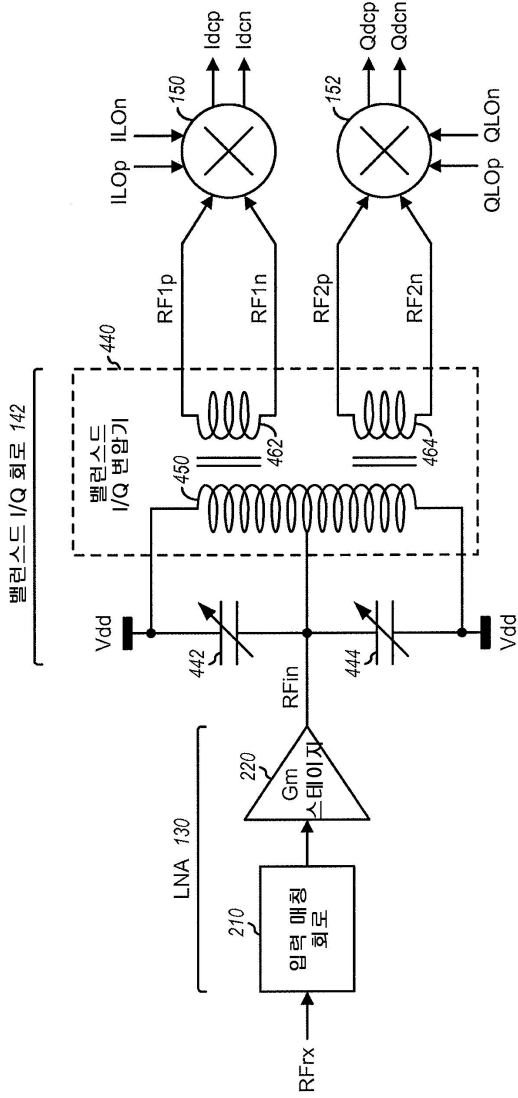
도면2



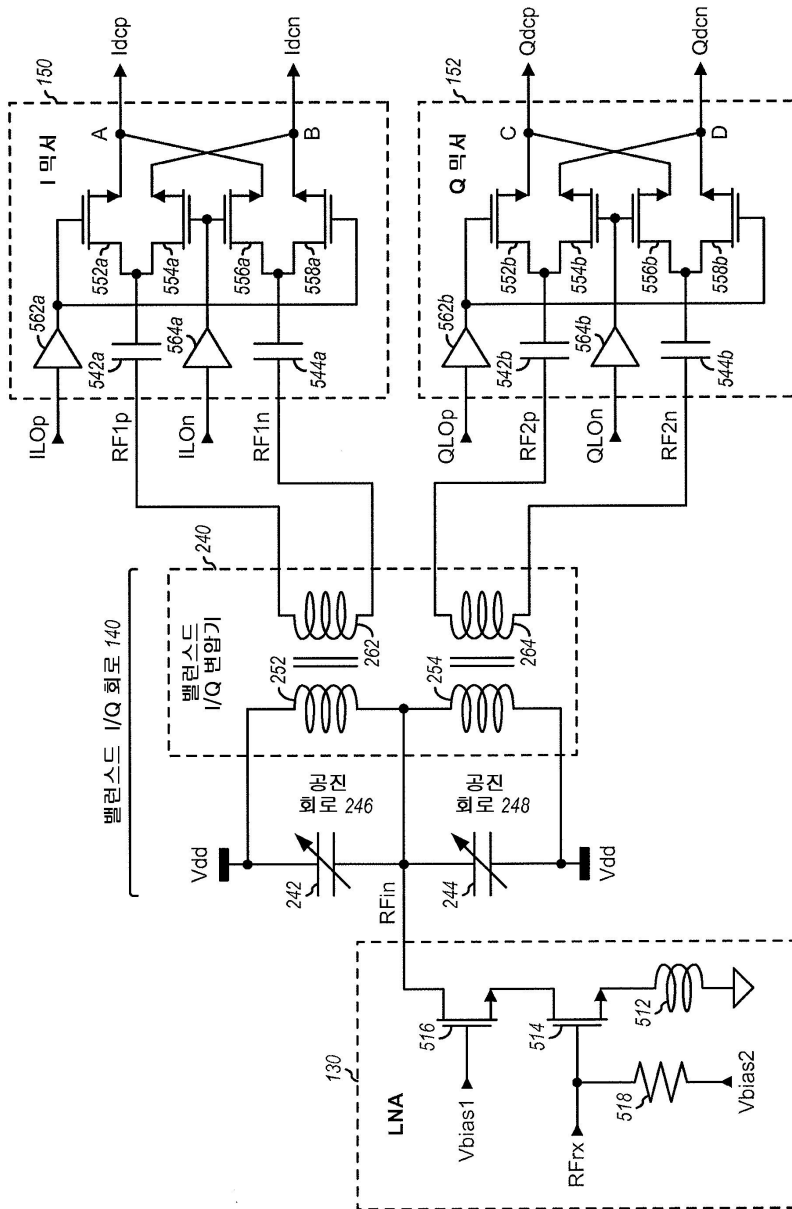
도면3



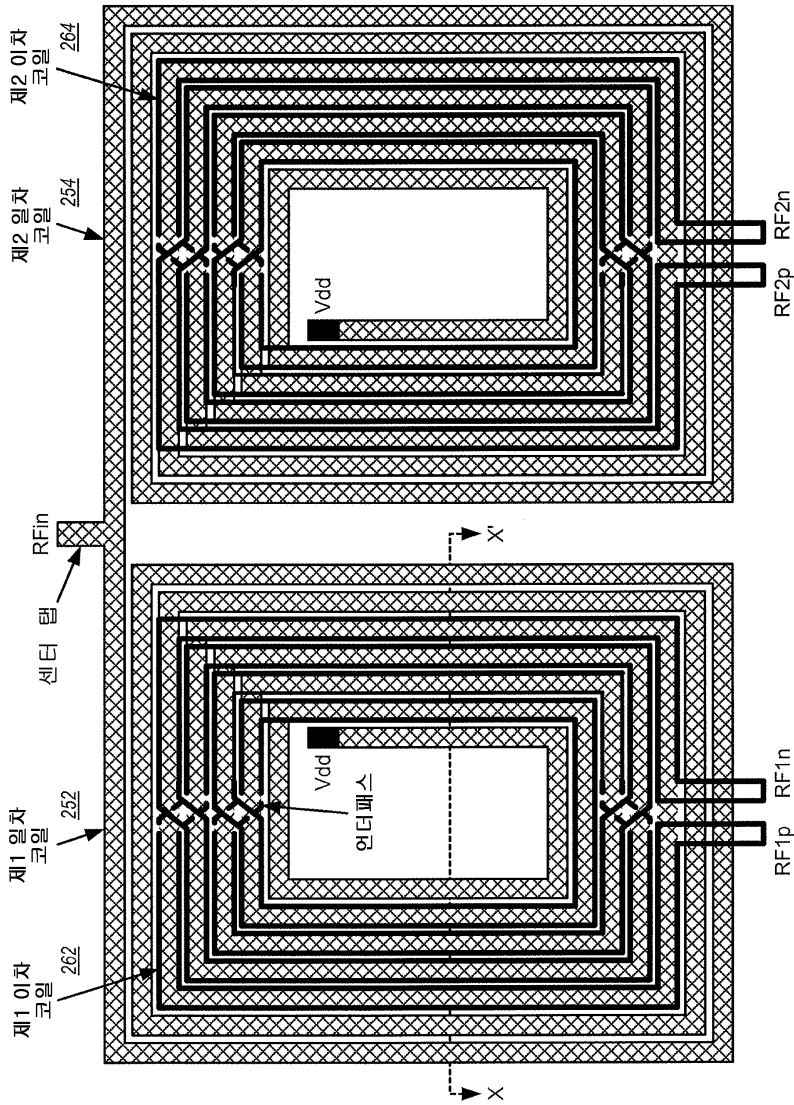
도면4



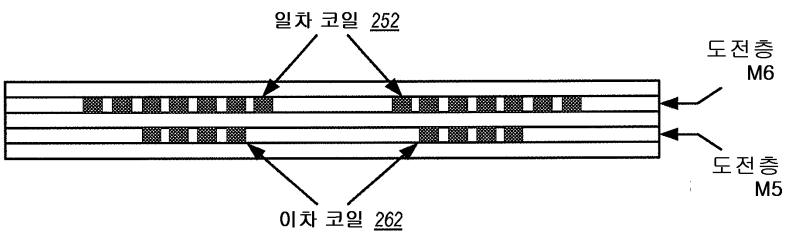
도면5



도면6



도면7



도면8

