

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3893005号
(P3893005)

(45) 発行日 平成19年3月14日(2007.3.14)

(24) 登録日 平成18年12月15日(2006.12.15)

(51) Int. Cl.	F I
G 1 1 C 29/04 (2006.01)	G 1 1 C 29/00 6 O 3 J
G O 6 F 12/16 (2006.01)	G 1 1 C 29/00 6 O 3 Q
G 1 1 C 16/02 (2006.01)	G O 6 F 12/16 3 1 O R
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 1 2 Z
	G 1 1 C 17/00 6 3 9 B

請求項の数 9 (全 26 頁)

(21) 出願番号	特願2000-941 (P2000-941)	(73) 特許権者	000005223
(22) 出願日	平成12年1月6日(2000.1.6)		富士通株式会社
(65) 公開番号	特開2001-195892 (P2001-195892A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成13年7月19日(2001.7.19)	(74) 代理人	100072718
審査請求日	平成15年12月16日(2003.12.16)		弁理士 古谷 史旺
		(74) 代理人	100075591
			弁理士 鈴木 榮祐
		(72) 発明者	河村 祥一
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	石川 正二

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

電氣的にデータを書き換え可能な複数の不揮発性メモリセルを有する複数のメモリセル部と、

前記メモリセル部に対応してそれぞれ形成され、アドレス信号に応じて前記メモリセル部を選択するための選択信号を出力するデコーダを有する複数のデコード回路と、

前記各デコード回路内に形成され、正常に動作しない前記メモリセル部の不良情報を記憶する記憶部と、

前記不良情報を記憶する記憶部に対応するデコーダが前記選択信号を出力するときに、この選択信号に応答して不良ブロックフラグ信号を出力する出力回路と、

前記不良ブロックフラグ信号に基づいて、正常に動作しない前記メモリセル部へのアクセスを禁止するとともに内部動作を停止するアクセス禁止回路とを備えたことを特徴とする不揮発性半導体記憶装置。

【請求項2】

請求項1記載の不揮発性半導体記憶装置において、

前記デコード回路は、共通ノードを介して前記出力回路に接続され、

前記各デコード回路は、前記共通ノードと電源線との間に直列に配置された第1および第2トランジスタを備え、

前記第1トランジスタは、ゲートで前記選択信号を受けたときにオンし、

前記第2トランジスタは、ゲートが前記記憶部の出力に接続され、前記記憶部に前記不

10

20

良情報が記憶されているときにオンすることを特徴とする不揮発性半導体記憶装置。

【請求項 3】

請求項 1 記載の不揮発性半導体記憶装置において、
前記記憶部は、不揮発性の要素により形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項 4】

請求項 1 記載の不揮発性半導体記憶装置において、
正常に動作しない前記メモリセル部にアクセスされたときに、前記不良ブロックフラグ信号に応答して前記不良情報を外部に出力する出力制御回路を備えたことを特徴とする不揮発性半導体記憶装置。

10

【請求項 5】

請求項 4 記載の不揮発性半導体記憶装置において、
前記出力制御回路からの前記不良情報を外部に出力する専用の端子を備えていることを特徴とする不揮発性半導体記憶装置。

【請求項 6】

請求項 1 記載の不揮発性半導体記憶装置において、
正常に動作しない前記メモリセル部にアクセスされたときに、前記不良情報を、外部からの要求に応じて出力することを特徴とする不揮発性半導体記憶装置。

【請求項 7】

請求項 6 記載の不揮発性半導体記憶装置において、
前記外部からの要求は、専用の端子を介して供給されることを特徴とする不揮発性半導体記憶装置。

20

【請求項 8】

請求項 6 記載の不揮発性半導体記憶装置において、
前記外部からの要求は、前記不良情報を出力するための専用のコマンド入力により行われることを特徴とする不揮発性半導体記憶装置。

【請求項 9】

請求項 1 の不揮発性半導体記憶装置において、
正常に動作しない前記メモリセル部への消去動作が発生したときに、該メモリセル部におけるデータの消去確認をスキップすることを特徴とする不揮発性半導体記憶装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置に関し、特に、動作しないメモリセルの存在が許容される不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

近年、携帯電話は、単に音声により会話する機能だけでなく、文字データあるいは画像データを伝送する機能を有してきている。携帯電話が扱う情報量は増大し、携帯電話に内蔵される記憶装置の容量は増大する傾向にある。また、インターネットを利用した音楽データの配信サービスが開始されている。配信された音楽データは、携帯型の記憶装置に記憶され、例えば、この記憶装置を携帯型のオーディオ装置に挿入することで再生される。

40

【0003】

このように携帯機器の普及とともに、これ等携帯機器に搭載または装着される記憶装置が大量に必要なようになってきている。この種の記憶装置は、低消費（特に待機時）、大容量、小型であることが必要である。さらに、この種の記憶装置は、複数ビットを1つのブロックまたはセクタとしてファイル管理されることが多い。この場合、ハードディスク、フロッピーディスクと同様に一部のビットが不良であることが容認されている。

【0004】

フラッシュメモリは、不揮発性であり、電氣的にデータの書き込みおよび消去ができ、携

50

帯機器向けに最適である。このため、その生産数は、年々増加している。一般に、フラッシュメモリのメモリセルアレイは、複数のブロック（セクタと称することもある）で構成されている。ブロックは、メモリセルに記憶されたデータを一括消去するための最小単位である。また、ブロックは、複数のページで構成されている。

【0005】

図27は、フラッシュメモリに書き込まれたデータの一括消去フローを示している。

まず、ステップS201において、ブロック番号を示すカウンタ値がゼロにされる。

次に、ステップS202において、カウンタ値が示すブロックのデータが消去されていることが確認される。データが消去されている場合、制御は、ステップS204に移行する。データが消去されていない場合、制御は、ステップS203に移行する。

10

【0006】

ステップS203において、全ブロックが選択されデータの消去動作が実行される。この後、制御は、再びステップS202に移行する。

ステップS204において、カウンタ値が示すブロック番号が最大であるか確認される。カウンタ値が最大の場合、データの一括消去動作が完了される。カウンタ値が最大でない場合、制御はステップS205に移行する。

【0007】

ステップS205において、カウンタ値が1増加され、カウンタが示すブロック番号が増加する。この後、制御は、再びステップS202に移行する。

そして、上記フローが繰り返されて、チップの一括消去が実行される。

20

従来、フラッシュメモリは、内蔵する全ブロックの動作を保証して出荷されていた。しかし、フラッシュメモリが、上述したようにハードディスク、フロッピーディスクと同様にファイル用途に使用される場合、必ずしも全ブロックが良品である必要はない。このため、所定の数のブロックが不良であることが容認されたフラッシュメモリ（以後、ファイル用途のフラッシュメモリと称する）が出荷されている。ファイル用途のフラッシュメモリは、一般に、高集積に有利なNAND型またはAND型で開発されている。

【0008】

【発明が解決しようとする課題】

ところで、不良ブロック内のメモリセルは、全ビットのデータを確実に消去できない。このため、ファイル用途のフラッシュメモリでは、図27に示したデータの一括消去を実行する場合、ステップS202を処理後、制御が常にステップS203に移行してしまう。すなわち、一括消去動作が完了しないという問題があった。

30

【0009】

また、ファイル用途のフラッシュメモリを購入するユーザは、フラッシュメモリに存在する不良ブロックをテーブル等を作成して自ら管理する必要がある。図28は、不良ブロックテーブルの作成フローを示している。このフローは、フラッシュメモリを搭載したシステムまたはユーザの検査装置により実行される。なお、フラッシュメモリは、良ブロックを全ビット消去して出荷される。

【0010】

まず、ステップS101において、ブロック番号を示すカウンタ値がゼロにされる。

40

次に、ステップS102において、カウンタ値が示すブロック内のページのうち、ページ0、ページ1のデータが消去されているか確認される。ページ0、1のデータがいずれも消去されている場合、このブロックは、良ブロックと判断され、制御は、ステップS104に移行する。ページ0、1のデータが消去されていない場合、このブロックは、不良ブロックと判断され、制御は、ステップS103に移行する。なお、ステップS102において、ブロック内の全ページについてデータが消去されているか確認してもよい。

【0011】

ステップS103において、カウンタ値が不良のブロック番号として不良ブロックテーブルに格納され、制御は、ステップS104に移行する。

ステップS104において、カウンタ値が示すブロック番号が最大であるか確認される。

50

カウンタ値が最大の場合、不良ブロックテーブルの作成が完了される。カウンタ値が最大でない場合、制御はステップS105に移行する。

【0012】

ステップS105において、カウンタ値が1増加され、カウンタが示すブロック番号が増加する。この後、制御は、再びステップS102に移行する。

そして、上述した処理が繰り返され、不良ブロックテーブルが作成される。不良ブロックテーブルの作成は、購入したフラッシュメモリごとに行わなくてはならず、その作業量は膨大であった。

【0013】

さらに、フラッシュメモリを搭載するシステムは、不良ブロックテーブルに基づいて、不良ブロックにアクセスしないように制御する必要があった。

本発明の目的は、不良ブロックを自ら管理できる不揮発性半導体記憶装置を提供することにある。

本発明の別の目的は、不良ブロックの存在が容認される不揮発性半導体記憶装置において、データの消去動作を容易に実行することにある。

【0014】

【課題を解決するための手段】

本発明の不揮発性半導体記憶装置は、電氣的にデータを書き換え可能な複数の不揮発性メモリセルを有する複数のメモリセル部と、記憶部と、アクセス禁止回路とを備えている。記憶部は、正常に動作しないメモリセル部の不良情報を記憶する。アクセス禁止回路は、記憶部の不良情報に基づいて、装置内部でメモリセル部の良否を判断する。その結果に応じて正常に動作しないメモリセル部へのアクセスが禁止される。正常に動作しないメモリセル部の情報を、本装置が自ら管理できるため、本装置を使用するユーザは、不良のメモリセル部を管理しなくてよい。この結果、使い勝手が向上し、本装置を搭載するシステムのコストが低減される。

【0015】

本発明の不揮発性半導体記憶装置では、記憶部は、不揮発性の要素により形成されている。このため、電源のオン、オフに関係なく、正常に動作しないメモリセル部の不良情報が装置内に保持される。例えば、ウエハでの本装置のプローブ試験後またはパッケージでの選別試験後に、これ等試験結果を用いて記憶部に不良情報を記憶させることができる。すなわち、不良情報が本装置の出荷前に記憶部に記憶される。この結果、本装置を使用するユーザは、不良テーブル等を作成する必要がなくなり、使い勝手が大幅に向上する。

【0017】

本発明の不揮発性半導体記憶装置は、出力制御回路を備えている。出力制御回路は、動作しないメモリセル部にアクセスされたときに、不良情報を外部に出力する。本装置を搭載するシステムは、特別な管理テーブル等を用意しなくても、不良情報を容易に得ることができる。すなわち、上記不良アクセスが発生し、メモリセル部の動作が禁止されたことが容易に検出される。

【0018】

本発明の不揮発性半導体記憶装置では、動作しないメモリセル部にアクセスされたときに、不良情報が外部からの要求に応じて出力される。このため、本装置を搭載するシステムは、特別な管理テーブル等を用意しなくても、不良情報を容易に得ることができる。また、システムは、このシステム側の制御タイミングで不良情報を得ることができる。

【0019】

本発明の不揮発性半導体記憶装置では、外部からの不良情報の要求は、コマンド入力により行われる。このため、本装置を搭載するシステムは、ハードウェアを変更することなく、他のコマンドと同様な制御で不良情報を得ることができる。

本発明の不揮発性半導体記憶装置では、正常に動作しないメモリセル部への消去動作が発生したときに、装置内の回路は、当メモリセル部におけるデータの消去確認をスキップする。このため、従来のように、正常に動作しないメモリセル部の消去動作がいつまでも

10

20

30

40

50

完了しないことはない。特に、複数のメモリセル部を消去する一括消去の処理時に、この処理が異常終了することが防止される。

【0022】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。

【0023】

図1は、本発明の不揮発性半導体記憶装置の第1の実施形態を示している。以降の説明では、“アドレス端子ADD”を“アドレス信号ADD”のように、端子を介して供給される信号には、端子名と同じ符号を使用する。また、“アドレス信号ADD”を“ADD信号”、“コマンドラッチイネーブル端子”を“CLE端子”のように、信号名、端子名を略して称する場合がある。末尾に“#”、“B”が付く信号、端子は、負論理を示している。

10

【0024】

この実施形態の不揮発性半導体集積回路は、シリコン基板上に、CMOSプロセス技術を使用して、64メガビットのNAND型フラッシュメモリとして形成されている。このフラッシュメモリは、ハードディスク、フロッピーディスク等と同様に、主にファイル用途として使用される。

フラッシュメモリは、I/O制御回路10、不良ブロック出力回路12、ロジック制御回路14、レディ／ビジー制御回路16、ステータスレジスタ18、アドレスレジスタ20、コマンドレジスタ22、チップ制御回路24、高電圧発生回路26、ローアドレスバッファ28、ローアドレスデコーダ30、コラムアドレスバッファ32、コラムデコーダ34、データレジスタ36、センスアンプ38、およびメモリセルアレイ40を有している。

20

【0025】

I/O制御回路10は、チップの動作に必要な情報を外部から取り込み、チップの状態を外部に出力している。例えば、I/O制御回路10は、I/O端子I/00-I/07を介して受けた、コマンド信号、データ信号、アドレス信号を取り込み、取り込んだ信号を内部回路に出力している。

不良ブロック出力回路12は、不良ブロックフラグ信号BBLKFLGおよびスタンバイ信号PDを受け、フラグ端子FLG#を介して外部に不良ブロックの情報を出力している。

【0026】

ロジック制御回路14は、外部から供給される信号を、チップイネーブル端子CE#、コマンドラッチイネーブル端子CLE、アドレスラッチイネーブル端子ALE、ライトイネーブル端子WE#、リードイネーブル端子RD#、ライトプロテクト端子WP#、スペアエリアイネーブル端子SE#を介して受け、複数の制御信号をチップ制御回路24に出力している。

30

【0027】

レディ／ビジー制御回路16は、ソースが接地され、ドレインがレディ／ビジー端子RY/BY#に接続されたnMOSトランジスタを有している。nMOSトランジスタのゲートは、チップ制御回路24により制御されている。レディ／ビジー制御回路16は、チップがレディ状態であるか、ビジー状態であるかを外部に伝達する機能を有している。

【0028】

ステータスレジスタ18は、チップ制御回路24からの情報を受け、受けた情報をI/O制御回路10に出力している。

40

アドレスレジスタ20は、I/O制御回路10からアドレス信号を受け、受けた信号をローアドレスバッファ28およびコラムデコーダ34に出力している。

コマンドレジスタ22は、I/O制御回路10からのコマンド信号を受け、受けた信号をチップ制御回路24に出力している。

【0029】

チップ制御回路24は、外部から供給される信号に応じてチップ全体を制御し、また、チップの状態の外部への伝達を制御している。チップ制御回路24は、不良ブロック出力回路12にスタンバイ信号PDを出力し、ローアドレスデコーダ30にリセット信号RST、セット信号SET、イネーブル信号ENBを出力している。高電圧発生回路26は、チップ制御回

50

路24からの制御信号を受け、高電圧を発生し、この電圧をローアドレスデコーダ30およびメモリセルアレイ40に供給している。

【0030】

ローアドレスバッファ28は、アドレスレジスタ20からのアドレス信号をローアドレスデコーダ30に伝達している。ローアドレスデコーダ30は、ローアドレスバッファ28からのローアドレス信号をデコードし、所定のワード線WLを活性化する機能を有している。また、ローアドレスデコーダ30は、不良ブロックフラグ信号BBLKFLGを出力している。

【0031】

コラムアドレスバッファ32は、アドレスレジスタ20からのアドレス信号をコラムデコーダ34に伝達している。コラムデコーダ34は、コラムアドレス信号をデコードし、デコードした信号をデータレジスタ36に出力している。

データレジスタ36は、書き込みデータをメモリセルアレイ40に伝達し、また、メモリセルからの読み出しデータをI/O制御回路10に伝達している。センスアンプ38は、データレジスタ36に伝達される読み出しデータを増幅している。メモリセルアレイ40は、電氣的にデータの書き換えが可能な複数の不揮発性のメモリセルを有する複数のメモリセル部（図示せず）を有している。この実施形態では、メモリセル部をブロックと称する。メモリセルのデータの消去は、このブロックを単位として実行される。

【0032】

なお、フラッシュメモリには、外部から電源電圧VCC、I/O端子専用の電源電圧VCCQ、および接地電圧VSSが供給されている。電源電圧VCCQは、I/O制御回路10に供給されている。図2は、ローアドレスデコーダ30の詳細を示している。

ローアドレスデコーダ30は、pMOSトランジスタ42、nMOSトランジスタ44、NOR回路46、および複数のデコード回路48を有している。以下、pMOSトランジスタ、nMOSトランジスタをpMOS、nMOSと称する。

【0033】

pMOS42は、ソースを電源線VCCに接続し、ドレインをノードNODEに接続し、ゲートでイネーブル信号ENBを受けている。nMOS44は、ソースを接地線VSSに接続し、ドレインをノードNODEに接続し、ゲートでENB信号を受けている。ENB信号は、例えば、CE#信号から生成され、チップが活性化されているときLレベルに変化する。

【0034】

NORゲート46は、ノードNODEの電圧およびENB信号を受け、BBLKFLG信号を出力している。ノードNODEは、各デコード回路48に接続されている。

デコード回路48は、消去単位であるブロックを選択する回路である。各デコード回路48には、ローアドレスバッファ28からの複数のアドレス信号ZS（上位アドレス）、XTS（下位アドレス）と、チップ制御回路24からのリセット信号RST、セット信号SETとが供給されている。各デコード回路は、アドレス信号ZS、XTSに応じて、所定のワード線WLを活性化する機能を有している。

【0035】

図3は、デコード回路48の詳細を示している。

デコード回路48は、AND回路50、直列に接続されたnMOS52a、52b、ラッチ回路54、nMOS56、直列に接続されたnMOS58a、58b、ポンプ回路60、およびnMOSからなる複数のワード線ドライバ62を有している。

AND回路50は、複数のアドレス信号ZSを受け、デコードした信号を選択信号XDECSELとして、nMOS52aのゲートに出力している。ここで、AND回路50に供給されるアドレス信号ZSの論理は、デコード回路48毎に決められている。

【0036】

nMOS52aは、ドレインをノードNODEに接続し、ゲートでXDECSEL信号を受けている。nMOS52bは、ソースを接地線VSSに接続し、ゲートをノードNDAに接続している

nMOS56aは、ソースを接地線VSSに接続し、ドレインをノードNDAに接続し、ゲートでRS

10

20

30

40

50

T信号を受けている。nMOS 58 aは、ドレインをノードNDBに接続し、ゲートでXDECSEL信号を受けている。nMOS 58 bは、ソースを接地線VSSに接続し、ゲートでSET信号を受けている。

【0037】

ラッチ回路54は、2つのインバータの入力と出力とを互いに接続して構成されている。そして、ノードNDAとノードNDBとに、相補の不良ブロック情報が保持されている。すなわち、この実施形態のフラッシュメモリは、従来と異なり、ブロックの不良情報（以下、不良ブロック情報と称する）を自ら電氣的に保持する記憶部を備えている。

【0038】

ポンプ回路60は、XDECSEL信号の活性化時に、ワード線ドライバ62のnMOSのゲートに高電圧の信号PASSVOLTを供給する回路である。 10

ワード線ドライバ62は、XDECSEL信号の活性化時に、アドレス信号XTSに応じてワード線WLを選択する回路である。

【0039】

図4は、不良ブロック出力回路12の詳細を示している。

不良ブロック出力回路12は、インバータ12 a、NORゲート12 b、およびnMOSトランジスタ12 cで構成されている。NORゲート12 bは、PD信号およびインバータ12 aを介してBBLKFLG信号の反転信号を受けている。nMOSトランジスタ12 cのゲートは、NORゲート12 bの出力により制御されている。不良ブロック出力回路12は、PD信号がLレベル、かつBBLKFLG信号がHレベルのときに、nMOSトランジスタ12 cをオンし、FLG端子にLレベルを出力する回路である。すなわち、不良ブロック出力回路12は、不良ブロック情報を外部に出力する出力制御回路として動作する。不良ブロック出力回路12は、オープンドレイン型であるため、FLG端子は、フラッシュメモリを搭載するシステム基板上で、例えばプルアップされる。 20

【0040】

次に、この実施形態のフラッシュメモリの動作について説明する。

図5は、予め、作成された不良ブロックテーブルに基づいて、ラッチ回路54に不良ブロック情報を書き込むタイミングを示している。この例では、ブロック0とブロックnが、正常に動作しない不良ブロックである場合について説明する。

まず、従来と同様のタイミングで、コマンドが入力される。すなわち、CLE信号が活性化（Hレベル）され、I/O端子を介して不良ブロック書き込みコマンドBCOMが供給される（図5(a)）。BCOMコマンドは、WEB信号の立ち上がりエッジに同期して取り込まれる。図1に示したチップ制御回路24は、BCOMコマンドの取り込みに同期して、HパルスのRST信号を出力する（図5(b)）。なお、RST信号は、例えば、電源立ち上げ後の最初のBCOMコマンドの供給にのみ活性化される。 30

【0041】

図3に示したデコード回路48のnMOS 56 aは、RST信号を受けてオンし、ノードNDAをLレベルに変化させ、ノードNDBをHレベルに変化させる（図5(c)）。すなわち、RST信号により、全てのデコード回路48のラッチ回路54がリセットされる。なお、ノードNDAのLレベルは、このデコード回路48が制御するブロックが良ブロックであることを示す。 40

【0042】

次に、ALE信号が活性化（Hレベル）され、不良ブロックであるブロック0のアドレス情報(ADD)が、I/O端子を介して2回に分けて供給される（図5(d)）。各アドレス情報は、WEB信号の立ち上がりエッジに同期して取り込まれる。アドレス情報の供給後、さらに、ダミーのWEB信号が活性化される（図5(e)）。

ブロック0に対応するデコード回路48（図3）は、AND回路50でアドレス信号ZSを受け、XDECSEL信号を活性化（Hレベル）にする（図5(f)）。nMOS 58 aは、XDECSEL信号を受けてオンする。また、チップ制御回路24は、ダミーのWEB信号に活性化に同期して、SET信号を活性化（Hレベル）する（図5(g)）。nMOS 58 bは、SET信号を受けてオン 50

する。この結果、ノードNDBは、Lレベルに変化し、ノードNDAはHレベルに変化する（図5(h)）。すなわち、ブロック0に対応するデコード回路48に不良ブロック情報が書き込まれる。

【0043】

同様に、不良ブロック書き込みコマンドBCOMおよびブロックnのアドレス情報が供給され、ブロックnに対応するデコード回路48に不良ブロック情報が書き込まれる。

図6は、不良ブロック情報が書き込まれたフラッシュメモリにおける良ブロックの読み出し動作タイミングを示している。

【0044】

まず、従来と同様のタイミングで、コマンドが入力される。すなわち、CLE信号が活性化され、I/O端子を介して読み出しコマンドRCOMが供給される（図6(a)）。

次に、ALE信号が活性化され、読み出しアドレス情報(ADD)が、I/O端子を介して3回に分けて供給される（図6(b)）。読み出しアドレス情報に対応するブロックのデコード回路48は、アドレス信号ZSを受けXDECSEL信号を活性化する。nMOS52aは、XDECSEL信号を受けてオンする。ここで、ノードNDAがLレベルの場合（良ブロック）、nMOS52bはオフしている。このため、ノードNODEのレベルは、図2に示したpMOS42およびnMOS44により決定される。ENB信号は、チップの活性化時にLレベルに変化しているため、pMOS42がオン、nMOS44はオフする。pMOS42のオンにより、ノードNODEはHレベルに変化する（図6(c)）。

【0045】

NOR回路46は、ノードNODEのHレベルを受け、LレベルのBBLKFLG信号を出力する（図6(d)）。

図4に示した不良ブロック出力回路12は、PD信号のLレベルおよびBBLKFLG信号のLレベルを受け、nMOS12cをオフする。したがって、FLG#端子は、高インピーダンス状態Hi-Zを保持する（図6(e)）。なお、nMOS12cは、パワーダウンモード時に、PD信号がHレベルに変化することでもオフする。

【0046】

この後、チップ内部で読み出し動作が開始されると、RY/BY#信号がLレベルになり、チップがビジー状態であることが外部に示される。

図7は、不良ブロック情報が書き込まれたフラッシュメモリにおける不良ブロックの読み出し動作タイミングを示している。

まず、図6と同じタイミングで、読み出しコマンドRCOMおよび読み出しアドレス情報(ADD)が供給される（図7(a),(b)）。

【0047】

読み出しアドレス情報に対応するブロックのデコード回路48は、アドレス信号ZSを受けXDECSEL信号を活性化する。nMOS52aは、XDECSEL信号を受けてオンする。ここで、ノードNDAがHレベルの場合（不良ブロック）、nMOS52bはオンしている。このため、ノードNODEのレベルは、Lレベルに変化する（図7(c)）。ここで、図2に示したpMOS42がオンするが、nMOS52a、52bは、pMOS42より駆動能力が高いため、ノードNODEはHレベルにならない。

【0048】

NOR回路46は、ノードNODEのLレベルおよびENB信号のLレベルを受け、HレベルのBBLKFLG信号を出力する（図7(d)）。

図4に示した不良ブロック出力回路12は、PD信号のLレベルおよびBBLKFLG信号のHレベルを受け、nMOS12cをオンする。したがって、FLG#端子のレベルはLレベルに変化する（図6(e)）。

【0049】

また、図1に示したロジック制御回路14は、HレベルのBBLKFLG信号を受け、内部動作を停止する。この結果、不良ブロックに対する読み出し動作の実行が禁止される。すなわち、ローアドレスデコーダ30およびロジック制御部14は、不良ブロックへのアクセス

10

20

30

40

50

を禁止するアクセス禁止回路として動作する。読み出し動作が開始されないため、RY/BY#信号がHレベルを保持し、チップがレディ状態であることを外部が示される。

【0050】

図8は、フラッシュメモリに書き込まれたデータの一括消去フローを示している。

まず、ステップS1において、ブロック番号を示すカウンタ値がゼロにされる。

次に、ステップS2において、カウンタ値が示すブロックが良ブロックかどうか確認される。良ブロックは、FLG#端子の高インピーダンス状態により確認される。良ブロックの場合、制御は、ステップS3に移行する。不良ブロックの場合（FLG#端子="L"）、制御は、ステップS3を飛び越しステップS5に移行する。

【0051】

ステップS3において、カウンタ値が示す良ブロックのデータが消去されていることが確認される。データが消去されている場合、制御は、ステップS5に移行する。データが消去されていない場合、制御は、ステップS4に移行する。

ステップS4において、全ブロックが選択されデータの消去動作が実行される。この後、制御は、再びステップS3に移行する。

【0052】

ステップS5において、カウンタ値が示すブロック番号が最大であるか確認される。カウンタ値が最大の場合、一括消去動作が完了される。カウンタ値が最大でない場合、制御はステップS6に移行する。

ステップS6において、カウンタ値が1増加され、カウンタが示すブロック番号が増加する。この後、制御は、再びステップS2に移行する。

【0053】

このように、不良ブロックについては、データの消去を確認しないことで、ステップS3、S4が繰り返し実行されることが防止される。

以上、本実施形態の不揮発性半導体記憶装置では、ローアドレスをデコードするデコード回路48内のラッチ回路54に、そのブロックの不良ブロック情報を記憶することができる。また、この不良ブロック情報に基づいて、ロジック制御回路14を制御し、内部動作を停止した。このため、フラッシュメモリを使用するユーザは、不良ブロックテーブルを作成しなくてよい。この結果、ファイル用途のフラッシュメモリの使い勝手を向上できる。フラッシュメモリを搭載するシステムのコストを低減できる。

【0054】

また、不良ブロックがアクセスされたことを外部に出力する不良ブロック出力回路12およびフラグ端子FLG#を備えた。このため、フラッシュメモリを搭載するシステムは、特別な管理テーブル等を用意しなくても、不良ブロック情報を容易に得ることができる。すなわち、不良ブロックへのアクセスが発生し、読み出し動作等が禁止されたことを容易に検出できる。

【0055】

図9は、本発明の不揮発性半導体記憶装置の第2の実施形態を示している。なお、第1の実施形態と同一の回路については、同一の符号を付し、これ等回路については、詳細な説明を省略する。

この実施形態では、ローアドレスデコーダ66、データレジスタ68、およびメモリセルアレイ70が、第1の実施形態と相違している。BBLKFLG信号は、データレジスタ68から出力されている。その他の構成は、第1の実施形態と同一である。

【0056】

図10は、メモリセルアレイ70の詳細を示している。

メモリセルアレイ70は、複数のブロックBLKで構成されている。各ブロックBLKは、複数のNAND型のメモリセル列70aを有している。メモリセル列70aは、選択トランジスタの間に、複数のメモリセルを直列に接続して構成されている。メモリセルは、従来と同様に、制御ゲートおよび浮遊ゲートを有している。各メモリセルの制御ゲートには、ワード線WLがそれぞれ接続されている。選択トランジスタのゲートには、選択線SGがそれぞれ接

10

20

30

40

50

続されている。

【0057】

また、図中、一番右側のメモリセル列70aは、不良ブロック情報の記憶用セルとして使用される。その他のメモリセル列70aは、データの記憶用に使用される。メモリセル列70aの両端は、ビット線BL、BBLおよび制御線ARVSSにそれぞれ接続されている。ここで、ビット線BBLは、不良ブロック情報をデータレジスタに伝達するための信号線である。

【0058】

メモリセルの書き込み動作は、書き込むメモリセルに対応するワード線WLに高電圧（例えば18V）を供給し、ビット線BL（またはBBL）に0Vを供給し、チャネルから浮遊ゲートに電子を注入することで実行される。

メモリセルの読み出し動作は、読み出すメモリセルに対応するワード線WLに低電圧（例えば0V）を供給し、それ以外のワード線WLおよび選択線SGに高レベル（例えば4V）を供給し、制御線ARVSSに低電圧（例えば0V）を供給することで実行される。浮遊ゲートに電子が蓄積されているとき（書き込み状態）には、読み出すメモリセルにチャネルが形成されず、制御線ARVSSの電圧は、ビット線BLに伝達されない。浮遊ゲートに電子が蓄積されていないとき（消去状態）には、読み出すメモリセルにチャネルが形成され、制御線ARVSSの電圧がビット線BLに伝達される。

【0059】

メモリセルの消去動作は、消去するメモリセルの制御ゲートに低電圧（例えば0V）を供給し、メモリセルのウエル領域に高電圧（例えば20V）を供給し、浮遊ゲートに蓄積されている電子を放出することで行う。このとき、消去しないメモリセルの制御ゲートは、例えば、フローティング状態にされる。

図11は、データレジスタ68の詳細を示している。

【0060】

データレジスタ68は、複数のページバッファ72、1つのページバッファ74、書き込み動作の状態および消去動作の状態を検出するための複数のトランジスタ、論理ゲートを有している。ページバッファ72には、ビット線BL、出力データバス線OBUS、書き込みベリファイノードPVND、消去ベリファイノードEVNDが、それぞれ接続されている。ページバッファ74には、ビット線BBLおよび不良ブロックフラグ信号BBLKFLGBが接続されている。ページバッファ74は、不良ブロックの情報を伝達するために使用される。

【0061】

pMOS68aは、消去ベリファイ用の制御信号EVBのLレベル時にオンし、ノードEVNDに電源電圧VCCを供給する。pMOS68bは、書き込みベリファイ用の制御信号PVBのLレベル時にオンし、ノードPVNDに電源電圧VCCを供給する。

ORゲート68cは、EVB信号およびノードEVNDの電圧を受け、その出力をNORゲート68eの入力に接続している。ORゲート68dは、PVB信号およびノードPVNDの電圧を受け、その出力をNORゲート68eの入力に接続している。NANDゲート68gは、ORゲート68cのHレベル時（消去動作の完了）、ORゲート68dのHレベル時（書き込み動作の完了）、およびBBLKFLGB信号のLレベル時（不良ブロックのアクセス）に、Hレベルのベリファイパス信号VERPASSを出力している。VERPASS信号は、チップ制御回路24に出力されている。NORゲート68fは、読み出し不良ブロック信号RDBBLKBおよびBBLKFLGB信号がともにLレベルのとき、HレベルのBBLKFLG信号を出力している。

【0062】

図12は、ページバッファ72の詳細を示している。

ページバッファ72は、出力回路76、ラッチ回路78、および複数の制御用トランジスタを有している。これ等制御用トランジスタを制御する信号は、図9に示したチップ制御回路24から出力される。出力回路76は、クロックドインバータ76a、およびnMOSで形成された伝達ゲート76b、76cで構成されている。クロックドインバータ76aは、読み込み信号LDおよび読み出し信号RDにより制御されている。伝達ゲート76bは、制御信号YD1により制御され、ラッチ回路78に保持されているデータをクロックドインバ

10

20

30

40

50

ータ76aを介して出力データバス線OBUSに出力している。伝達ゲート76cは、読み込み信号LDにより制御され、出力データバス線OBUSのデータをラッチ回路78に伝達している。

【0063】

ラッチ回路78は、図3に示したラッチ回路54と同一の回路である。ラッチ回路78は、ノードNDA2、ノードNDB2に消去ベリファイ情報または書き込みベリファイ情報を保持している。ノードNDA2がHレベルのときにnMOS72aはオンし、ノードEVNDはLレベルに変化する。ノードNDB2がHレベルのときにnMOS72bはオンし、ノードPVNDはLレベルに変化する。

【0064】

ノードNDB2は、直列に接続されたnMOS72c、72dを介して接地線VSSに接続されている。nMOS72cのゲートは、ノードSNSに接続され、nMOS72dのゲートは、SET信号を受けている。

nMOS72eは、書き込み信号PGMONのHレベル時に、ノードNDA2、SNSを相互に接続している。nMOS72fは、ディスチャージ信号DISのHレベル時に、ノードSNSをLレベルにしている。nMOS72gは、ビット線制御信号BLCNTRLのHレベル時にビット線BLとノードSNSとを接続している。pMOS72hは、バイアス制御信号PBIASのLレベル時に、ノードSNSに電源電圧VCCを供給している。

【0065】

図13は、ページバッファ74の詳細を示している。

ページバッファ74は、出力回路80、ラッチ回路82、および複数の制御用トランジスタを有している。これ等制御用トランジスタを制御する信号は、図9に示したチップ制御回路24から出力される。出力回路80は、図12に示した出力回路76からnMOS76bを除いて構成されている。クロックドインバータ80aは、読み込み信号LDBBLKおよび読み出し信号RDBBLKにより制御されている。伝達ゲート80cは、LDBBLK信号により制御され、BBLKFLGB信号をラッチ回路78に伝達している。

【0066】

ラッチ回路82は、図12に示したラッチ回路78と同一である。ラッチ回路82は、ノードNDA3、NDB3に、相補の不良ブロック情報を保持している。

ノードNDB3は、直列に接続されたnMOS74c、74dを介して接地線VSSに接続されている。nMOS74cのゲートは、ノードBSNSに接続され、nMOS74dのゲートは、SET信号を受けている。

【0067】

nMOS74eは、書き込み信号PGMONBBLKのHレベル時に、ノードNDA3、BSNSを接続している。nMOS74fは、ディスチャージ信号DISBBLKのHレベル時に、ノードBSNSをLレベルにしている。nMOS74gは、ビット線制御信号BLCNTRLのHレベル時にビット線BBLとノードBSNSとを接続している。pMOS74hは、バイアス制御信号PBIASBBLKのLレベル時に、ノードBSNSに電源電圧VCCを供給している。

【0068】

次に、この実施形態のフラッシュメモリの動作について説明する。

なお、フラッシュメモリは、予め、不良ブロック内の不良ブロック情報の記憶用セルが全て書き込み状態にされ、良ブロック内の不良ブロック情報の記憶用セルが全て消去状態にされる。本実施形態では、不良ブロック情報を不揮発性のメモリセルで保持している。このため、不良ブロック情報の記憶用セルの書き込み動作、消去動作は、従来と異なり、フラッシュメモリを製造するメーカー側で作成できる。この結果、フラッシュメモリを使用するユーザは、従来の不良ブロックテーブルを作成しなくてもよい。この結果、ユーザの負担が大幅に低減される。

【0069】

図14は、不良ブロックの読み出し動作タイミングを示している。

まず、図6と同じタイミングで、読み出しコマンドRCOMおよび読み出しアドレス情報(ADD

10

20

30

40

50

)が供給される。

この後、DISBBLK信号、PGMONBBLK信号が活性化（Hレベル）され、図13に示したnMOS74f、74eがオンし、ノードBSNS、NDA3がLレベルに変化する（図14(a)）。

【0070】

次に、選択信号SGがHレベルにされ、PBIASBBLK信号が活性化（Lレベル）され、BLCNTRL信号が活性化（Hレベル）される。ノードBSNSには、電源電圧VCCが供給され、同時に、メモリセルアレイ70からビット線BBLを介して不良ブロック情報が伝達される。この例は、不良ブロックの読み出し動作のため、実際には、メモリセルアレイ70のビット線BBLは、フローティング状態にされる。このため、ノードBSNSは、Hレベルに変化する（図14(b)）。

10

【0071】

次に、SET信号が活性化（Hレベル）され、ノードNDB3がLレベルに変化し、NDA3がHレベルに変化する（図14(c)）。

次に、RDBBLK信号が活性化（Hレベル）され、LレベルのBBLKFLGB信号（ノードNDA4の反転データ）が出力される（図14(d)）。

図11に示したNORゲート68fは、LレベルのBBLKFLGB信号およびLレベルのRDBBLKB信号を受けて、HレベルのBBLKFLG信号を出力する（図14(e)）。そして、図9に示した不良ブロック出力回路12は、第1の実施形態と同様にFLG#端子のレベルをLレベルにする（図14(f)）。

【0072】

20

図15は、良ブロックの読み出し動作タイミングを示している。ここでは、図14との相違するタイミングについてのみ説明する。

PBIASBBLK信号が活性化され、BLCNTRL信号が活性化されると、ノードBSNSには、電源電圧VCCが供給される。同時に、メモリセルアレイ70からビット線BBLを介して不良ブロック情報（Lレベル）が伝達される。このため、ノードBSNSは、Lレベルに変化する（図15(a)）。

【0073】

次に、SET信号が活性化される。このとき、図13に示したnMOS74cは、オフしているため、ノードNDB3、NDA3のレベルは変化しない。（図15(b)）。

次に、RDBBLK信号が活性化され、HレベルのBBLKFLGB信号（ノードNDA4の反転データ）が出力される（図15(c)）。すなわち、BBLKFLGB信号のレベルは、変化しない。この結果、BBLKFLG信号はLレベルに保持され、FLG#端子は高インピーダンス状態に保持される（図15(d)）。

30

【0074】

図16は、不良ブロックの消去動作タイミングを示している。

まず、図6と同じタイミングで、消去コマンドECOMおよび読み出しアドレス情報(ADD)が供給される。

次に、EVB信号が活性化（Lレベル）される。VERPASS信号は、各ページバッファ72からノードEVNDに伝達されるブロックの消去状態に応じて変化する。この例では消去が不完全なため、所定時間後にVERPASS信号は、Lレベルに変化する（図16(a)）。

40

【0075】

また、図14と同様に、DISBBLK信号、PGMONBBLK信号が活性化され、ノードBSNS、NDA3がLレベルに変化する（図16(b)）。SET信号が活性化（Hレベル）され、ノードNDB3がLレベルに変化し、NDA3がHレベルに変化する（図16(c)）。RDBBLK信号が活性化され、LレベルのBBLKFLGB信号が出力される（図16(d)）。そして、FLG#端子のレベルがLレベルに変化する（図16(e)）。

【0076】

図11に示したNANDゲート68gは、LレベルのBBLKFLGB信号を受けて、VERPASS信号をHレベルにする（図16(f)）。すなわち、データレジスタ68は、不良ブロックの消去動作時に、強制的にVERPASS信号をHレベルにする。チップ制御回路24は、VERPASS信号

50

を受けて、消去動作を強制的に終了する。この結果、RY/BY#端子がレディ状態（Hレベル）になる。フラッシュメモリを搭載するシステムは、レディ状態を受けて、フラッシュメモリに次のコマンドを入力する。

【0077】

例えば、システムは、上記消去動作を繰り返し行うことで、フラッシュメモリのデータを一括消去できる。このとき、不良ブロックの消去動作は、強制的にパスされる。したがって、システムは、図27に示した従来の一括消去フローをそのまま使用できる。

なお、この実施形態では、不良ブロックに対する書き込みの禁止動作は、第1の実施形態と同様にして実行される。さらに、不良ブロック内の実際の不良ページに対応するブロック情報の記憶用セルのみを書き込み状態にすることで、各ページ毎に消去動作を禁止することが

10

【0078】

図17は、良ブロックの消去動作タイミングを示している。良ブロックの場合、BBLKFLGB信号は活性化（Lレベル）されないため、VERPASS信号が強制的にHレベルに変化することはない。すなわち、VERPASS信号は、実際のメモリセルの消去状態に応じて変化する。したがって、この後、消去動作が引き続いて実行される。

【0079】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、不良ブロック情報を不揮発性のメモリセルに記憶した。このため、電源のオン、オフに関係なく、不良ブロック情報をチップ内に保持できる。例えば、ウエハでのプローブ試験後またはパッケージでの選別試験後に、これ等試験結果を用いてメモリセルに不良ブロック情報を記憶させることができる。すなわち、フラッシュメモリの出荷前に、予め不良ブロック情報をチップ内に記憶できる。このため、フラッシュメモリを使用するユーザは、不良ブロックテーブル等を作成する必要がなくなり、使い勝手が大幅に向上する。

20

【0080】

また、不良ブロック情報を記憶するメモリセルを、メモリセルアレイの各ブロックのページ毎に形成した。このため、不良ブロック情報の書き込み、消去を、通常動作と同様に実行できる。この結果、不良ブロック情報を制御する回路を簡易に形成できる。ここで、不良ブロック情報をページ毎に書き込み、消去することで、ページを一単位（メモリセル部）として不良情報を制御できる。

30

【0081】

そして、不良ブロックがアクセスされたときに、強制的にベリファイパス信号VERPASSをパス側に変化させた。このため、フラッシュメモリを搭載するシステムは、消去動作で不良ブロックをアクセスしたときに、実際の消去動作の完了とは無関係にベリファイパスの情報を得ることができる。このため、従来のように、不良ブロックの消去動作がいつまでも完了しないことはない。特に、複数のブロックを消去する一括消去の処理時に、この処理が異常終了（処理が終了しないことによるタイムアウト）することを防止できる。

【0082】

図18は、本発明の不揮発性半導体記憶装置の第3の実施形態を示している。なお、第1および第2の実施形態と同一の回路については、同一の符号を付し、これ等回路については、詳細な説明を省略する。

40

【0083】

この実施形態では、BBLKFLG信号を出力する不良ブロック制御回路86が新たに形成されている。その他の構成は、第1または第2の実施形態と同一である。

図19は、不良ブロック制御回路86の詳細を示している。

不良ブロック制御回路86は、不良ブロックアドレスを記憶する複数の記憶回路88および不良ブロックの判定信号発生回路90を有している。記憶回路88は、そのフラッシュメモリに許容された最大の不良ブロック数と同数形成されている。

【0084】

50

記憶回路 88 は、不良ブロックアドレスを記憶するための記憶部 92、ページバッファ 94、およびアドレス判定回路 96 で構成されている。記憶部 92 は、各ブロックを選択するために必要なローアドレスの本数に対応する複数のメモリセル列 92a を有している。例えば、フラッシュメモリが、1024 個のブロックを有する場合、10 個のメモリセル列 92a が形成される。メモリセル列 92a は、一つの不揮発性のメモリセルの両側に選択トランジスタを接続して構成されている。各メモリセルは、不良ブロックアドレスの 1 ビットをそれぞれ記憶する。各メモリセルの制御ゲートには、ワード線 BWL がそれぞれ接続されている。各選択トランジスタのゲートには、選択線 SG1、SG2 がそれぞれ接続されている。メモリセル列 92a の一端は、ページバッファ 94 に接続され、他端は、制御線 ARVSS にそれぞれ接続されている。

10

【0085】

アドレス判定回路 96 は、ブロックアドレス信号 BADD と各ページバッファ 94 を介して各メモリセルに記憶されたデータとを受け、両者を比較し判定信号 Mn を出力している。判定信号発生回路 90 は、OR 回路で構成されている。OR 回路は、アドレス判定回路 96 からの判定信号 M0-Mn のいずれかが H レベル（不良ブロック）のときに、BBLKFLG 信号を活性化（H レベル）する。

【0086】

図 20 は、ページバッファ 94 およびアドレス判定回路 96 の詳細を示している。

ページバッファ 94 は、メモリセルからのデータをラッチするインバータ 94a、pMOS 94b、nMOS 94c と、ラッチをリセットする nMOS 94d と、ラッチにデータを取り込む pMOS 94e、nMOS 94f とで構成されている。nMOS 94d、pMOS 94e、nMOS 94f は、それぞれ RST 信号、バイアス制御信号 BIAS、BLCNTRL 信号で制御されている。ページバッファ 94 は、nMOS 94f を介してノード SNS2 に伝達されるメモリセルからのデータを増幅し、ラッチする。ラッチされたデータは、ノード SNS2、SNS2B に保持される。

20

【0087】

アドレス判定回路 96 は、各ページバッファ 94 に対応する複数の nMOS 伝達ゲート 96a、ENOR 回路 96b と、AND 回路 96c で構成されている。

ENOR 回路 96b は、インバータ 96d、および CMOS 伝達ゲート 96e、96f で構成されている。ENOR 回路 96b は、ページバッファ 94 からのデータとブロックアドレス信号とをビット毎に比較する。ENOR 回路 96b は、両者が等しいとき、すなわち、ブロックアドレスの 1 ビットが不良ブロックアドレスの 1 ビットと一致するときに出力ノード OUT を H レベルにする。AND 回路 96c は、ブロックアドレスが不良ブロックアドレスと一致するときに、アドレス一致信号 Mn を出力する。

30

【0088】

次に、この実施形態のフラッシュメモリの動作を説明する。

予め、不良ブロックアドレスが、各記憶回路 88 にそれぞれ書き込まれる。具体的には、不良ブロックアドレスの“1”のビットに対応するメモリセルは書き込まれ、“0”に対応するメモリセルは消去される。書き込み動作、消去動作は、第 2 の実施形態と同様に、例えば、フラッシュメモリを製造するメーカ側で実行される。

【0089】

また、フラッシュメモリは、通常動作を開始する前に、不良ブロック制御回路 86 の各ページバッファ 94 にメモリセル列 92a に記憶されている不良ブロック情報をラッチする必要がある。

40

【0090】

図 21 は、一例として、電源の立ち上げ時に不良ブロック情報をラッチするタイミングを示している。

まず、フラッシュメモリを搭載するシステムの電源がオンされ、電源電圧 VCC が上昇する。電源電圧 VCC が所定値に達すると、フラッシュメモリ内の電源監視回路（図示せず）のパワーオンリセット信号 PORST が L レベルに変化する（図 21(a)）。図 18 に示したチップ制御回路 24 は、PORST 信号の L レベルを受け、RST 信号（L パルス）を出力し、BLCNTR

50

L信号を所定の期間Hレベルにする（図21(b)）。

【0091】

ページバッファ94は、RST信号を受けてラッチをリセットする。また、ページバッファ94のnMOS94fは、BLCNTRL信号のHレベルを受けてメモリセル列92aに記憶されているデータをノードSNS2に伝達する。この結果予め書き込まれたメモリセルに対応するノードSNS2のレベルは、Hレベルに保持される（図21(c)）。一方、予め消去されたメモリセルに対応するノードSNS2のレベルは、Lレベルに変化する（図21(d)）。このレベルが、不良ブロック情報として各ページバッファ94にラッチされる。このようにして、記憶回路88内のページバッファ94への不良ブロックアドレスの読み込み動作が完了する。

10

【0092】

この後、通常書き込み動作、読み出し動作、消去動作において、アドレス判定回路96は、ブロックアドレスBADDを不良ブロックアドレスと比較する。両アドレスが一致した場合には、BBLKFLG信号がHレベルに変化し、FLG#端子のレベルがLレベルに変化する。また、ロジック制御回路14は、BBLKFLG信号を受けて内部動作を停止し、不良ブロックに対する動作を禁止する。

【0093】

この実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。さらに、この実施形態では、許容された最大のブロック数と同数の記憶回路88を形成した。このため、不良ブロック情報をブロック毎に記憶する必要がなくなり、チップ面積を低減できる。

20

【0094】

なお、上述した第1の実施形態では、インバータで構成したラッチ回路54に不良ブロック情報を保持した例について述べた。本発明はこれに限定されず、例えば、不揮発性の要素であるヒューズ、不揮発性のメモリセルに不良ブロック情報を保持してもよい。または、揮発性のメモリセルに不良ブロック情報を保持してもよい。

【0095】

図22および図23は、ヒューズを用いてローアドレスデコーダを構成する例を示している。図22において、デコード回路100は、スタンバイ信号PDが供給されていることを除き、第1の実施形態のデコード回路48（図2）と同一である。図23において、ノードNDAは、pMOS100aおよびポリシリコンからなるヒューズ100bの一端に接続されている。ヒューズ100bの他端は、接地線VSSに接続されている。pMOS100aは、PD信号で制御されている。

30

【0096】

この例では、不良ブロックに対応するヒューズ100bが、ウエハでのプローブ検査の結果に応じて溶断される。このように、ローアドレスデコーダにヒューズ100bを形成することで、第2の実施形態と同様に、フラッシュメモリの出荷前に不良ブロック情報を記憶させることができる。ここで、ローアドレスデコーダに不揮発性のメモリセルを形成しても同様の効果が得られる。不揮発性のメモリセルの場合、不良情報の書き換えを容易に行うことができる。

40

【0097】

また、上述した第1ないし第3の実施形態では、不良ブロック情報をFLG#端子を介して外部に伝達した例について述べた。本発明はこれに限定されず、例えば、コマンド入力に対応して不良ブロック情報を外部に出力してもよい。

図24は、不良ブロック情報をI/O端子から出力するための出力回路の例を示している。

【0098】

この出力回路102は、クロックドインバータ102aと、CMOS伝達ゲート102bと、出力バッファ102cとを有している。クロックドインバータ102aは、Hレベルのイネーブル信号ENを受けてBBLKFLG信号の反転信号を出力バッファに出力する。CMOS伝達ゲ

50

ート102bは、Lレベルのイネーブル信号ENを受けて通常の読み出しデータを出力する。そして、出力バッファ102cは、読み出し信号REBの活性化（Lレベル）を受けて、不良ブロック情報または読み出しデータをI/00端子に出力する。

【0099】

図25は、出力回路102を有するフラッシュメモリにおける不良ブロック情報の出力タイミングを示している。

まず、上述と同様に、読み出しコマンドRCOMおよびブロックアドレス(ADD)が供給される。ブロックアドレスに対応するブロックが不良の場合、図2に示したノードNODEがLレベルに変化し、BBLKFLG信号がHレベルに変化する（図25(a)）。

【0100】

この後、CLE信号およびWE#信号に同期して、不良ブロック情報出力コマンドBCOMが供給される（図25(b)）。そして、出力バッファ102cは、読み出しイネーブル信号RE#に同期して活性化され、I/00端子にLレベルを出力する（図25(c)）。

図26は、出力回路102を有するフラッシュメモリにおける不良ブロック情報の出力タイミングの別の例を示している。この例では、出力バッファ102cは、専用端子CONTにHレベルが供給されたときに活性化され、I/00端子に不良ブロック情報を出力する。

【0101】

さらに、上述した第3の実施形態において、不良ブロックがアクセスされたときに、強制的にベリファイパス信号VERPASSをパス側に変化させてもよい。

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0102】

【発明の効果】

本発明の不揮発性半導体記憶装置では、正常に動作しないメモリセル部を自ら管理できる。このため、本装置を使用するユーザは、不良のメモリセル部を管理しなくてよい。この結果、使い勝手が向上し、本装置を搭載するシステムのコストを低減できる。

【0103】

本発明の不揮発性半導体記憶装置では、出荷前に記憶部に不良情報を記憶することができる。この結果、本装置を使用するユーザは、不良テーブル等を作成する必要がなくなり、使い勝手を大幅に向上できる。

【0104】

本発明の不揮発性半導体記憶装置では、本装置を搭載するシステムは、特別な管理テーブル等を用意しなくても、不良情報を容易に得ることができる。不良アクセスが発生し、メモリセル部の動作が禁止されたことを容易に検出できる。

【0105】

本発明の不揮発性半導体記憶装置では、本装置を搭載するシステムは、特別な管理テーブル等を用意しなくても、不良情報を容易に得ることができる。また、システム側の制御タイミングで不良情報を得ることができる。

本発明の不揮発性半導体記憶装置では、本装置を搭載するシステムは、ハードウェアを変更することなく、他のコマンドと同様な制御で不良情報を得ることができる。

【0106】

本発明の不揮発性半導体記憶装置では、正常に動作しないメモリセル部の消去動作がいつまでも完了しないことを防止できる。特に、複数のメモリセル部を消去する一括消去の処理時に、この処理が異常終了することを防止できる。

【図面の簡単な説明】

【図1】第1の実施形態を示すブロック図である。

【図2】図1のローアドレスデコーダの詳細を示す回路図である。

【図3】図2のデコード回路の詳細を示す回路図である。

【図4】図1の不良ブロック出力回路の詳細を示す回路図である。

10

20

30

40

50

【図 5】第 1 の実施形態におけるラッチ回路に不良ブロック情報を書き込む動作を示すタイミング図である。

【図 6】第 1 の実施形態における良ブロックの読み出し動作を示すタイミング図である。

【図 7】第 1 の実施形態における不良ブロックの読み出し動作を示すタイミング図である。

【図 8】第 1 の実施形態におけるフラッシュメモリに書き込まれたデータを一括消去する処理を示すフローチャートである。

【図 9】第 2 の実施形態を示すブロック図である。

【図 10】図 9 のメモリセルアレイの詳細を示す回路図である。

【図 11】図 9 のデータレジスタの詳細を示す回路図である。

10

【図 12】図 11 のページバッファの詳細を示す回路図である。

【図 13】図 11 のページバッファの詳細を示す回路図である。

【図 14】第 2 の実施形態における不良ブロックの読み出し動作を示すタイミング図である。

【図 15】第 2 の実施形態における良ブロックの読み出し動作を示すタイミング図である。

【図 16】第 2 の実施形態における不良ブロックの消去動作を示すタイミング図である。

【図 17】第 2 の実施形態における良ブロックの消去動作を示すタイミング図である。

【図 18】第 3 の実施形態を示すブロック図である。

【図 19】図 18 の不良ブロック制御回路の詳細を示す回路図である。

20

【図 20】図 19 のページバッファおよびアドレス判定回路の詳細を示す回路図である。

【図 21】第 3 の実施形態における電源の立ち上げ時に不良ブロック情報をページバッファにラッチする動作を示すタイミング図である。

【図 22】ローアドレスデコーダの別の例を示す回路図である。

【図 23】デコード回路の別の例を示す回路図である。

【図 24】不良ブロック情報を I/O 端子から出力するための出力回路の例を示す回路図である。

【図 25】不良ブロック情報の出力動作を示すタイミング図である。

【図 26】不良ブロック情報の出力動作を示す別のタイミング図である。

【図 27】フラッシュメモリに書き込まれたデータを一括消去する処理を示すフローチャートである。

30

【図 28】不良ブロックテーブルの作成処理を示すフローチャートである。

【符号の説明】

10 I/O制御回路

12 不良ブロック出力回路

14 ロジック制御回路

16 レディ／ビジー制御回路

18 ステータスレジスタ

20 アドレスレジスタ

22 コマンドレジスタ

40

24 チップ制御回路

26 高電圧発生回路

28 ローアドレスバッファ

30 ローアドレスデコーダ

32 コラムアドレスバッファ

34 コラムデコーダ

36 データレジスタ

38 センسアンプ

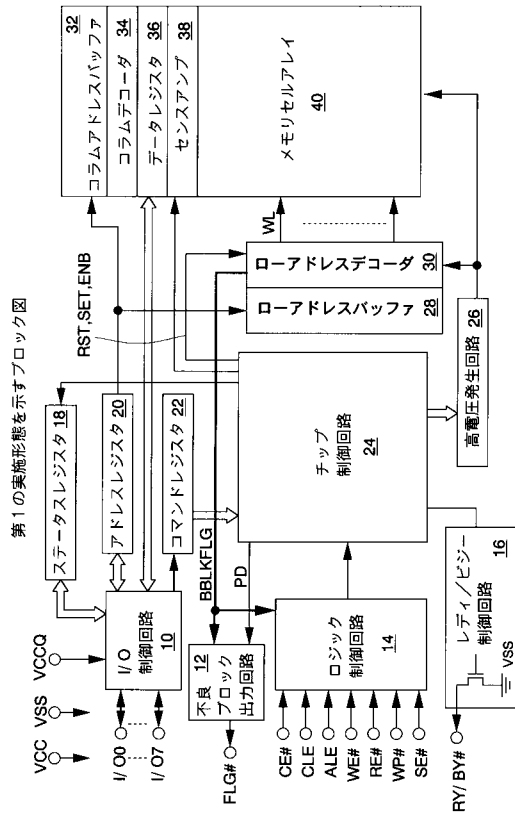
40 メモリセルアレイ

48 デコード回路

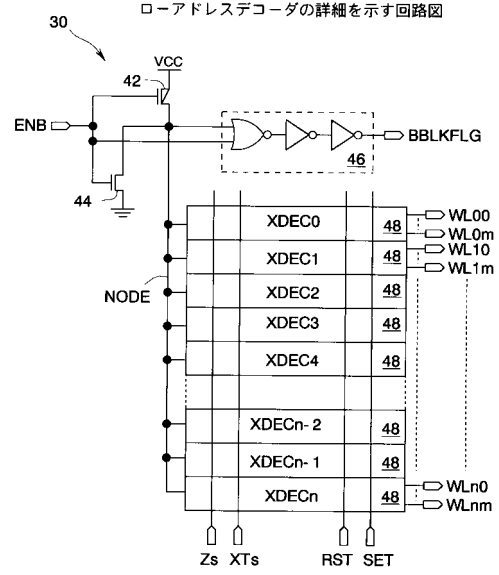
50

5 4	ラッチ回路	
6 0	ポンプ回路	
6 2	ワード線ドライバ	
6 6	ローアドレスデコーダ	
6 8	データレジスタ	
7 0	メモリセルアレイ	
7 0 a	メモリセル列	
7 2、7 4	ページバッファ	
7 6	出力回路	
7 8	ラッチ回路	10
8 0	出力回路	
8 2	ラッチ回路	
8 6	不良ブロック制御回路	
8 8	記憶回路	
9 0	判定信号発生回路	
9 2	記憶部	
9 2 a	メモリセル列	
9 4	ページバッファ	
9 6	アドレス判定回路	
1 0 0	デコード回路	20
1 0 0 b	ヒューズ	
1 0 2	出力回路	
ALE	アドレスラッチイネーブル端子	
CLE	コマンドラッチイネーブル端子	
BBLKFLG	不良ブロックフラグ信号	
BL、BBL	ビット線	
BLK	ブロック	
ENB	イネーブル信号	
FLG#	フラグ端子	
I/00-I/07	I/O端子	30
NDA、NDB	ノード	
NDA2、NDB2	ノード	
NDA3、NDB3	ノード	
NODE	ノード	
PD	スタンバイ信号	
RST	リセット信号	
SET	セット信号	
SG	選択線	
SNS、BSNS	ノード	
VCC、VCCQ	電源電圧	40
VSS	接地電圧	
WL	ワード線	
XDECSEL	選択信号	
ZS、XTS	アドレス信号	

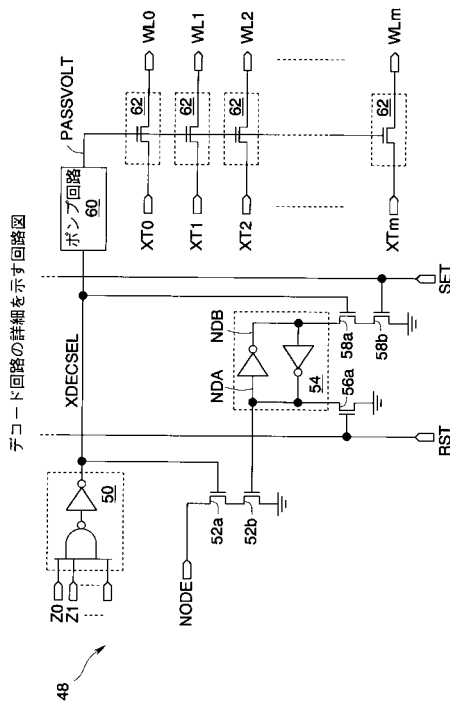
【図 1】



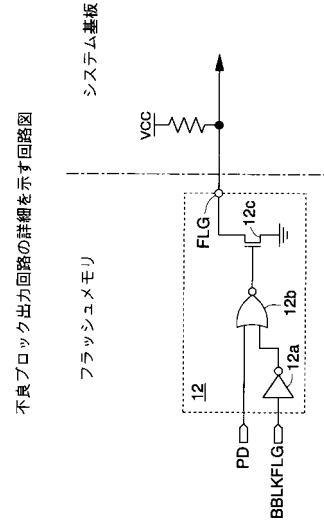
【図 2】



【図 3】

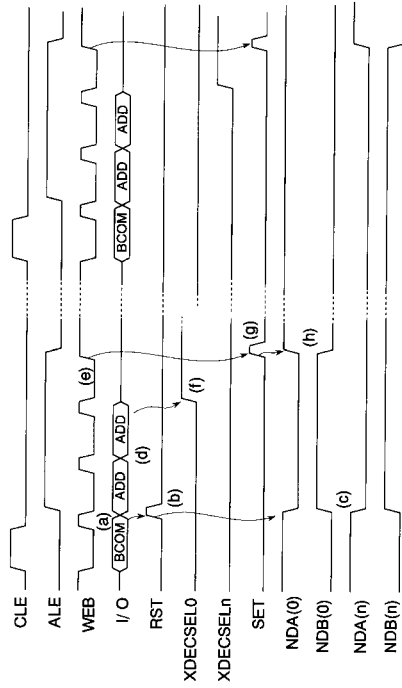


【図 4】



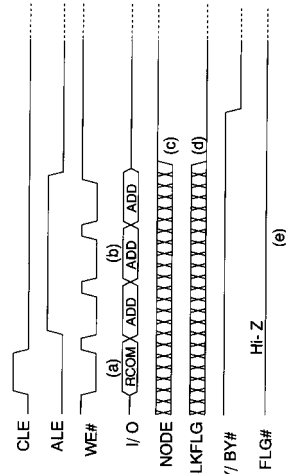
【図 5】

ラッチ回路に不良ブロック情報を書き込む動作を示すタイミング図



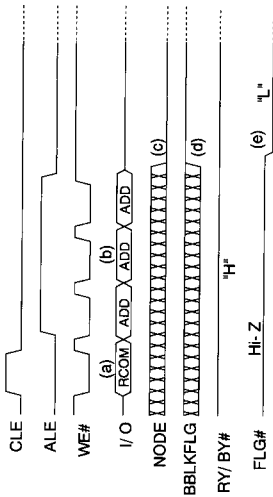
【図 6】

良ブロックの読み出し動作を示すタイミング図



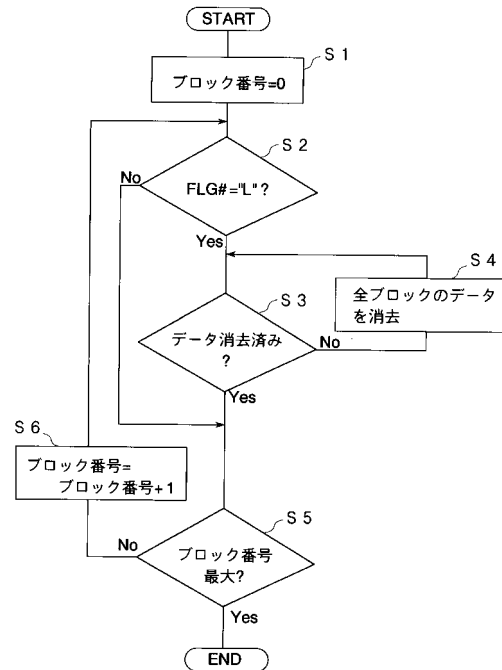
【図 7】

不良ブロックの読み出し動作を示すタイミング図

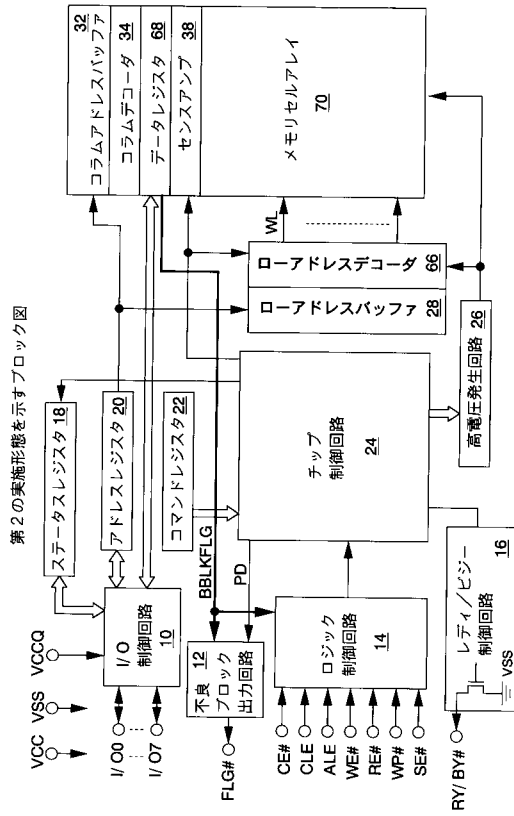


【図 8】

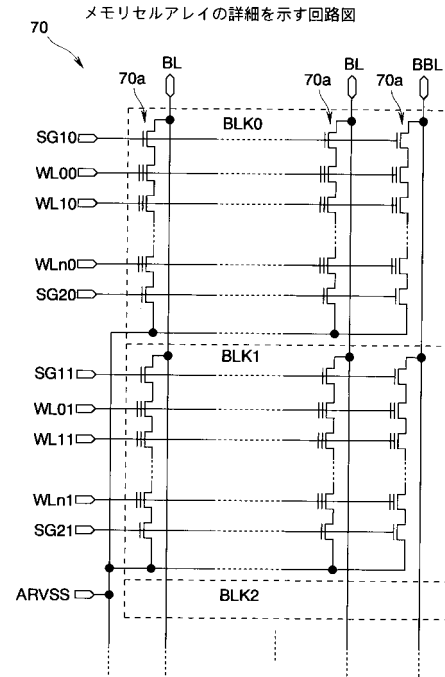
フラッシュメモリに書き込まれたデータを一括消去する処理を示すフローチャート



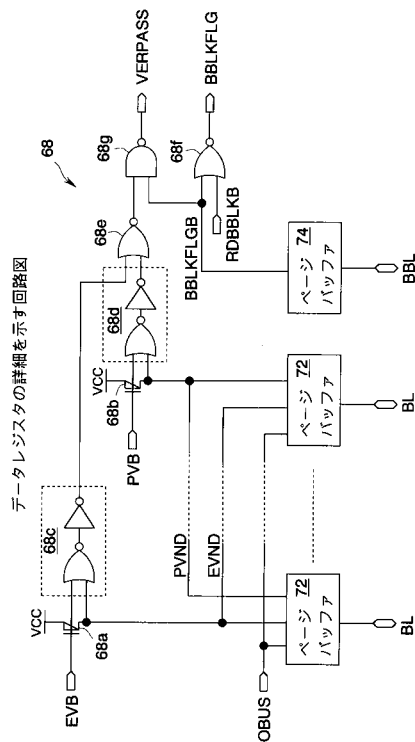
【図 9】



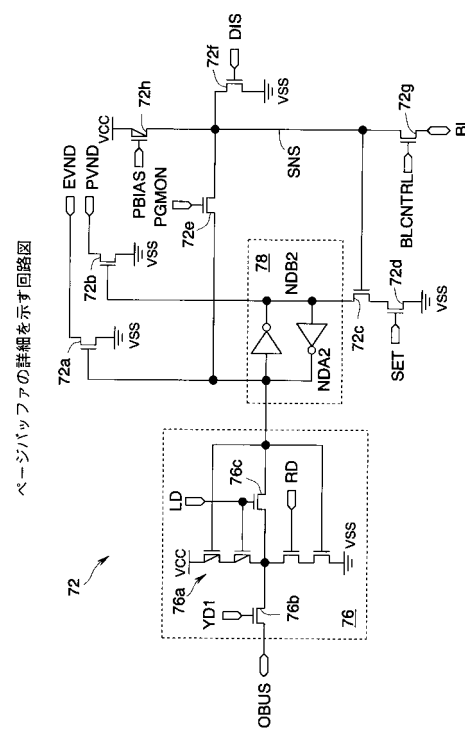
【図 10】



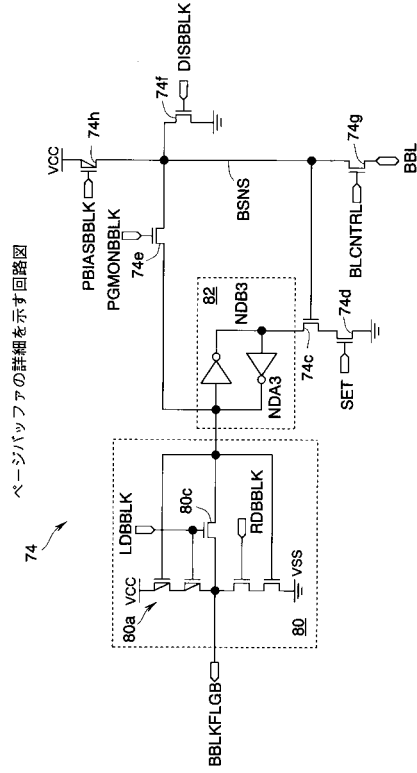
【図 11】



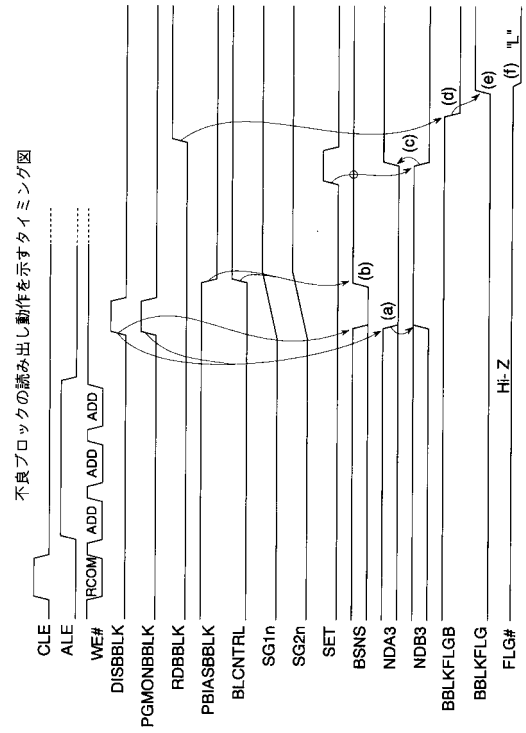
【図 12】



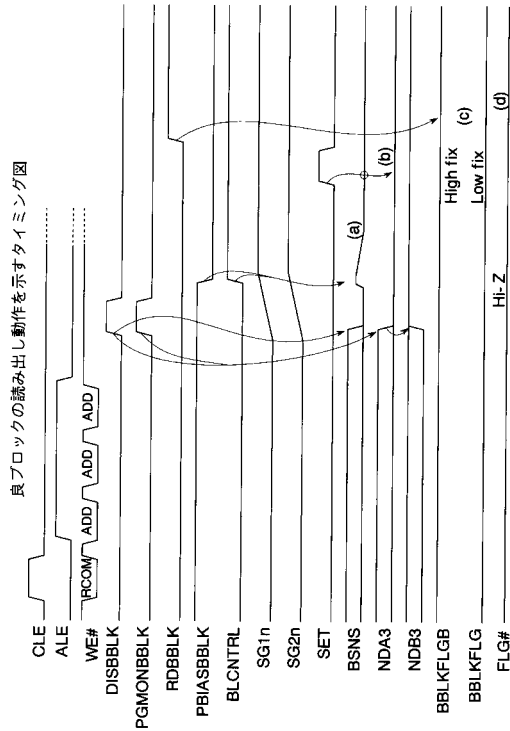
【図 13】



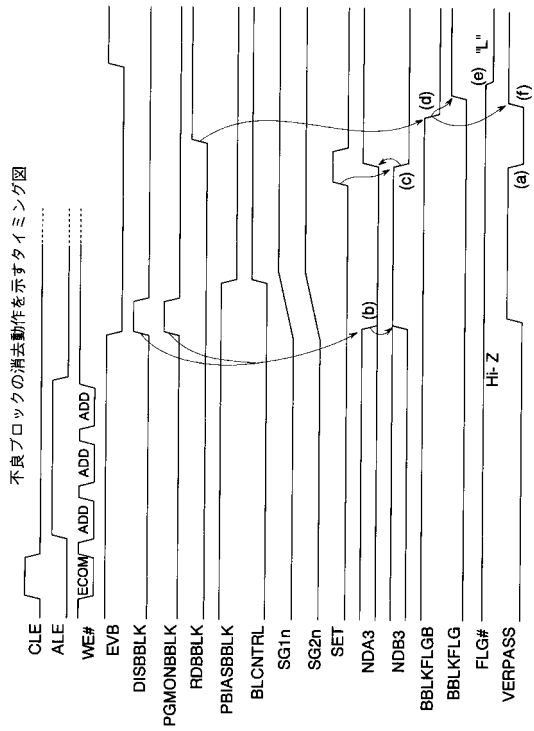
【図 14】



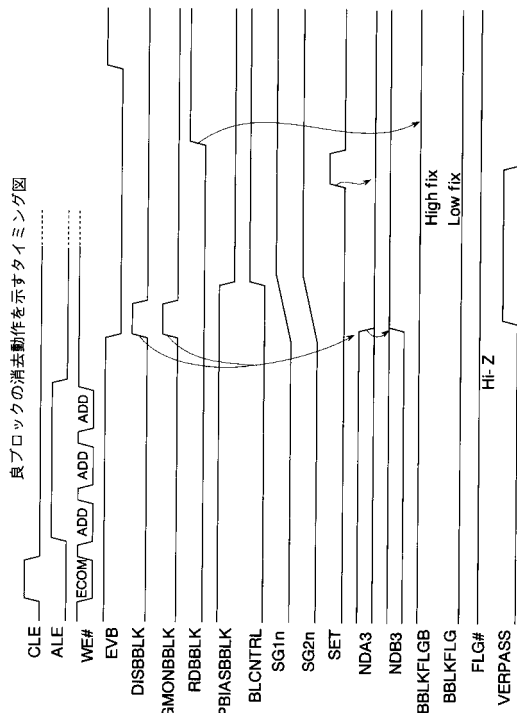
【図 15】



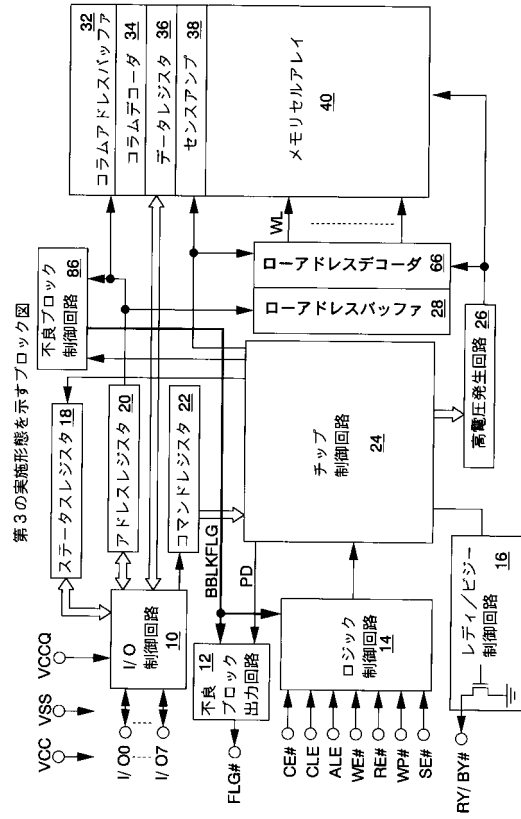
【図 16】



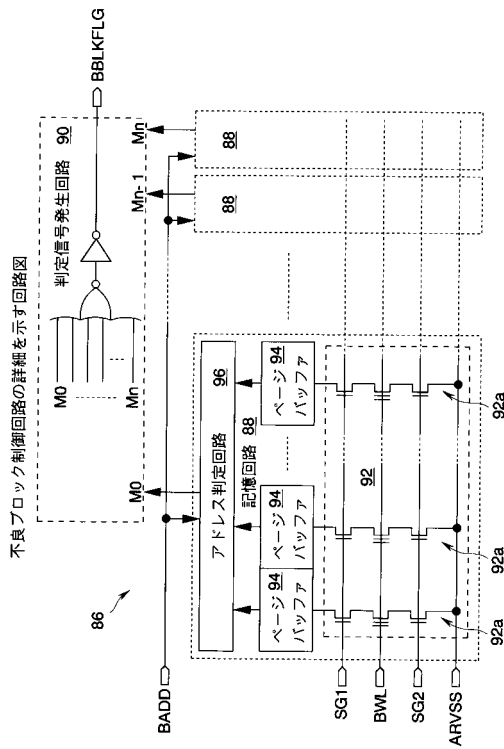
【図 17】



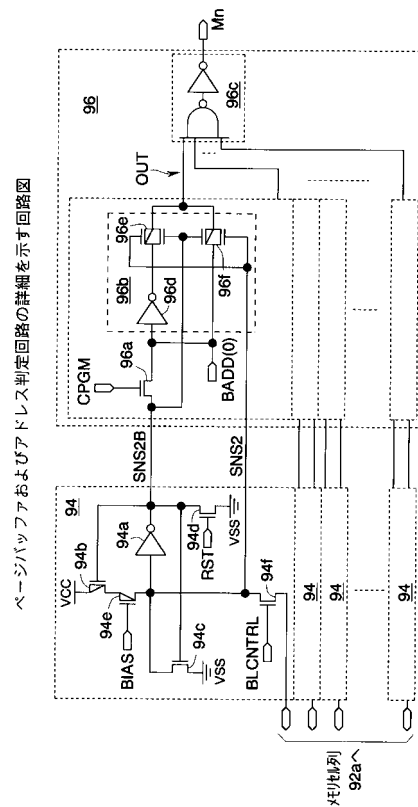
【図 18】



【図 19】

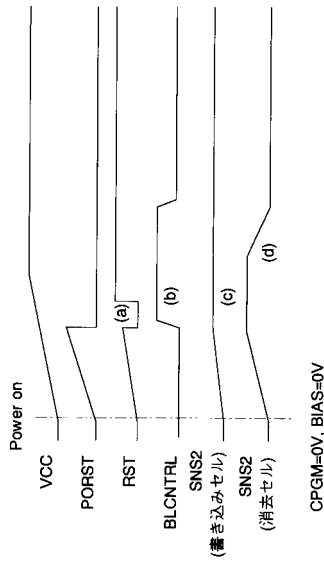


【図 20】

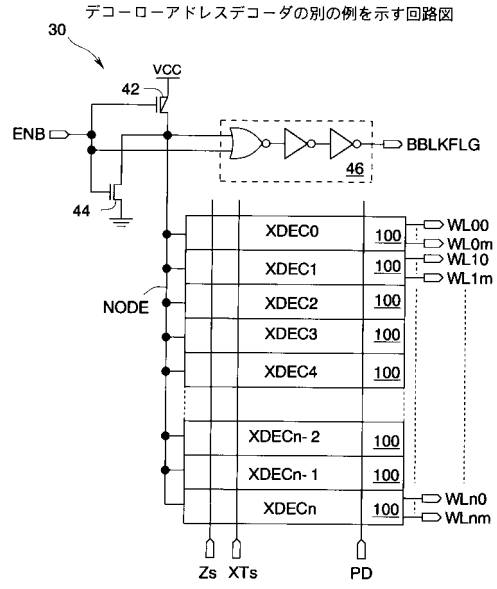


【図 2 1】

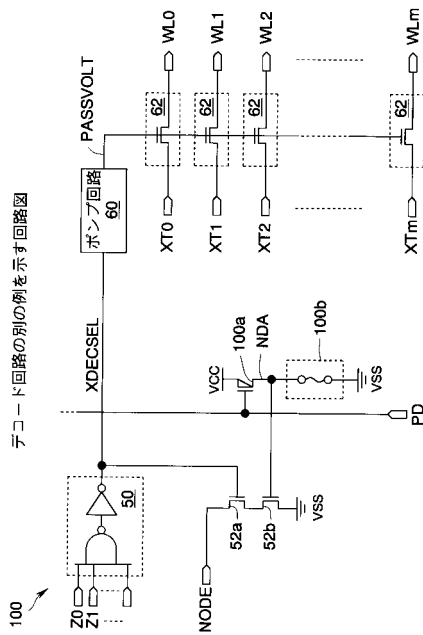
電源の立ち上げ時に不良ブロック情報をページバッファにラッチする動作を示すタイミング図



【図 2 2】

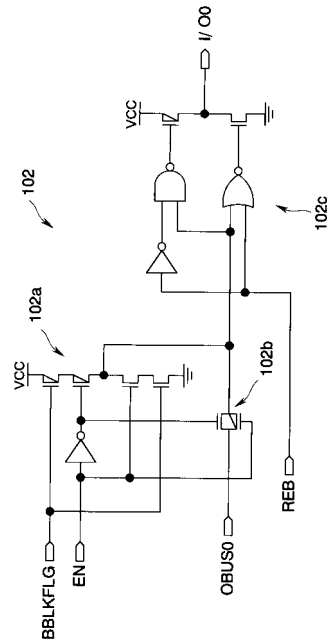


【図 2 3】

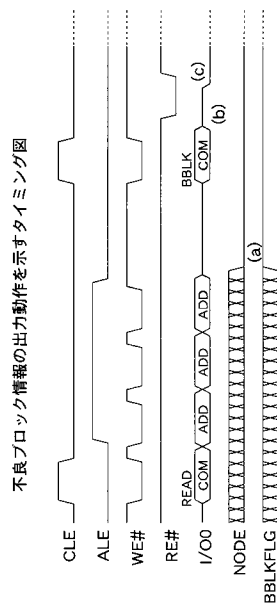


【図 2 4】

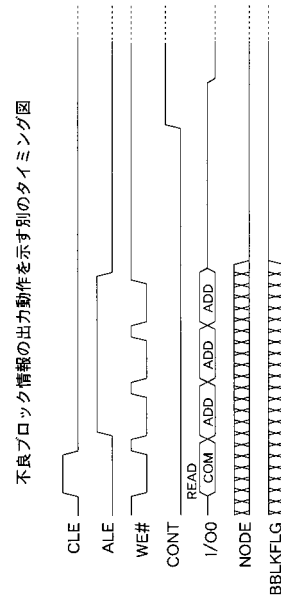
不良ブロック情報をI/O端子から出カするための出力回路の例を示す回路図



【 図 2 5 】

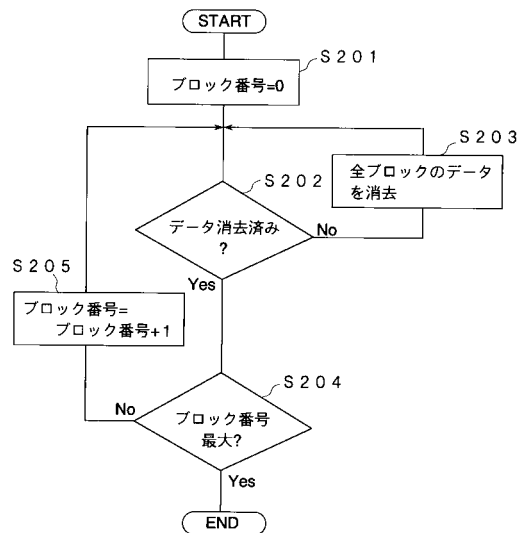


【图 2 6】



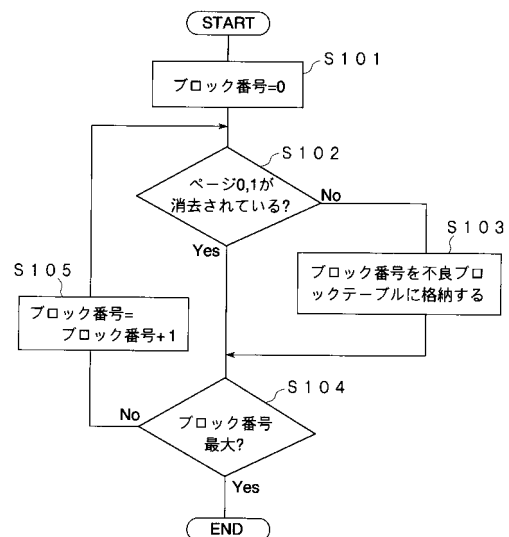
【图 27】

ラッシュメモリに書き込まれたデータを一括消去する処理を示すフローチャート



【図 28】

不良ブロックテーブルの作成処理を示すフローチャート



フロントページの続き

(56)参考文献 国際公開第97/000518 (WO, A1)
特開平11-345174 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/04

G06F 12/16

G11C 16/02

G11C 16/06