

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年2月1日(01.02.2024)



(10) 国際公開番号

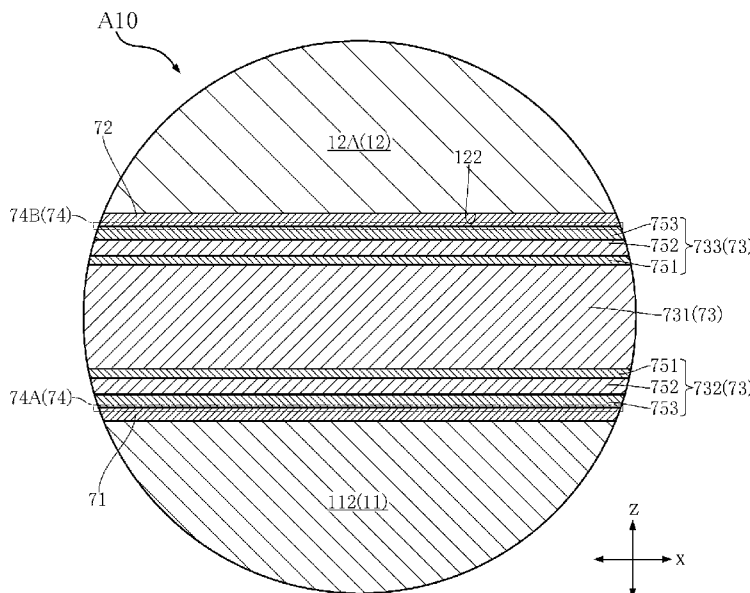
WO 2024/024371 A1

- (51) 国際特許分類:  
*H01L 23/12* (2006.01) *H01L 23/36* (2006.01)
- (21) 国際出願番号: PCT/JP2023/023816
- (22) 国際出願日: 2023年6月27日(27.06.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2022-119652 2022年7月27日(27.07.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院  
溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 佐藤 央至 (SATO Oji); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 谷川 昂平 (TANIKAWA Kohei); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.); 〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.14



(57) Abstract: This semiconductor device comprises a support layer, a conductive layer, a semiconductor element bonded to the conductive layer, a first coating layer, a second coating layer, and a bonding layer. The bonding layer has a base layer, a third coating layer, and a fourth coating layer. A solid phase bonding layer is formed between the first coating layer and the third coating layer, and between the second coating layer and the fourth coating layer. The Vickers hardness of the base layer is lower than the Vickers hardness of each of the support layer and the conductive layer. The third coating



WO 2024/024371 A1

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,  
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,  
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,  
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,  
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

layer and the fourth coating layer each have a first layer, a second layer, and a third layer. The degree of diffusion of the second layer into each of the third layer, the first coating layer, and the second coating layer is greater than the degree of diffusion of the first layer into each of the third layer, the first coating layer, and the second coating layer.

(57) 要約: 半導体装置は、支持層、導電層、前記導電層に接合された半導体素子、第1被覆層、第2被覆層および接合層を備える。前記接合層は、基層、第3被覆層および第4被覆層を有する。前記第1被覆層と前記第3被覆層の間と、前記第2被覆層と前記第4被覆層との間との各々には、固相接合層が形成されている。前記基層のビッカース硬さは、前記支持層および前記導電層の各々のビッカース硬さよりも小さい。前記第3被覆層および前記第4被覆層の各々は、第1層、第2層および第3層を有する。前記第3層、前記第1被覆層および前記第2被覆層の各々への前記第2層の拡散度合いは、前記第3層、前記第1被覆層および前記第2被覆層の各々への前記第1層の拡散度合いよりも大きい。

## 明 細 書

発明の名称：半導体装置

### 技術分野

[0001] 本開示は、半導体装置に関する。

### 背景技術

[0002] 特許文献1には、回路層と、回路層に導電接合された半導体素子とを備える半導体装置の一例が開示されている。回路層は、第1層と、固相接合により第1層に接合された第2層とを含む。第1層は、セラミックス基板に接合されている。本構成をとることにより、第1層が絶縁放熱基板の一要素である場合であっても、第1層と第2層との接合状態を良好なものとしつつ、回路層の全体の厚さをより大きく設定できる。これにより、回路層においては、第1層に対する第2層の積層方向に対して直交する方向への熱が伝導しやすくなるため、回路層からセラミックス基板への熱伝導の効率が向上する。したがって、半導体装置の放熱性の向上を図ることができる。

[0003] ここで、特許文献1に開示されている半導体装置の放熱性をさらに向上させるためには、第1層と第2層との界面における熱伝導の効率を向上させることが求められる。このためには、固相接合に伴う第1層と第2層との界面における金属結合をより強固にすることが必要となる。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2017-174927号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] 本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記事情に鑑み、支持層と導電層との接合状態をより強固にすることによって、装置の放熱性の向上を図ることが可能な半導体装置を提供することをその一の課題とする。

## 課題を解決するための手段

[0006] 本開示の一の側面によって提供される半導体装置は、支持層と、前記支持層に接合された導電層と、前記導電層を基準として前記支持層とは反対側に位置し、かつ前記導電層に接合された半導体素子と、前記支持層と前記導電層との間に位置し、かつ前記支持層を覆う第1被覆層と、前記第1被覆層と前記導電層との間に位置し、かつ前記導電層を覆う第2被覆層と、前記第1被覆層と前記第2被覆層とを接合する接合層と、を備える。前記接合層は、基層と、前記基層と前記第1被覆層との間に位置する第3被覆層と、前記基層と前記第2被覆層との間に位置する第4被覆層と、を有する。前記第1被覆層と前記第3被覆層との間と、前記第2被覆層と前記第4被覆層との間と、の各々には、固相接合層が形成されている。前記基層のビッカース硬さは、前記支持層および前記導電層の各々のビッカース硬さよりも小さい。前記第3被覆層および前記第4被覆層の各々は、前記基層を覆う第1層と、前記第1層を覆う第2層と、前記第2層を覆う第3層と、を有する。前記第3層、前記第1被覆層および前記第2被覆層の各々への前記第2層の拡散度合いは、前記第3層、前記第1被覆層および前記第2被覆層の各々への前記第1層の拡散度合いよりも大きい。

## 発明の効果

[0007] 上記構成によれば、支持層と導電層との接合状態がより強固になるため、当該半導体装置の放熱性の向上を図ることが可能となる。

[0008] 本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなろう。

## 図面の簡単な説明

[0009] [図1]図1は、本開示の第1実施形態にかかる半導体装置の斜視図である。

[図2]図2は、図1に示す半導体装置の平面図である。

[図3]図3は、図2に対応する平面図であり、封止樹脂を透過している。

[図4]図4は、図3の部分拡大図である。

[図5]図5は、図2に対応する平面図であり、第1導通部材を透過し、かつ封

止樹脂および第2導通部材の図示を省略している。

[図6]図6は、図1に示す半導体装置の右側面図である。

[図7]図7は、図1に示す半導体装置の底面図である。

[図8]図8は、図3のV | | | - V | | |線に沿う断面図である。

[図9]図9は、図3の | X - | X線に沿う断面図である。

[図10]図10は、図9に示す第1素子およびその周辺の部分拡大図である。

[図11]図11は、図9に示す第2素子およびその周辺の部分拡大図である。

[図12]図12は、図3のX | | - X | |線に沿う断面図である。

[図13]図13は、図3のX | | | - X | | |線に沿う断面図である。

[図14]図14は、図10の部分拡大図である。

[図15]図15は、本開示の第2実施形態にかかる半導体装置の部分拡大断面図である。

[図16]図16は、本開示の第3実施形態にかかる半導体装置の平面図であり、第1導通部材を透過し、かつ封止樹脂および第2導通部材の図示を省略している。

[図17]図17は、図16のX V | | - X V | |線に沿う断面図である。

[図18]図18は、図16のX V | | | - X V | | |線に沿う断面図である。

[図19]図19は、図16のX | X - X | X線に沿う断面図である。

[図20]図20は、本開示の第4実施形態にかかる半導体装置の平面図であり、第1導通部材を透過し、かつ封止樹脂および第2導通部材の図示を省略している。

[図21]図21は、図20のX X | - X X |線に沿う断面図である。

[図22]図22は、図20のX X | | - X X | |線に沿う断面図である。

[図23]図23は、図20のX X | | | - X X | | |線に沿う断面図である。

### 発明を実施するための形態

[0010] 本開示を実施するための形態について、添付図面に基づいて説明する。

[0011] 第1実施形態：

図1～図14に基づき、本開示の第1実施形態にかかる半導体装置A10

について説明する。半導体装置A10は、基材11、2つの導電層12、2つの第1被覆層71、2つの第2被覆層72、2つの接合層73、第1入力端子13、出力端子14、第2入力端子15、複数の半導体素子21、第1導通部材31、第2導通部材32および封止樹脂50を備える。さらに半導体装置A10は、第1信号端子161、第2信号端子162、第3信号端子171、第4信号端子172、2つの第5信号端子181、2つの第6信号端子182、第7信号端子19、2つのサーミスタ22、および2つの制御配線60を備える。ここで、図3および図4では、理解の便宜上、封止樹脂50を透過している。図3では、透過した封止樹脂50を想像線（二点鎖線）で示している。図5では、理解の便宜上、第1導通部材31を透過し、かつ第2導通部材32および封止樹脂50の図示を省略している。図5では、透過した第1導通部材31を想像線で示している。

[0012] 本開示の説明においては、便宜上、後述する2つの導電層12の各々の主面121の法線方向の一例を「第1方向z」と呼ぶ。第1方向zに対して直交する方向の一例を「第2方向x」と呼ぶ。第1方向zおよび第2方向xに対して直交する方向の一例を「第3方向y」と呼ぶ。本開示においては、「第1方向zに視て」は、「平面視」に相当する。

[0013] 半導体装置A10は、第1入力端子13および第2入力端子15に印加された直流の電源電圧を、半導体素子21により交流電力に変換する。変換された交流電力は、出力端子14からモータなどの電力供給対象に入力される。

[0014] 基材11は、図9～図11に示すように、第1方向zにおいて2つの導電層12を基準として複数の半導体素子21とは反対側に位置する。基材11は、2つの導電層12を支持している。基材11は、たとえばDBC (Direct Bonded Copper) 基板から得られる。図9～図11に示すように、基材11は、絶縁層111、2つの支持層112、および放熱層113を含む。基材11は、放熱層113の一部を除き封止樹脂50に覆われている。

[0015] 図9～図11に示すように、絶縁層111は、第1方向zにおいて2つの

支持層 1 1 2 を基準として 2 つの導電層 1 2 とは反対側に位置する。絶縁層 1 1 1 は、熱伝導率がより高い材料からなる。絶縁層 1 1 1 は、たとえば窒化アルミニウム (A l N) を含むセラミックス板である。絶縁層 1 1 1 は、セラミックス板の他、熱伝導率がより高いフィラーが含有された絶縁樹脂シートでもよい。絶縁層 1 1 1 の厚さは、2 つの導電層 1 2 の各々の厚さよりも小さい。本開示においては、第 1 方向 z の寸法を「厚さ」と呼ぶ。

[0016] 図 9 ~ 図 1 1 に示すように、2 つの支持層 1 1 2 は、絶縁層 1 1 1 と、2 つの導電層 1 2 との間に位置する。2 つの支持層 1 1 2 は、第 2 方向 x において互いに離れている。2 つの支持層 1 1 2 は、絶縁層 1 1 1 に接合されている。2 つの支持層 1 1 2 は、銅 (C u) を含有する。図 5 に示すように、第 1 方向 z に視て、2 つの支持層 1 1 2 の各々は、絶縁層 1 1 1 の周縁 1 1 1 A に囲まれている。

[0017] 図 9 ~ 図 1 1 に示すように、放熱層 1 1 3 は、絶縁層 1 1 1 を基準として 2 つの支持層 1 1 2 とは反対側に位置する。放熱層 1 1 3 は、絶縁層 1 1 1 に接合されている。放熱層 1 1 3 は、銅を含有する。図 7 に示すように、放熱層 1 1 3 は、封止樹脂 5 0 から外部に露出している。放熱層 1 1 3 の厚さは、絶縁層 1 1 1 の厚さよりも大きい。さらに放熱層 1 1 3 の厚さは、2 つの支持層 1 1 2 の各々の厚さと等しい、または大きい。第 1 方向 z に視て、放熱層 1 1 3 は、絶縁層 1 1 1 の周縁 1 1 1 A に囲まれるとともに、2 つの支持層 1 1 2 の各々の全体に重なっている。

[0018] 2 つの導電層 1 2 は、図 9 ~ 図 1 1 に示すように、2 つの支持層 1 1 2 に個別に接合されている。2 つの導電層 1 2 は、第 2 方向 x において互いに離れた第 1 導電層 1 2 A および第 2 導電層 1 2 B を含む。2 つの導電層 1 2 は、銅を含有する。2 つの導電層 1 2 の各々の厚さは、2 つの支持層 1 1 2 の各々の厚さよりも大きい。図 5 に示すように、第 1 方向 z に視て、2 つの導電層 1 2 は、2 つの支持層 1 1 2 の周縁 1 1 2 A に個別に囲まれている。

[0019] 図 8 および図 9 に示すように、2 つの導電層 1 2 の各々は、第 1 方向 z において互いに反対側を向く主面 1 2 1 および裏面 1 2 2 を有する。主面 1 2

1は、複数の半導体素子21のいずれかに対向している。裏面122は、2つの支持層112のいずれかに対向している。第1方向zに視て、裏面122は、2つの支持層112のいずれかの周縁112Aに囲まれている。2つの導電層12の各々において、裏面122の面積は、主面121の面積と等しい。

[0020] 2つの第1被覆層71は、図10および図11に示すように、2つの支持層112と、2つの導電層12との間に位置するとともに、2つの支持層112を個別に覆っている。2つの第1被覆層71は、銀(Ag)および金(Au)のいずれかを含有する。これらのうち2つの第1被覆層71の各々が銀を含有する場合、2つの第1被覆層71の各々の熱伝導率は、2つの支持層112、および2つの導電層12の各々の熱伝導率よりも高い。2つの第1被覆層71は、たとえば、スパッタリング法により2つの支持層112を個別に覆う金属薄膜を成膜することによって形成することができる。

[0021] 2つの第2被覆層72は、図10および図11に示すように、2つの第1被覆層71と、2つの導電層12との間に位置するとともに、2つの導電層12の各々の裏面122を個別に覆っている。2つの第2被覆層72は、銀および金のいずれかを含有する。これらのうち2つの第2被覆層72の各々が銀を含有する場合、2つの第2被覆層72の各々の熱伝導率は、2つの支持層112、および2つの導電層12の各々の熱伝導率よりも高い。2つの第2被覆層72は、たとえば、スパッタリング法により2つの支持層112を個別に覆う金属薄膜を成膜することによって形成することができる。

[0022] 2つの接合層73は、図10および図11に示すように、2つの第1被覆層71と、2つの第2被覆層72とを個別に接合している。したがって、2つの接合層73は、2つの第1被覆層71と2つの第2被覆層72とに個別に挟まれている。

[0023] 図14に示すように、2つの接合層73の各々は、基層731、第3被覆層732および第4被覆層733を有する。基層731は、第3被覆層732と第4被覆層733との間に挟まれている。基層731のビッカース硬さ

は、2つの支持層112、および2つの導電層12の各々のピッカーズ硬さよりも小さい。基層731は、アルミニウム(A1)を含有する。第3被覆層732は、基層731と、2つの第1被覆層71のいずれかとの間に位置する。第4被覆層733は、基層731と、2つの第2被覆層72のいずれかとの間に位置する。

[0024] 半導体装置A10においては、2つの第2被覆層72は、2つの接合層73を介した状態の下、固相接合により2つの第1被覆層71に個別に接合されている。固相接合による接合は、比較的高温かつ高圧の条件で行われる。これにより、2つの接合層73のいずれかを介した状態の下、2つの第1被覆層71のいずれかと、これに接合される2つの第2被覆層72のいずれかとの間には、図14に示す固相接合層74が形成されている。固相接合層74とは、互いに接する2つの金属層が固相接合により接合された結果、当該2つの金属層の界面に位置する金属結合層の概念である。固相接合層74は、必ずしも明確な厚さをもつ金属結合層として実在するものではない。固相接合層74は、固相接合により接合する際に混入した不純物や空隙が、当該2つの金属層の界面に沿って残存した部位として確認できる場合がある。

[0025] 図14に示すように、固相接合層74は、第1結合層74Aおよび第2結合層74Bを含む。第1結合層74Aは、2つの第1被覆層71のいずれかと、これに対向する2つの接合層73のいずれかの第3被覆層732との間に位置する。第2結合層74Bは、2つの第2被覆層72のいずれかと、これに対向する2つの接合層73のいずれかの第4被覆層733との間に位置する。

[0026] 図14に示すように、2つの接合層73の各々において、第3被覆層732および第4被覆層733の各々は、第1層751、第2層752および第3層753を有する。第1層751は、基層731を覆っている。第1層751は、ニッケル(Ni)を含有する。第2層752は、第1層751を覆っている。第2層752は、銅を含有する。すなわち、第2層752は、2つの支持層112、および2つの導電層12の各々が含有する金属を含む。

したがって、第1層751のビッカース硬さは、第2層752のビッカース硬さよりも大きい。第3層753は、第2層752を覆っている。第3層753は、2つの第1被覆層71、および2つの第2被覆層72のいずれかに対向している。2つの第1被覆層71、および2つの第2被覆層72の各々が銀を含有する場合、第3層753は、銀および金のいずれかを含有する。2つの第1被覆層71、および2つの第2被覆層72の各々が金を含有する場合、第3層753は、銀を含有する。第3層753が銀を含有する場合、第3層753の熱伝導率は、第2層752の熱伝導率よりも高い。

[0027] 図14に示すように、第1結合層74Aは、2つの第1被覆層71のいずれかと、これに対向する第3被覆層732の第3層753との界面に位置する。第2結合層74Bは、2つの第2被覆層72のいずれかと、これに対向する第4被覆層733の第3層753との界面に位置する。

[0028] 固相接合層74の形成に伴い、第2層752を構成する金属の一部は、主として第3層753に拡散する。第3層753、2つの第1被覆層71の各々、および2つの第2被覆層の各々への第2層752の拡散度合いは、第3層753、2つの第1被覆層71の各々、および2つの第2被覆層の各々への第1層751の拡散度合いよりも大きい。各々が第1層751、第2層752および第3層753を有する第3被覆層732および第4被覆層733は、たとえば、スパッタリング法により基層731の第1方向zの両側のそれぞれに複数の金属薄膜を成膜かつ積層させることによって形成することができる。

[0029] 複数の半導体素子21の各々は、図5および図9に示すように、第1導電層12Aおよび第2導電層12Bのいずれかに搭載されている。半導体素子21は、たとえばMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) である。この他、半導体素子21は、IGBT (Insulated Gate Bipolar Transistor) などのスイッチング素子や、ダイオードでもよい。半導体装置A10の説明においては、半導体素子21は、nチャンネル型であり、かつ縦型構造のMOSFETを対象とする。半導体素子21は、化合

物半導体基板を含む。当該化合物半導体基板の組成は、炭化ケイ素（SiC）を含む。

[0030] 図5に示すように、半導体装置A10においては、複数の半導体素子21は、複数の第1素子21A、および複数の第2素子21Bを含む。複数の第2素子21Bの各々の構造は、複数の第1素子21Aの各々の構造と同一である。複数の第1素子21Aは、第1導電層12Aの主面121に搭載されている。複数の第1素子21Aは、第3方向yに沿って配列されている。複数の第2素子21Bは、第2導電層12Bの主面121に搭載されている。複数の第2素子21Bは、第3方向yに沿って配列されている。

[0031] 図5、図10および図11に示すように、複数の半導体素子21は、第1電極211、第2電極212、第3電極213および第4電極214を有する。

[0032] 図10および図11に示すように、第1電極211は、第1導電層12Aおよび第2導電層12Bのいずれかに対向している。第1電極211には、半導体素子21により変換される前の電力に対応する電流が流れる。すなわち、第1電極211は、半導体素子21のドレイン電極に相当する。

[0033] 図10および図11に示すように、第2電極212は、第1方向zにおいて第1電極211とは反対側に位置する。第2電極212には、半導体素子21により変換された後の電力に対応する電流が流れる。すなわち、第2電極212は、半導体素子21のソース電極に相当する。

[0034] 図10および図11に示すように、第3電極213は、第1方向zにおいて第2電極212と同じ側に位置する。第3電極213には、半導体素子21を駆動するためのゲート電圧が印加される。すなわち、第3電極213は、半導体素子21のゲート電極に相当する。図5に示すように、第1方向zに視て、第3電極213の面積は、第2電極212の面積よりも小さい。

[0035] 図5に示すように、第4電極214は、第1方向zにおいて第2電極212と同じ側に位置し、かつ第3方向yにおいて第3電極213の隣に位置する。第4電極214の電位は、第2電極212の電位と等しい。

- [0036] 導電接合層 29 は、図 10 および図 11 に示すように、第 1 導電層 12 A および第 2 導電層 12 B のいずれかと、複数の半導体素子 21 のいずれかの第 1 電極 211 との間に介在している。導電接合層 29 は、たとえばハンダである。この他、導電接合層 29 は、金属粒子の焼結体を含むものでもよい。複数の第 1 素子 21 A の第 1 電極 211 は、導電接合層 29 を介して第 1 導電層 12 A の主面 121 に導電接合されている。これにより、複数の第 1 素子 21 A の第 1 電極 211 は、第 1 導電層 12 A に導通している。複数の第 2 素子 21 B の第 1 電極 211 は、導電接合層 29 を介して第 2 導電層 12 B の主面 121 に導電接合されている。これにより、複数の第 2 素子 21 B の第 1 電極 211 は、第 2 導電層 12 B に導通している。
- [0037] 第 1 入力端子 13 は、図 3 および図 9 に示すように、第 2 方向 x において第 1 導電層 12 A を間に挟んで第 2 導電層 12 B とは反対側に位置し、かつ第 1 導電層 12 A につながっている。これにより、第 1 入力端子 13 は、第 1 導電層 12 A を介して複数の第 1 素子 21 A の第 1 電極 211 に導通している。第 1 入力端子 13 は、電力変換対象となる直流の電源電圧が印加される P 端子（正極）である。第 1 入力端子 13 は、第 1 導電層 12 A から第 2 方向 x に延びている。第 1 入力端子 13 は、被覆部 13 A および露出部 13 B を有する。図 9 に示すように、被覆部 13 A は、第 1 導電層 12 A につながり、かつ封止樹脂 50 に覆われている。被覆部 13 A は、第 1 導電層 12 A の主面 121 と面一である。露出部 13 B は、被覆部 13 A から第 2 方向 x に延び、かつ封止樹脂 50 から露出している。
- [0038] 出力端子 14 は、図 3 および図 8 に示すように、第 2 方向 x において第 2 導電層 12 B を間に挟んで第 1 導電層 12 A とは反対側に位置し、かつ第 2 導電層 12 B につながっている。これにより、出力端子 14 は、第 2 導電層 12 B を介して複数の第 2 素子 21 B の第 1 電極 211 に導通している。出力端子 14 から、半導体素子 21 により変換された交流電力が出力される。半導体装置 A10 においては、出力端子 14 は、第 3 方向 y において互いに離れた 2 つの領域を含む。この他、出力端子 14 は、2 つの領域を含まない

単一の構成でもよい。出力端子14は、被覆部14Aおよび露出部14Bを有する。図8に示すように、被覆部14Aは、第2導電層12Bにつながり、かつ封止樹脂50に覆われている。被覆部14Aは、第2導電層12Bの主面121と面一である。露出部14Bは、被覆部14Aから第2方向xに延び、かつ封止樹脂50から露出している。

[0039] 第2入力端子15は、図3および図8に示すように、第2方向xにおいて第1導電層12Aおよび第2導電層12Bに対して第1入力端子13と同じ側に位置し、かつ第1導電層12Aおよび第2導電層12Bから離れている。第2入力端子15は、複数の第2素子21Bの第2電極212に導通している。第2入力端子15は、電力変換対象となる直流の電源電圧が印加されるN端子（負極）である。第2入力端子15は、第3方向yにおいて互いに離れた2つの領域を含む。当該2つの領域の第3方向yの間には、第1入力端子13が位置する。第2入力端子15は、被覆部15Aおよび露出部15Bを有する。図8に示すように、被覆部15Aは、第1導電層12Aから離れており、かつ封止樹脂50に覆われている。露出部15Bは、被覆部15Aから第2方向xに延び、かつ封止樹脂50から露出している。

[0040] 2つの制御配線60は、第1信号端子161、第2信号端子162、第3信号端子171、第4信号端子172、2つの第5信号端子181、2つの第6信号端子182と、複数の半導体素子21との導電経路の一部を構成している。図3～図5に示すように、2つの制御配線60は、第1配線601および第2配線602を含む。第2方向xにおいて、第1配線601は、複数の第1素子21Aと、第1入力端子13および第2入力端子15との間に位置する。第1配線601は、第1導電層12Aの主面121に接合されている。第1配線601は、第7信号端子19と第1導電層12Aとの導電経路の一部をも構成している。第2方向xにおいて、第2配線602は、複数の第2素子21Bと出力端子14との間に位置する。第2配線602は、第2導電層12Bの主面121に接合されている。図10および図11に示すように、2つの制御配線60は、絶縁層61、複数の配線層62、中間層6

3、および複数のスリーブ64を有する。2つの制御配線60は、複数のスリーブ64の各々の一部を除き封止樹脂50に覆われている。

[0041] 図10および図11に示すように、絶縁層61は、第1方向zにおいて複数の配線層62と、中間層63との間に介在する部分を含む。絶縁層61は、たとえばセラミックスからなる。絶縁層61は、セラミックスの他、絶縁樹脂シートからなる構成でもよい。

[0042] 図10および図11に示すように、複数の配線層62は、絶縁層61の第1方向zの一方側に位置する。複数の配線層62の組成は、銅を含む。図5に示すように、複数の配線層62は、第1配線層621、第2配線層622、2つの第3配線層623、第4配線層624および第5配線層625を含む。2つの第3配線層623は、第3方向yにおいて互いに隣り合っている。

[0043] 図10および図11に示すように、中間層63は、第1方向zにおいて絶縁層61を間に挟んで複数の配線層62とは反対側に位置する。中間層63の組成は、銅を含む。第1配線601の中間層63は、第1接合層68により第1導電層12Aの主面121に接合されている。第2配線602の中間層63は、第1接合層68により第2導電層12Bの主面121に接合されている。第1接合層68は、導電性の有無を問わない材料からなる。第1接合層68は、たとえばハンダである。

[0044] 図10および図11に示すように、複数のスリーブ64の各々は、第2接合層69により複数の配線層62のいずれかに接合されている。複数のスリーブ64は、金属などの導電性材料からなる。複数のスリーブ64の各々は、第1方向zに沿って延びる筒状である。複数のスリーブ64の一端は、複数の配線層62のいずれかに導電接合されている。図2および図9に示すように、複数のスリーブ64の他端に相当する端面641は、後述する封止樹脂50の頂面51から露出している。第2接合層69は、導電性を有する。第2接合層69は、たとえばハンダである。

[0045] 2つのサーミスタ22のうち一方のサーミスタ22は、図4に示すように

、第1配線601の2つの第3配線層623に導電接合されている。2つのサーミスタ22のうち他方のサーミスタ22は、図4に示すように、第2配線602の2つの第3配線層623に導電接合されている。2つのサーミスタ22は、たとえばNTC (Negative Temperature Coefficient) サーミスタである。NTCサーミスタは、温度上昇に対して緩やかに抵抗が低下する特性を有する。2つのサーミスタ22は、半導体装置A10の温度検出用センサとして用いられる。

[0046] 第1信号端子161、第2信号端子162、第3信号端子171、第4信号端子172、2つの第5信号端子181、2つの第6信号端子182、および第7信号端子19は、図1に示すように、第1方向zに延びる金属ピンからなる。これらの端子は、後述する封止樹脂50の頂面51から突出している。さらにこれらの端子は、2つの制御配線60の複数のスリーブ64に個別に圧入されている。これにより、これらの端子の各々は、複数のスリーブ64のいずれかに支持され、かつ複数の配線層62のいずれかに導通している。

[0047] 第1信号端子161は、図5および図10に示すように、2つの制御配線60の複数のスリーブ64のうち、第1配線601の第1配線層621に接合されたスリーブ64に圧入されている。これにより、第1信号端子161は、当該スリーブ64に支持されるとともに、第1配線601の第1配線層621に導通している。さらに第1信号端子161は、複数の第1素子21Aの第3電極213に導通している。第1信号端子161には、複数の第1素子21Aが駆動するためのゲート電圧が印加される。

[0048] 第2信号端子162は、図5および図11に示すように、2つの制御配線60の複数のスリーブ64のうち、第2配線602の第1配線層621に接合されたスリーブ64に圧入されている。これにより、第2信号端子162は、当該スリーブ64に支持されるとともに、第2配線602の第1配線層621に導通している。さらに第2信号端子162は、複数の第2素子21Bの第3電極213に導通している。第2信号端子162には、複数の第2

素子 2 1 B が駆動するためのゲート電圧が印加される。

[0049] 第 3 信号端子 1 7 1 は、図 2 に示すように、第 3 方向 y において第 1 信号端子 1 6 1 の隣に位置する。図 5 に示すように、第 3 信号端子 1 7 1 は、2 つの制御配線 6 0 の複数のスリーブ 6 4 のうち、第 1 配線 6 0 1 の第 2 配線層 6 2 2 に接合されたスリーブ 6 4 に圧入されている。これにより、第 3 信号端子 1 7 1 は、当該スリーブ 6 4 に支持されるとともに、第 1 配線 6 0 1 の第 2 配線層 6 2 2 に導通している。さらに第 3 信号端子 1 7 1 は、複数の第 1 素子 2 1 A の第 4 電極 2 1 4 に導通している。第 3 信号端子 1 7 1 には、複数の第 1 素子 2 1 A の各々の第 4 電極 2 1 4 に流れる電流のうち最大となる電流に対応した電圧が印加される。

[0050] 第 4 信号端子 1 7 2 は、図 2 に示すように、第 3 方向 y において第 2 信号端子 1 6 2 の隣に位置する。第 4 信号端子 1 7 2 は、図 5 に示すように、2 つの制御配線 6 0 の複数のスリーブ 6 4 のうち、第 2 配線 6 0 2 の第 2 配線層 6 2 2 に接合されたスリーブ 6 4 に圧入されている。これにより、第 4 信号端子 1 7 2 は、当該スリーブ 6 4 に支持されるとともに、第 2 配線 6 0 2 の第 2 配線層 6 2 2 に導通している。さらに第 4 信号端子 1 7 2 は、複数の第 2 素子 2 1 B の第 4 電極 2 1 4 に導通している。第 4 信号端子 1 7 2 には、複数の第 2 素子 2 1 B の各々の第 4 電極 2 1 4 に流れる電流のうち最大となる電流に対応した電圧が印加される。

[0051] 2 つの第 5 信号端子 1 8 1 は、図 2 に示すように、第 3 方向 y において第 1 信号端子 1 6 1 を間に挟んで第 3 信号端子 1 7 1 とは反対側に位置する。2 つの第 5 信号端子 1 8 1 は、第 3 方向 y において互いに隣り合っている。図 5 に示すように、2 つの第 5 信号端子 1 8 1 は、2 つの制御配線 6 0 の複数のスリーブ 6 4 のうち、第 1 配線 6 0 1 の 2 つの第 3 配線層 6 2 3 に接合された 2 つのスリーブ 6 4 に個別に圧入されている。これにより、2 つの第 5 信号端子 1 8 1 は、当該 2 つのスリーブ 6 4 に支持されるとともに、第 1 配線 6 0 1 の 2 つの第 3 配線層 6 2 3 に導通している。さらに 2 つの第 5 信号端子 1 8 1 は、2 つのサーミスタ 2 2 のうち、第 1 配線 6 0 1 の 2 つの第

3配線層623に導電接合されたサーミスタ22に導通している。

[0052] 2つの第6信号端子182は、図2に示すように、第3方向yにおいて第2信号端子162を間に挟んで第4信号端子172とは反対側に位置する。2つの第6信号端子182は、第3方向yにおいて互いに隣り合っている。図5に示すように、2つの第6信号端子182は、2つの制御配線60の複数のスリーブ64のうち、第2配線602の2つの第3配線層623に接合された2つのスリーブ64に個別に圧入されている。これにより、2つの第6信号端子182は、当該2つのスリーブ64に支持されるとともに、第2配線602の2つの第3配線層623に導通している。さらに2つの第6信号端子182は、2つのサーミスタ22のうち、第2配線602の2つの第3配線層623に導電接合されたサーミスタ22に導通している。

[0053] 第7信号端子19は、図2に示すように、第3方向yにおいて第3信号端子171を間に挟んで第1信号端子161とは反対側に位置する。図5に示すように、第7信号端子19は、2つの制御配線60の複数のスリーブ64のうち、第1配線601の第5配線層625に接合されたスリーブ64に圧入されている。これにより、第7信号端子19は、当該スリーブ64に支持されるとともに、第1配線601の第5配線層625に導通している。さらに第7信号端子19は、第1導電層12Aに導通している。第7信号端子19には、第1入力端子13および第2入力端子15に入力された直流電力に相当する電圧が印加される。

[0054] 複数の第1ワイヤ41は、図5に示すように、複数の第1素子21Aの第3電極213と、第1配線601の第4配線層624とに導電接合されている。複数の第3ワイヤ43は、図5に示すように第1配線601の第4配線層624と、第1配線601の第1配線層621とに導電接合されている。これにより、第1信号端子161は、複数の第1素子21Aの第3電極213に導通している。複数の第1ワイヤ41、および複数の第3ワイヤ43の組成は、金を含む。この他、複数の第1ワイヤ41、および複数の第3ワイヤ43の組成は、銅を含む場合や、アルミニウムを含む場合でもよい。

- [0055] さらに複数の第1ワイヤ41は、図5に示すように、複数の第2素子21Bの第3電極213と、第2配線602の第4配線層624とに導電接合されている。さらに複数の第3ワイヤ43は、図5に示すように第2配線602の第4配線層624と、第2配線602の第1配線層621とに導電接合されている。これにより、第2信号端子162は、複数の第2素子21Bの第3電極213に導通している。
- [0056] 複数の第2ワイヤ42は、図5に示すように、複数の第1素子21Aの第4電極214と、第1配線601の第2配線層622とに導電接合されている。これにより、第3信号端子171は、複数の第1素子21Aの第4電極214に導通している。さらに複数の第2ワイヤ42は、図5に示すように、複数の第2素子21Bの第4電極214と、第2配線602の第2配線層622とに導電接合されている。これにより、第4信号端子172は、複数の第2素子21Bの第4電極214に導通している。複数の第2ワイヤ42の組成は、金を含む。この他、複数の第2ワイヤ42の組成は、銅を含む場合や、アルミニウムを含む場合でもよい。
- [0057] 第4ワイヤ44は、図5に示すように、第1配線601の第5配線層625と、第1導電層12Aの主面121とに導電接合されている。これにより、第7信号端子19は、第1導電層12Aに導通している。第4ワイヤ44の組成は、金を含む。この他、第4ワイヤ44の組成は、銅を含む場合や、アルミニウムを含む場合でもよい。
- [0058] 第1導通部材31は、図5および図10に示すように、複数の第1素子21Aの第2電極212と、第2導電層12Bの主面121とに導電接合されている。これにより、複数の第1素子21Aの第2電極212は、第2導電層12Bに導通している。第1導通部材31の組成は、銅を含む。第1導通部材31は、金属クリップである。図5に示すように、第1導通部材31は、本体部311、複数の第1接合部312、複数の第1連結部313、第2接合部314および第2連結部315を有する。
- [0059] 本体部311は、第1導通部材31の主要部をなしている。図5に示すよ

うに、本体部311は、第3方向yに延びている。図9に示すように、本体部311は、第1導電層12Aと第2導電層12Bとの間を跨いでいる。

[0060] 図10に示すように、複数の第1接合部312は、複数の第1素子21Aの第2電極212に個別に接合されている。複数の第1接合部312の各々は、複数の第1素子21Aのいずれかの第2電極212に対向している。

[0061] 図5に示すように、複数の第1連結部313は、本体部311、および複数の第1接合部312につながっている。複数の第1連結部313は、第3方向yにおいて互いに離れている。図9に示すように、第3方向yに視て、複数の第1連結部313は、複数の第1接合部312から本体部311に向かうほど、第1導電層12Aの主面121から離れる向きに傾斜している。

[0062] 図5および図9に示すように、第2接合部314は、第2導電層12Bの主面121に接合されている。第2接合部314は、主面121に対向している。第2接合部314は、第3方向yに延びている。第2接合部314の第3方向yの寸法は、本体部311の第3方向yの寸法に等しい。

[0063] 図5および図9に示すように、第2連結部315は、本体部311および第2接合部314につながっている。第3方向yに視て、第2連結部315は、第2接合部314から本体部311に向かうほど、第2導電層12Bの主面121から離れる向きに傾斜している。第2連結部315の第3方向yの寸法は、本体部311の第3方向yの寸法に等しい。

[0064] 半導体装置A10は、図9、図10および図13に示すように、第1導電接合層33をさらに備える。第1導電接合層33は、複数の第1素子21Aの第2電極212と、複数の第1接合部312との間に介在している。第1導電接合層33は、複数の第1素子21Aの第2電極212と、複数の第1接合部312とを導電接合する。第1導電接合層33は、たとえばハンダである。この他、第1導電接合層33は、金属粒子の焼結体を含むものでもよい。

[0065] 半導体装置A10は、図9に示すように、第2導電接合層34をさらに備える。第2導電接合層34は、第2導電層12Bの主面121と、第2接合

部314との間に介在している。第2導電接合層34は、主面121と第2接合部314とを導電接合する。第2導電接合層34は、たとえばハンダである。この他、第2導電接合層34は、金属粒子の焼結体を含むものでもよい。

[0066] 第2導通部材32は、図4および図11に示すように、複数の第2素子21Bの第2電極212と、第2入力端子15の被覆部15Aとに導電接合されている。これにより、複数の第2素子21Bの第2電極212は、第2入力端子15に導通している。第2導通部材32の組成は、銅を含む。第2導通部材32は、金属クリップである。図4に示すように、第2導通部材32は、2つの本体部321、複数の第3接合部322、複数の第3連結部323、2つの第4接合部324、2つの第4連結部325、複数の中間部326、および複数の横梁部327を有する。

[0067] 図4に示すように、2つの本体部321は、第3方向yにおいて互いに離れている。2つの本体部321は、第2方向xに延びている。図8に示すように、2つの本体部321は、第1導電層12Aの主面121、および第2導電層12Bの主面121に対して平行に配置されている。2つの本体部321は、第1導通部材31の本体部311よりも主面121および主面121から離れている。

[0068] 図4に示すように、複数の中間部326は、第3方向yにおいて互いに離れているとともに、第3方向yにおいて2つの本体部321の間に位置する。複数の中間部326は、第2方向xに延びている。複数の中間部326の各々の第2方向xの寸法は、2つの本体部321の各々の第2方向xの寸法よりも小さい。

[0069] 図11に示すように、複数の第3接合部322は、複数の第2素子21Bの第2電極212に個別に接合されている。複数の第3接合部322の各々は、複数の第2素子21Bのいずれかの第2電極212に対向している。

[0070] 図4および図12に示すように、複数の第3連結部323は、複数の第3接合部322の第3方向yの両側につながっている。さらに複数の第3連結

部 3 2 3 は、2つの本体部 3 2 1、および複数の中間部 3 2 6 のいずれかにつながっている。第 2 方向 x に視て、複数の第 3 連結部 3 2 3 の各々は、複数の第 3 接合部 3 2 2 のいずれかから、2つの本体部 3 2 1、および複数の中間部 3 2 6 のいずれかに向かうほど、第 2 導電層 1 2 B の主面 1 2 1 から離れる向きに傾斜している。

[0071] 図 4 および図 8 に示すように、2つの第 4 接合部 3 2 4 は、第 2 入力端子 1 5 の被覆部 1 5 A に接合されている。2つの第 4 接合部 3 2 4 は、被覆部 1 5 A に対向している。

[0072] 図 4 および図 8 に示すように、2つの第 4 連結部 3 2 5 は、2つの本体部 3 2 1、および2つの第 4 接合部 3 2 4 につながっている。第 3 方向 y に視て、2つの第 4 連結部 3 2 5 は、2つの第 4 接合部 3 2 4 から2つの本体部 3 2 1 に向かうほど、第 1 導電層 1 2 A の主面 1 2 1 から離れる向きに傾斜している。

[0073] 図 4 および図 1 3 に示すように、複数の横梁部 3 2 7 は、第 3 方向 y に沿って配列されている。第 1 方向 z に視て、複数の横梁部 3 2 7 は、第 1 導通部材 3 1 の複数の第 1 接合部 3 1 2 に個別に重なる領域を含む。複数の横梁部 3 2 7 のうち第 3 方向 y の中央に位置する横梁部 3 2 7 の第 3 方向 y の両側は、複数の中間部 3 2 6 につながっている。複数の横梁部 3 2 7 のうち残り2つの横梁部 3 2 7 の第 3 方向 y の両側は、2つの本体部 3 2 1 のいずれかと、複数の中間部 3 2 6 のいずれかにつながっている。第 2 方向 x に視て、複数の横梁部 3 2 7 は、第 1 方向 z において第 1 導電層 1 2 A の主面 1 2 1 が向く側に凸状をなしている。

[0074] 半導体装置 A 1 0 は、図 9、図 1 1 および図 1 2 に示すように、第 3 導電接合層 3 5 をさらに備える。第 3 導電接合層 3 5 は、複数の第 2 素子 2 1 B の第 2 電極 2 1 2 と、複数の第 3 接合部 3 2 2 との間に介在している。第 3 導電接合層 3 5 は、複数の第 2 素子 2 1 B の第 2 電極 2 1 2 と、複数の第 3 接合部 3 2 2 とを導電接合する。第 3 導電接合層 3 5 は、たとえばハンダである。この他、第 3 導電接合層 3 5 は、金属粒子の焼結体を含むものでもよ

い。

- [0075] 半導体装置A10は、図8に示すように、第4導電接合層36をさらに備える。第4導電接合層36は、第2入力端子15の被覆部15Aと、2つの第4接合部324との間に介在している。第4導電接合層36は、被覆部15Aと2つの第4接合部324とを導電接合する。第4導電接合層36は、たとえばハンダである。この他、第4導電接合層36は、金属粒子の焼結体を含むものでもよい。
- [0076] 封止樹脂50は、図8、図9、図12および図13に示すように、2つの支持層112、2つの導電層12、複数の半導体素子21、第1導通部材31および第2導通部材32を覆っている。さらに封止樹脂50は、第1入力端子13、出力端子14および第2入力端子15の各々の一部を覆っている。封止樹脂50は、電気絶縁性を有する。封止樹脂50は、たとえば黒色のエポキシ樹脂を含む材料からなる。図2、および図6～図9に示すように、封止樹脂50は、頂面51、底面52、2つの第1側面53、2つの第2側面54、および2つの凹部55を有する。
- [0077] 図8および図9に示すように、頂面51は、第1方向zにおいて2つの導電層12の各々の主面121と同じ側を向く。図8および図9に示すように、底面52は、第1方向zにおいて頂面51とは反対側を向く。図7に示すように、底面52から放熱層113が外部に露出している。
- [0078] 図2および図6に示すように、2つの第1側面53は、第2方向xにおいて互いに離れている。2つの第1側面53は、第2方向xを向き、かつ第3方向yに延びている。2つの第1側面53は、頂面51につながっている。2つの第1側面53のうち一方の第1側面53から、第1入力端子13の露出部13B、および第2入力端子15の露出部15Bが露出している。2つの第1側面53のうち他方の第1側面53から、出力端子14の露出部14Bが露出している。
- [0079] 図2および図7に示すように、2つの第2側面54は、第3方向yにおいて互いに離れている。2つの第2側面54は、第3方向yにおいて互いに反

対側を向き、かつ第2方向xに延びている。2つの第2側面54は、頂面51および底面52につながっている。

[0080] 図2および図7に示すように、2つの凹部55は、2つの第1側面53のうち第1入力端子13の露出部13B、および第2入力端子15の露出部15Bが露出する第1側面53から第2方向xに向けて凹んでいる。2つの凹部55は、第1方向zにおいて頂面51から底面52に至っている。2つの凹部55は、第1入力端子13の第3方向yの両側に位置する。

[0081] 次に、半導体装置A10の作用効果について説明する。

[0082] 半導体装置A10は、支持層112と、導電層12と、導電層12に接合された半導体素子21と、支持層112を覆う第1被覆層71と、導電層12を覆う第2被覆層72と、第1被覆層71と第2被覆層72とを接合する接合層73とを備える。接合層73は、基層731、第3被覆層732および第4被覆層733を有する。第1被覆層71と第3被覆層732の間と、第2被覆層72と第4被覆層733との間との各々には、固相接合層74が形成されている。基層731のビッカース硬さは、支持層112および導電層12の各々のビッカース硬さよりも小さい。本構成をとることにより、接合層73を介して導電層12を支持層112に固相接合により接合させる際、基層731の変形性能が、支持層112および導電層12の各々の変形性能よりも大きいため、第1被覆層71および第2被覆層72の各々に対する接合層73の接触面積、すなわち固相接合層74における接合面積がより大きくなる。これにより、固相接合層74における金属結合がより強固になる。

[0083] さらに半導体装置A10においては、接合層73の第3被覆層732および第4被覆層733の各々は、第1層751、第2層752および第3層753を有する。第3層753、第1被覆層71および第2被覆層72の各々への第2層752の拡散度合いは、第3層753、第1被覆層71および第2被覆層72の各々への第1層751の拡散度合いよりも大きい。本構成をとることにより、第1被覆層71と第3被覆層732との界面と、第2被覆

層 7 2 と第 4 被覆層 7 3 3 との界面との各々に固相接合層 7 4 が形成される。さらに、第 1 層 7 5 1 が第 2 層 7 5 2 の拡散を規制するバリア層として機能することから、第 3 層 7 5 3、第 1 被覆層 7 1 および第 2 被覆層 7 2 の各々への第 2 層 7 5 2 の拡散がより促進されるため、固相接合層 7 4 における金属結合がさらに強固になる。したがって、以上の構成によれば、半導体装置 A 1 0 においては、支持層 1 1 2 と導電層 1 2 との接合状態がより強固になるため、半導体装置 A 1 0 の放熱性の向上を図ることが可能となる。

[0084] 第 1 被覆層 7 1、第 2 被覆層 7 2、第 3 被覆層 7 3 2 の第 3 層 7 5 3、および第 4 被覆層 7 3 3 の第 3 層 7 5 3 の各々は、銀および金のいずれかを含有することが好ましい。銀および金の各々は、銅よりも塑性流動しやすい。したがって、本構成をとることにより、固相接合層 7 4 の形成がより促進されやすくなる。

[0085] 第 3 被覆層 7 3 2 および第 4 被覆層 7 3 3 の各々において、第 1 層 7 5 1 のビッカース硬さは、第 2 層 7 5 2 のビッカース硬さよりも大きい。本構成をとることにより、接合層 7 3 を介して導電層 1 2 を支持層 1 1 2 に固相接合により接合させる際、第 2 層 7 5 2 および第 3 層 7 5 3 の各々に作用する第 1 方向 z に対して直交する方向回りの曲げが低減される。これにより、固相接合層 7 4 に作用する圧縮応力の分布がさらに均等になる。このことは、固相接合層 7 4 における金属結合の強靱化に寄与する。

[0086] 導電層 1 2 の厚さは、支持層 1 1 2 の厚さよりも大きい。本構成をとることにより、導電層 1 2 において、第 1 方向 z に対して直交する方向に熱が伝導しやすくなるため、導電層 1 2 から支持層 1 1 2 への熱伝導の効率が向上する。

[0087] 半導体装置 A 1 0 は、支持層 1 1 2 を基準として導電層 1 2 とは反対側に位置する絶縁層 1 1 1 をさらに備える。支持層 1 1 2 は、絶縁層 1 1 1 に接合されている。本構成をとることにより、絶縁層 1 1 1 を基準として支持層 1 1 2 とは反対側に位置する放熱層 1 1 3 を、絶縁層 1 1 1 に接合させることができる。これにより、導電層 1 2 に対する放熱層 1 1 3 の電気絶縁を確

保しつつ、半導体装置A10の放熱性をさらに向上させることができる。

[0088] 第1方向zに視て、導電層12は、支持層112の周縁112Aに囲まれている。本構成をとることにより、接合層73を介して導電層12を支持層112に固相接合により接合させる際、導電層12の第1方向zに対して直交する方向における端部の曲げに起因した絶縁層111に作用する応力の集中が低減される。これにより、絶縁層111に亀裂が発生することを抑制できる。

[0089] 放熱層113の厚さは、支持層112の厚さよりも大きい。本構成をとることにより、接合層73を介して導電層12を支持層112に固相接合により接合させる際、絶縁層111に作用する熱応力を低減することができる。さらに、絶縁層111、支持層112および放熱層113を含む基材11の全体の曲げ剛性が向上するため、基材11の反りを抑制することができる。

[0090] 第2実施形態：

図15に基づき、本開示の第2実施形態にかかる半導体装置A20について説明する。本図において、先述した半導体装置A10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図15の断面位置は、半導体装置A10を示す図14の断面位置と同一である。

[0091] 半導体装置A20においては、2つの第1被覆層71、および2つの第2被覆層72の構成が、半導体装置A10の当該構成と異なる。

[0092] 図15に示すように、2つの第1被覆層71の各々は、第4層754、第5層755および第6層756を有する。第4層754は、支持層112を覆っている。第4層754は、ニッケルを含有する。したがって、第4層754が含有する金属は、2つの接合層73のいずれかの第3被覆層732の第1層751が含有する金属と同一である。第5層755は、第4層754を覆っている。第5層755は、銅を含有する。したがって、第5層755が含有する金属は、第3被覆層732の第2層752が含有する金属と同一である。第6層756は、第5層755を覆っている。第3被覆層732の第3層753が、銀を含有する場合、第6層756は、銀および金のいずれ

かを含有する。第3被覆層732の第3層753が、金を含有する場合、第6層756は、銀を含有する。したがって、第6層756への第5層755の拡散度合いは、第6層756への第4層754の拡散度合いよりも大きい。

[0093] 図15に示すように、固相接合層74のうち第1結合層74Aは、第6層756と、第3被覆層732の第3層753との界面に位置する。第4層754、第5層755および第6層756を有する第1被覆層71は、たとえば、スパッタリング法により複数の金属薄膜を成膜かつ積層させることによって形成することができる。

[0094] 図15に示すように、2つの第2被覆層72の各々は、第7層757、第8層758および第9層759を有する。第7層757は、2つの導電層12のいずれかの裏面122を覆っている。第7層757は、ニッケルを含有する。したがって、第7層757が含有する金属は、2つの接合層73のいずれかの第4被覆層733の第1層751が含有する金属と同一である。第8層758は、第7層757を覆っている。第8層758は、銅を含有する。したがって、第8層758が含有する金属は、第4被覆層733の第2層752が含有する金属と同一である。第9層759は、第8層758を覆っている。第9層759は、第4被覆層733の第3層753に対向している。第4被覆層733の第3層753が、銀を含有する場合、第9層759は、銀および金のいずれかを含有する。第4被覆層733の第3層753が、金を含有する場合、第9層759は、銀を含有する。したがって、第9層759への第8層758の拡散度合いは、第9層759への第7層757の拡散度合いよりも大きい。

[0095] 図15に示すように、固相接合層74のうち第2結合層74Bは、第9層759と、第4被覆層733の第3層753との界面に位置する。第7層757、第8層758および第9層759を有する第2被覆層72は、たとえば、スパッタリング法により複数の金属薄膜を成膜かつ積層させることによって形成することができる。

- [0096] 次に、半導体装置A20の作用効果について説明する。
- [0097] 半導体装置A20は、支持層112と、導電層12と、導電層12に接合された半導体素子21と、支持層112を覆う第1被覆層71と、導電層12を覆う第2被覆層72と、第1被覆層71と第2被覆層72とを接合する接合層73とを備える。接合層73は、基層731、第3被覆層732および第4被覆層733を有する。第1被覆層71と第3被覆層732の間と、第2被覆層72と第4被覆層733との間との各々には、固相接合層74が形成されている。基層731のビッカース硬さは、支持層112および導電層12の各々のビッカース硬さよりも小さい。
- [0098] さらに半導体装置A20においては、接合層73の第3被覆層732および第4被覆層733の各々は、第1層751、第2層752および第3層753を有する。第3層753、第1被覆層71および第2被覆層72の各々への第2層752の拡散度合いは、第3層753、第1被覆層71および第2被覆層72の各々への第1層751の拡散度合いよりも大きい。したがって、以上の構成によれば、半導体装置A20においても、支持層112と導電層12との接合状態がより強固になるため、半導体装置A20の放熱性の向上を図ることが可能となる。さらに半導体装置A20においては、半導体装置A10と共通する構成を具備することにより、半導体装置A10と同等の作用効果を奏する。
- [0099] 半導体装置A20においては、第1被覆層71は、第4層754、第5層755および第6層756を有する。第4層754が含有する金属は、接合層73の第3被覆層732の第1層751が含有する金属と同一である。第5層755が含有する金属は、第3被覆層732の第2層752が含有する金属と同一である。第6層756への第5層755の拡散度合いは、第6層756への第4層754の拡散度合いよりも大きい。本構成をとることにより、接合層73を介して導電層12を支持層112に固相接合により接合させる際、第6層756、および第3被覆層732の第3層753の各々への第5層755の拡散が促進される。これにより、固相接合層74のうち第1

結合層 7 4 A における金属結合がさらに強固になる。

[0100] 半導体装置 A 2 0 においては、第 2 被覆層 7 2 は、第 7 層 7 5 7、第 8 層 7 5 8 および第 9 層 7 5 9 を有する。第 7 層 7 5 7 が含有する金属は、接合層 7 3 の第 4 被覆層 7 3 3 の第 1 層 7 5 1 が含有する金属と同一である。第 8 層 7 5 8 が含有する金属は、第 4 被覆層 7 3 3 の第 2 層 7 5 2 が含有する金属と同一である。第 9 層 7 5 9 への第 8 層 7 5 8 の拡散度合いは、第 9 層 7 5 9 への第 7 層 7 5 7 の拡散度合いよりも大きい。本構成をとることにより、接合層 7 3 を介して導電層 1 2 を支持層 1 1 2 に固相接合により接合させる際、第 9 層 7 5 9、および第 4 被覆層 7 3 3 の第 3 層 7 5 3 の各々への第 8 層 7 5 8 の拡散が促進される。これにより、固相接合層 7 4 のうち第 2 結合層 7 4 B における金属結合がさらに強固になる。

[0101] 第 3 実施形態：

図 1 6 ~ 図 1 9 に基づき、本開示の第 3 実施形態にかかる半導体装置 A 3 0 について説明する。本図において、先述した半導体装置 A 1 0 と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図 1 6 では、理解の便宜上、第 1 導通部材 3 1 を透過し、かつ第 2 導通部材 3 2 および封止樹脂 5 0 の図示を省略している。図 1 6 では、透過した第 1 導通部材 3 1 を想像線で示している。

[0102] 半導体装置 A 3 0 においては、2 つの導電層 1 2 の構成が、半導体装置 A 1 0 の当該構成と異なる。

[0103] 図 1 6 ~ 図 1 9 に示すように、2 つの導電層 1 2 の各々において、主面 1 2 1 の面積は、裏面 1 2 2 の面積よりも大きい。第 1 方向 z に視て、2 つの導電層 1 2 の各々の裏面 1 2 2 は、2 つの支持層 1 1 2 の各々の周縁 1 1 2 A に個別に囲まれている。第 1 方向 z に視て、2 つの導電層 1 2 のいずれかの主面 1 2 1 は、その導電層 1 2 の接合対象となる 2 つの支持層 1 1 2 のいずれかの周縁 1 1 2 A よりも外方にはみ出している。第 1 方向 z に視て、2 つの導電層 1 2 は、絶縁層 1 1 1 の周縁 1 1 1 A に囲まれている。

[0104] 次に、半導体装置 A 3 0 の作用効果について説明する。

[0105] 半導体装置A30は、支持層112と、導電層12と、導電層12に接合された半導体素子21と、支持層112を覆う第1被覆層71と、導電層12を覆う第2被覆層72と、第1被覆層71と第2被覆層72とを接合する接合層73とを備える。接合層73は、基層731、第3被覆層732および第4被覆層733を有する。第1被覆層71と第3被覆層732の間と、第2被覆層72と第4被覆層733との間との各々には、固相接合層74が形成されている。基層731のビッカース硬さは、支持層112および導電層12の各々のビッカース硬さよりも小さい。

[0106] さらに半導体装置A30においては、接合層73の第3被覆層732および第4被覆層733の各々は、第1層751、第2層752および第3層753を有する。第3層753、第1被覆層71および第2被覆層72の各々への第2層752の拡散度合いは、第3層753、第1被覆層71および第2被覆層72の各々への第1層751の拡散度合いよりも大きい。したがって、以上の構成によれば、半導体装置A30においても、支持層112と導電層12との接合状態がより強固になるため、半導体装置A30の放熱性の向上を図ることが可能となる。さらに半導体装置A30においては、半導体装置A10と共通する構成を具備することにより、半導体装置A10と同等の作用効果を奏する。

[0107] 第1方向zに視て、導電層12の裏面122は、支持層112の周縁112Aに囲まれている。導電層12は、半導体素子21に対向する主面121を有する。主面121の面積は、導電層12の裏面122の面積よりも大きい。本構成をとることにより、接合層73を介して導電層12を支持層112に固相接合により接合させる際、導電層12の第1方向zに対して直交する方向における端部の曲げに起因した絶縁層111に作用する応力の集中を低減しつつ、主面121の面積をより拡大できる。これにより、主面121に対する半導体素子21の接合位置の自由度を高めることができる。

[0108] 第4実施形態：

図20～図23に基づき、本開示の第4実施形態にかかる半導体装置A4

0について説明する。本図において、先述した半導体装置A10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図20では、理解の便宜上、第1導通部材31を透過し、かつ第2導通部材32および封止樹脂50の図示を省略している。図20では、透過した第1導通部材31を想像線で示している。

[0109] 半導体装置A40においては、2つの導電層12の構成が、半導体装置A10の当該構成と異なる。

[0110] 図20～図23に示すように、第1方向zに視て、2つの導電層12の各々の主面121および裏面122は、その導電層12の接合対象となる2つの支持層112の周縁112Aよりも外方にはみ出している。2つの導電層12の各々において、裏面122の面積は、主面121の面積と等しい。第1方向zに視て、2つの導電層12は、絶縁層111の周縁111Aに囲まれている。

[0111] 次に、半導体装置A40の作用効果について説明する。

[0112] 半導体装置A40は、支持層112と、導電層12と、導電層12に接合された半導体素子21と、支持層112を覆う第1被覆層71と、導電層12を覆う第2被覆層72と、第1被覆層71と第2被覆層72とを接合する接合層73とを備える。接合層73は、基層731、第3被覆層732および第4被覆層733を有する。第1被覆層71と第3被覆層732の間と、第2被覆層72と第4被覆層733との間との各々には、固相接合層74が形成されている。基層731のビッカース硬さは、支持層112および導電層12の各々のビッカース硬さよりも小さい。

[0113] さらに半導体装置A40においては、接合層73の第3被覆層732および第4被覆層733の各々は、第1層751、第2層752および第3層753を有する。第3層753、第1被覆層71および第2被覆層72の各々への第2層752の拡散度合いは、第3層753、第1被覆層71および第2被覆層72の各々への第1層751の拡散度合いよりも大きい。したがって、以上の構成によれば、半導体装置A40においても、支持層112と導

電層 1 2 との接合状態がより強固になるため、半導体装置 A 4 0 の放熱性の向上を図ることが可能となる。さらに半導体装置 A 4 0 においては、半導体装置 A 1 0 と共通する構成を具備することにより、半導体装置 A 1 0 と同等の作用効果を奏する。

[0114] 本開示は、先述した実施形態に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

[0115] 本開示は、以下の付記に記載した実施形態を含む。

付記 1.

支持層と、

前記支持層に接合された導電層と、

前記導電層を基準として前記支持層とは反対側に位置し、かつ前記導電層に接合された半導体素子と、

前記支持層と前記導電層との間に位置し、かつ前記支持層を覆う第 1 被覆層と、

前記第 1 被覆層と前記導電層との間に位置し、かつ前記導電層を覆う第 2 被覆層と、

前記第 1 被覆層と前記第 2 被覆層とを接合する接合層と、を備え、

前記接合層は、基層と、前記基層と前記第 1 被覆層との間に位置する第 3 被覆層と、前記基層と前記第 2 被覆層との間に位置する第 4 被覆層と、を有し、

前記第 1 被覆層と前記第 3 被覆層との間と、前記第 2 被覆層と前記第 4 被覆層との間と、の各々には、固相接合層が形成されており、

前記基層のビッカース硬さは、前記支持層および前記導電層の各々のビッカース硬さよりも小さく、

前記第 3 被覆層および前記第 4 被覆層の各々は、前記基層を覆う第 1 層と、前記第 1 層を覆う第 2 層と、前記第 2 層を覆う第 3 層と、を有し、

前記第 3 層、前記第 1 被覆層および前記第 2 被覆層の各々への前記第 2 層の拡散度合いは、前記第 3 層、前記第 1 被覆層および前記第 2 被覆層の各々

への前記第1層の拡散度合いよりも大きい、半導体装置。

付記2.

前記第2層は、前記支持層および前記導電層の各々が含有する金属を含む、付記1に記載の半導体装置。

付記3.

前記支持層、前記導電層および前記第2層の各々は、銅を含有する、付記2に記載の半導体装置。

付記4.

前記第1被覆層、前記第2被覆層および前記第3層の各々は、銀および金のいずれかを含有する、付記2または3に記載の半導体装置。

付記5.

前記基層は、アルミニウムを含有する、付記2ないし4のいずれかに記載の半導体装置。

付記6.

前記第1層のビッカース硬さは、前記第2層のビッカース硬さよりも大きい、付記2ないし5のいずれかに記載の半導体装置。

付記7.

前記第1層は、ニッケルを含有する、付記6に記載の半導体装置。

付記8.

前記第1被覆層は、前記支持層を覆う第4層と、前記第4層を覆う第5層と、前記第5層を覆う第6層と、を有し、

前記第4層が含有する金属は、前記第1層が含有する金属と同一であり、  
前記第5層が含有する金属は、前記第2層が含有する金属と同一であり、  
前記第6層への前記第5層の拡散度合いは、前記第6層への前記第4層の拡散度合いよりも大きい、付記6または7に記載の半導体装置。

付記9.

前記支持層を基準として前記導電層とは反対側に位置する絶縁層をさらに備え、

前記支持層は、前記絶縁層に接合されている、付記 6 に記載の半導体装置。

付記 10.

前記半導体素子は、前記導電層に対向する第 1 電極を有し、  
前記第 1 電極は、前記導電層に導電接合されている、付記 9 に記載の半導体装置。

付記 11.

前記導電層の厚さは、前記支持層の厚さよりも大きい、付記 10 に記載の半導体装置。

付記 12.

平面視において、前記導電層は、前記支持層の周縁に囲まれている、付記 11 に記載の半導体装置。

付記 13.

前記導電層は、前記第 2 被覆層に覆われた裏面を有し、  
平面視において、前記裏面は、前記支持層の周縁に囲まれている、付記 11 に記載の半導体装置。

付記 14.

前記導電層は、前記第 1 電極に対向する主面を有し、  
前記主面の面積は、前記裏面の面積よりも大きい、付記 13 に記載の半導体装置。

付記 15.

前記絶縁層を基準として前記支持層とは反対側に位置する放熱層をさらに備え、

前記放熱層は、前記絶縁層に接合されている、付記 9 ないし 14 のいずれかに記載の半導体装置。

付記 16.

前記放熱層の厚さは、前記支持層の厚さよりも大きい、付記 15 に記載の半導体装置。

付記 17.

前記支持層、前記導電層および前記半導体素子を覆う封止樹脂をさらに備え、

前記放熱層は、前記封止樹脂から外部に露出している、付記 15 または 16 に記載の半導体装置。

## 符号の説明

- [0116] A 1 0, A 2 0, A 3 0, A 4 0 : 半導体装置
- |                  |                  |
|------------------|------------------|
| 1 1 : 基材         | 1 1 1 : 絶縁層      |
| 1 1 1 A : 周縁     | 1 1 2 : 支持層      |
| 1 1 2 A : 周縁     | 1 1 3 : 放熱層      |
| 1 2 : 導電層        | 1 2 A : 第 1 導電層  |
| 1 2 B : 第 2 導電層  | 1 2 1 : 主面       |
| 1 2 2 : 裏面       | 1 3 : 第 1 入力端子   |
| 1 3 A : 被覆部      | 1 3 B : 露出部      |
| 1 4 : 出力端子       | 1 4 A : 被覆部      |
| 1 4 B : 露出部      | 1 5 : 第 2 入力端子   |
| 1 5 A : 被覆部      | 1 5 B : 露出部      |
| 1 6 1 : 第 1 信号端子 | 1 6 2 : 第 2 信号端子 |
| 1 7 1 : 第 3 信号端子 | 1 7 2 : 第 4 信号端子 |
| 1 8 1 : 第 5 信号端子 | 1 8 2 : 第 6 信号端子 |
| 1 9 : 第 7 信号端子   | 2 1 : 半導体素子      |
| 2 1 A : 第 1 素子   | 2 1 B : 第 2 素子   |
| 2 1 1 : 第 1 電極   | 2 1 2 : 第 2 電極   |
| 2 1 3 : 第 3 電極   | 2 1 4 : 第 4 電極   |
| 2 2 : サーミスタ      | 2 9 : 導電接合層      |
| 3 1 : 第 1 導通部材   | 3 1 1 : 本体部      |
| 3 1 2 : 第 1 接合部  | 3 1 3 : 第 1 連結部  |
| 3 1 4 : 第 2 接合部  | 3 1 5 : 第 2 連結部  |

3 2 : 第 2 導通部材      3 2 1 : 本体部  
3 2 2 : 第 3 接合部      3 2 3 : 第 3 連結部  
3 2 4 : 第 4 接合部      3 2 5 : 第 4 連結部  
3 2 6 : 中間部      3 2 7 : 横梁部  
3 3 : 第 1 導電接合層      3 4 : 第 2 導電接合層  
3 5 : 第 3 導電接合層      3 6 : 第 4 導電接合層  
4 1 : 第 1 ワイヤ      4 2 : 第 2 ワイヤ  
4 3 : 第 3 ワイヤ      4 4 : 第 4 ワイヤ  
5 0 : 封止樹脂      5 1 : 頂面  
5 2 : 底面      5 3 : 第 1 側面  
5 4 : 第 2 側面      5 5 : 凹部  
6 0 : 制御配線      6 0 1 : 第 1 配線  
6 0 2 : 第 2 配線      6 1 : 絶縁層  
6 2 : 配線層      6 2 1 : 第 1 配線層  
6 2 2 : 第 2 配線層      6 2 3 : 第 3 配線層  
6 2 4 : 第 4 配線層      6 2 5 : 第 5 配線層  
6 3 : 中間層      6 4 : スリーブ  
6 4 1 : 端面      6 8 : 第 1 接合層  
6 9 : 第 2 接合層      7 1 : 第 1 被覆層  
7 2 : 第 2 被覆層      7 3 : 接合層  
7 3 1 : 基層      7 3 2 : 第 3 被覆層  
7 3 3 : 第 4 被覆層      7 4 : 固相接合層  
7 4 A : 第 1 結合層      7 4 B : 第 2 結合層  
7 5 1 : 第 1 層      7 5 2 : 第 2 層  
7 5 3 : 第 3 層      7 5 4 : 第 4 層  
7 5 5 : 第 5 層      7 5 6 : 第 6 層  
7 5 7 : 第 7 層      7 5 8 : 第 8 層  
7 5 9 : 第 9 層      z : 第 1 方向      x : 第 2 方向      y : 第 3 方向

## 請求の範囲

- [請求項1] 支持層と、  
前記支持層に接合された導電層と、  
前記導電層を基準として前記支持層とは反対側に位置し、かつ前記導電層に接合された半導体素子と、  
前記支持層と前記導電層との間に位置し、かつ前記支持層を覆う第1被覆層と、  
前記第1被覆層と前記導電層との間に位置し、かつ前記導電層を覆う第2被覆層と、  
前記第1被覆層と前記第2被覆層とを接合する接合層と、を備え、  
前記接合層は、基層と、前記基層と前記第1被覆層との間に位置する第3被覆層と、前記基層と前記第2被覆層との間に位置する第4被覆層と、を有し、  
前記第1被覆層と前記第3被覆層との間と、前記第2被覆層と前記第4被覆層との間と、の各々には、固相接合層が形成されており、  
前記基層のピッカース硬さは、前記支持層および前記導電層の各々のピッカース硬さよりも小さく、  
前記第3被覆層および前記第4被覆層の各々は、前記基層を覆う第1層と、前記第1層を覆う第2層と、前記第2層を覆う第3層と、を有し、  
前記第3層、前記第1被覆層および前記第2被覆層の各々への前記第2層の拡散度合いは、前記第3層、前記第1被覆層および前記第2被覆層の各々への前記第1層の拡散度合いよりも大きい、半導体装置。
- [請求項2] 前記第2層は、前記支持層および前記導電層の各々が含有する金属を含む、請求項1に記載の半導体装置。
- [請求項3] 前記支持層、前記導電層および前記第2層の各々は、銅を含有する、請求項2に記載の半導体装置。

- [請求項4] 前記第1被覆層、前記第2被覆層および前記第3層の各々は、銀および金のいずれかを含有する、請求項2または3に記載の半導体装置。
- [請求項5] 前記基層は、アルミニウムを含有する、請求項2ないし4のいずれかに記載の半導体装置。
- [請求項6] 前記第1層のビッカース硬さは、前記第2層のビッカース硬さよりも大きい、請求項2ないし5のいずれかに記載の半導体装置。
- [請求項7] 前記第1層は、ニッケルを含有する、請求項6に記載の半導体装置。
- [請求項8] 前記第1被覆層は、前記支持層を覆う第4層と、前記第4層を覆う第5層と、前記第5層を覆う第6層と、を有し、  
前記第4層が含有する金属は、前記第1層が含有する金属と同一であり、  
前記第5層が含有する金属は、前記第2層が含有する金属と同一であり、  
前記第6層への前記第5層の拡散度合いは、前記第6層への前記第4層の拡散度合いよりも大きい、請求項6または7に記載の半導体装置。
- [請求項9] 前記支持層を基準として前記導電層とは反対側に位置する絶縁層をさらに備え、  
前記支持層は、前記絶縁層に接合されている、請求項6に記載の半導体装置。
- [請求項10] 前記半導体素子は、前記導電層に対向する第1電極を有し、  
前記第1電極は、前記導電層に導電接合されている、請求項9に記載の半導体装置。
- [請求項11] 前記導電層の厚さは、前記支持層の厚さよりも大きい、請求項10に記載の半導体装置。
- [請求項12] 平面視において、前記導電層は、前記支持層の周縁に囲まれている

、請求項 1 1 に記載の半導体装置。

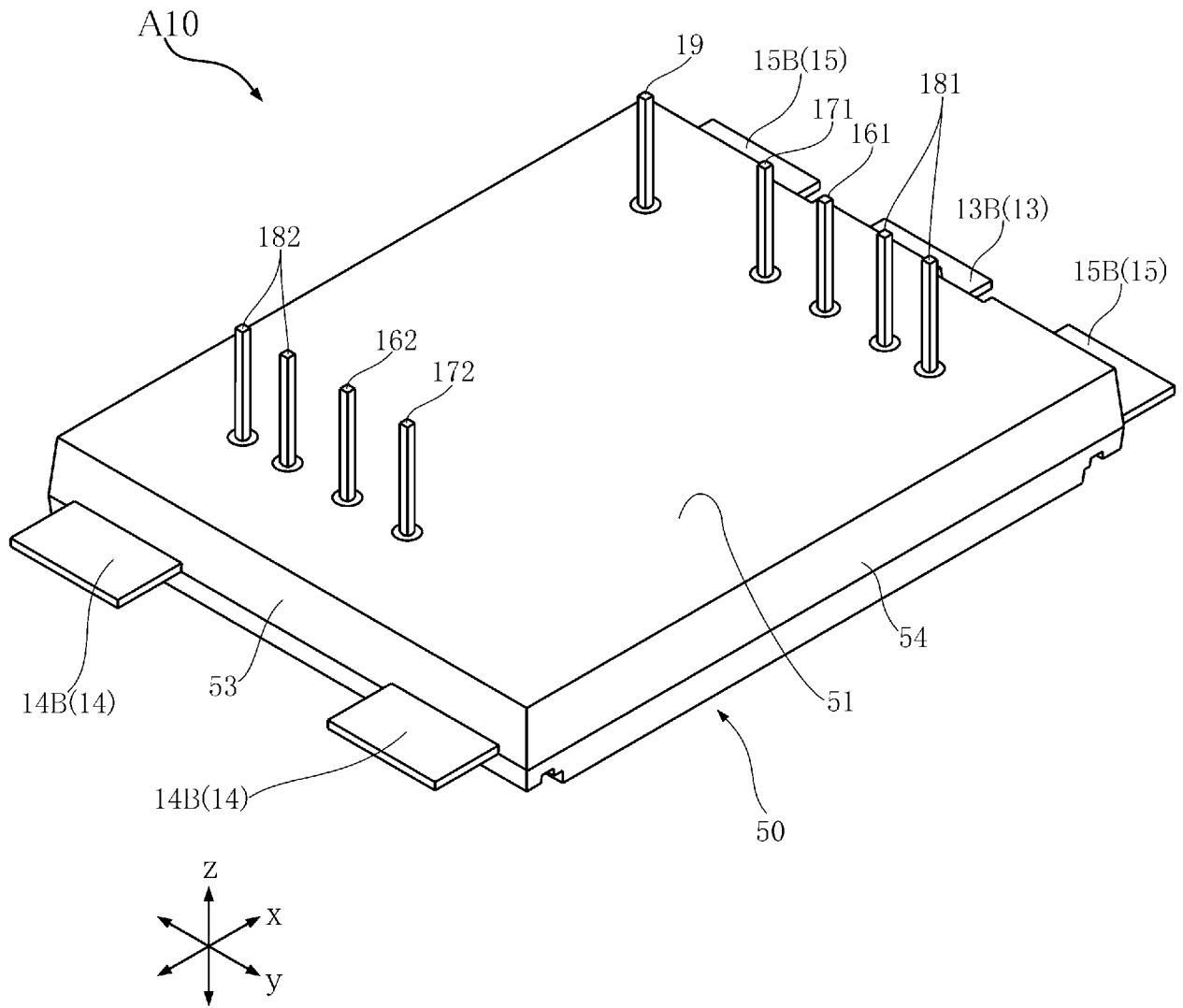
[請求項13] 前記導電層は、前記第 2 被覆層に覆われた裏面を有し、  
平面視において、前記裏面は、前記支持層の周縁に囲まれている、  
請求項 1 1 に記載の半導体装置。

[請求項14] 前記導電層は、前記第 1 電極に対向する主面を有し、  
前記主面の面積は、前記裏面の面積よりも大きい、請求項 1 3 に記  
載の半導体装置。

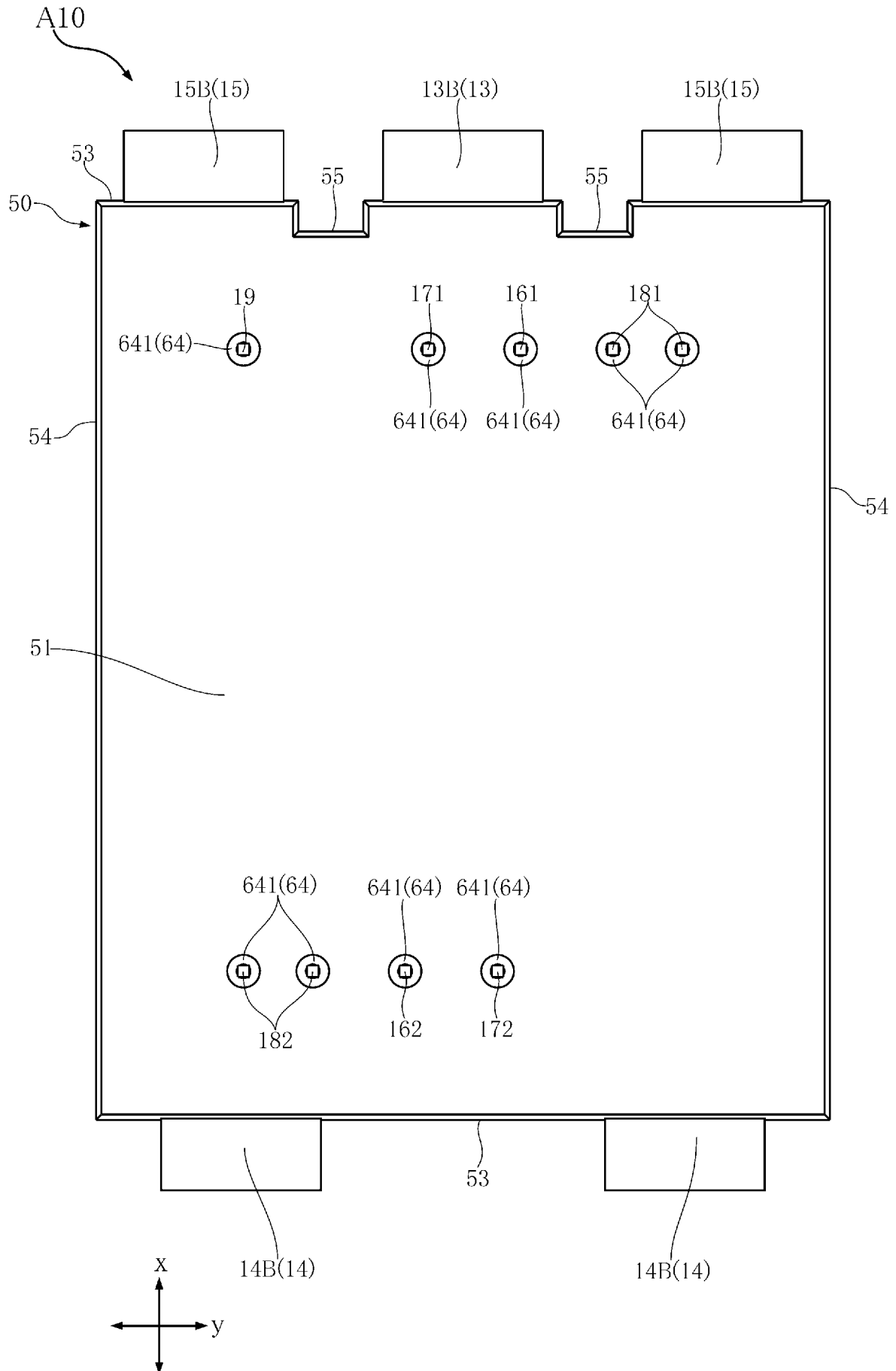
[請求項15] 前記絶縁層を基準として前記支持層とは反対側に位置する放熱層を  
さらに備え、  
前記放熱層は、前記絶縁層に接合されている、請求項 9 ないし 1 4  
のいずれかに記載の半導体装置。

[請求項16] 前記放熱層の厚さは、前記支持層の厚さよりも大きい、請求項 1 5  
に記載の半導体装置。

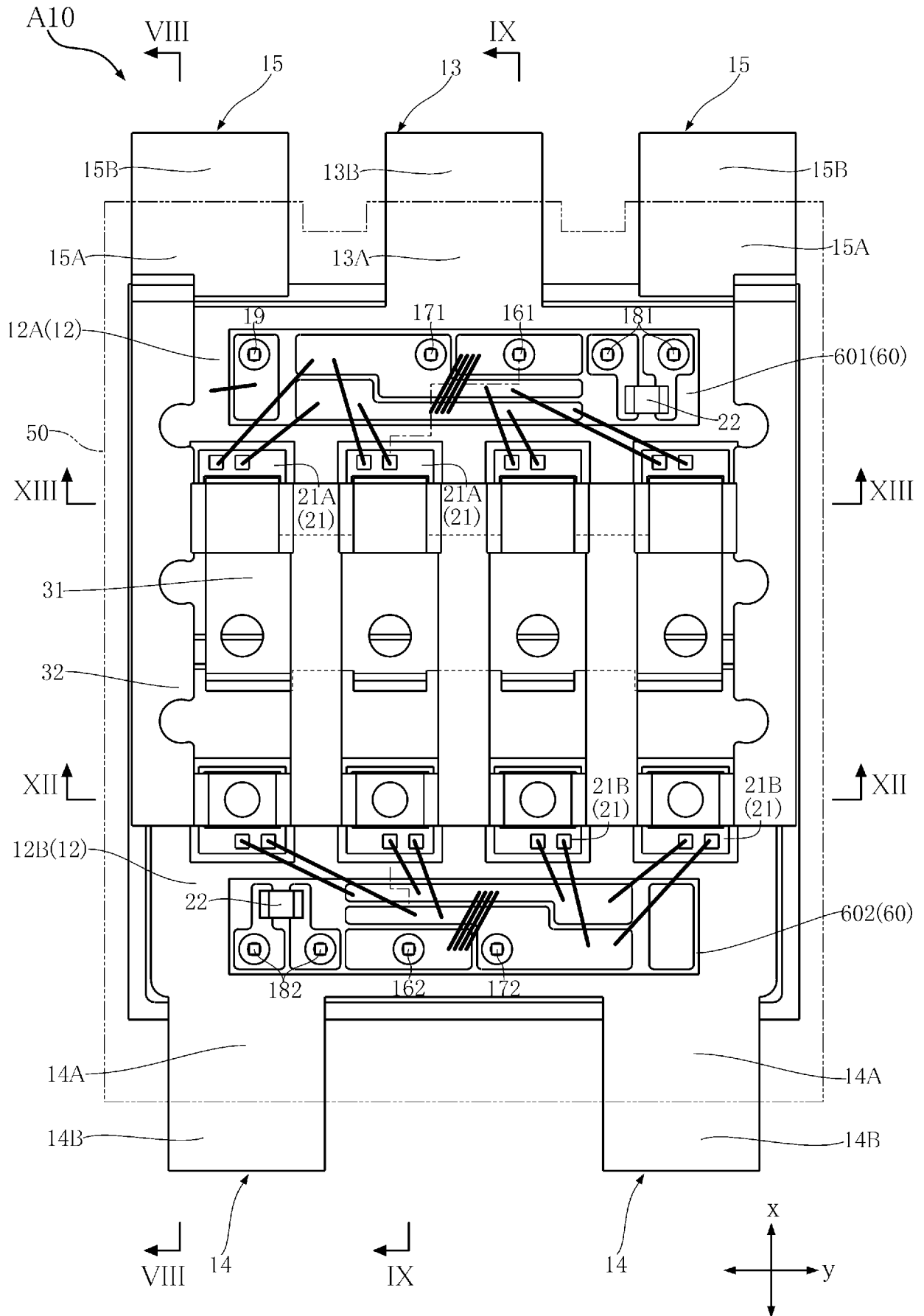
[請求項17] 前記支持層、前記導電層および前記半導体素子を覆う封止樹脂をさ  
らに備え、  
前記放熱層は、前記封止樹脂から外部に露出している、請求項 1 5  
または 1 6 に記載の半導体装置。

[図1]  
FIG.1

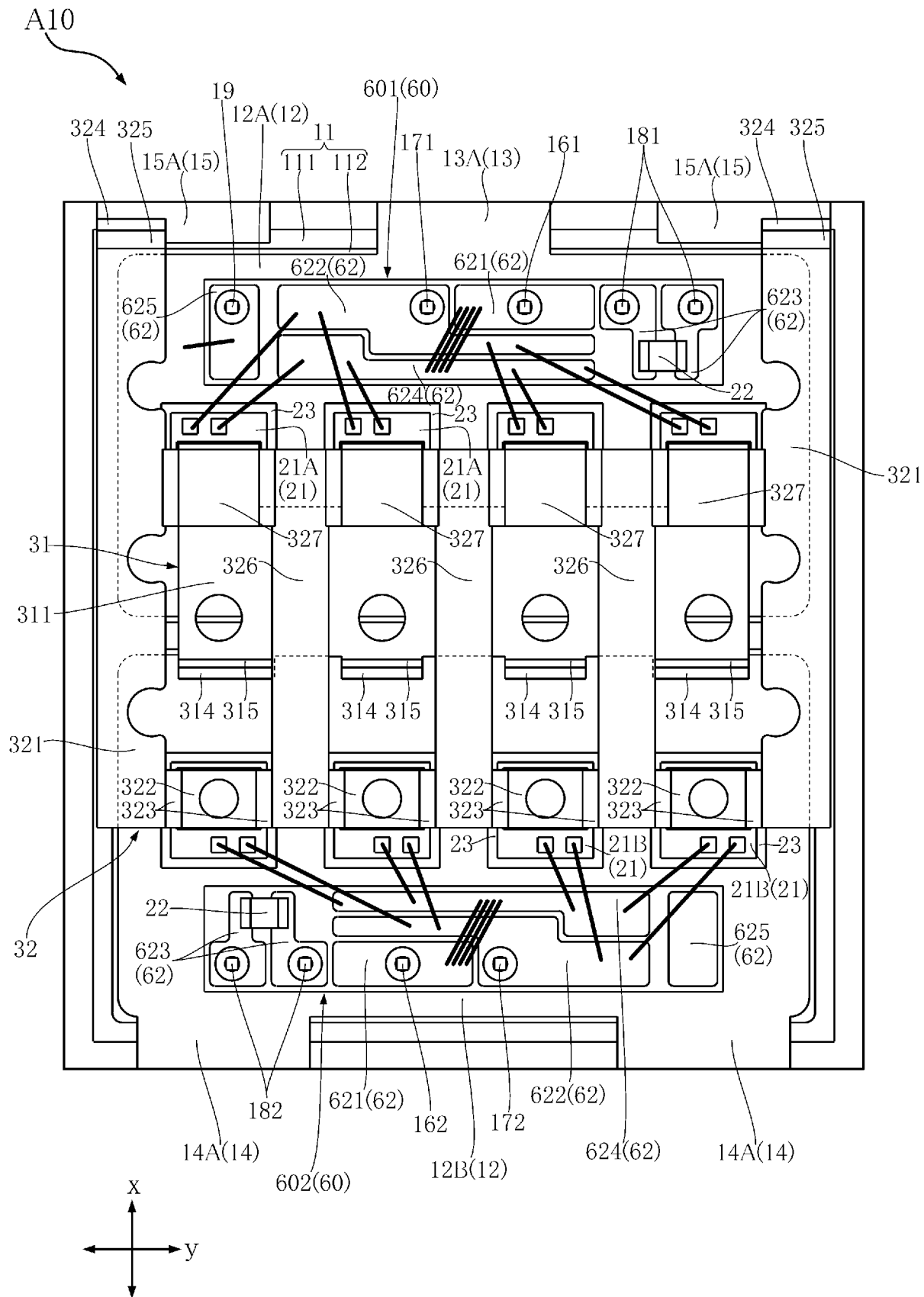
[図2]  
FIG.2



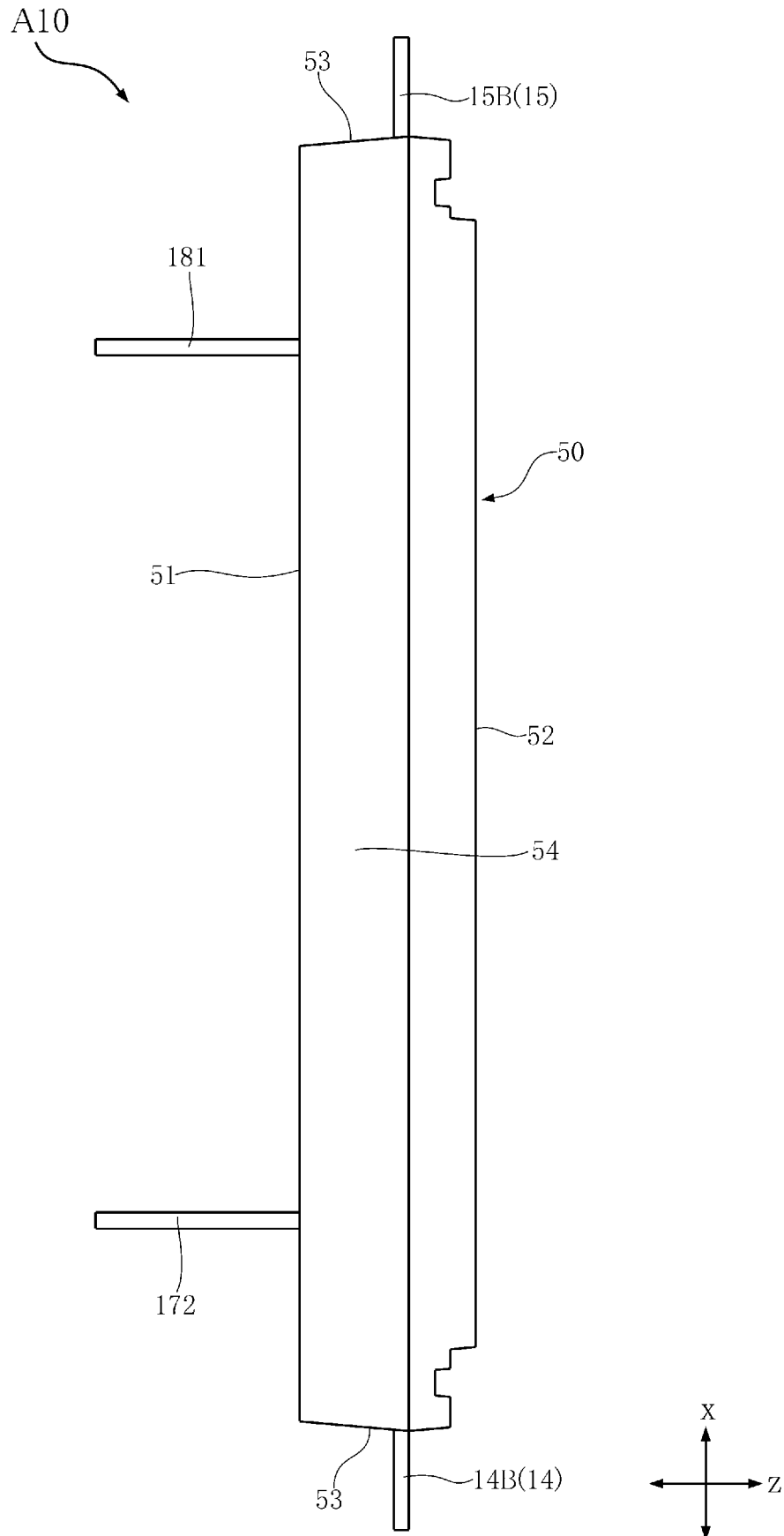
[]3]  
FIG.3

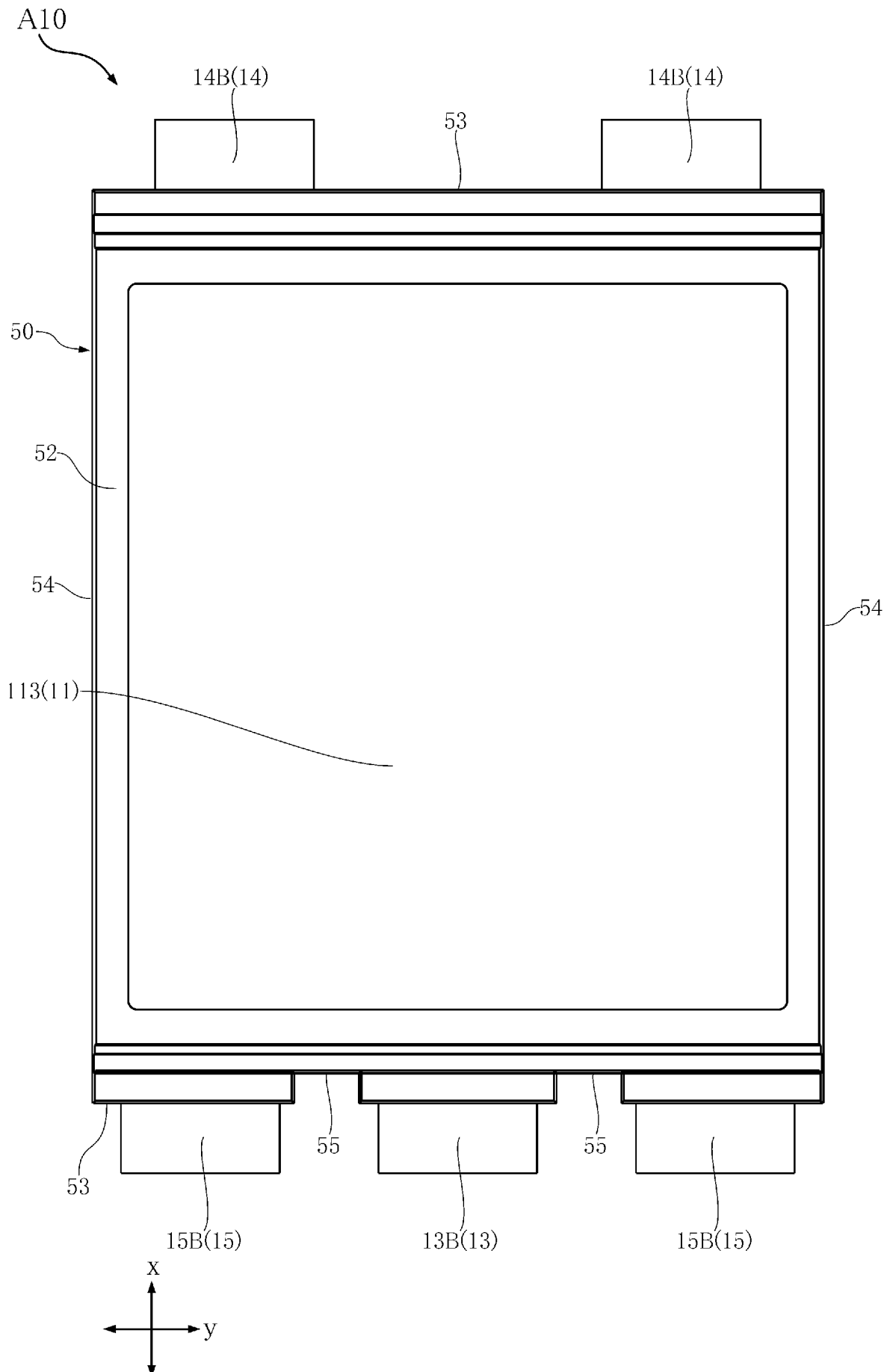


[図4]  
FIG.4

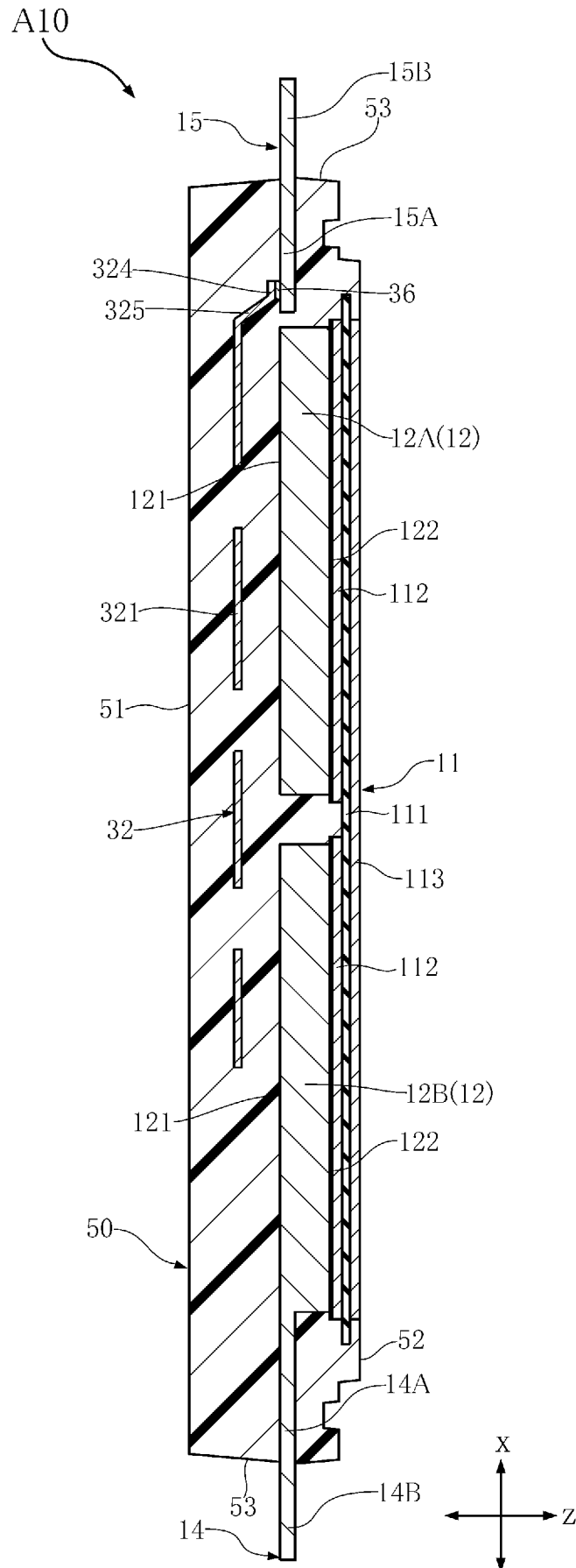




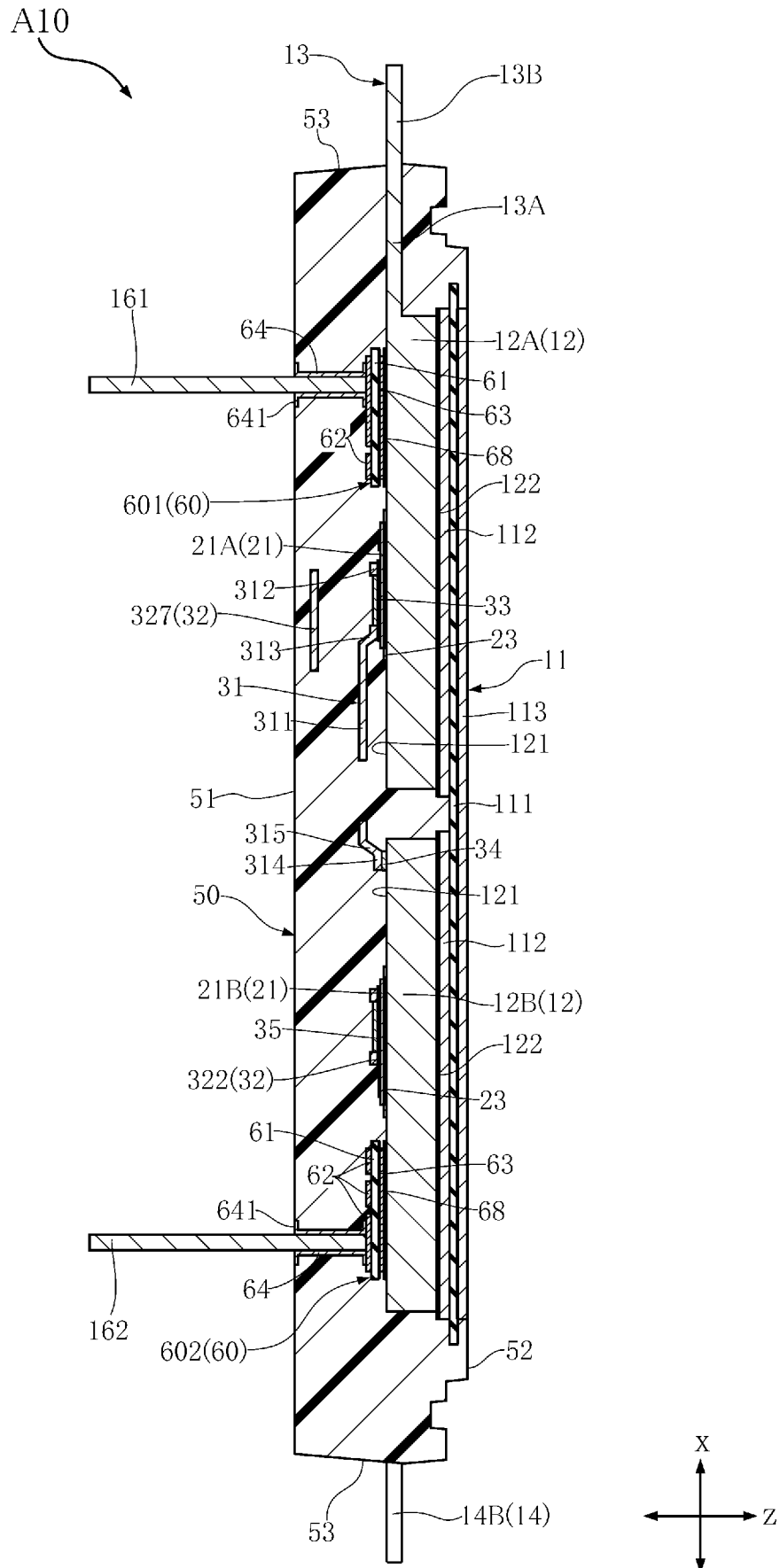
[図6]  
FIG.6

[図7]  
FIG.7

[図8]  
FIG.8

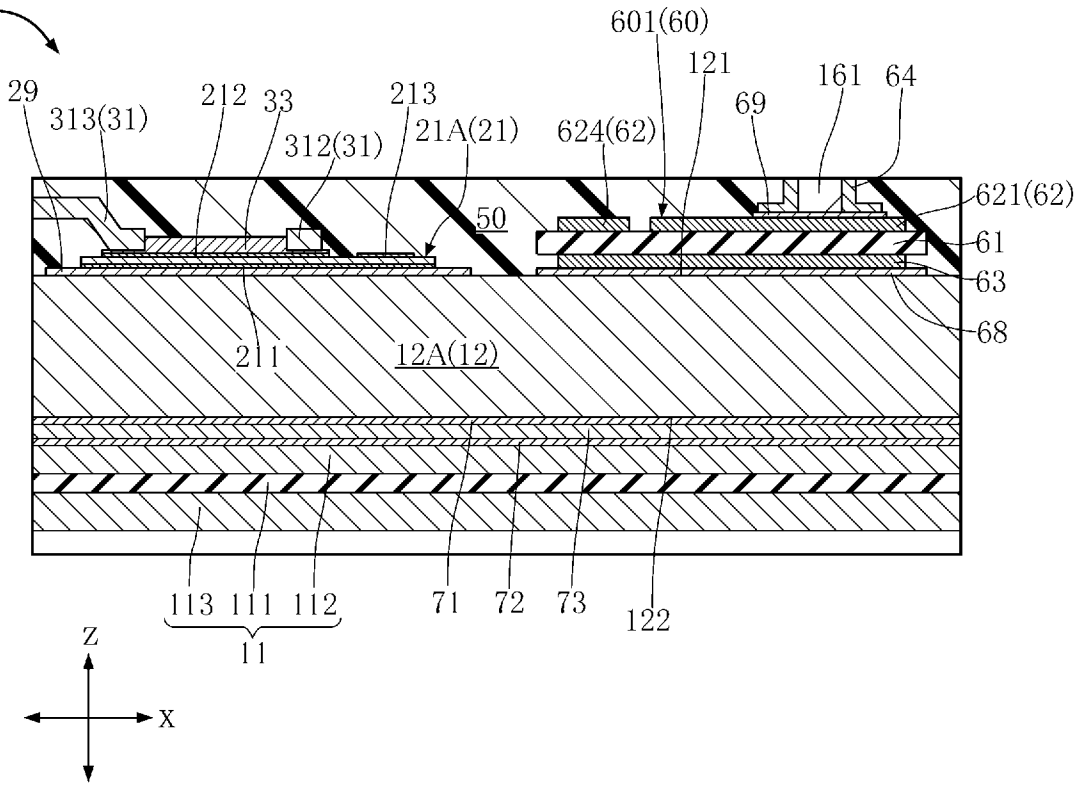


[図9]  
FIG.9



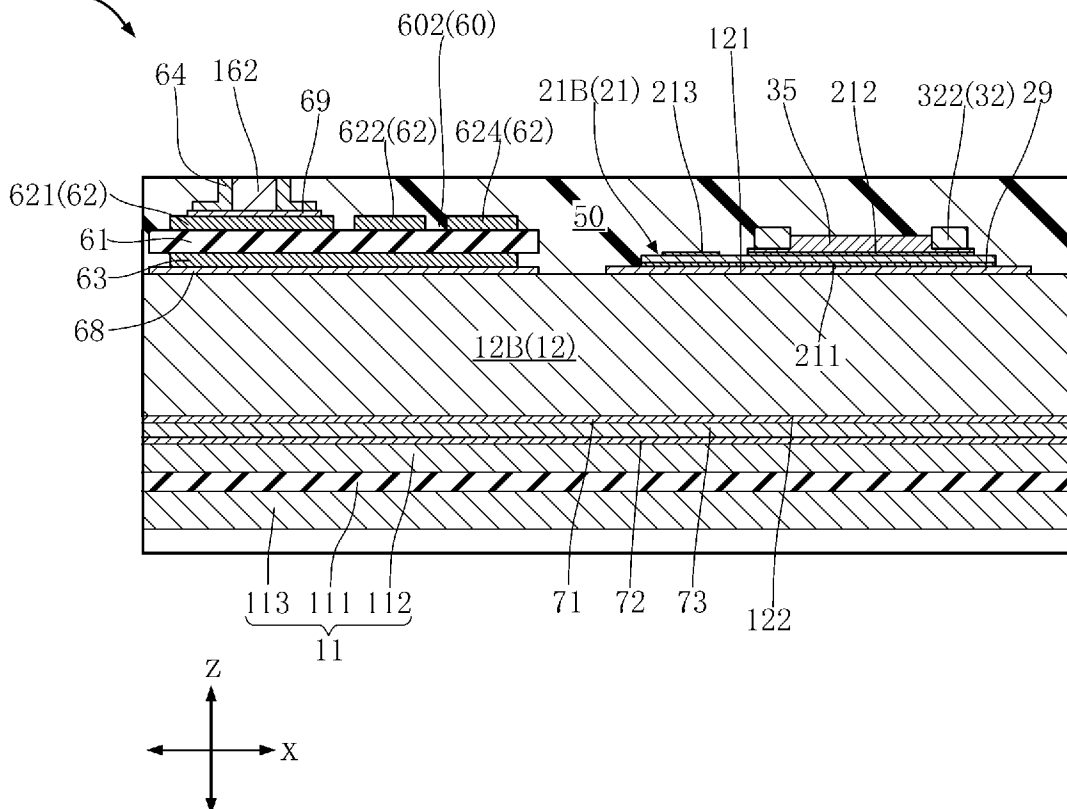
[図10]  
FIG.10

A10

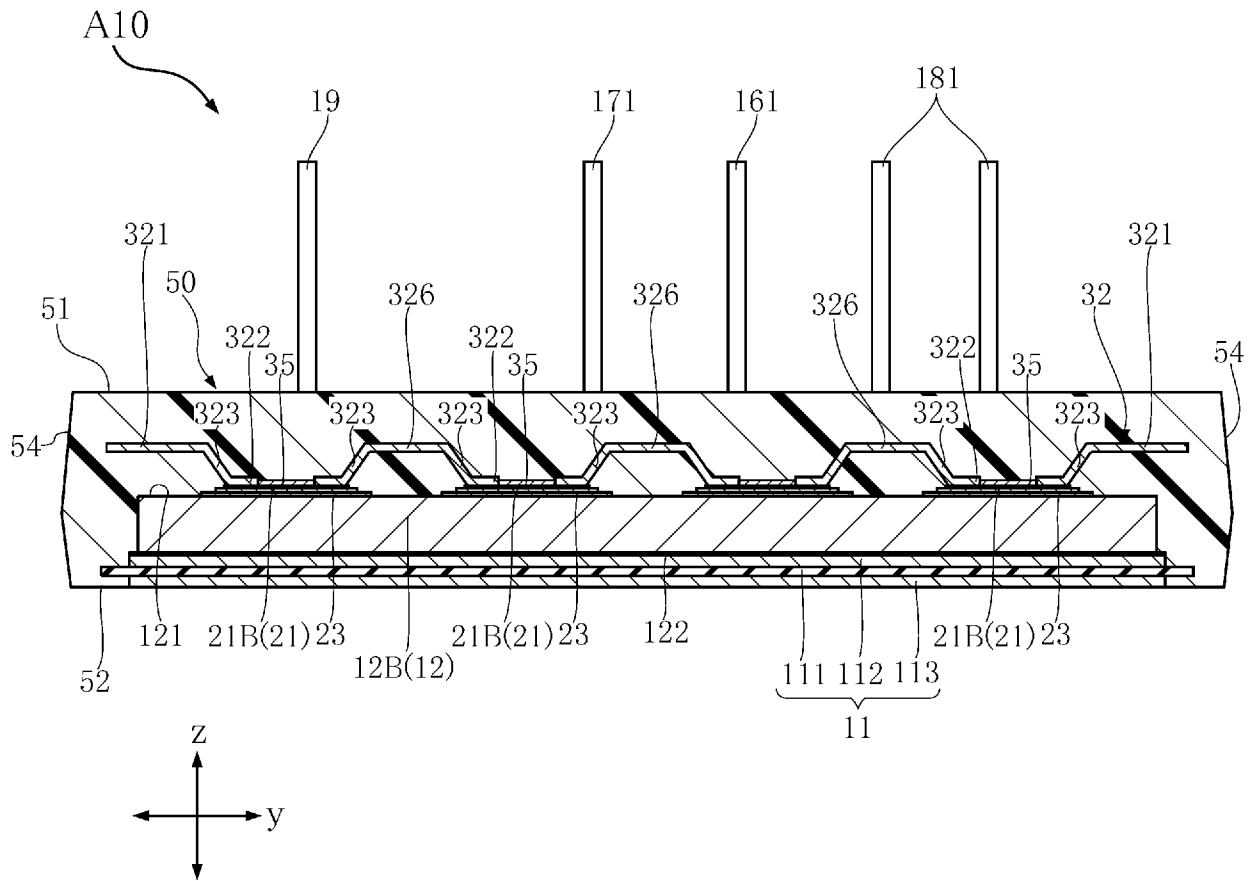


[図11]  
FIG.11

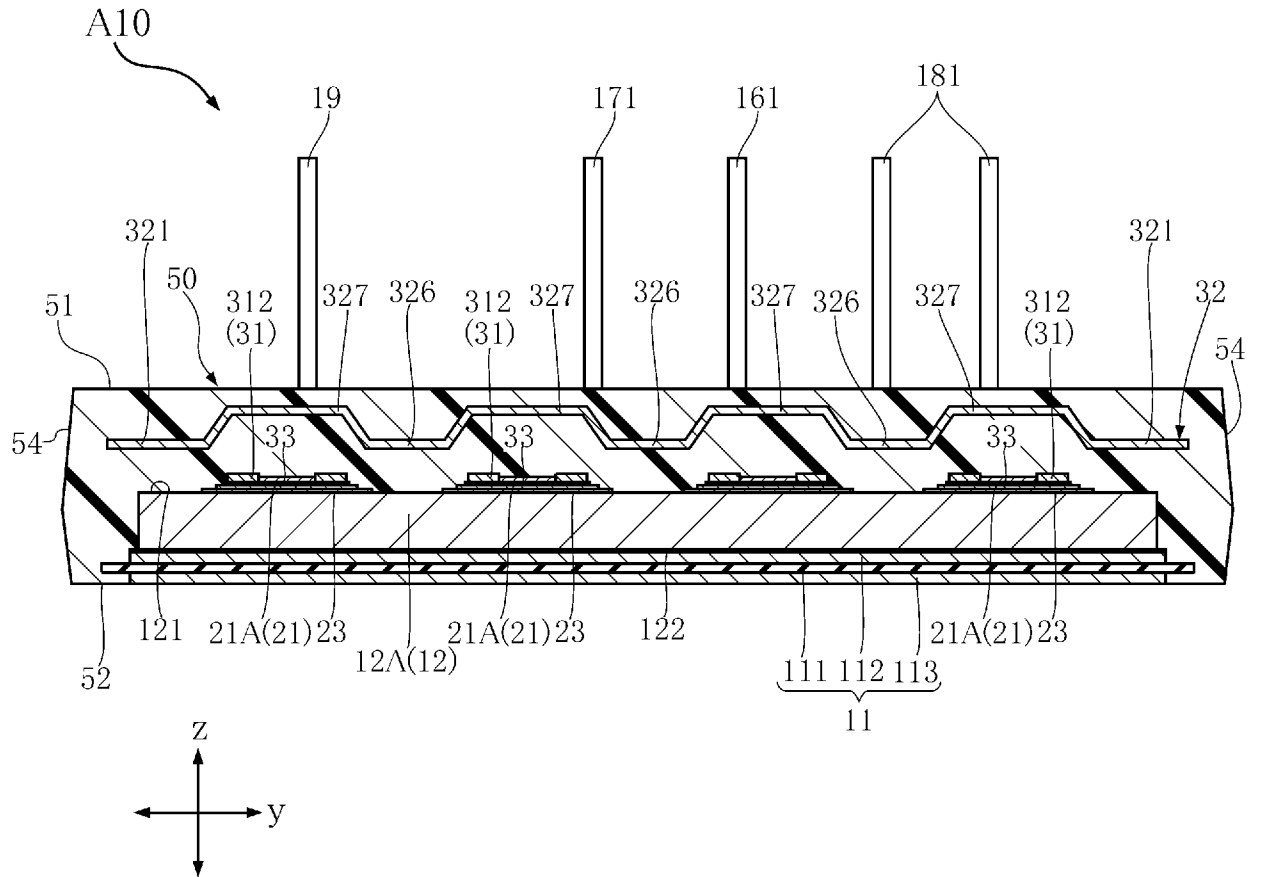
A10

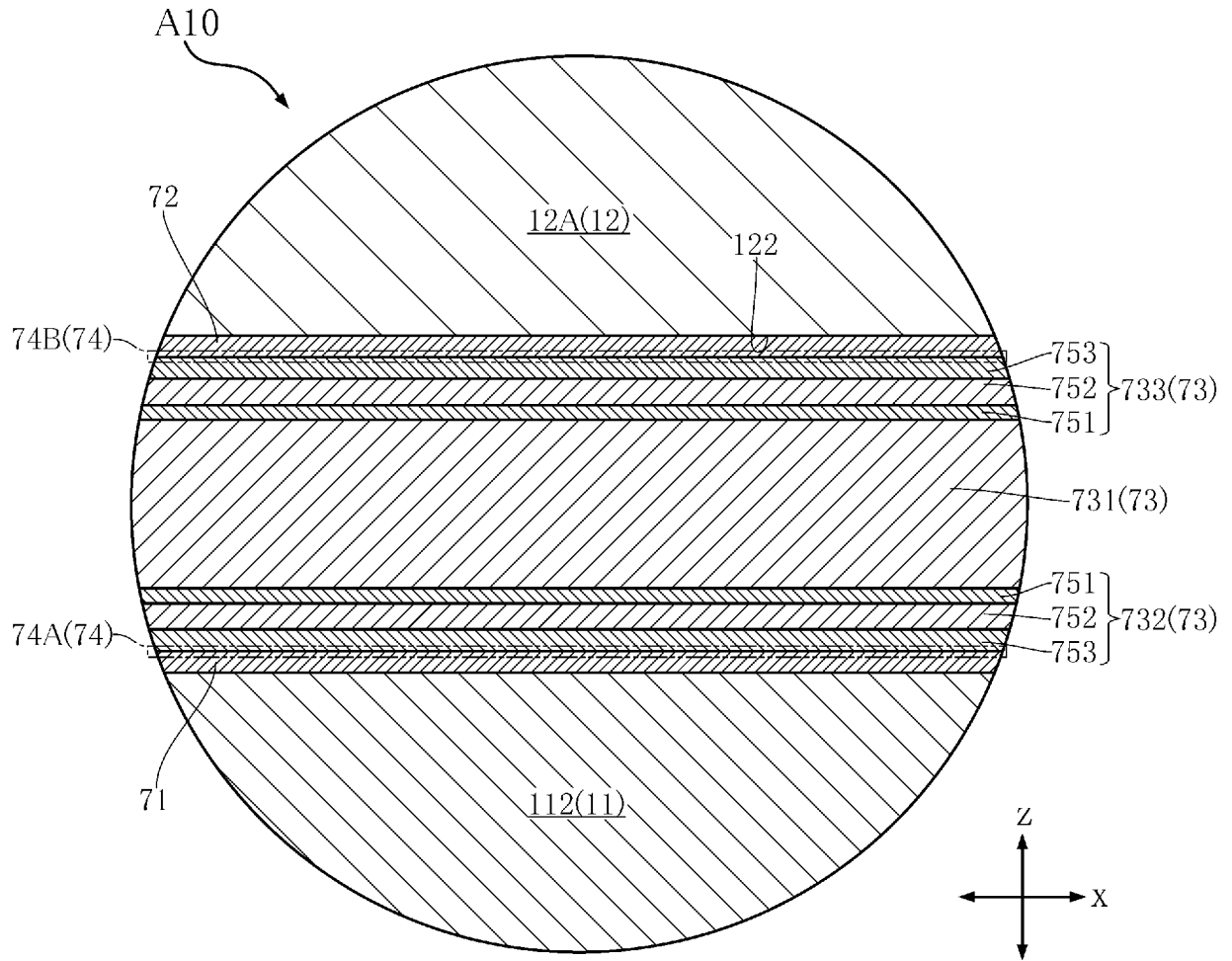


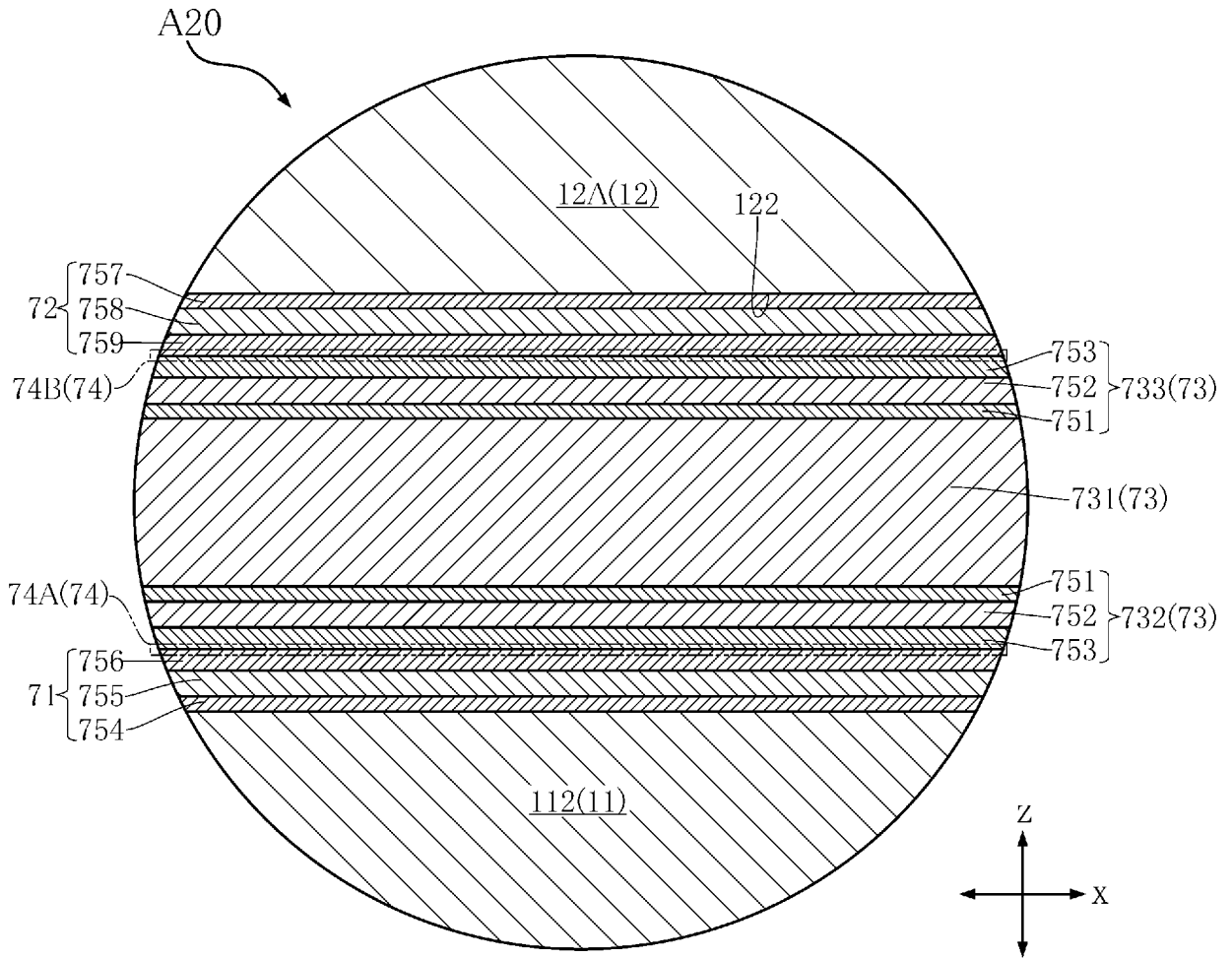
[図12]  
FIG.12



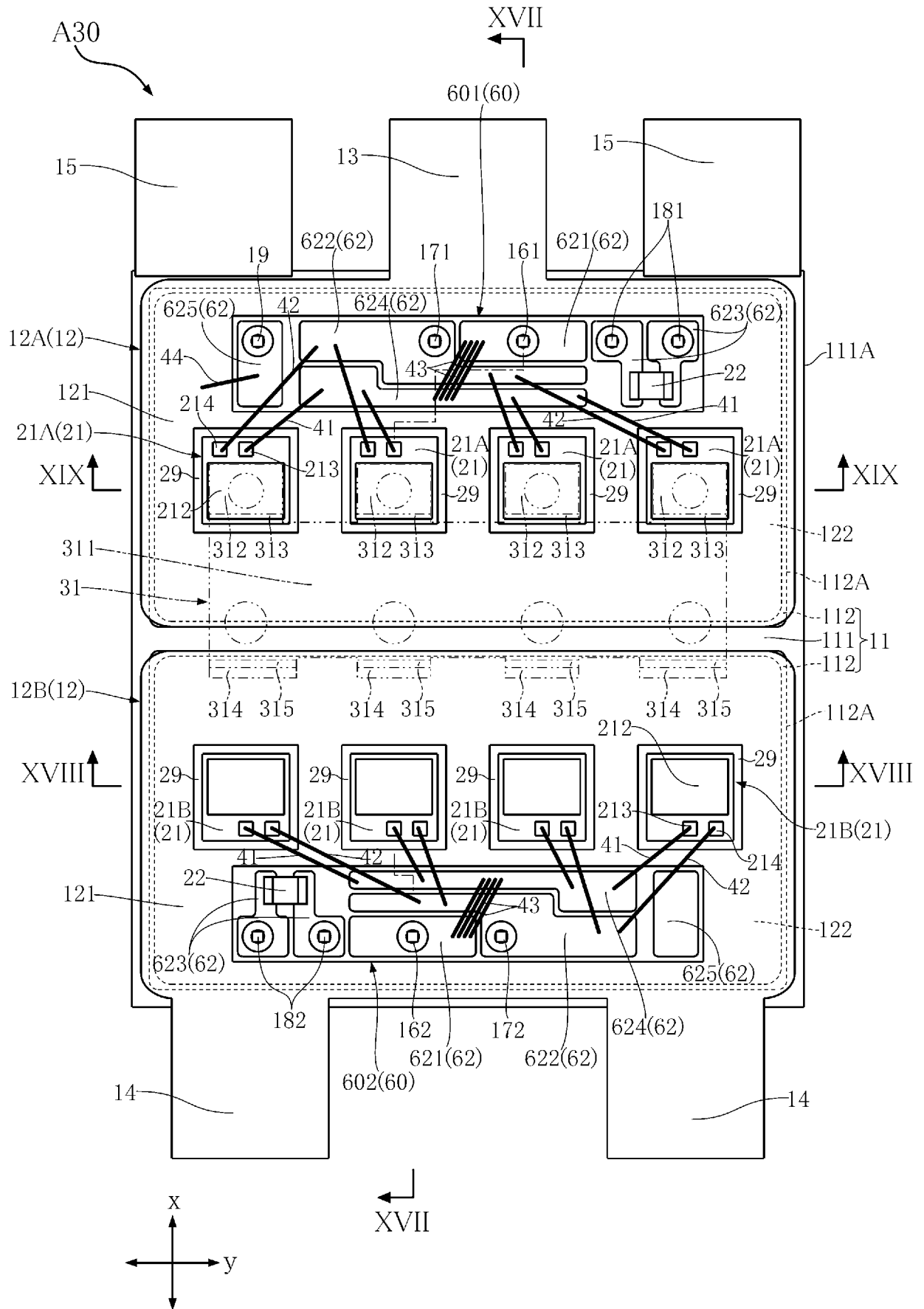
[図13]  
FIG.13



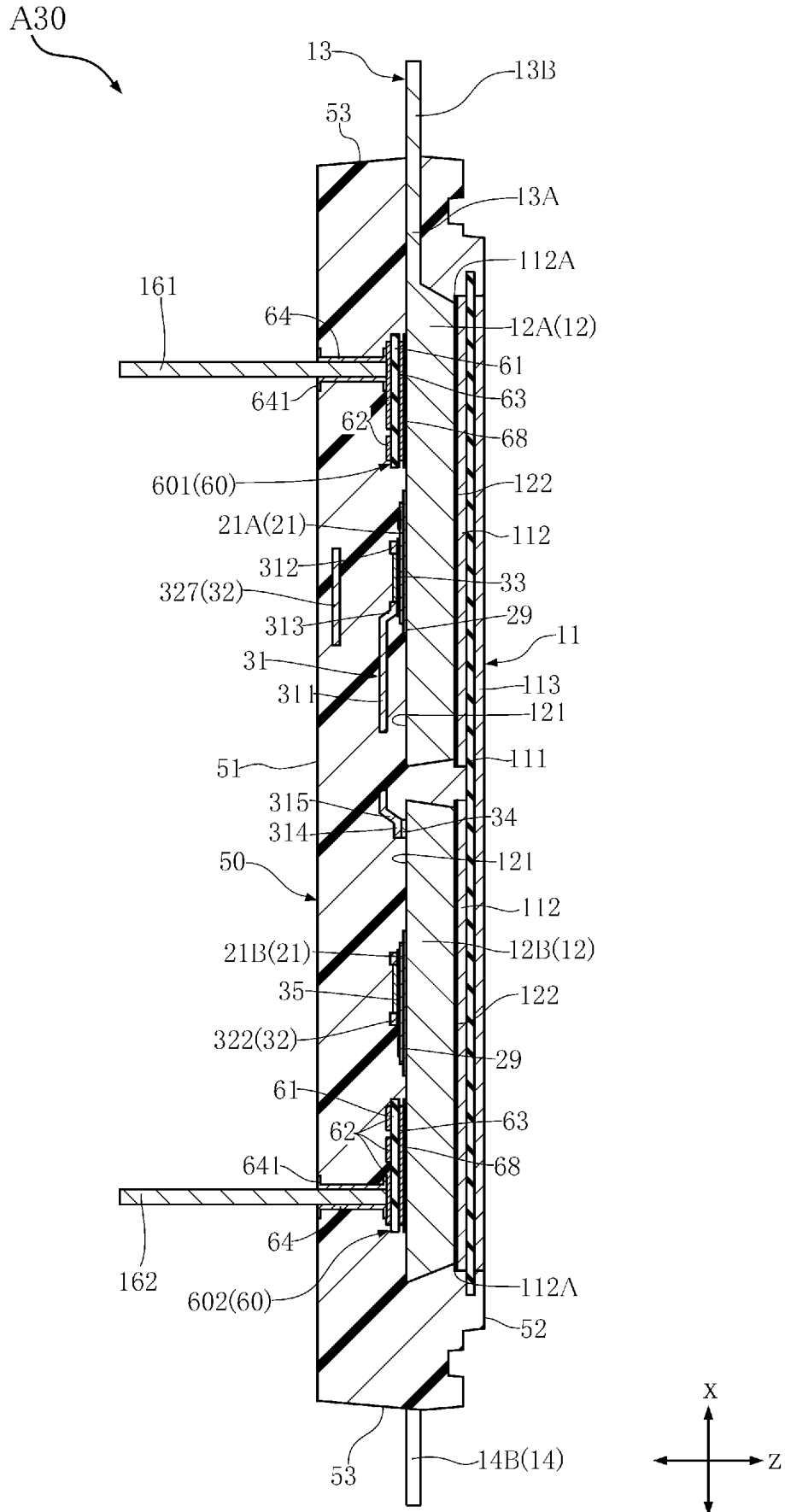
[図14]  
FIG.14

[図15]  
FIG.15

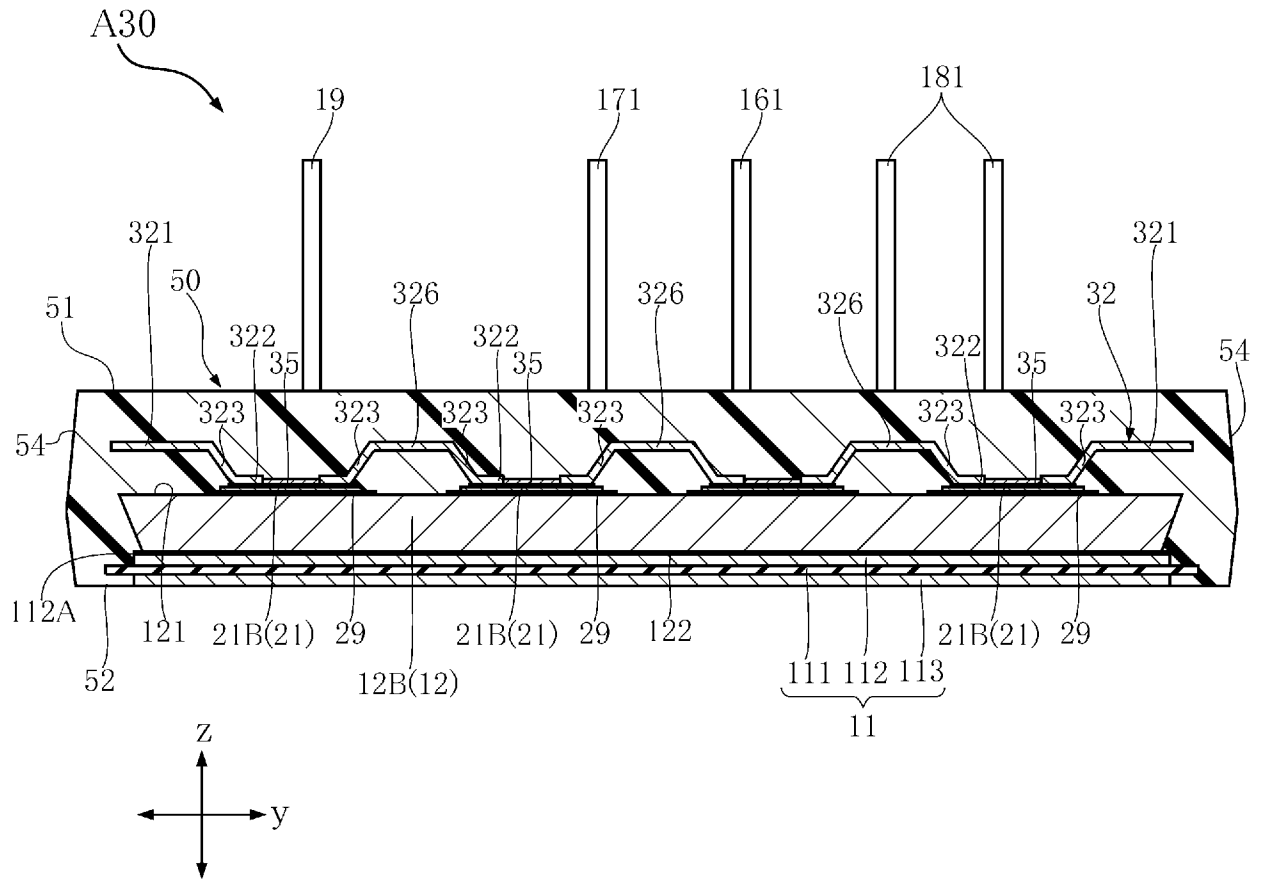
[図16]  
FIG.16




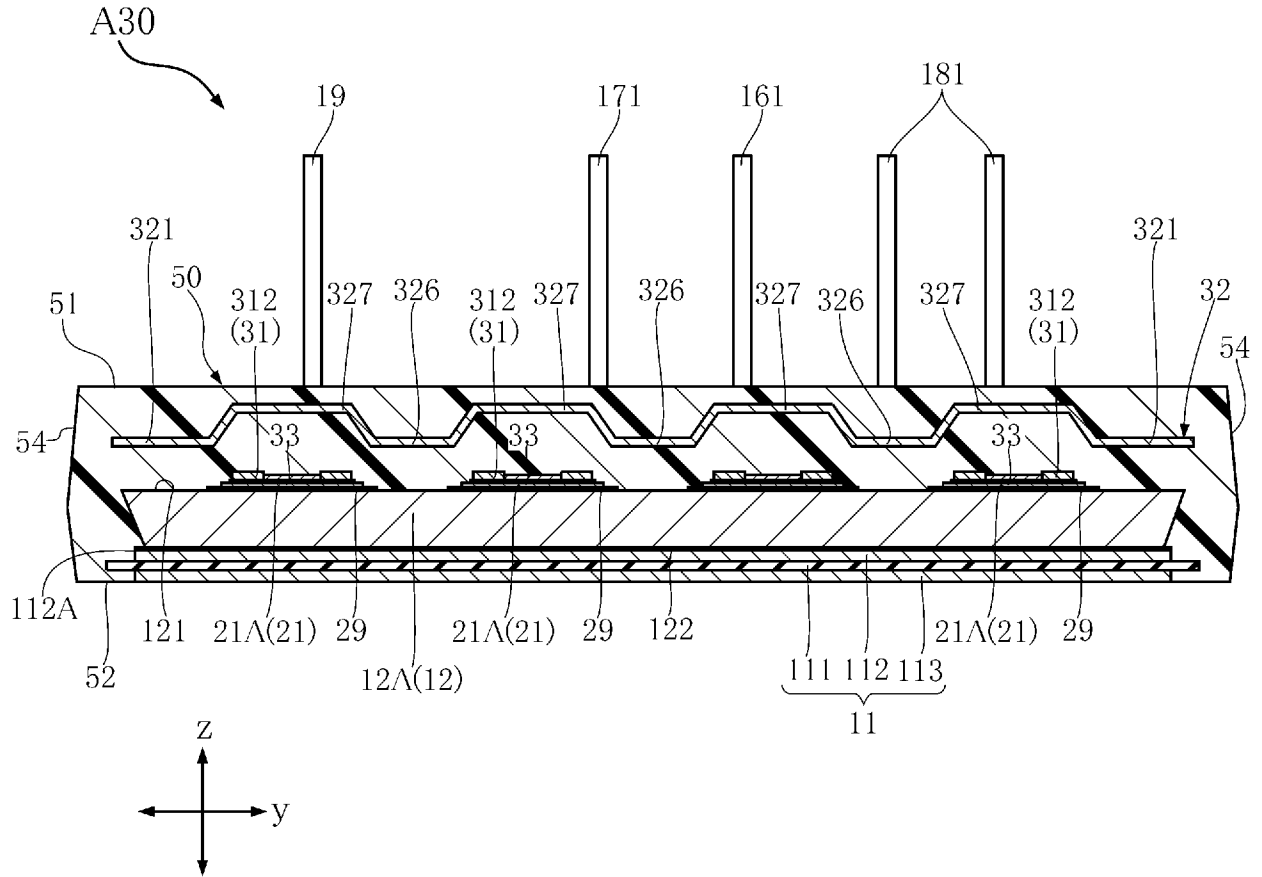
[図17]  
FIG.17



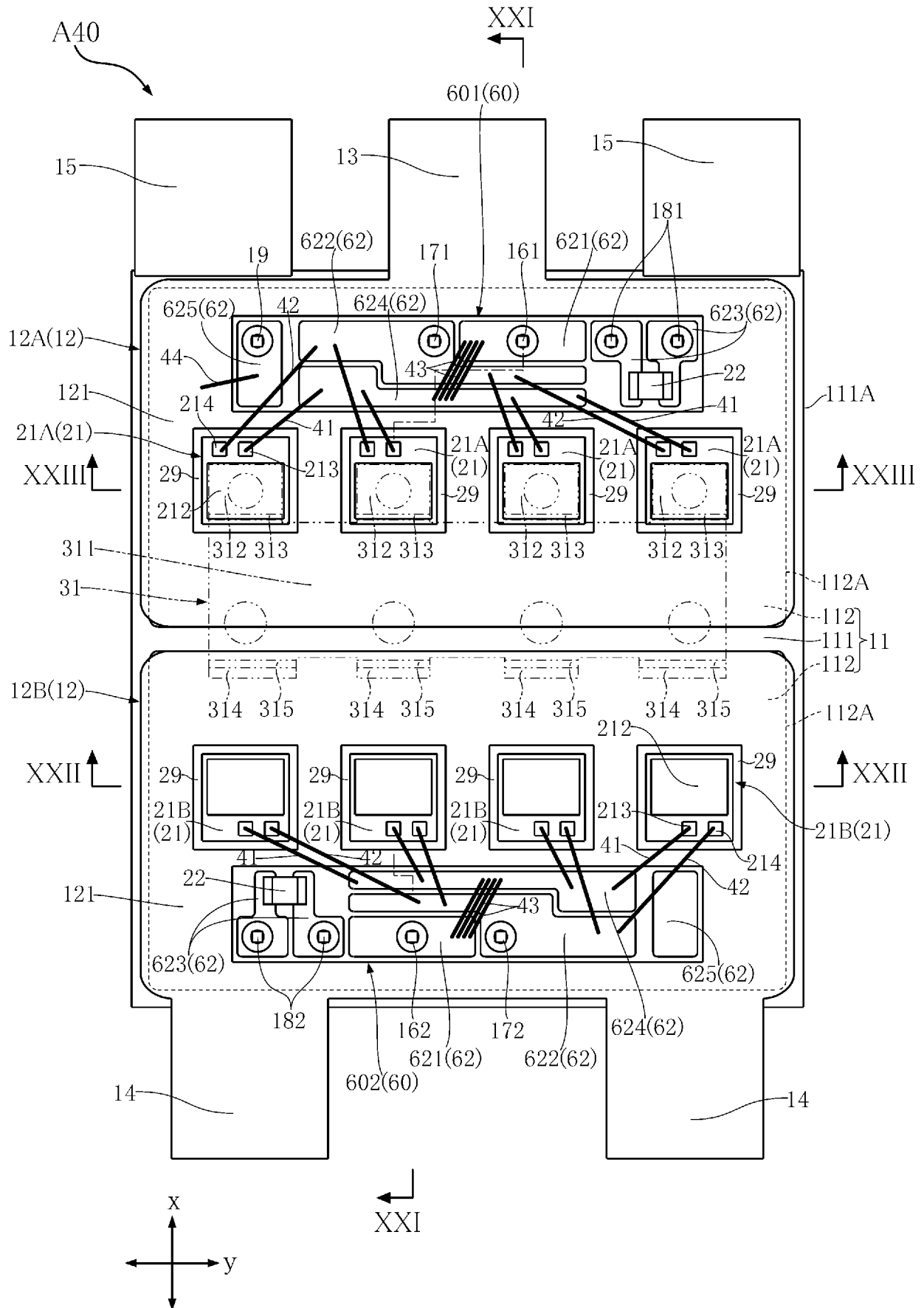
[図18]  
FIG.18



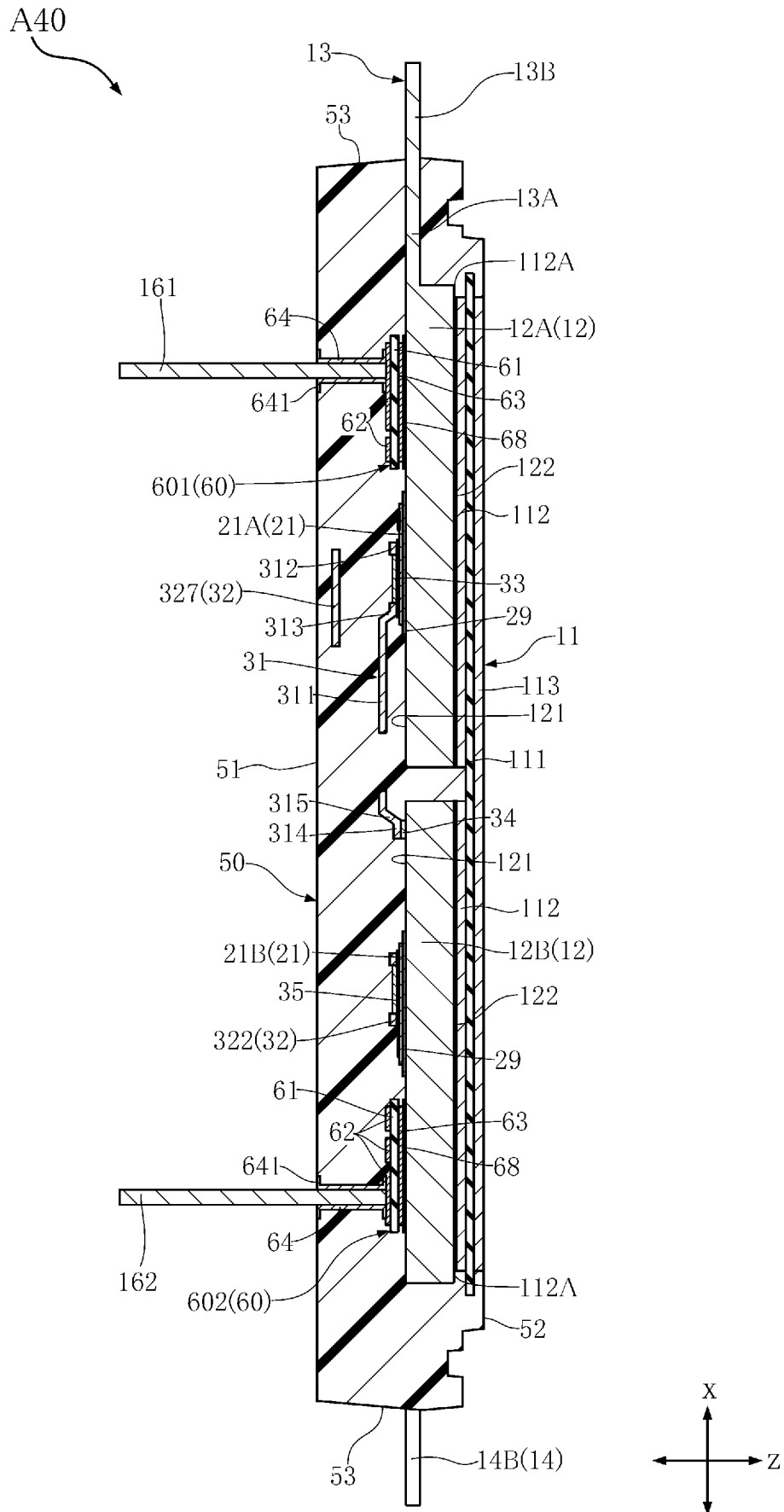
[]19]  
FIG.19



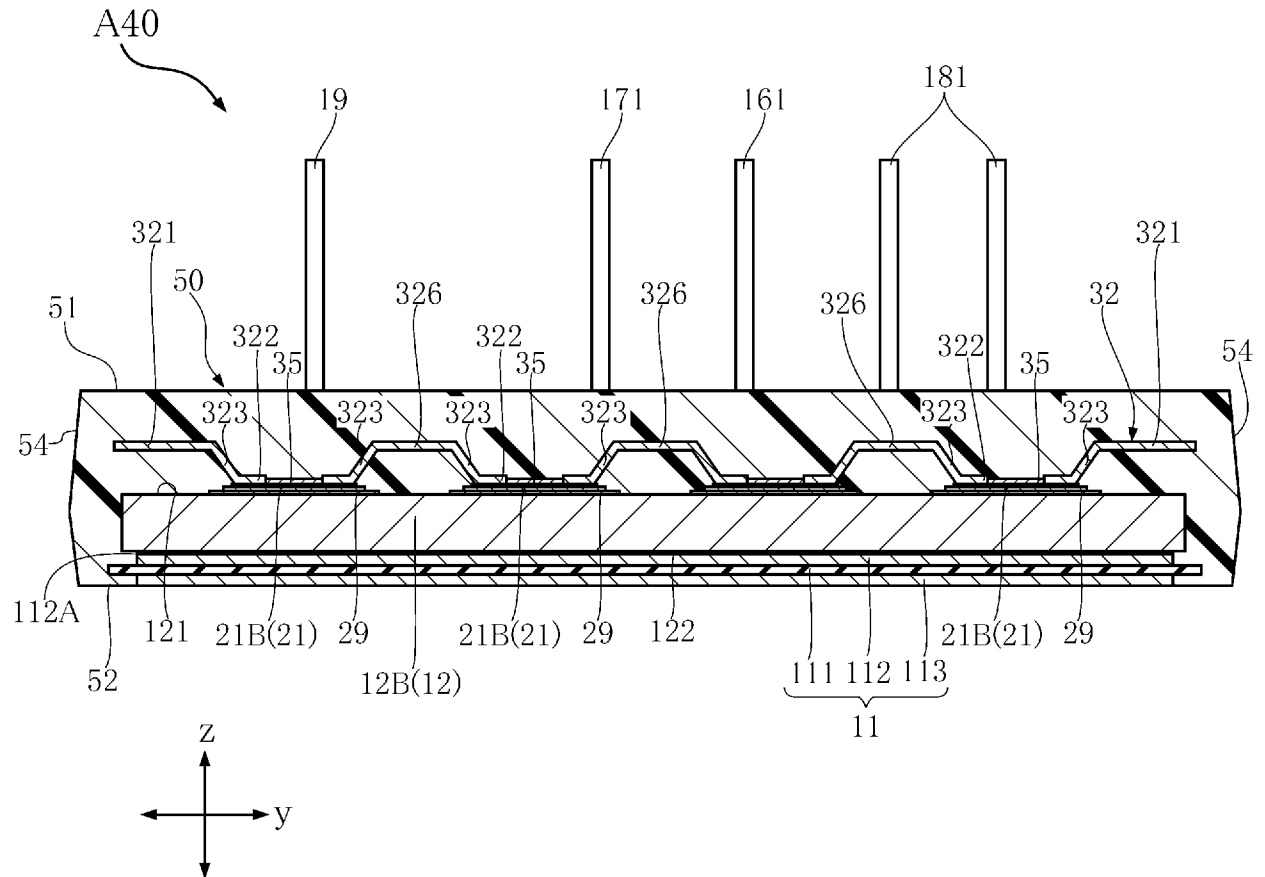
[図20]  
FIG.20



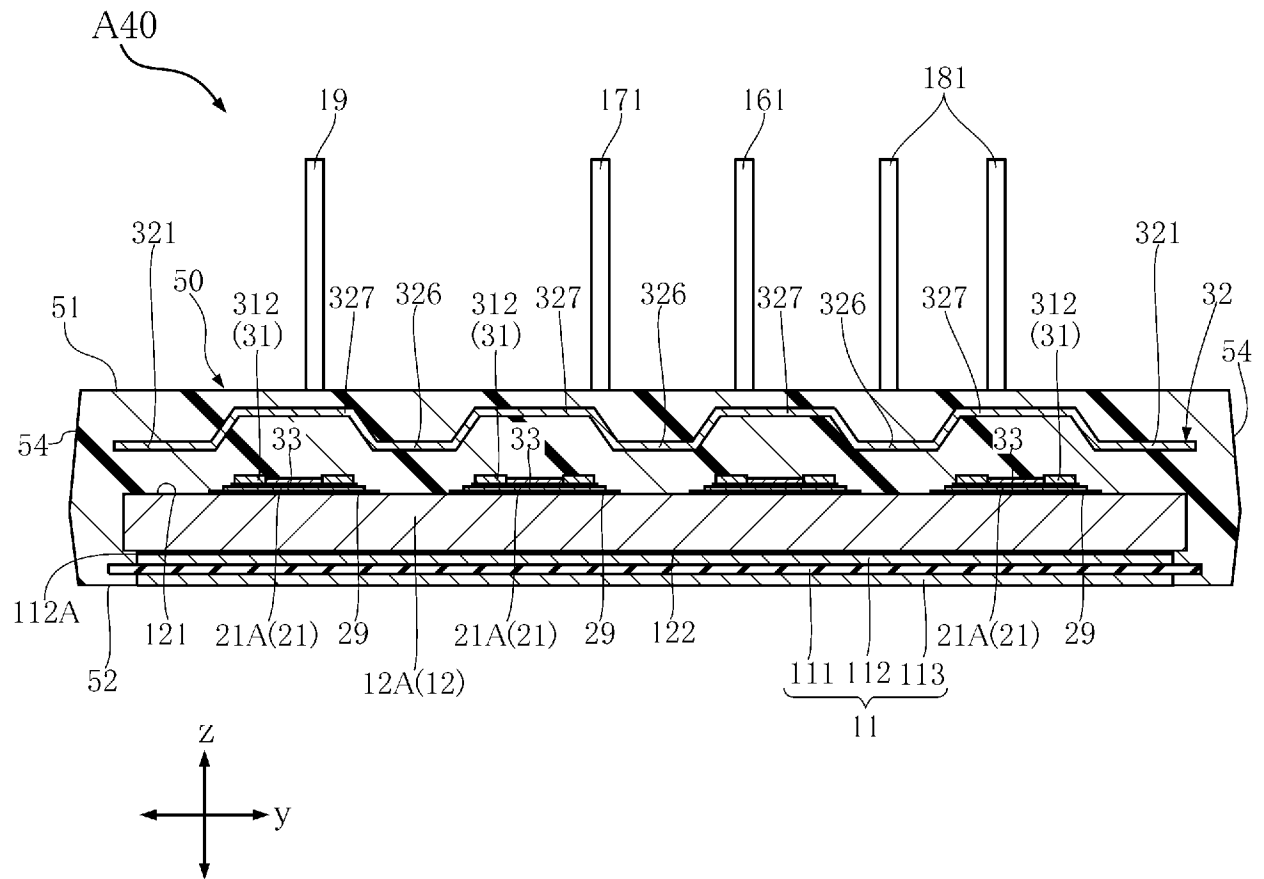
[図21]  
FIG.21



[図22]  
FIG.22



[図23]  
FIG.23



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/023816

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 23/12</i> (2006.01)i; <i>H01L 23/36</i> (2006.01)i FI: H01L23/12 J; H01L23/36 C		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L23/12; H01L23/36		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-042528 A (MITSUBISHI MATERIALS CORP) 31 March 2016 (2016-03-31) entire text, all drawings	1-17
A	WO 2018/181417 A1 (ROHM CO LTD) 04 October 2018 (2018-10-04) entire text, all drawings	1-17
A	WO 2020/091008 A1 (MITSUBISHI MATERIALS CORP) 07 May 2020 (2020-05-07) entire text, all drawings	1-17
A	JP 2005-044931 A (SHINKO ELECTRIC IND CO LTD) 17 February 2005 (2005-02-17) entire text, all drawings	1-17
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>06 September 2023</b>		Date of mailing of the international search report <b>19 September 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No. <b>PCT/JP2023/023816</b>
---

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2016-042528 A	31 March 2016	(Family: none)	
WO 2018/181417 A1	04 October 2018	US 2019/0371695 A1 entire text, all drawings CN 110476244 A	
WO 2020/091008 A1	07 May 2020	US 2021/0352828 A1 entire text, all drawings EP 3875267 A1 CN 112839799 A KR 10-2021-0084456 A	
JP 2005-044931 A	17 February 2005	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i; H01L 23/36(2006.01)i FI: H01L23/12 J; H01L23/36 C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/12; H01L23/36 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-042528 A（三菱マテリアル株式会社）31.03.2016（2016 - 03 - 31） 全文、全図	1-17
A	WO 2018/181417 A1（ローム株式会社）04.10.2018（2018 - 10 - 04） 全文、全図	1-17
A	WO 2020/091008 A1（三菱マテリアル株式会社）07.05.2020（2020 - 05 - 07） 全文、全図	1-17
A	JP 2005-044931 A（新光電気工業株式会社）17.02.2005（2005 - 02 - 17） 全文、全図	1-17
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	06.09.2023	国際調査報告の発送日 19.09.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  高橋 優斗 5F 5585  電話番号 03-3581-1101 内線 3514	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/023816

引用文献	公表日	パテントファミリー文献	公表日
JP 2016-042528 A	31.03.2016	(ファミリーなし)	
WO 2018/181417 A1	04.10.2018	US 2019/0371695 A1 全文, 全図 CN 110476244 A	
WO 2020/091008 A1	07.05.2020	US 2021/0352828 A1 全文, 全図 EP 3875267 A1 CN 112839799 A KR 10-2021-0084456 A	
JP 2005-044931 A	17.02.2005	(ファミリーなし)	