



Patent dodatkowy
do patentu nr _____

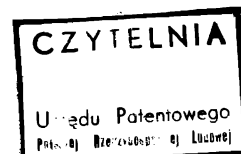
Zgłoszono: 11.11.75 (P. 184633)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 06.06.77

Opis patentowy opublikowano: 20.03.1981

Int. Cl.² H03K 6/02
G06K 7/00
H03F 3/08



Twórcy wynalazku: Wit Jarochoński, Roman Marciniak, Jan Reluga

Uprawniony z patentu: Instytut Maszyn Matematycznych, Warszawa
(Polska)

Układ wzmacniający

1

Przedmiotem wynalazku jest układ wzmacniający inicjowany małymi sygnałami, zrealizowany w oparciu o układy scalone typu TTL lub DTL, który umożliwia sterowanie układami scalonymi TTL lub DTL zastosowanymi w urządzeniach techniki cyfrowej.

W nowoczesnych układach odczytu stosowanych w czytnikach taśmy i układach automatycznej kontroli i sterowania, ważnymi elementami składowymi są przetworniki analogowo-cyfrowe. Przetworniki te często montowane są w bezpośredniej bliskości elementów napędowych, wskutek czego narażone są na działanie różnorodnych silnych zakłóceń radioelektrycznych i wpływów temperatury. Ponadto w przypadku przetworników analogowo-cyfrowych o dużej zdolności rozdzielczej, układy odczytujące muszą mieć dużą czułość i odpowiednio małe czasy przetwarzania, czyli muszą charakteryzować się dużą częstotliwością graniczną, a w przypadku bezpośredniej współpracy z układami cyfrowymi muszą odznaczać się odpowiednimi czasami narastania, opadania i poziomami napięć wyjściowych. Stosowane dotychczas elektroniczne układy odczytu wykonywane są w szeregu różnych odmian, niemniej posiadają zawsze takie podstawowe elementy jak wzmacniacze prądu stałego, układy kształtowania sygnału, układy przejścia w celu dopasowania się do parametrów techniki TTL, oraz niekiedy posiadają układy kompensujące działanie temperatury.

2

Układ odczytu składający się z wspomnianych, łańcuchowo połączonych elementów zajmuje stosunkowo dużą powierzchnię i daje duże czasy opóźnień, a otrzymanie wysokiej częstotliwości granicznej jest trudne do uzyskania. Dodatkową wadą jest fakt, że układy odczytu posiadają z reguły inne wartości napięć zasilających niż układy TTL. Ponadto w bardzo czułych układach przetworników analogowo-cyfrowych jako wzmacniacze prądu stałego stosuje się wzmacniacze operacyjne, które wymagają zasilania dwoma napięciami przeważnie różniącymi się od napięcia zasilającego stosowanego w technice TTL.

Istotą wynalazku jest układ wzmacniający o nieskomplikowanej budowie, który pozwala uzyskać dużą szybkość przetwarzania, dopasowanie sygnału wyjściowego do parametrów techniki TTL, dużą odporność na zakłócenia, odpowiednio dużą czułość oraz możliwość kompensacji temperatury. Ponadto układ ten jest zasilany z tego samego źródła napięcia co układy techniki TTL, lub/i dodatkowego jednego źródła o polaryzacji ujemnej i dowolnym napięciu w przypadku przetworników o większej czułości. Wspomniane warunki zostały spełnione w układzie według wynalazku dzięki podłączeniu emitera tranzystora typu p-n-p bezpośrednio do wejścia bramki TTL. W ten sposób tranzystor pracujący w układzie ze wspólnym kolektorem posiada obciążenie wewnątrz układu scalonego.

Odpowiednie podłączenie tranzystora polowego daje ten sam efekt techniczny. Duża szybkość przetwarzania układu wynika z faktu, że tranzystor pracujący w układzie ze wspólnym kolektorem ma większą częstotliwość graniczną niż analogiczny układ ze wspólnym emiterem. Ponadto, ponieważ dodatkowe obciążenie tranzystora stanowi tranzystor bramki TTL pracujący w układzie wspólnej bazy, uzyskuje się dopasowanie oporności wyjściowej tranzystora do oporności wejściowej układu scalonego. Tak połączone tranzystory tworzą układ kaskodowy, który charakteryzuje się dużą częstotliwością graniczną.

Dopasowanie sygnału wyjściowego układu do parametrów techniki TTL wynika z zastosowania jako elementu obciążającego logicznego układu scalonego typu TTL. Uzyskana w układzie wzmacniającym według wynalazku odporność na zakłócenia jest konsekwencją miniaturyzacji układu spowodowanej zastosowaniem małej liczby elementów składowych, dzięki czemu istnieje możliwość montowania układu w bezpośrednim sąsiedztwie odczytujących elementów fotoelektrycznych. Ponadto zastosowanie w układzie bramki TTL jako elementu obciążającego zapewnia gwarantowany próg szumów, jak również umożliwia przesyłanie sygnału na większe odległości.

W przypadku dużych zakłóceń i wahań temperatury, jako obciążenie układu można zastosować układ Schmitta zbudowany z dwóch szeregowo połączonych bramek logicznych TTL, typu NAND z pętlą sprzężenia zwrotnego w postaci rezystora włączonego między wejściem a wyjściem. Skompensowanie wpływu temperatury na działanie układu uzyskano przez zasilanie fotodiody z układu przesuwanego poziom napięcia w funkcji temperatury, przy czym napięcie odniesienia sterujące wspomnianym układem pobierane jest z dodatkowej bramki logicznej TTL typu NAND.

Wynalazek zostanie bliżej objaśniony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat układu wzmacniającego zbudowanego w oparciu o elementy techniki TTL, fig. 2 przedstawia układ z fig. 1 z pokazanym przykładowo układem wewnętrznym bramki logicznej typu TTL, fig. 3 przedstawia układ według wynalazku przeznaczony do odczytu sygnału fotodiody w przetworniku analogowo-cyfrowym z zastosowanym układem Schmitta, fig. 4 przedstawia układ z fig. 3 z zastosowaniem elementów kompensujących wpływ temperatury, fig. 5 przedstawia teoretyczny wykres napięcia układu z fig. 2, fig. 6 a, b, c, d, e przedstawia wykres prądu i napięcia w poszczególnych fazach pracy układu, fig. 7 obrazuje charakterystykę przenoszenia całego układu, przy czym linia ciągła oznacza charakterystykę układu według wynalazku, a linia przerywana oznacza charakterystykę konwencjonalnej bramki TTL, fig. 8 pokazuje charakterystykę wejściową całego układu — linia ciągła oraz charakterystykę wejściową układu scalonego typu TTL — linia przerywana.

Układ wzmacniający (fig. 1) składa się ze stopnia wejściowego pracującego na tranzystorze T_1 typu p-n-p, lub tranzystorze polowym. Źródło

zmieniającego się napięcia E_g , poprzez rezystor R_g jest podłączone do wejścia W_e układu wzmacniającego stanowiącego bazę tranzystora T_1 . Kolektor tranzystora T_1 jest zasilany dodatkowym źródłem napięcia E_2 o polaryzacji ujemnej. Emiter tranzystora T_1 połączony jest z wejściem W_{es} scalonego układu S wykonanego w technice TTL. Wewnątrz scalonego układu S (fig. 2), emiter tranzystora T_a połączony jest z wejściem W_{es} , a jego kolektor połączony jest z bazą tranzystora T_b połączonego z wyjściowymi tranzystorami T_c i T_d .

Scalony układ S jest zasilany źródłem napięcia E_1 o wartości $+5$ V. Tranzystor T_1 pracujący w układzie ze wspólnym kolektorem z tranzystorem T_a tworzą kaskodę, która charakteryzuje się dużą częstotliwością graniczną. Jeżeli przyjmujemy, że na bazie tranzystora T_1 jest napięcie $E_g = 0$ w chwili $t_1 < t < t_2$ (fig. 5), to tranzystor T_1 przewodzi dając na wejściu W_{es} układu scalonego stan „0” logiczne, a prąd na wejściu W_{es} wynosi

$$I_{Wes(0)} \cong - \frac{[(E_1 + E_2) - (U_{BE_{T_a}} + U_{CE_{T_1}})]}{R_a}$$

gdzie $U_{BE_{T_a}}$ oznacza spadek napięcia na złączu baza — emiter tranzystora T_a , $U_{CE_{T_1}}$ — napięcie nasycenia tranzystora T_1 , a R_a — oporność rezystora R_a wewnętrznego scalonego układu S . W tym momencie prąd wejściowy na wejściu W_e całego układu jest odpowiednio mniejszy i wynosi

$$I_{We(0)} = I_{BT_1} \cong \frac{I_{Wes(0)}}{h_{21ET_1}}$$

gdzie I_{BT_1} — oznacza prąd bazy tranzystora T_1 , a h_{21ET_1} — współczynnik wzmocnienia prądowego tranzystora T_1 .

Wewnątrz scalonego układu S , tranzystory T_b i T_d są w stanie nieprzewodzenia, natomiast tranzystor T_c przewodzi prąd dając na wyjściu W_y układu stan logiczny „1”. Przy wzroście napięcia E_g w czasie $t > t_2$, prądy wejściowe $I_{We(0)}$ i $I_{Wes(0)}$ zmniejszają się tak długo, dopóki napięcie na wejściu W_{es} nie osiągnie odpowiednio dużej wartości, a na wejściu W_e wartości odpowiednio mniejszej, która jest określona wzorem

$$U_{We} \cong U_{Wes} - U_{BE_{T_1}}$$

gdzie $U_{BE_{T_1}}$ oznacza napięcie złącza baza — emiter tranzystora T_1 . W tym momencie tranzystor T_a zaczyna pracować inwersyjnie, a prąd wejściowy $I_{Wes(1)}$ zmienia kierunek i zmniejsza swą wartość, przy czym $I_{Wes(1)} \cong I_{We(1)}$ oznacza prąd wsteczny spolaryzowanego złącza baza — emiter tranzystora T_1 , na którego bazie występuje napięcie (stan logiczny „1”).

Tranzystor T_b i T_d zaczynają przewodzić, a na wyjściu W_y układu otrzymuje się stan „0”. W układzie według wynalazku wartość dodatkowego źródła napięcia E_2 może być równa zero. Wynika to stąd, że warunkiem wystarczającym poprawnej

pracy układu jest zastosowanie tranzystora T_1 o małym napięciu nasycenia przy nominalnym prądzie wejściowym dla stanu logicznego „0”. Napięcie nasycenia tego tranzystora powinno spełniać warunek napięciowy dla stanu „0” używany w technice TTL, który nie jest trudny do spełnienia.

Jak wynika z wykresu (fig. 8), prąd I_{we} sterowania potrzebny do otrzymania stanu „1” na wyjściu W_y układu jest wielokrotnie mniejszy w przypadku konwencjonalnego sterowania bramki TTL, przy jednoczesnym zmniejszeniu napięcia sterującego, co wynika z charakterystyki przenoszenia układu (fig. 7). W przypadku zastosowania układu do odczytywania sygnału fotodiody D umieszczonej na przykład w przetworniku analogowo-cyfrowym (fig. 3), w miejsce scalonego układu S umieszczono szeregowo połączone bramki B_1 i B_2 TTL typu NAND tworzące układ Schmitta, posiadający pętlę sprzężenia zwrotnego w postaci rezystora R_2 włączonego między wejściem bramki B_1 a wyjściem bramki B_2 . W chwili $t = t_1 = 0$, gdy fotodiody D jest nieoświetlona, jej prąd $I_D = 0$ (fig. 6a), a w punkcie M istnieje napięcie U_M (fig. 6b) wymuszone prądem bazy I_{BT_1} tranzystora T_1 (fig. 6c) wynoszące

$$U_M \cong I_{BT_1} \cdot R_1$$

gdzie R_1 , oznacza rezystor zasilający bazę tranzystora T_1 . Z chwilą $t > t_1$ wzrasta natężenie oświetlenia i fotodiody D zaczyna przewodzić, a prąd bazy I_{BT_1} tranzystora T_1 zaczyna maleć. Nie zmienia to jednak napięcia w punkcie M do chwili $t = t_3$, w której prąd bazy tranzystora T_1 maleje do zera i o zmianie potencjału w punkcie M decyduje prąd I_D fotodiody D .

Inaczej przedstawia się zmiana napięcia w punkcie N . Tranzystor T_1 w chwili $t = t_1 = 0$ pracuje w nasyceniu, a w chwili $t > t_1$ napięcie U_N w punkcie N nieznacznie wzrasta (fig. 6d), pomimo malenia prądu bazy I_{BT_1} . Ten stan trwa do chwili $t = t_2$, kiedy to tranzystor T_1 zaczyna wychodzić ze stanu nasycenia. Wówczas napięcie U_N w punkcie N zaczyna wyraźnie wzrastać i z chwilą $t = t_4$ osiąga wartość U'_N , która powoduje zmianę stanu logicznego w punkcie 0 na wyjściu układu ze stanu „0” na stan „1” (fig. 6e).

Stan logiczny „1” w punkcie 0 trwa do chwili $t = t_5$ w której napięcie w punkcie N osiąga wartość $U''_N < U'_N$, a w punkcie 0 na wyjściu ukła-

du powstaje stan logiczny „0”. Zmianę współczynnika wypełnienia impulsu uzyskuje się poprzez zmianę wartości rezystorów R_2 lub R_1 przy czym

$$\frac{\tau}{T} = f(R_2) = f(R_1)$$

gdzie $\frac{\tau}{T}$ — oznacza współczynnik wypełnienia. We wspomnianym układzie można dodatkowo zastosować kompensację wpływu temperatury (fig. 4) poprzez zasilanie fotodiody D z układu P przesuwającego poziom napięcia w funkcji temperatury.

Napięcie odniesienia U_K sterujące układem P przesuwania poziomu pobierane jest z wyjścia dodatkowej bramki B_3 TTL typu NAND, której wejście jest uziemione. Taki sam efekt kompensacji uzyskać można przez połączenie układu P przesuwającego poziom napięcia z wejściem dodatkowej bramki B'_3 TTL typu NAND. Układ P przesuwania poziomu napięcia może stanowić na przykład dzielnik rezystorowy lub wzmacniacz prądu stałego o odpowiednim wzmacnieniu.

Zastrzeżenia patentowe

1. Układ wzmacniający inicjowany małymi sygnałami umożliwiający sterowanie układami scalonymi typu TTL lub DTL, zawierający stopień wzmacniający zbudowany na tranzystorze pracującym w układzie wspólnego kolektora, **znamienny tym**, że emiter tranzystora (T_1) jest podłączony do wejścia (W_{es}) scalonego układu (S), tworząc kaskadę z wejściowym tranzystorem (T_a) scalonego układu (S).

2. Układ według zastrz. 1 **znamienny tym**, że stopień wzmacniający tworzy połowy tranzystor (T_1), którego źródło jest podłączone do wejścia scalonego układu (S).

3. Układ według zastrz. 1, lub 2, **znamienny tym**, że emiter tranzystora (T_1) podłączony jest do wejścia układu scalonego składającego się z szeregowo połączonych logicznych bramek (B_1) i (B_2), które tworzą układ Schmitta.

4. Układ według zastrz. 3, **znamienny tym**, że napięcie odniesienia U_K zależne od zmian temperatury pobierane jest z dodatkowej logicznej bramki (B_3).

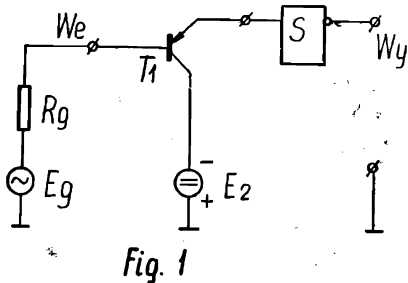


Fig. 1

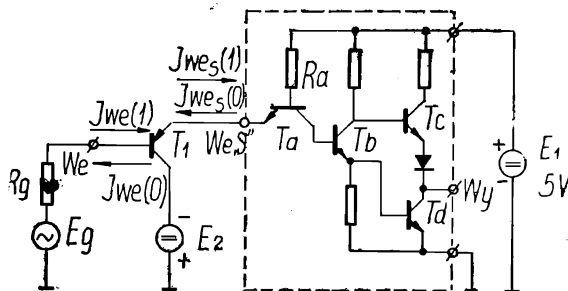


Fig. 2

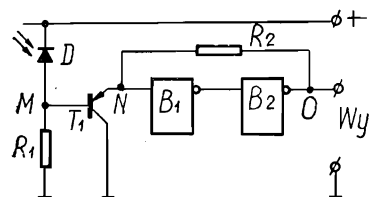


Fig. 3

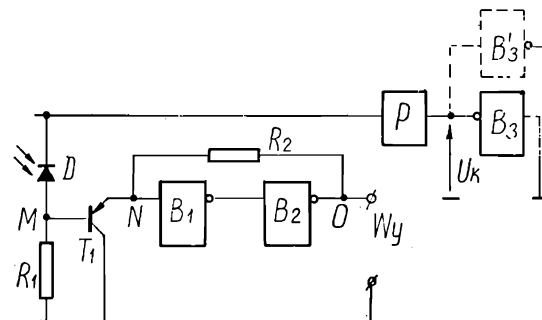


Fig. 4

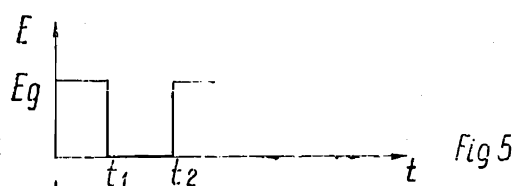


Fig. 5

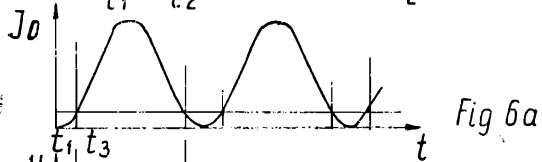


Fig. 6a

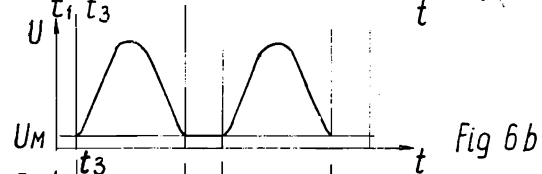


Fig. 6b



Fig. 6c

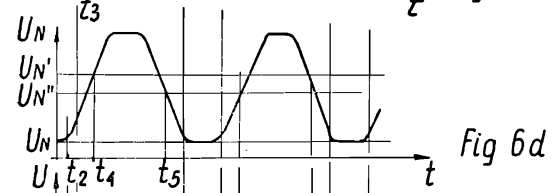


Fig. 6d

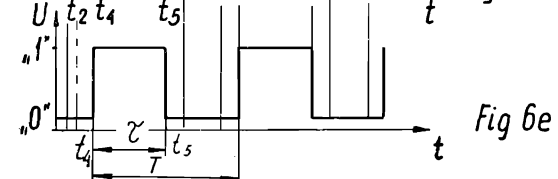


Fig. 6e

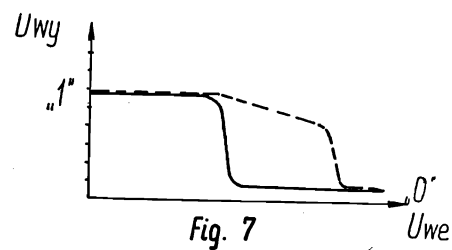


Fig. 7

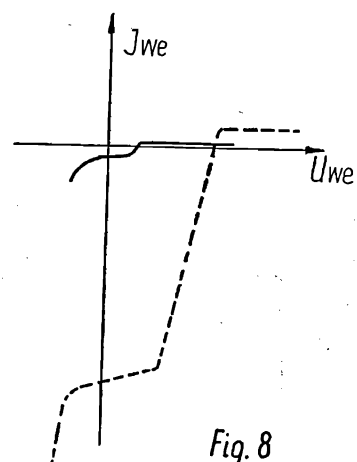


Fig. 8