

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 1 月 21 日 (2016.1.21)

【公表番号】特表 2015-504609 (P2015-504609A)

【公表日】平成 27 年 2 月 12 日 (2015.2.12)

【年通号数】公開・登録公報 2015-009

【出願番号】特願 2014-543598 (P2014-543598)

【国際特許分類】

H 0 1 L 21/683 (2006.01)

H 0 1 L 21/3065 (2006.01)

H 0 2 N 13/00 (2006.01)

【F I】

H 0 1 L 21/68 R

H 0 1 L 21/302 1 0 1 G

H 0 2 N 13/00 D

【手続補正書】

【提出日】平成 27 年 11 月 20 日 (2015.11.20)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 0

【補正方法】変更

【補正の内容】

【0 0 6 0】

図 6 C の先端が広がっておりかつ平らなリフトピン 6 1 0 B は、平らな先端の直径よりも小さい軸径を有する。例えば、軸径は、0 . 0 6 0 インチ (1 . 5 mm) であってよく、平らな先端は、0 . 0 7 2 インチ (1 . 7 mm) の直径を有することができる。リフトピン穴 6 1 2 A は、0 . 0 8 2 インチ (1 . 9 mm) の直径を有する。したがって、先端が広がっておりかつ平らなリフトピン 6 1 0 B の各側面と、対応するリフトピン穴 6 1 2 A の側面との間の隙間は、約 0 . 0 0 5 インチ (0 . 1 2 mm) である。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 2

【補正方法】変更

【補正の内容】

【0 0 7 2】

入出力インターフェース 9 2 0 は、コンピュータ 9 0 0 によって使用される入力機器、出力機器、および記憶装置にアクセスするために使用される。説明されている実施形態では、これらの機器および装置は、ディスプレイ画面 9 1 8、フロッピーディスク媒体 / 光媒体 / フラッシュ媒体 / 取り外し可能媒体のドライブ 9 3 4、およびネットワークインターフェース 9 3 0 を含む。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 4

【補正方法】変更

【補正の内容】

【0 0 8 4】

以上の発明は、理解を明瞭にする目的で幾らか詳細に説明されてきたが、添付の特許請求の範囲内で特定の変更および修正が可能であることが明らかである。したがって、これ

らの実施形態は、例示的で尚且つ非限定的であると見なされ、本発明は、本明細書で与えられた詳細に限定されることはなく、添付の特許請求の範囲およびそれらの均等物の範囲内で変更されてよい。

本発明は、たとえば、以下のような態様で実現することもできる。

適用例 1 :

プラズマチャンバにおいてアーク R F 信号を分離させるためのシステムであって、
プラズマチャンバであって、
トップ電極と、
半導体ウエハを支えるための静電チャックと、
前記静電チャックの表面内の複数のクランプ電極の少なくとも 1 つと前記静電チャックのベース板との間に結合されたコンデンサであって、約 19 ナノファラッドを上回る静電容量を有し、前記静電チャックの内部空間内に配される、コンデンサと、
を含むプラズマチャンバを備えるシステム。

適用例 2 :

適用例 1 のシステムであって、更に、
前記静電チャックの前記表面内の対応する複数のリフトピン穴内に支えられた複数のリフトピンを備えるシステム。

適用例 3 :

適用例 2 のシステムであって、
前記複数のリフトピンの各ピンは、前記静電チャックの前記表面内の複数のリフトピン穴のうちの対応する 1 つのピン内の対応する側面との間に、約 0 . 0 1 1 インチ (0 . 2 5 m m) 未満の隙間を有する、システム。

適用例 4 :

適用例 2 のシステムであって、
前記複数のリフトピンの各ピンは、前記静電チャックの前記表面内の複数のリフトピン穴のうちの対応する 1 つのピン内の対応する側面との間に、約 0 . 0 0 5 インチ (0 . 1 2 m m) 未満の隙間を有する、システム。

適用例 5 :

適用例 2 のシステムであって、
前記複数のリフトピンのうちの少なくとも 1 つのピンは、先端が丸いリフトピンである、システム。

適用例 6 :

適用例 2 のシステムであって、
前記複数のリフトピンのうちの少なくとも 1 つのピンは、先端が平らなリフトピンである、システム。

適用例 7 :

適用例 2 のシステムであって、
前記複数のリフトピンのうちの少なくとも 1 つのピンは、先端が広がっておりかつ平らなリフトピンである、システム。

適用例 8 :

適用例 1 のシステムであって、
コンデンサは、約 19 ナノファラッドから約 43 ナノファラッドまでの間の静電容量を

有する、システム。

適用例 9 :

プラズマチャンバにおいてアーク R F 信号を分離する方法であって、

プラズマチャンバにおいてトップ電極と静電チャックの上面との間の領域内にプラズマを発生させることであって、前記トップ電極および前記静電チャックの一方または両方に 1 つ以上の R F 信号を印加することを含み、前記静電チャックの前記上面で半導体ウエハが支えられる、ことと、

前記 1 つ以上の R F 信号の一部を、前記静電チャックの前記上面内の複数のクランプ電極と前記静電チャックのベース板との間に結合されたコンデンサを通じて、結合することであって、前記コンデンサは、少なくとも 19 ナノファラッドの静電容量を有し、前記コンデンサは、前記静電チャックの内部空間内に配される、ことと、

を備える方法。

適用例 10 :

適用例 9 の方法であって、

前記コンデンサは、約 19 ナノファラッドから約 43 ナノファラッドまでの間の静電容量を有する、方法。

適用例 11 :

適用例 9 の方法であって、更に、

前記静電チャックの前記表面内の対応する複数のリフトピン穴内に支えられた複数のリフトピンを備える方法。

適用例 12 :

適用例 11 の方法であって、

前記複数のリフトピンの各ピンは、前記静電チャックの前記表面内の複数のリフトピン穴のうちの対応する 1 つのピン内の対応する側面との間に、約 0.011 インチ (0.25 mm) 未満の隙間を有する、方法。

適用例 13 :

適用例 11 の方法であって、

前記複数のリフトピンの各ピンは、前記静電チャックの前記表面内の複数のリフトピン穴のうちの対応する 1 つのピン内の対応する側面との間に、約 0.005 インチ (0.12 mm) 未満の隙間を有する、方法。

適用例 14 :

適用例 11 の方法であって、

前記複数のリフトピンのうちの少なくとも 1 つのピンは、先端が丸いリフトピンである、方法。

適用例 15 :

適用例 11 の方法であって、

前記複数のリフトピンのうちの少なくとも 1 つのピンは、先端が平らなリフトピンである、方法。

適用例 16 :

適用例 11 の方法であって、

前記複数のリフトピンのうちの少なくとも 1 つのピンは、先端が広がっておりかつ平らなリフトピンである、方法。

適用例 17 :

プラズマチャンバにおいてアーク R F 信号を分離させるためのシステムであって、
プラズマチャンバであって、

トップ電極と、

半導体ウエハを支えるための静電チャックと、

前記静電チャックの表面内の複数のクランプ電極の少なくとも 1 つと前記静電チャックのベース板との間に結合されたコンデンサであって、約 19 ナノファラッドから約 43 ナノファラッドまでの間の静電容量を有し、前記静電チャックの内部空間内に配される、コンデンサと、

前記静電チャックの前記表面内の対応する複数のリフトピン穴内に支えられた複数のリフトピンと、

を含むプラズマチャンバを備えるシステム。

適用例 18 :

適用例 17 のシステムであって、

前記複数のリフトピンの各ピンは、前記静電チャックの前記表面内の複数のリフトピン穴のうちの対応する 1 つのピン内の対応する側面との間に、約 0.005 インチ (0.12 mm) 未満の隙間を有する、システム。