

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

The second voltage conversion circuit (2) is provided between the input terminal (IN) and a fifth node which is connected to the gate of the third transistor. The third voltage conversion circuit (3) is provided between the second node and a third node which is connected to the gate of the second transistor and the gate of the fourth transistor.

(57) 要約：入力回路（10）は、入力バッファ（4）と、第1電圧変換回路（1）と、第2電圧変換回路（2）と、第3電圧変換回路（3）を備える。入力バッファ（4）は、第1電源と出力端子（OUT）との間に直列接続された第1および第2トランジスタと、第2電源と出力端子（OUT）との間に直列接続された第3および第4トランジスタとを備える。第1電圧変換回路（1）は、入力端子（IN）と第1トランジスタのゲートに接続された第2ノードとの間に設けられる。第2電圧変換回路（2）は、入力端子（IN）と第3トランジスタのゲートに接続された第5ノードとの間に設けられる。第3電圧変換回路（3）は、第2ノードと、第2トランジスタのゲートおよび第4トランジスタのゲートに接続された第3ノードとの間に設けられる。

明 細 書

発明の名称：入力回路

技術分野

[0001] 本開示は、LSI外部からの信号を受信する入力回路（以下、単に「入力回路」という）に関する。

背景技術

[0002] LSIを構成するトランジスタの微細化により、トランジスタが耐え得る電圧ストレス（以下、単に「耐圧」という）の低下が進んでいる。そうすると、入力回路には、LSIの外部からトランジスタの耐圧を超える電圧の信号が入力される場合がある。そこで、LSI外部から入力された入力信号の電圧を、トランジスタの耐圧を超えない電圧に変換する変換回路を有する入力回路が知られている。

[0003] 例えば、特許文献1には、上記の変換回路が設けられた入力回路が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：米国登録第11190187号明細書

発明の概要

発明が解決しようとする課題

[0005] しかし、半導体デバイスの微細化が進み、トランジスタの耐圧が更に低下すると、耐圧を超える電圧が入力されてトランジスタの経年劣化を生じる場合がある。

[0006] そこで、トランジスタの耐圧の低下が進んでも、入力信号を適切な電圧に変換し、トランジスタの経年劣化を防ぐ入力回路が必要となる。

[0007] 本願発明は、上記の課題を解決することを目的とする。

課題を解決するための手段

[0008] 本開示の一態様に係る入力回路は、入力バッファと、第1電圧変換回路と

、第2電圧変換回路と、第3電圧変換回路とを備える。前記入力バッファは、ソースが第1電源に接続され、ドレインが第1ノードに接続され、ゲートが第2ノードに接続された第1導電型の第1トランジスタと、ソースが前記第1ノードに接続され、ドレインが出力端子に接続され、ゲートが第3ノードに接続された第1導電型の第2トランジスタと、ソースが第2電源に接続され、ドレインが第4ノードに接続され、ゲートが第5ノードに接続された第2導電型の第3トランジスタと、ソースが前記第4ノードに接続され、ドレインが前記出力端子に接続され、ゲートが前記第3ノードに接続された第2導電型の第4トランジスタとを備える。前記第1電圧変換回路は、入力端子と前記第2ノードとの間に設けられ、ゲートが第1バイアス電源に接続された第1導電型の第5トランジスタと、前記第1バイアス電源と前記第2ノードとの間に設けられ、ゲートが前記入力端子に接続された第1導電型の第6トランジスタとを備える。前記第2電圧変換回路は、前記入力端子と前記第5ノードとの間に設けられ、ゲートが第2バイアス電源に接続された第2導電型の第7トランジスタと、前記第2バイアス電源と前記第5ノードとの間に設けられ、ゲートが前記入力端子に接続された第2導電型の第8トランジスタとを備える。前記第3電圧変換回路は、前記第2ノードと前記第3ノードとの間に設けられ、ゲートが前記第2バイアス電源に接続された第2導電型の第9トランジスタと、前記第2バイアス電源と前記第3ノードとの間に設けられ、ゲートが前記第2ノードに接続された第2導電型の第10トランジスタとを備える、という構成にした。

発明の効果

[0009] 本開示によると、トランジスタの経年劣化を防ぐことができる。

図面の簡単な説明

[0010] [図1]第1の実施形態に係る入力回路の構成例を示す回路図

[図2]第1の実施形態に係る入力回路の動作時の電圧遷移の一例を示す図

[図3]第2の実施形態に係る入力回路の構成例を示す回路図

[図4]第3の実施形態に係る入力回路の構成例を示す回路図

[図5]第4の実施形態に係る入力回路の構成例を示す回路図

[図6]第5の実施形態に係る入力回路の構成例を示す回路図

[図7]第5の実施形態に係る入力回路の動作時の電圧遷移の一例を示す図

[図8]第6の実施形態に係る入力回路の構成例を示す回路図

[図9]第7の実施形態に係る入力回路の構成例を示す回路図

[図10]第8の実施形態に係る入力回路の構成例を示す回路図

発明を実施するための形態

[0011] 以下、実施形態について、図面を参照して説明する。なお、以下の説明において、電源ノードとその電源ノードに供給される電源電圧とについて、同じ符号を用いて説明する場合がある。また、端子とその端子を通る信号およびノードとそのノードを通る信号について、同じ符号を用いて説明する場合がある。

[0012] L S I は、比較的耐圧の低いトランジスタを低電圧で駆動する内部回路と、L S I 外部との信号の送受信において比較的耐圧の高いトランジスタを高電圧で駆動するインターフェース回路に大きく分類される。本開示に係る入力回路は、主にインターフェース回路に含まれる。

[0013] <第1の実施形態>

図1を参照しつつ、本実施形態に係る入力回路10について説明する。

[0014] 本実施形態に係る入力回路10は、入力バッファ4と、第1電圧変換回路1と、第2電圧変換回路2と、第3電圧変換回路3とを備える。

[0015] ー入力バッファー

入力バッファ4は、電源VDD（第1電源に相当）と出力端子OUTとの間に直列に接続されたP型（第1導電型に相当）のトランジスタP1およびP型のトランジスタP2と、出力端子OUTとグランドVSS（第2電源に相当）との間に直列に接続されたN型（第2導電型に相当）のトランジスタN2およびN型のトランジスタN1とを備える。

[0016] 本開示の入力バッファ4では、トランジスタP1とトランジスタP2とのゲートを独立させ、トランジスタN1とトランジスタN2とのゲートを独立

させている。そして、トランジスタP2のゲートと、トランジスタN2のゲートとがノードLd（第3ノードに相当）に接続されている。

[0017] トランジスタP1（第1トランジスタに相当）は、ソースが電源VDDに接続され、ドレインがノードLe（第1ノードに相当）に接続され、ゲートがノードLa（第2ノードに相当）に接続される。トランジスタP2（第2トランジスタに相当）は、ソースがノードLeに接続され、ドレインが出力端子OUTに接続され、ゲートがノードLdに接続される。トランジスタN1（第3トランジスタに相当）は、ソースがグランドVSSに接続され、ドレインがノードLf（第4ノードに相当）に接続され、ゲートがノードLb（第5ノードに相当）に接続される。トランジスタN2（第4トランジスタに相当）は、ソースがノードLfに接続され、ドレインが出力端子OUTに接続され、ゲートがノードLdに接続される。

[0018] ー第1電圧変換回路ー

第1電圧変換回路1は、入力端子INとノードLaとの間に設けられ、P型のトランジスタP3とP型のトランジスタP4とを備える。入力端子INに入力される入力信号INの電圧は、電圧VSSから電圧VDDの間で変化する。

[0019] トランジスタP3（第5トランジスタに相当）は、入力端子INとノードLaとの間に設けられ、ゲートがバイアス電源VbiasP（第1バイアス電源に相当）に接続される。トランジスタP4（第6トランジスタに相当）は、バイアス電源VbiasPとノードLaとの間に設けられ、ゲートが入力端子INに接続される。

[0020] バイアス電源VbiasPの電源電圧は、グランドVSSの電源電圧より高く、後述するバイアス電源VbiasNの電源電圧以下である。そして、バイアス電源VbiasNの電源電圧は、電源VDDの電源電圧未満である。すなわち、各電源電圧の関係は、 $VSS < VbiasP \leq VbiasN < VDD$ である。

[0021] ー第2電圧変換回路ー

第2電圧変換回路2は、入力端子INとノードLbとの間に設けられ、N型のトランジスタN3とN型のトランジスタN4とを備える。

[0022] トランジスタN3（第7トランジスタに相当）は、入力端子INとノードLbとの間に設けられ、ゲートがバイアス電源VbiasN（第2バイアス電源に相当）に接続される。トランジスタN4（第8トランジスタに相当）は、バイアス電源VbiasNとノードLbとの間に設けられ、ゲートが入力端子INに接続される。

[0023] ー第3電圧変換回路ー

第3電圧変換回路3は、ノードLaとノードLdとの間に設けられ、N型のトランジスタN5とN型のトランジスタN6とを備える。第3電圧変換回路3の構成は、第2電圧変換回路2と同じである。

[0024] トランジスタN5（第9トランジスタに相当）は、ノードLaとノードLdとの間に設けられ、ゲートがバイアス電源VbiasNに接続される。トランジスタN6（第10トランジスタに相当）は、バイアス電源VbiasNとノードLdとの間に設けられ、ゲートがノードLaに接続される。

[0025] ー入力回路の動作ー

次に、入力回路10の動作について説明する。以下の説明において、各端子および各ノードの電圧について、「（端子名またはノード名）＝（電圧を示す符号）」のように表記する。具体的に、入力端子INの電圧がVDD（電源VDDの電圧）の場合、 $IN = VDD$ と表記する。同様に、ノードLaの電圧がVbiasP（第1バイアス電源の電圧）の場合、 $La = VbiasP$ と表記する。他の実施形態についても同様とする。

[0026] $IN = VSS$ のとき、トランジスタP3がオフするとともにトランジスタP4がオンして、 $La = VbiasP$ となる。そうすると、トランジスタN5がオンするとともにトランジスタN6がオフし、 $Ld = VbiasP$ となる。また、トランジスタN3がオンするとともにトランジスタN4がオフして $Lb = VSS$ となる。これにより、トランジスタP1およびトランジスタP2がオンし、トランジスタN1がオフして $OUT = VDD$ となる。

[0027] $I_N = V_{DD}$ のとき、トランジスタ P3 がオンするとともにトランジスタ P4 がオフして、 $L_a = V_{DD}$ となる。そうすると、トランジスタ N5 がオフするとともにトランジスタ N6 がオンして $L_d = V_{biasN}$ となる。また、トランジスタ N3 がオフするとともにトランジスタ N4 がオンして $L_b = V_{biasN}$ となる。これにより、トランジスタ P1 がオフし、トランジスタ N1 およびトランジスタ N2 がオンして $OUT = V_{SS}$ となる。

[0028] 以下の表 1 は、 $I_N = V_{SS}$ および $I_N = V_{DD}$ のときの各ノードの電圧を示している。また、図 2 には、時刻 t_1 から時刻 t_2 にかけて入力信号 I_N が V_{SS} から V_{DD} に線形的に変化し、その後、時刻 t_3 から時刻 t_4 にかけて入力信号 I_N が V_{DD} から V_{SS} に線形的に変化した場合における各ノードの電圧の遷移を示している。

[0029] [表1]

I_N	L_a	L_b	L_d	OUT
VDD	VDD	V_{biasN}	V_{biasN}	VSS
VSS	V_{biasP}	VSS	V_{biasP}	VDD

[0030] 表 1 に示すように、各トランジスタの端子間電圧は、 V_{DD} 、 V_{biasP} および V_{biasN} に依存する。具体的に、 $I_N = V_{DD}$ のとき、トランジスタ P2 のゲート・ドレイン間電圧、すなわち、ノード L_d と出力端子 OUT との電位差は、 V_{biasN} となる。また、 $I_N = V_{SS}$ のとき、トランジスタ N2 のゲート・ドレイン間電圧、すなわち、ノード L_d と出力端子 OUT との電位差は、“ $V_{DD} - V_{biasP}$ ” となる。また、図 2 にも示すように、特許文献 1 のトランジスタ M2, M3 のゲート (X, Y) の電圧範囲に相当するノード L_d の電圧は、 V_{biasP} から V_{biasN} の間で遷移する。

[0031] これにより、例えば、トランジスタ P2 およびトランジスタ N2 の耐圧を超えないように、 V_{biasP} および V_{biasN} の値 (バイアス電源電圧値) を決定することにより、トランジスタの経年劣化を防ぐことができる。また、微細化が進む半導体デバイスにおいて、トランジスタの耐圧が更に低

下しても、同様に経年劣化を防ぐことができる。

[0032] なお、本実施形態において、各トランジスタの耐圧を超えなければ、 $V_{biasP} = V_{biasN}$ にできる。さらに、バイアス電源 V_{biasP} および／またはバイアス電源 V_{biasN} を内部回路の電圧に置き換えることができる。これにより、電源数の削減が可能である。また、本実施形態に係る入力回路10は、内部回路と同じ低耐圧のトランジスタで回路を構成することができるため、高耐圧のトランジスタがない半導体デバイスにおいても、適用が可能という特徴がある。後述する実施形態についても同様である。

[0033] <第2の実施形態>

次に、図3を参照しつつ、本実施形態に係る入力回路10について説明する。図3では、図1と対応する構成要素について、同一の符号を付している。ただし、本実施形態（図3）において、第1の実施形態（図1）と共通の符号を付している構成要素を限定する意図はない。すなわち、本実施形態と第1の実施形態で共通の符号を付している構成要素について電圧、特性等が互いに異なってもよい。本実施形態と他の実施形態との関係および他の実施形態同士の関係についても同様である。

[0034] また、以下の説明では、第1の実施形態との相違点を中心に説明するものとし、重複する説明を省略する場合がある。

[0035] 本実施形態では、図3に示すように、第3電圧変換回路3の構成が第1の実施形態（図1）と異なる。本実施形態では、トランジスタに関し、N型のトランジスタが第1導電型のトランジスタに相当し、P型のトランジスタが第2導電型のトランジスタに相当する。電源に関し、グラウンド V_{SS} が第1電源に相当し、電源 V_{DD} が第2電源に相当し、バイアス電源 V_{biasN} が第1バイアス電源に相当し、バイアス電源 V_{biasP} が第2バイアス電源に相当する。ノードに関し、ノードL_fが第1ノードに相当し、ノードL_bが第2ノードに相当し、ノードL_dが第3ノードに相当し、ノードL_eが第4ノードに相当し、ノードL_aが第5ノードに相当する。

[0036] ー第3電圧変換回路ー

第3電圧変換回路3は、ノードLbとノードLdとの間に設けられ、P型のトランジスタP5と、P型のトランジスタP6とを備える。第3電圧変換回路3の構成は、第1電圧変換回路1と同じである。

[0037] トランジスタP5（第9トランジスタに相当）は、ノードLbとノードLdとの間に設けられ、ゲートがバイアス電源VbiasPに接続される。トランジスタP6（第10トランジスタに相当）は、バイアス電源VbiasPとノードLdとの間に設けられ、ゲートがノードLbに接続される。

[0038] なお、本実施形態では、入力バッファ4において、トランジスタN1は、第1導電型の第1トランジスタに相当し、トランジスタN2は、第1導電型の第2トランジスタに相当する。トランジスタP1は、第2導電型の第3トランジスタに相当し、トランジスタP2は、第2導電型の第4トランジスタに相当する。

[0039] 第1電圧変換回路1（第2電圧変換回路に相当）において、トランジスタP3は、第2導電型の第7トランジスタに相当し、トランジスタP4は、第2導電型の第8トランジスタに相当する。

[0040] 第2電圧変換回路2（第1電圧変換回路に相当）において、トランジスタN3は、第1導電型の第5トランジスタに相当し、トランジスタN4は、第1導電型の第6トランジスタに相当する。

[0041] ー入力回路の動作ー

次に、入力回路10の動作について説明する。

[0042] $I_N = V_{SS}$ のとき、トランジスタN3がオンするとともにトランジスタN4がオフして $L_b = V_{SS}$ となる。そうすると、トランジスタP5がオフするとともにトランジスタP6がオンし、 $L_d = V_{biasP}$ となる。また、トランジスタP3がオフするとともにトランジスタP4がオンして、 $L_a = V_{biasP}$ となる。これにより、トランジスタP1およびトランジスタP2がオンし、トランジスタN1がオフして $OUT = V_{DD}$ となる。

[0043] $I_N = V_{DD}$ のとき、トランジスタN3がオフするとともにトランジスタN4がオンして $L_b = V_{biasN}$ となる。そうすると、トランジスタP5

がオンするとともにトランジスタP6がオフして $Ld = VbiasN$ となる。また、トランジスタP3がオンするとともにトランジスタP4がオフして、 $La = VDD$ となる。これにより、トランジスタP1がオフし、トランジスタN1およびトランジスタN2がオンして $OUT = VSS$ となる。

[0044] 以下の表2は、 $IN = VSS$ および $IN = VDD$ のときの各ノードの電圧を示している。

[0045] [表2]

IN	La	Lb	Ld	OUT
VDD	VDD	VbiasN	VbiasN	VSS
VSS	VbiasP	VSS	VbiasP	VDD

[0046] 表2に示すように、入力電圧INに対する各ノードの電圧は、第1の実施形態と同じになる。図示は省略するが、各ノードの電圧遷移についても図2の波形と同様であり、第1の実施形態と同様の効果が得られる。

[0047] すなわち、本実施形態によると、第1の実施形態と同様に、各トランジスタの端子間電圧は、VDD、VbiasPおよびVbiasNに依存する。具体的に、 $IN = VDD$ のとき、トランジスタP2のゲート・ドレイン間電圧、すなわち、ノードLdと出力端子OUTとの電位差は、VbiasNとなる。また、 $IN = VSS$ のとき、トランジスタN2のゲート・ドレイン間電圧、すなわち、ノードLdと出力端子OUTとの電位差は、“ $VDD - VbiasP$ ”となる。

[0048] これにより、例えば、トランジスタP2およびトランジスタN2の耐圧を超えないように、VbiasPおよびVbiasNの値（バイアス電源電圧値）を決定することにより、トランジスタの経年劣化を防ぐことができる。また、微細化が進む半導体デバイスにおいて、トランジスタの耐圧が更に低下しても、同様に経年劣化を防ぐことができる。

[0049] <第3の実施形態>

次に、図4を参照しつつ、本実施形態に係る入力回路10について説明する。図4では、図1と対応する構成要素について、同一の符号を付している

。また、以下の説明では、第1の実施形態との相違点を中心に説明するものとし、重複する説明を省略する場合がある。

[0050] 第1の実施形態では、第3電圧変換回路3がノードL aに接続されるので、ノードL aを駆動する第1電圧変換回路1の負荷が、ノードL bを駆動する第2電圧変換回路2の負荷に比べて大きくなる。そのため、ノードL aを伝搬する信号が、ノードL bの信号に対して遅延を生じる場合がある。そこで、本実施形態は、上記の課題を解決するように構成されている。

[0051] 具体的には、図4に示すように、第3電圧変換回路3の構成および接続先が第1の実施形態（図1）と異なる。

[0052] ー第3電圧変換回路ー

第3電圧変換回路3は、入力端子I NとノードL dとの間に設けられ、第2の実施形態に係る第3電圧変換回路3と同じ回路構成の第2変換回路3 2と、第1の実施形態に係る第3電圧変換回路3と同じ回路構成の第1変換回路3 1とが直列に接続された構成になっている。

[0053] 第2変換回路3 2は、入力端子I NとノードL c（第6ノードに相当）との間に設けられ、P型のトランジスタP 5と、P型のトランジスタP 6とを備える。トランジスタP 5（第9トランジスタに相当）は、入力端子I NとノードL cとの間に設けられ、ゲートがバイアス電源V b i a s Pに接続される。トランジスタP 6（第10トランジスタに相当）は、バイアス電源V b i a s PとノードL cとの間に設けられ、ゲートが入力端子I Nに接続される。

[0054] 第1変換回路3 1は、ノードL cとノードL dとの間に設けられ、N型のトランジスタN 5と、N型のトランジスタN 6とを備える。トランジスタN 5（第11トランジスタに相当）は、ノードL cとノードL dとの間に設けられ、ゲートがバイアス電源V b i a s Nに接続される。トランジスタN 6（第12トランジスタに相当）は、バイアス電源V b i a s NとノードL dとの間に設けられ、ゲートがノードL cに接続される。

[0055] ー入力回路の動作ー

次に、入力回路10の動作について説明する。ここで、第1電圧変換回路1、第2電圧変換回路2および入力バッファ4の回路構成は、第1の実施形態と同じなので、ノードLaおよびノードLbの状態は、第1の実施形態と同じになる。

[0056] また、第2変換回路32の構成は、第1電圧変換回路1と同じなので、ノードLaの状態とノードLcの状態とは同じになる。さらに、第2変換回路32と第1変換回路31との直列回路は、図1における第1電圧変換回路1と第3電圧変換回路3の直列回路と同じ回路構成である。したがって、本実施形態のノードLdの状態は、第1の実施形態に係るノードLdの状態と同じになる。

[0057] 以下の表3は、 $I_N = VSS$ および $I_N = VDD$ のときの各ノードの電圧を示している。

[0058] [表3]

IN	La	Lb	Lc	Ld	OUT
VDD	VDD	VbiasN	VDD	VbiasN	VSS
VSS	VbiasP	VSS	VbiasP	VbiasP	VDD

[0059] 以上のように、本実施形態によると、第1の実施形態と同様に、各トランジスタの端子間電圧は、VDD、VbiasPおよびVbiasNに依存する。具体的に、 $I_N = VDD$ のとき、トランジスタP2のゲート・ドレイン間電圧、すなわち、ノードLdと出力端子OUTとの電位差は、VbiasNとなる。また、 $I_N = VSS$ のとき、トランジスタN2のゲート・ドレイン間電圧、すなわち、ノードLdと出力端子OUTとの電位差は、“VDD - VbiasP”となる。

[0060] これにより、例えば、トランジスタP2およびトランジスタN2の耐圧を超えないように、VbiasPおよびVbiasNの値（バイアス電源電圧値）を決定することにより、トランジスタの経年劣化を防ぐことができる。また、微細化が進む半導体デバイスにおいて、トランジスタの耐圧が更に低下しても、同様に経年劣化を防ぐことができる。

[0061] さらに、第3電圧変換回路3を、入力端子INとノードLdと間に接続することで、第1電圧変換回路1の負荷を軽減し、ノードLbの信号に対するノードLaの信号遅延を軽減することができる。これにより、回路を伝搬する信号の遅延時間を短縮し、入力回路10の動作速度を速めることができる。

[0062] <第4の実施形態>

次に、図5を参照しつつ、本実施形態に係る入力回路10について説明する。図5では、図3と対応する構成要素について、同一の符号を付している。また、以下の説明では、第2の実施形態との相違点を中心に説明するものとし、重複する説明を省略する場合がある。

[0063] 第2の実施形態は、第3電圧変換回路3がノードLbに接続されるので、ノードLbを駆動する第2電圧変換回路2の負荷が、ノードLaを駆動する第1電圧変換回路1の負荷に比べて大きくなる。そのため、ノードLbを伝搬する信号が、ノードLaの信号に対して遅延を生じる場合がある。そこで、本実施形態は、上記の課題を解決するように構成されている。

[0064] 具体的には、図5に示すように、第3電圧変換回路3の構成および接続先が第2の実施形態（図3）と異なる。

[0065] ー第3電圧変換回路ー

第3電圧変換回路3は、入力端子INとノードLdとの間に設けられ、第1の実施形態に係る第3電圧変換回路3と同じ回路構成の第1変換回路31と、第2の実施形態に係る第3電圧変換回路3と同じ回路構成の第2変換回路32とが直列に接続された構成になっている。

[0066] 第1変換回路31は、入力端子INとノードLc（第6ノードに相当）との間に設けられ、N型のトランジスタN5と、N型のトランジスタN6とを備える。トランジスタN5（第9トランジスタに相当）は、入力端子INとノードLcとの間に設けられ、ゲートがバイアス電源VbiasNに接続される。トランジスタN6（第10トランジスタに相当）は、バイアス電源VbiasNとノードLcとの間に設けられ、ゲートが入力端子INに接続さ

れる。

[0067] 第2変換回路32は、ノードLcとノードLdとの間に設けられ、P型のトランジスタP5と、P型のトランジスタP6とを備える。トランジスタP5（第11トランジスタに相当）は、ノードLcとノードLdとの間に設けられ、ゲートがバイアス電源VbiasPに接続される。トランジスタP6（第12トランジスタに相当）は、バイアス電源VbiasPとノードLdとの間に設けられ、ゲートがノードLcに接続される。

[0068] ー入力回路の動作ー

次に、入力回路10の動作について説明する。ここで、第1電圧変換回路1、第2電圧変換回路2および入力バッファ4の回路構成は、第2の実施形態と同じなので、ノードLaおよびノードLbの状態は、第2の実施形態と同じになる。

[0069] また、第1変換回路31の構成は、第2電圧変換回路2と同じなので、ノードLbの状態とノードLcの状態とは同じになる。さらに、第1変換回路31と第2変換回路32との直列回路は、図3における第2電圧変換回路2と第3電圧変換回路3の直列回路と同じ回路構成である。したがって、本実施形態のノードLdの状態は、第2の実施形態に係るノードLdの状態と同じになる。

[0070] 以下の表4は、 $I_N = VSS$ および $I_N = VDD$ のときの各ノードの電圧を示している。

[0071] [表4]

IN	La	Lb	Lc	Ld	OUT
VDD	VDD	VbiasN	VbiasN	VbiasN	VSS
VSS	VbiasP	VSS	VSS	VbiasP	VDD

[0072] 以上のように、本実施形態によると、第2の実施形態と同様に、各トランジスタの端子間電圧は、VDD、VbiasPおよびVbiasNに依存する。具体的に、 $I_N = VDD$ のとき、トランジスタP2のゲート・ドレイン間電圧、すなわち、ノードLdと出力端子OUTとの電位差は、Vbias

Nとなる。また、 $I_N = V_{SS}$ のとき、トランジスタN2のゲート・ドレイン間電圧、すなわち、ノードLdと出力端子OUTとの電位差は、“ $V_{DD} - V_{biasP}$ ”となる。

[0073] <第5の実施形態>

次に、図6を参照しつつ、本実施形態に係る入力回路10について説明する。図6では、図1と対応する構成要素について、同一の符号を付している。また、以下の説明では、第1の実施形態との相違点を中心に説明するものとし、重複する説明を省略する場合がある。

[0074] 第1の実施形態では、入力電圧 I_N が V_{SS} から V_{DD} への遷移中に、トランジスタP4は、“ $I_N \leq V_{biasP} - V_{thp}$ (V_{thp} = P型トランジスタの閾値)”でオンし、オンするとバイアス電源 V_{biasP} とノードLaとが導通する。トランジスタP3は、“ $I_N \geq V_{biasP} + V_{thp}$ ”でオンし、オンすると入力端子INとノードLaとが導通する。また、“ $V_{biasP} - V_{thp} < I_N < V_{biasP} + V_{thp}$ ”の期間は、トランジスタP3およびトランジスタP4がともにオフする。トランジスタN3は、“ $I_N \leq V_{biasN} - V_{thn}$ (V_{thn} = N型トランジスタの閾値)”でオンし、オンすると入力端子INとノードLbとが導通する。トランジスタN4は“ $I_N \geq V_{biasN} + V_{thn}$ ”でオンし、オンするとバイアス電源 V_{biasN} とノードLbとが導通する。また、“ $V_{biasN} - V_{thn} < I_N < V_{biasN} + V_{thn}$ ”の期間は、トランジスタN3およびトランジスタN4がともにオフする。同様に、トランジスタN5およびトランジスタN6は、“ $V_{biasN} - V_{thn} < L_a < V_{biasN} + V_{thn}$ ”の期間においてともにオフする。そして、それぞれの電圧変換回路1~3において、上記トランジスタがオフする期間は信号を伝搬しない。そうすると、図2の破線の丸印で示すように、各ノードLa, Lb, Ldの遷移が停滞または不安定になる場合がある。その結果として、出力端子OUTの信号変化が遅れる場合がある。そこで、本実施形態は、上記の課題を解決するように構成されている。

[0075] 本実施形態では、図1の回路構成と比較して、第1バッファ回路B1と第2バッファ回路B2が追加されている。また、第1電圧変換回路1、第2電圧変換回路2および第3電圧変換回路3にトランジスタが追加されている。

[0076] ー第1バッファ回路ー

第1バッファ回路B1は、P型のトランジスタP11と、第1インバータINV1とを備える。トランジスタP11（第11のトランジスタに相当）は、ソースがノードLeに接続され、ドレインがバイアス電源VbiasPに接続され、ゲートが出力端子OUTに接続される。第1インバータINV1は、ノードLeとノードLg（第6ノードに相当）との間に設けられる。第1インバータINV1は、第1電源端子T11が電源VDDに接続され、第2電源端子T12がバイアス電源VbiasPに接続される。

[0077] ー第2バッファ回路ー

第2バッファ回路B2は、N型のトランジスタN13と、第2インバータINV2とを備える。トランジスタN13（第12のトランジスタに相当）は、ソースがノードLfに接続され、ドレインがバイアス電源VbiasNに接続され、ゲートが出力端子OUTに接続される。第2インバータINV2は、ノードLfとノードLh（第7ノードに相当）との間に設けられる。第2インバータINV2は、第1電源端子T21がバイアス電源VbiasNに接続され、第2電源端子T22がグランドVSSに接続される。

[0078] 第1電圧変換回路1は、第1の実施形態の回路構成に加えて、入力端子INとノードLaとの間に設けられ、ゲートがノードLhに接続されたN型のトランジスタN7（第13トランジスタに相当）をさらに備える。第2電圧変換回路2は、入力端子INとノードLbとの間に設けられ、ゲートがノードLgに接続されたP型のトランジスタP7（第14トランジスタに相当）をさらに備える。第3電圧変換回路3は、ノードLaとノードLdとの間に設けられ、ゲートがノードLgに接続されたP型のトランジスタP8（第15トランジスタに相当）とを備える。

[0079] ー入力回路の動作ー

次に、入力回路10の動作について、図7を参照しつつ説明する。ここでは、第1実施形態との相違点を中心に説明する。

[0080] まず、時刻 t_1 の $I_N = V_{SS}$ のとき、トランジスタP1およびトランジスタP2がオンし、 $L_e = V_{DD}$ 、 $L_g = V_{bias P}$ となり、トランジスタP7およびトランジスタP8はオフする。また、トランジスタN1およびトランジスタN2がオフし、トランジスタN13がオンして、 $L_f = V_{bias N}$ 、 $L_h = V_{SS}$ となり、トランジスタN7はオフする。

[0081] 時刻 t_1 から時刻 t_2 の間の $I_N = V_{SS}$ から $I_N = V_{DD}$ の遷移中には、トランジスタN3がオンしてノードLbの電圧が上昇すると、トランジスタN1がオンして出力端子OUT及びノードLfの電圧が下降する。その遷移中にトランジスタN13がオフし、第2インバータINV2が反転して、 $L_h = V_{bias N}$ になる。よって、トランジスタN7は“ $I_N \leq V_{bias N} - V_{thn}$ ”の期間でオンする。これにより、第1の実施形態でトランジスタP3およびトランジスタP4がオフする期間と対応する“ $V_{bias P} - V_{thp} < I_N \leq V_{bias N} - V_{thn}$ ”の期間にトランジスタN7がオンすることになり、入力端子INとノードLaとが導通する。よって、ノードLaの電圧は、入力端子INの電圧の上昇に伴って上昇していく（図7参照）。

[0082] また、 $I_N = V_{SS}$ から $I_N = V_{DD}$ の遷移中には、トランジスタP7が、“ $I_N \geq V_{bias P} + V_{thp}$ ”の期間でオンする。これにより、第1の実施形態でトランジスタN3およびトランジスタN4がオフする期間に対応する“ $V_{bias P} + V_{thp} \leq I_N < V_{bias N} + V_{thn}$ ”の期間にトランジスタP7がオンすることになり、入力端子INとノードLbとが導通する。よって、ノードLbの電圧は、入力端子INの電圧の上昇に伴って上昇していく（図7参照）。

[0083] 同様に、トランジスタP8は、“ $L_a \geq V_{bias P} + V_{thp}$ ”の期間でオンする。これにより、トランジスタN5およびトランジスタN6がオフする期間に対応する“ $V_{bias P} + V_{thp} \leq L_a < V_{bias N} + V_{t$

h n” の期間にトランジスタ P 8 がオンすることになり、ノード L a とノード L d とが導通する。よって、ノード L d の電圧は、ノード L a の電圧の遷移、つまり、入力端子 I N の電圧の上昇に伴って上昇していく。

[0084] 時刻 t 2 から時刻 t 3 の間の I N = V D D のとき、トランジスタ P 1 およびトランジスタ P 2 がオフし、トランジスタ P 1 1 がオンして、L e = V b i a s P、L g = V D D となり、トランジスタ P 7 およびトランジスタ P 8 がオフする。また、トランジスタ N 1 およびトランジスタ N 2 がオンし、トランジスタ N 1 3 がオフして、L f = V S S、L h = V b i a s N となり、トランジスタ N 7 はオフする。

[0085] 時刻 t 3 から時刻 t 4 の間の I N = V D D から I N = V S S の遷移中には、I N = V S S から I N = V D D の遷移のときと同じ期間において、トランジスタ P 7、トランジスタ P 8 およびトランジスタ N 7 がオンして、各ノードの電圧は、入力端子 I N の電圧の下降に伴って下降していく（図 7 参照）。

[0086] 以上のように、本実施形態によると、各電圧変換回路 1 ~ 3 の第 1 実施形態との共通回路がオフする期間に、トランジスタ N 7、トランジスタ P 7 およびトランジスタ P 8 がオンする。これにより、各ノードの遷移が停滞又は不安定になることを改善することができ、出力端子 O U T の信号変化を早めることができる。

[0087] <第 6 の実施形態>

次に、図 8 を参照しつつ、本実施形態に係る入力回路 1 0 について説明する。図 8 では、図 6 と対応する構成要素について、同一の符号を付している。以下の説明では、第 5 の実施形態との相違点を中心に説明するものとし、重複する説明を省略する場合がある。

[0088] 本実施形態では、図 8 に示すように、第 3 電圧変換回路 3 の構成が第 5 の実施形態（図 6）と異なる。本実施形態では、トランジスタに関し、N 型のトランジスタが第 1 導電型のトランジスタに相当し、P 型のトランジスタが第 2 導電型のトランジスタに相当する。電源に関し、グランド V S S が第 1

電源に相当し、電源VDDが第2電源に相当し、バイアス電源VbiasNが第1バイアス電源に相当し、バイアス電源VbiasPが第2バイアス電源に相当する。ノードに関し、ノードLfが第1ノードに相当し、ノードLbが第2ノードに相当し、ノードLdが第3ノードに相当し、ノードLeが第4ノードに相当し、ノードLaが第5ノードに相当する。

[0089] 第5の実施形態で説明した第1の実施形態の有する課題と同様に、第2の実施形態においても、それぞれの電圧変換回路1~3において、トランジスタがオフする期間は信号を伝搬しない。そうすると、各ノードLa, Lb, Ldの遷移が停滞または不安定になる場合がある。その結果として、出力端子OUTの信号変化が遅れる場合がある。そこで、本実施形態は、上記の課題を解決するように構成されている。

[0090] ー第3電圧変換回路ー

第3電圧変換回路3は、ノードLbとノードLdとの間に設けられ、P型のトランジスタP5と、P型のトランジスタP6と、N型のトランジスタN8とを備える。第3電圧変換回路3の構成は、第1電圧変換回路1と同じである。

[0091] トランジスタP5（第9トランジスタに相当）は、ノードLbとノードLdとの間に設けられ、ゲートがバイアス電源VbiasPに接続される。トランジスタP6（第10トランジスタに相当）は、バイアス電源VbiasPとノードLdとの間に設けられ、ゲートがノードLbに接続される。トランジスタN8（第15トランジスタに相当）は、ノードLbとノードLdとの間に設けられ、ゲートがノードLhに接続される。

[0092] ー入力回路の動作ー

次に、入力回路10の動作について説明する。ここでは、第5の実施形態との相違点を中心に説明する。

[0093] まず、時刻t1のIN=VSSのとき、Lb=VSS、Lh=VSSとなり、トランジスタN8がオフする。

[0094] 時刻t1から時刻t2の間のIN=VSSからIN=VDDの遷移中にお

いて、 $L_h = V_{biasN}$ になると、トランジスタN8は、“ $L_b \leq V_{biasN} - V_{thn}$ ”の期間でオンする。これにより、トランジスタP5およびトランジスタP6がオフする期間(トランジスタP3およびトランジスタP4と同じ)と対応する“ $V_{biasP} - V_{thp} < L_b \leq V_{biasN} - V_{thn}$ ”の期間に、トランジスタN8がオンすることになり、ノードLbとノードLdとが導通する。よって、ノードLdは、ノードLbの上昇、すなわち、入力端子INの上昇に伴って上昇していく。

[0095] 時刻t2から時刻t3の間の $IN = VDD$ のとき、 $L_b = V_{biasN}$ および $L_h = V_{biasN}$ となり、トランジスタN8はオフする。

[0096] 時刻t3から時刻t4の間の $IN = VDD$ から $IN = VSS$ の遷移中には、 $IN = VSS$ から $IN = VDD$ の遷移のときと同じ期間において、トランジスタN8がオンする。よって、ノードLdは、ノードLbの下降、すなわち、入力端子IN電圧の下降に伴って下降していく。

[0097] 本実施形態においても、第5の実施形態と同様の効果が得られる。具体的に、各電圧変換回路1~3の第2実施形態との共通回路がオフする期間に、トランジスタN7、トランジスタN8およびトランジスタP7がオンする。これにより、各ノードの遷移が停滞又は不安定になることを改善することができる。出力端子OUTの信号変化を早めることができる。

[0098] <第7の実施形態>

次に、図9を参照しつつ、本実施形態に係る入力回路10について説明する。

[0099] 前述の第3の実施形態において、第3電圧変換回路3の第2変換回路32の構成は、第1電圧変換回路1の構成と同じである。そのため、入力端子INの遷移に伴うノードLcの遷移状態は、ノードLaと同じになる。また、第3の実施形態において、第3電圧変換回路3以外の回路構成は、第1の実施形態と同じである。よって、第3の実施形態の構成(図4参照)には、第5の実施形態での説明と共通する課題がある、すなわち、出力端子OUTの信号変化が遅れる場合がある。そこで、本実施形態は、上記の課題を解決す

るように構成されている。

[0100] 本実施形態に係る入力回路10は、第3の実施形態と、第5の実施形態とを組み合わせたような構成になっている。具体的に、本実施形態に係る入力回路10は、第3の実施形態の回路構成に加えて、第5の実施形態と同様に、第1バッファ回路B1および第2バッファ回路B2を備える。また、第3の実施形態に係る第1電圧変換回路1、第2電圧変換回路2および第3電圧変換回路3にトランジスタが追加されている。

[0101] 具体的に、第1電圧変換回路1は、第3の実施形態の回路構成に加えて、入力端子INとノードLaとの間に設けられ、ゲートがノードLhに接続されたN型のトランジスタN7（第15トランジスタに相当）をさらに備える。第2電圧変換回路2は、入力端子INとノードLbとの間に設けられ、ゲートがノードLgに接続されたP型のトランジスタP7（第16トランジスタに相当）をさらに備える。第3電圧変換回路3は、入力端子INとノードLcとの間に設けられ、ゲートがノードLhに接続されたN型のトランジスタN8（第17トランジスタに相当）と、ノードLcとノードLdとの間に設けられ、ゲートがノードLgに接続されたP型のトランジスタP8（第18トランジスタに相当）とを備える。

[0102] ー入力回路の動作ー

入力回路10の動作に関し、トランジスタN8の動作は、第5の実施形態に係るトランジスタN7と共通である。また、それ以外の追加の構成要素については、第5の実施形態と共通している。したがって、ここではその詳細説明を省略する。

[0103] 以上のように、本実施形態によると、各電圧変換回路1～3の第3実施形態との共通回路がオフする期間に、トランジスタP7、トランジスタP8、トランジスタN7およびトランジスタN8がオンする。これにより、各ノードの遷移が停滞又は不安定になることを改善することができ、出力端子OUTの信号変化を早めることができる。

[0104] <第8の実施形態>

次に、図10を参照しつつ、本実施形態に係る入力回路10について説明する。

[0105] 前述の第4の実施形態において、第3電圧変換回路3の第1変換回路31の構成は、第2電圧変換回路2の構成と同じである。そのため、入力端子INの遷移に伴うノードLcの遷移状態は、ノードLbと同じになる。また、第4の実施形態において、第3電圧変換回路3以外の回路構成は、第2の実施形態と同じである。よって、第4の実施形態の構成（図5参照）には、第6の実施形態での説明と共通する課題がある、すなわち、出力端子OUTの信号変化が遅れる場合がある。そこで、本実施形態は、上記の課題を解決するように構成されている。

[0106] 本実施形態に係る入力回路10は、第4の実施形態と、第6の実施形態とを組み合わせたような構成になっている。具体的に、本実施形態に係る入力回路10は、第4の実施形態の回路構成に加えて、第1バッファ回路B1および第2バッファ回路B2を備える。また、第3の実施形態に係る第1電圧変換回路1、第2電圧変換回路2および第3電圧変換回路3にトランジスタが追加されている。

[0107] 具体的に、第1電圧変換回路1は、第4の実施形態の回路構成に加えて、入力端子INとノードLaとの間に設けられ、ゲートがノードLhに接続されたN型のトランジスタN7（第15トランジスタに相当）をさらに備える。第2電圧変換回路2は、入力端子INとノードLbとの間に設けられ、ゲートがノードLgに接続されたP型のトランジスタP7（第16トランジスタに相当）をさらに備える。第3電圧変換回路3は、入力端子INとノードLcとの間に設けられ、ゲートがノードLgに接続されたP型のトランジスタP8（第17トランジスタに相当）と、ノードLcとノードLdとの間に設けられ、ゲートがノードLhに接続されたN型のトランジスタN8（第18トランジスタに相当）とを備える。

[0108] ー入力回路の動作ー

入力回路10の動作に関し、トランジスタP8の動作は、第6の実施形態

に係るトランジスタP7と共通している。また、それ以外の追加の構成要素については、第6の実施形態と共通している。したがって、ここではその詳細説明を省略する。

[0109] 以上のように、本実施形態によると、各電圧変換回路1～3の第4実施形態との共通回路がオフする期間に、トランジスタP7、トランジスタP8、トランジスタN7およびトランジスタN8がオンする。これにより、各ノードの遷移が停滞又は不安定になることを改善することができ、出力端子OUTの信号変化を早めることができる。

産業上の利用可能性

[0110] 本開示に係る入力回路は、微細化が進む半導体デバイスにおいて、トランジスタの耐圧が更に低下しても、トランジスタの経年劣化を防ぐことができるので、極めて有用である。

符号の説明

- [0111] 1 第1電圧変換回路
2 第2電圧変換回路
3 第3電圧変換回路
4 入力バッファ
10 入力回路
IN 入力端子
La ノード(第2ノード)
Lb ノード(第5ノード)
Ld ノード(第3ノード)
Le ノード(第1ノード)
Lf ノード(第4ノード)
N1 トランジスタ(第3トランジスタ)
N2 トランジスタ(第4トランジスタ)
N3 トランジスタ(第7トランジスタ)
N4 トランジスタ(第8トランジスタ)

N 5 トランジスタ (第 9 トランジスタ)

N 6 トランジスタ (第 1 0 トランジスタ)

O U T 出力端子

P 1 トランジスタ (第 1 トランジスタ)

P 2 トランジスタ (第 2 トランジスタ)

P 3 トランジスタ (第 5 トランジスタ)

P 4 トランジスタ (第 6 トランジスタ)

V D D 電源 (第 1 電源)

V S S グランド (第 2 電源)

V b i a s N バイアス電源 (第 2 バイアス電源)

V b i a s P バイアス電源 (第 1 バイアス電源)

請求の範囲

[請求項1]

入力バッファと、第1電圧変換回路と、第2電圧変換回路と、第3電圧変換回路とを備え、

前記入力バッファは、

ソースが第1電源に接続され、ドレインが第1ノードに接続され、ゲートが第2ノードに接続された第1導電型の第1トランジスタと、

、

ソースが前記第1ノードに接続され、ドレインが出力端子に接続され、ゲートが第3ノードに接続された第1導電型の第2トランジスタと、

ソースが第2電源に接続され、ドレインが第4ノードに接続され、ゲートが第5ノードに接続された第2導電型の第3トランジスタと、

、

ソースが前記第4ノードに接続され、ドレインが前記出力端子に接続され、ゲートが前記第3ノードに接続された第2導電型の第4トランジスタとを備え、

前記第1電圧変換回路は、

入力端子と前記第2ノードとの間に設けられ、ゲートが第1バイアス電源に接続された第1導電型の第5トランジスタと、

前記第1バイアス電源と前記第2ノードとの間に設けられ、ゲートが前記入力端子に接続された第1導電型の第6トランジスタとを備え、

前記第2電圧変換回路は、

前記入力端子と前記第5ノードとの間に設けられ、ゲートが第2バイアス電源に接続された第2導電型の第7トランジスタと、

前記第2バイアス電源と前記第5ノードとの間に設けられ、ゲートが前記入力端子に接続された第2導電型の第8トランジスタとを備え、

前記第3電圧変換回路は、

前記第2ノードと前記第3ノードとの間に設けられ、ゲートが前記第2バイアス電源に接続された第2導電型の第9トランジスタと、

前記第2バイアス電源と前記第3ノードとの間に設けられ、ゲートが前記第2ノードに接続された第2導電型の第10トランジスタとを備える、

ことを特徴とする入力回路。

[請求項2]

請求項1に記載の入力回路において、

ソースが前記第1ノードに接続され、ドレインが前記第1バイアス電源に接続され、ゲートが前記出力端子に接続された第1導電型の第11トランジスタと、前記第1ノードと第6ノードとの間に設けられ、第1電源端子が前記第1電源に接続され、第2電源端子が前記第1バイアス電源に接続された第1インバータとを備える第1バッファ回路と、

ソースが前記第4ノードに接続され、ドレインが前記第2バイアス電源に接続され、ゲートが前記出力端子に接続された第2導電型の第12トランジスタと、前記第4ノードと第7ノードとの間に設けられ、第1電源端子が前記第2バイアス電源に接続され、第2電源端子が前記第2電源に接続された第2インバータとを備える第2バッファ回路とをさらに備え、

前記第1電圧変換回路は、前記入力端子と前記第2ノードとの間に設けられ、ゲートが前記第7ノードに接続された第2導電型の第13トランジスタを備え、

前記第2電圧変換回路は、前記入力端子と前記第5ノードとの間に設けられ、ゲートが前記第6ノードに接続された第1導電型の第14トランジスタを備え、

前記第3電圧変換回路は、前記第2ノードと前記第3ノードとの間に設けられ、ゲートが前記第6ノードに接続された第1導電型の第1

5 トランジスタとを備える、
ことを特徴とする入力回路。

[請求項3]

請求項 1 または 2 に記載の入力回路において、
前記第 1 導電型は P 型であり、前記第 2 導電型は N 型であり、
前記第 1 バイアス電源の電源電圧は、前記第 2 電源の電源電圧より
高く、前記第 2 バイアス電源の電源電圧以下であり、
前記第 2 バイアス電源の電源電圧は、前記第 1 電源の電源電圧未満
である
ことを特徴とする入力回路。

[請求項4]

請求項 1 または 2 に記載の入力回路において、
前記第 1 導電型は N 型であり、前記第 2 導電型は P 型であり、
前記第 2 バイアス電源の電源電圧は、前記第 1 電源の電源電圧より
も高く、前記第 1 バイアス電源の電源電圧以下であり、
前記第 1 バイアス電源の電源電圧は、前記第 2 電源の電源電圧未満
である
ことを特徴とする入力回路。

[請求項5]

入力バッファと、第 1 電圧変換回路と、第 2 電圧変換回路と、第 3
電圧変換回路とを備え、
前記入力バッファは、
ソースが第 1 電源に接続され、ドレインが第 1 ノードに接続され
、ゲートが第 2 ノードに接続された第 1 導電型の第 1 トランジスタと
、
ソースが前記第 1 ノードに接続され、ドレインが出力端子に接続
され、ゲートが第 3 ノードに接続された第 1 導電型の第 2 トランジス
タと、
ソースが第 2 電源に接続され、ドレインが第 4 ノードに接続され
、ゲートが第 5 ノードに接続された第 2 導電型の第 3 トランジスタと
、

ソースが前記第4ノードに接続され、ドレインが前記出力端子に接続され、ゲートが前記第3ノードに接続された第2導電型の第4トランジスタとを備え、

前記第1電圧変換回路は、

入力端子と前記第2ノードとの間に設けられ、ゲートが第1バイアス電源に接続された第1導電型の第5トランジスタと、

前記第1バイアス電源と前記第2ノードとの間に設けられ、ゲートが前記入力端子に接続された第1導電型の第6トランジスタとを備え、

前記第2電圧変換回路は、

前記入力端子と前記第5ノードとの間に設けられ、ゲートが第2バイアス電源に接続された第2導電型の第7トランジスタと、

前記第2バイアス電源と、前記第5ノードとの間に設けられ、ゲートが前記入力端子に接続された第2導電型の第8トランジスタとを備え、

前記第3電圧変換回路は、

前記入力端子と第6ノードとの間に設けられ、ゲートが前記第1バイアス電源に接続された第1導電型の第9トランジスタと、

前記第1バイアス電源と前記第6ノードとの間に設けられ、ゲートが前記入力端子に接続された第1導電型の第10トランジスタと、

前記第6ノードと前記第3ノードとの間に設けられ、ゲートが前記第2バイアス電源に接続された第2導電型の第11トランジスタと、

前記第2バイアス電源と前記第3ノードとの間に設けられ、ゲートが前記第6ノードに接続された第2導電型の第12トランジスタとを備える、

ことを特徴とする入力回路。

[請求項6]

請求項5に記載の入力回路において、

ソースが前記第1ノードに接続され、ドレインが前記第1バイアス電源に接続され、ゲートが前記出力端子に接続された第1導電型の第13トランジスタと、前記第1ノードと第7ノードとの間に設けられ、第1電源端子が前記第1電源に接続され、第2電源端子が前記第1バイアス電源に接続された第1インバータとを備える第1バッファ回路と、

ソースが前記第4ノードに接続され、ドレインが前記第2バイアス電源に接続され、ゲートが前記出力端子に接続された第2導電型の第14トランジスタと、前記第4ノードと第8ノードとの間に設けられ、第1電源端子が前記第2バイアス電源に接続され、第2電源端子が前記第2電源に接続された第2インバータとを備える第2バッファ回路とをさらに備え、

前記第1電圧変換回路は、前記入力端子と前記第2ノードとの間に設けられ、ゲートが前記第8ノードに接続された第2導電型の第15トランジスタを備え、

前記第2電圧変換回路は、前記入力端子と前記第5ノードとの間に設けられ、ゲートが前記第7ノードに接続された第1導電型の第16トランジスタを備え、

前記第3電圧変換回路は、前記入力端子と前記第6ノードとの間に設けられ、ゲートが前記第8ノードに接続された第2導電型の第17トランジスタと、前記第6ノードと前記第3ノードとの間に設けられ、ゲートが前記第7ノードに接続された第1導電型の第18トランジスタとを備える、

ことを特徴とする入力回路。

[請求項7]

請求項5または6に記載の入力回路において、

前記第1導電型はP型であり、前記第2導電型はN型であり、

前記第1バイアス電源の電源電圧は、前記第2電源の電源電圧より高く、前記第2バイアス電源の電源電圧以下であり、

前記第2バイアス電源の電源電圧は、前記第1電源の電源電圧未満である

ことを特徴とする入力回路。

[請求項8]

請求項5または6に記載の入力回路において、

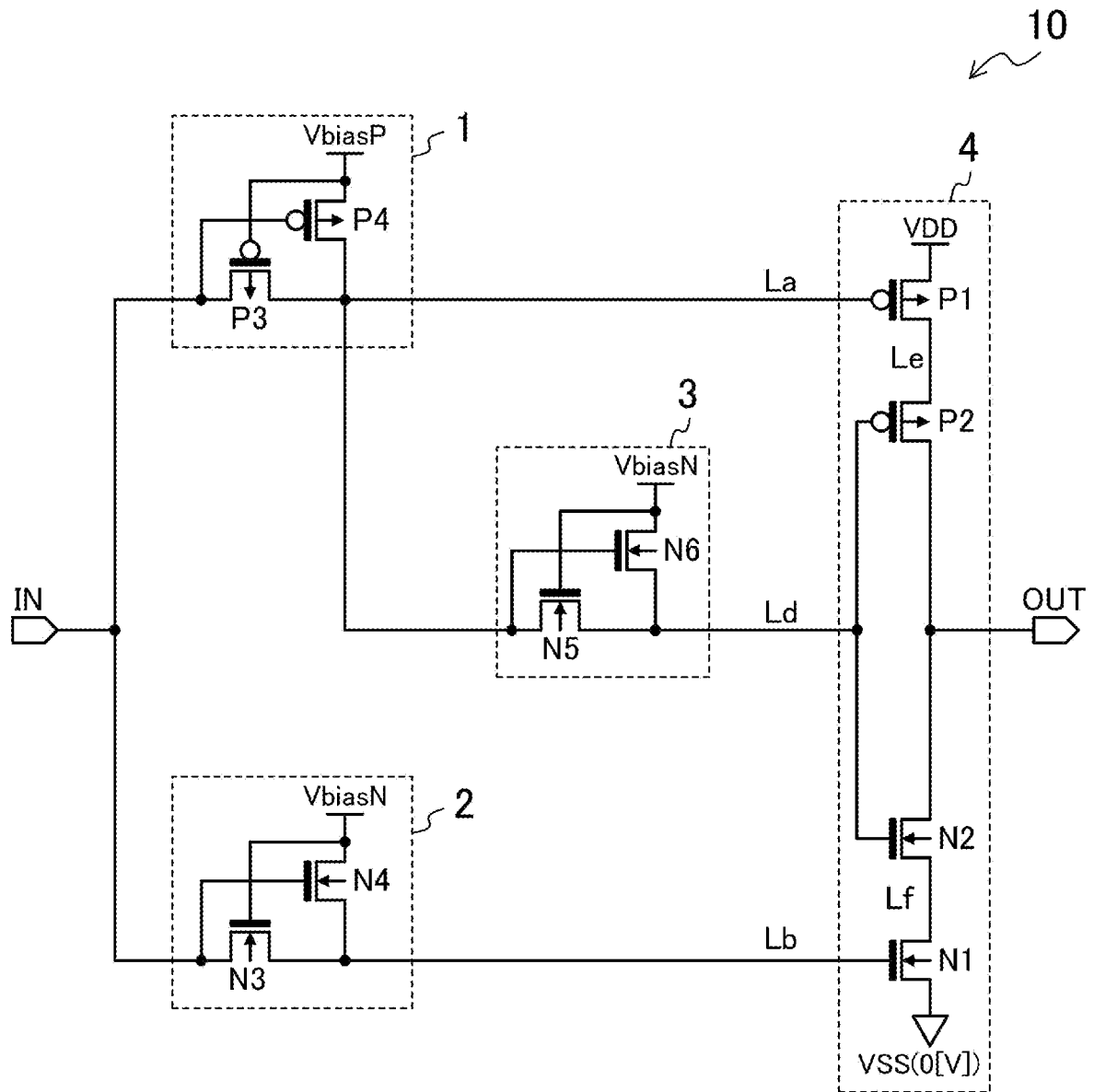
前記第1導電型はN型であり、前記第2導電型はP型であり、

前記第2バイアス電源の電源電圧は、前記第1電源の電源電圧よりも高く、前記第1バイアス電源の電源電圧以下であり、

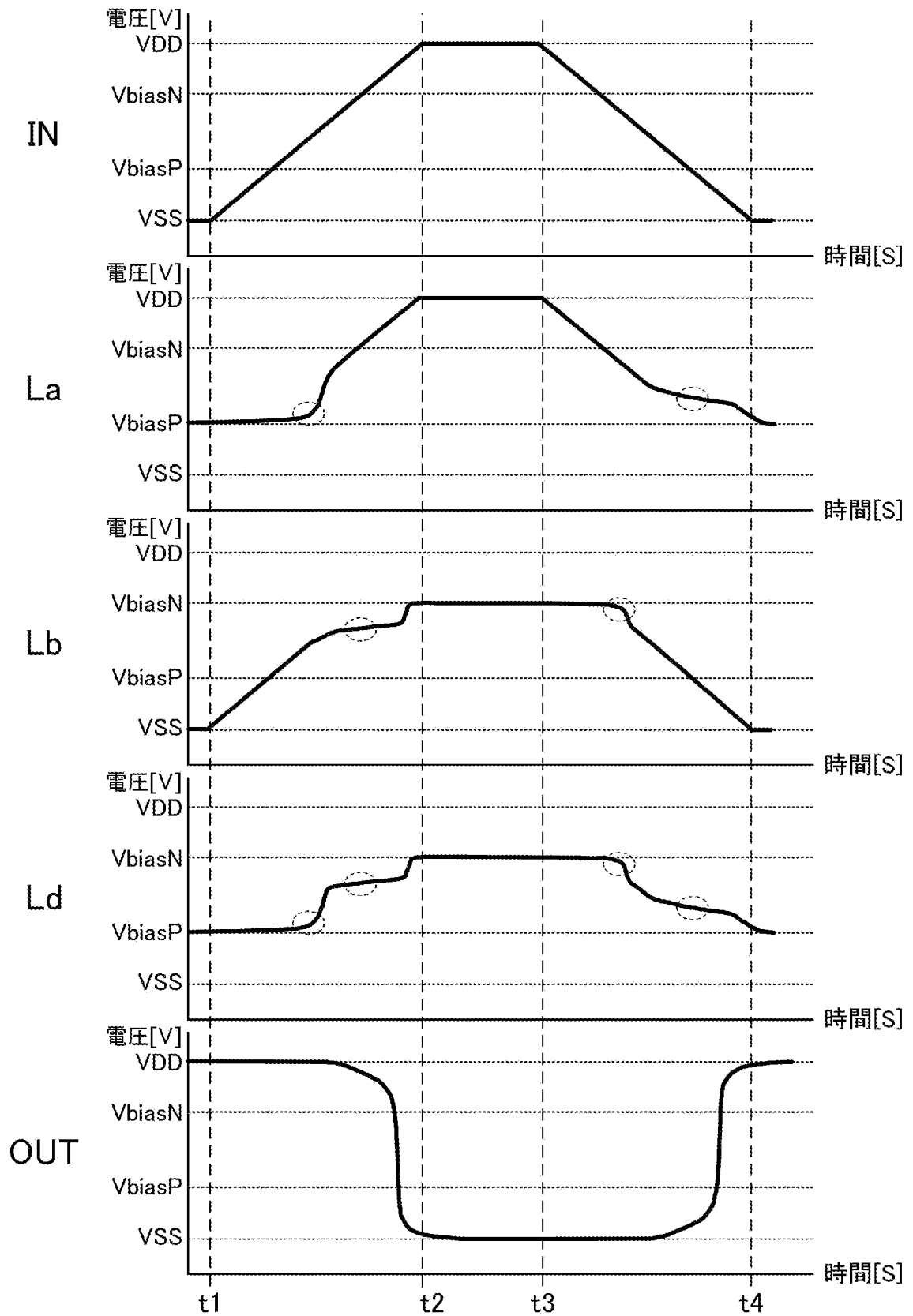
前記第1バイアス電源の電源電圧は、前記第2電源の電源電圧未満である

ことを特徴とする入力回路。

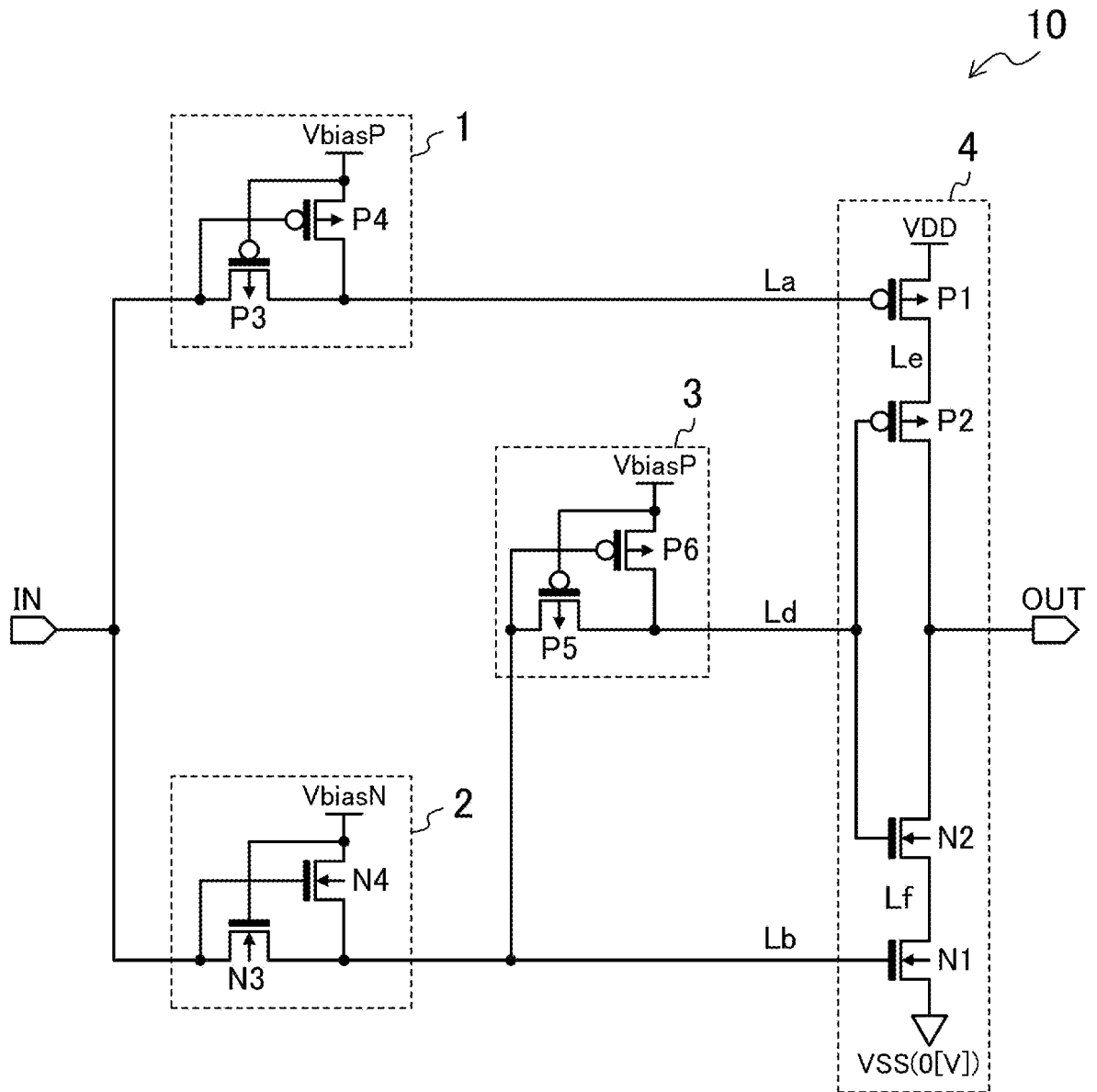
[図1]



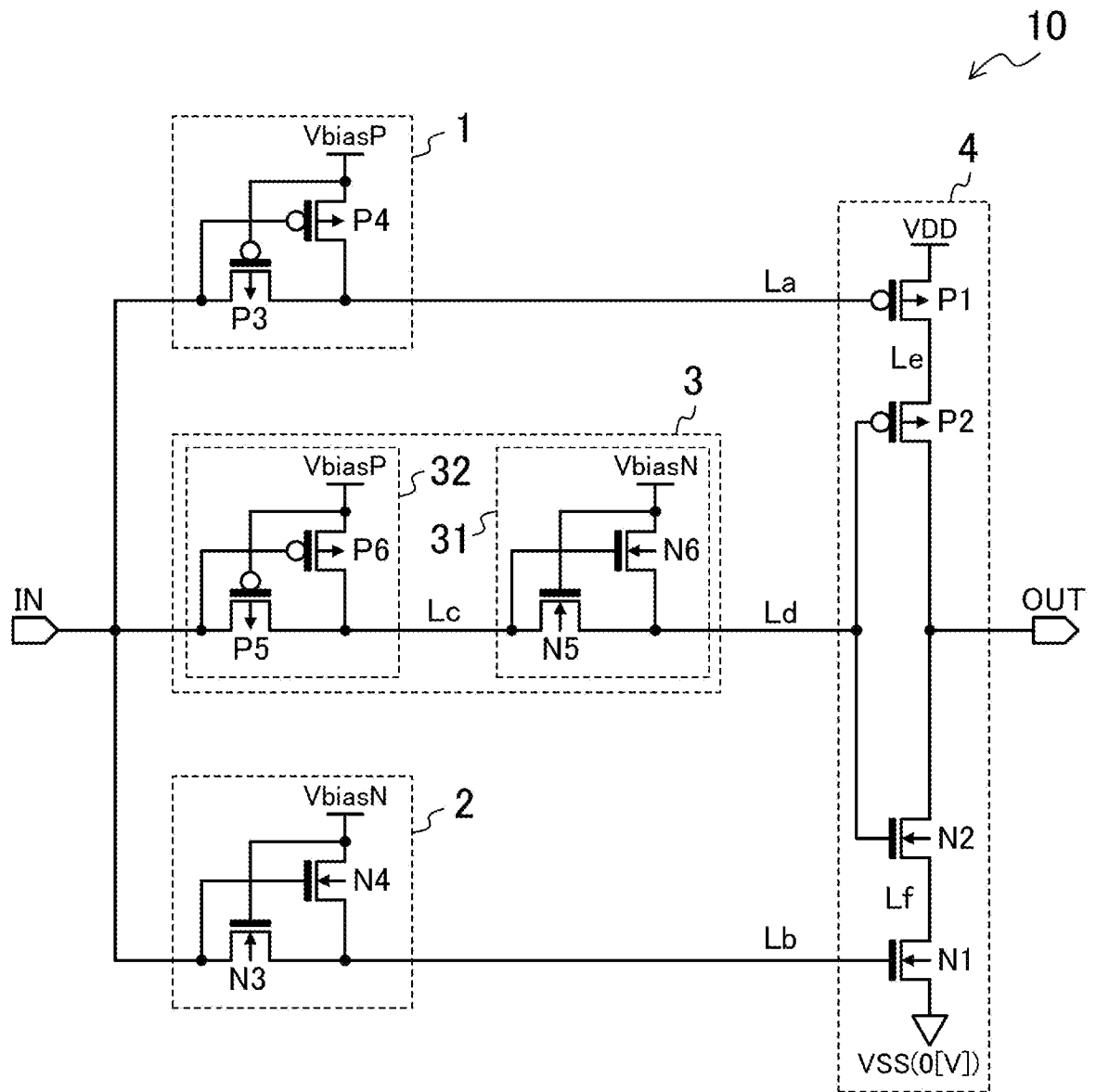
[図2]



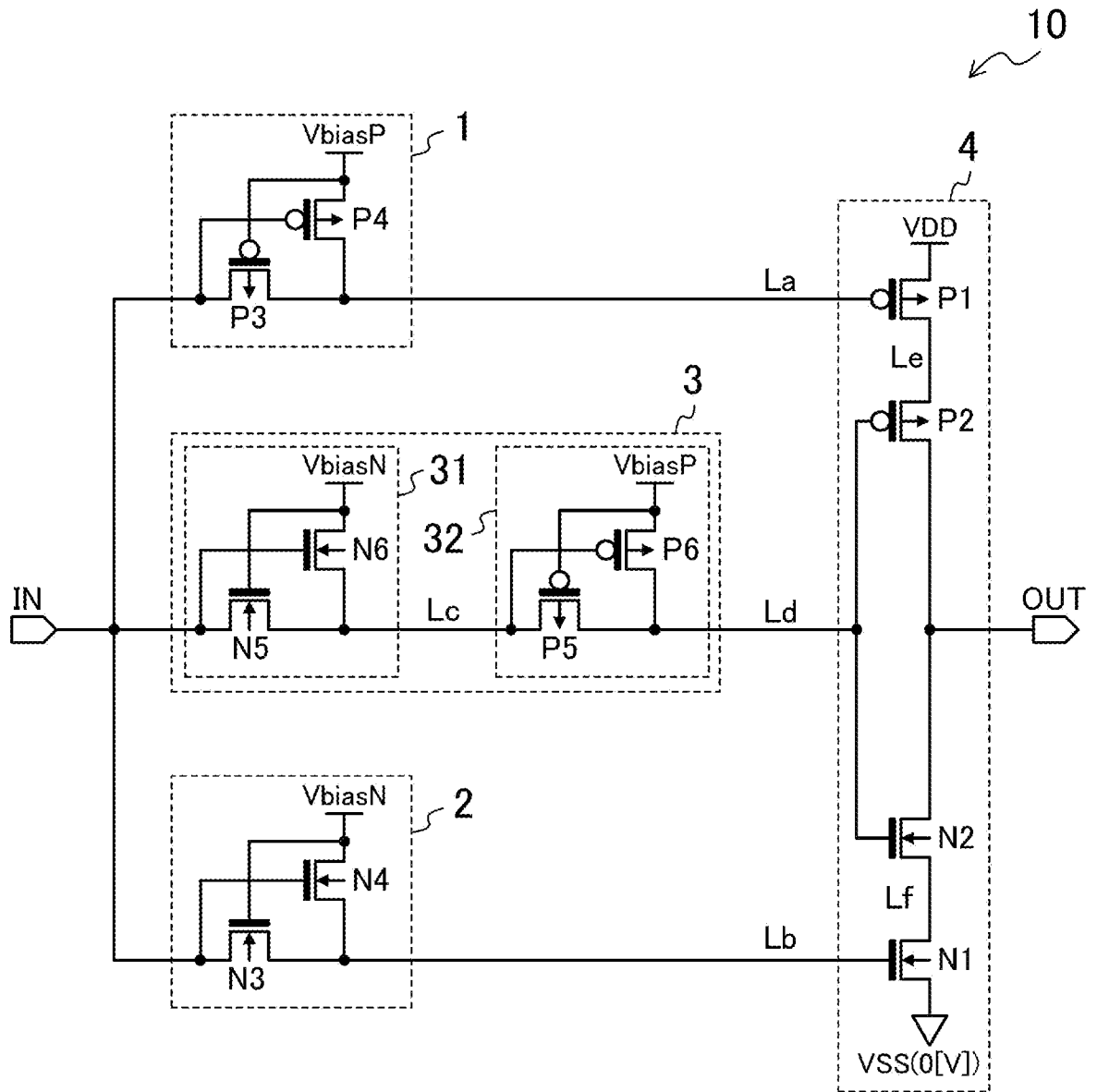
[図3]



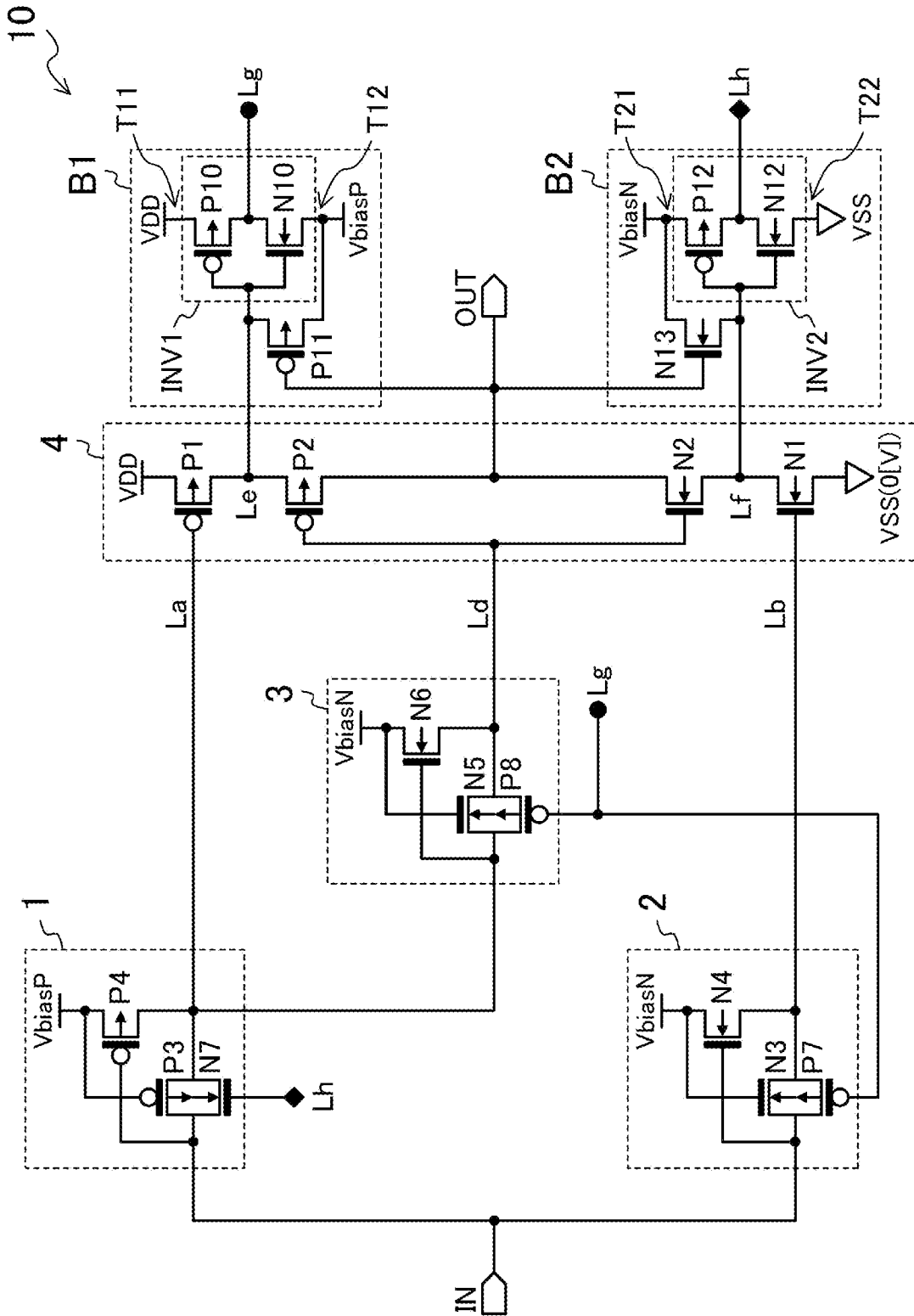
[図4]



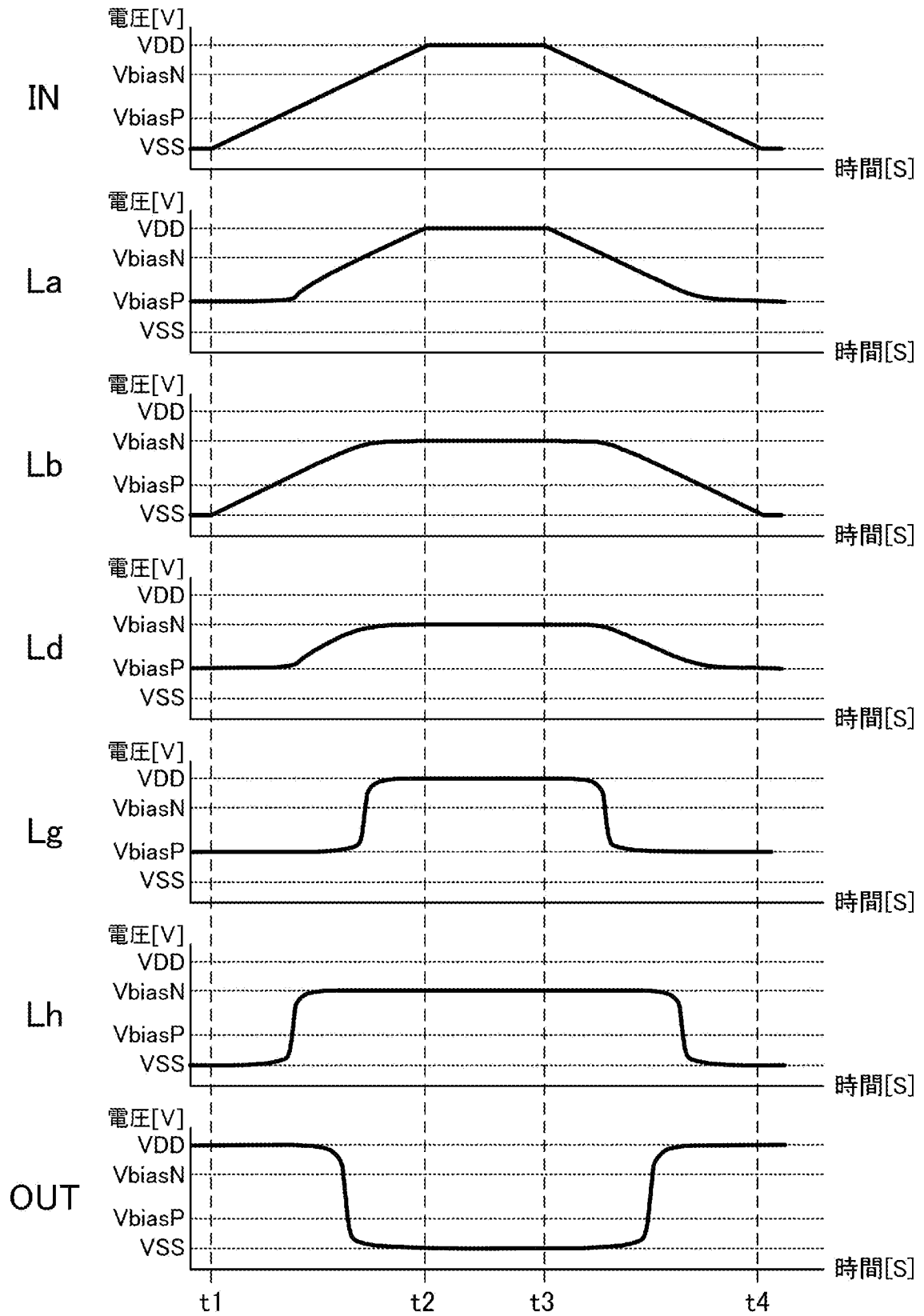
[図5]



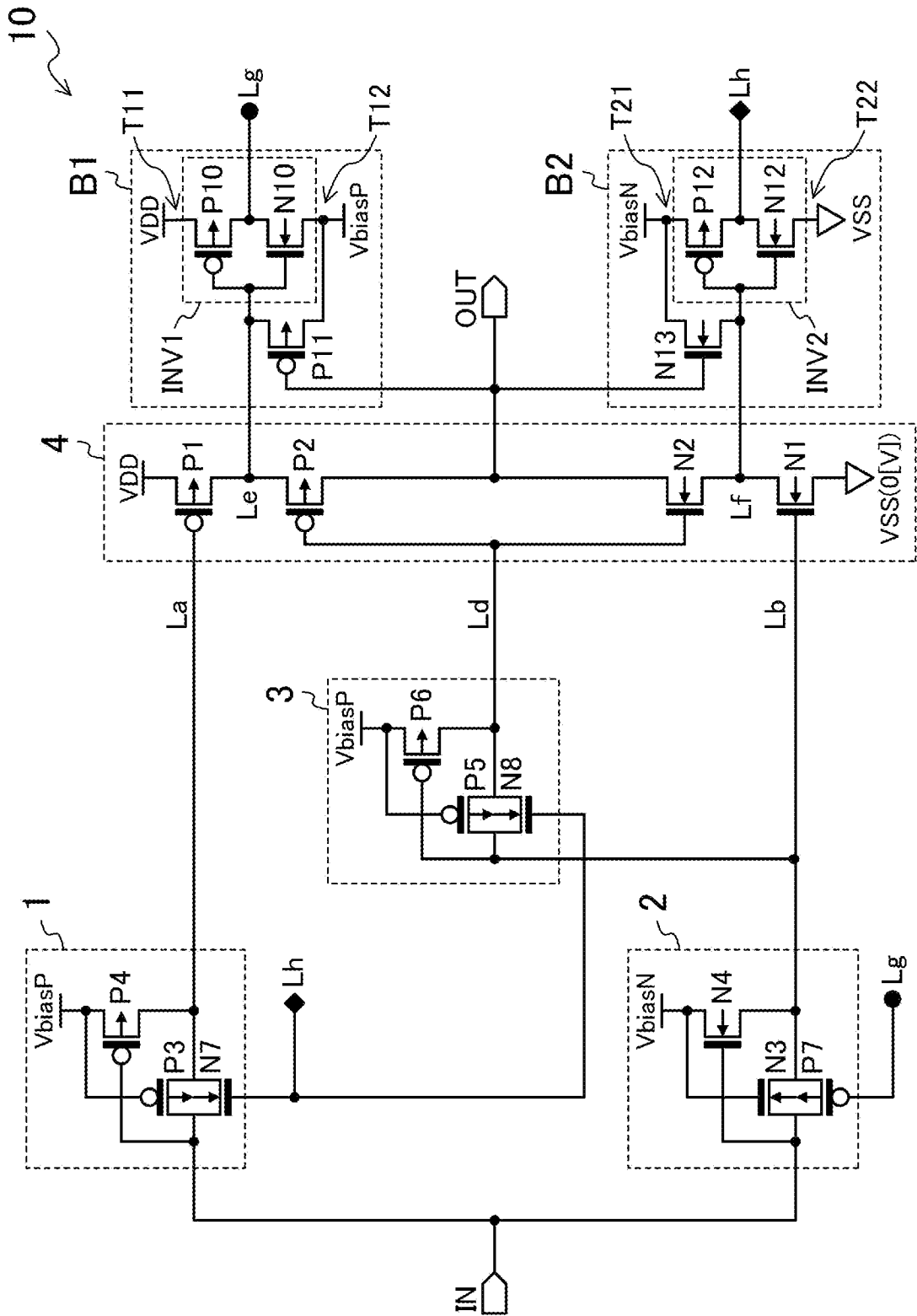
[図6]



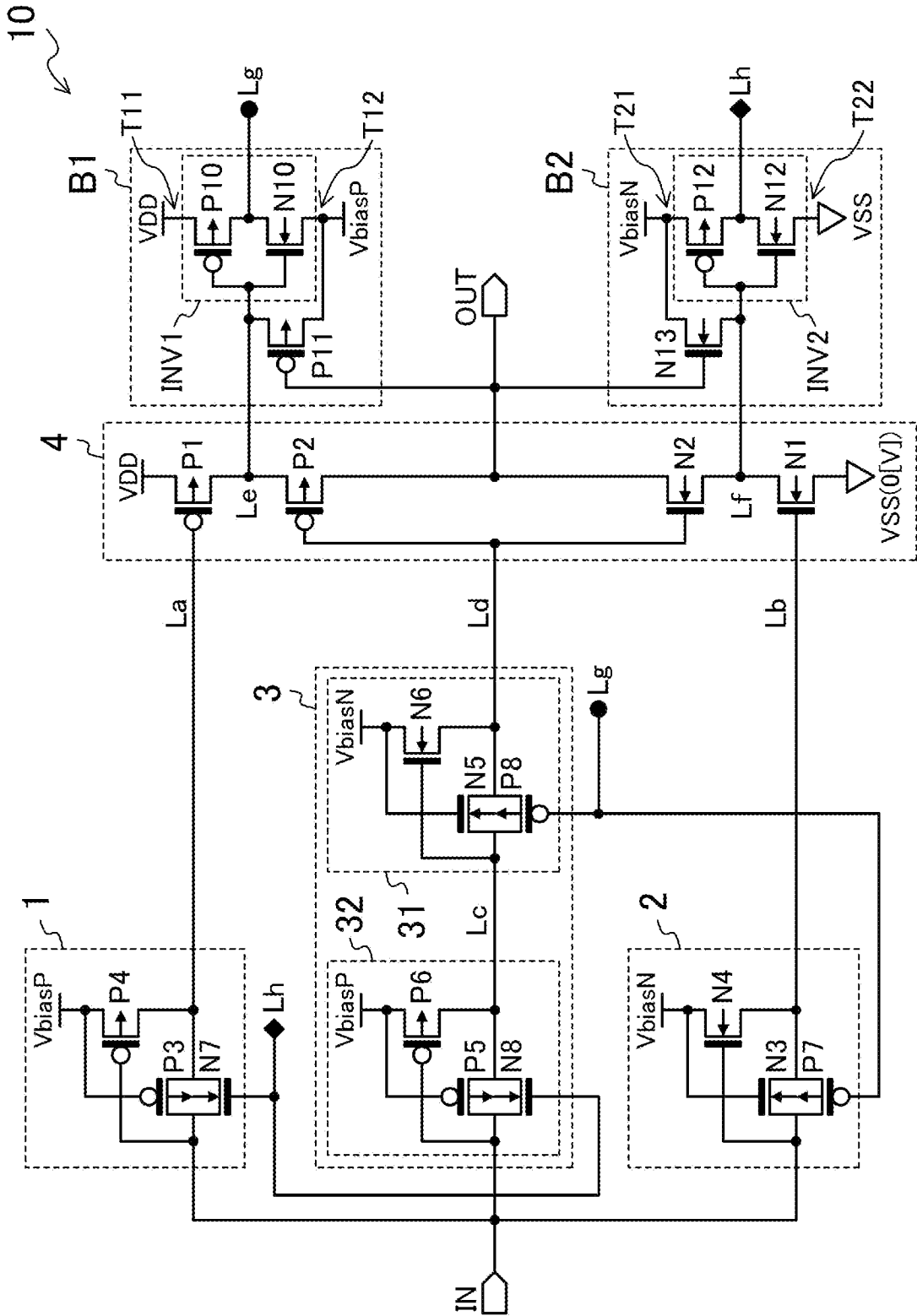
[図7]



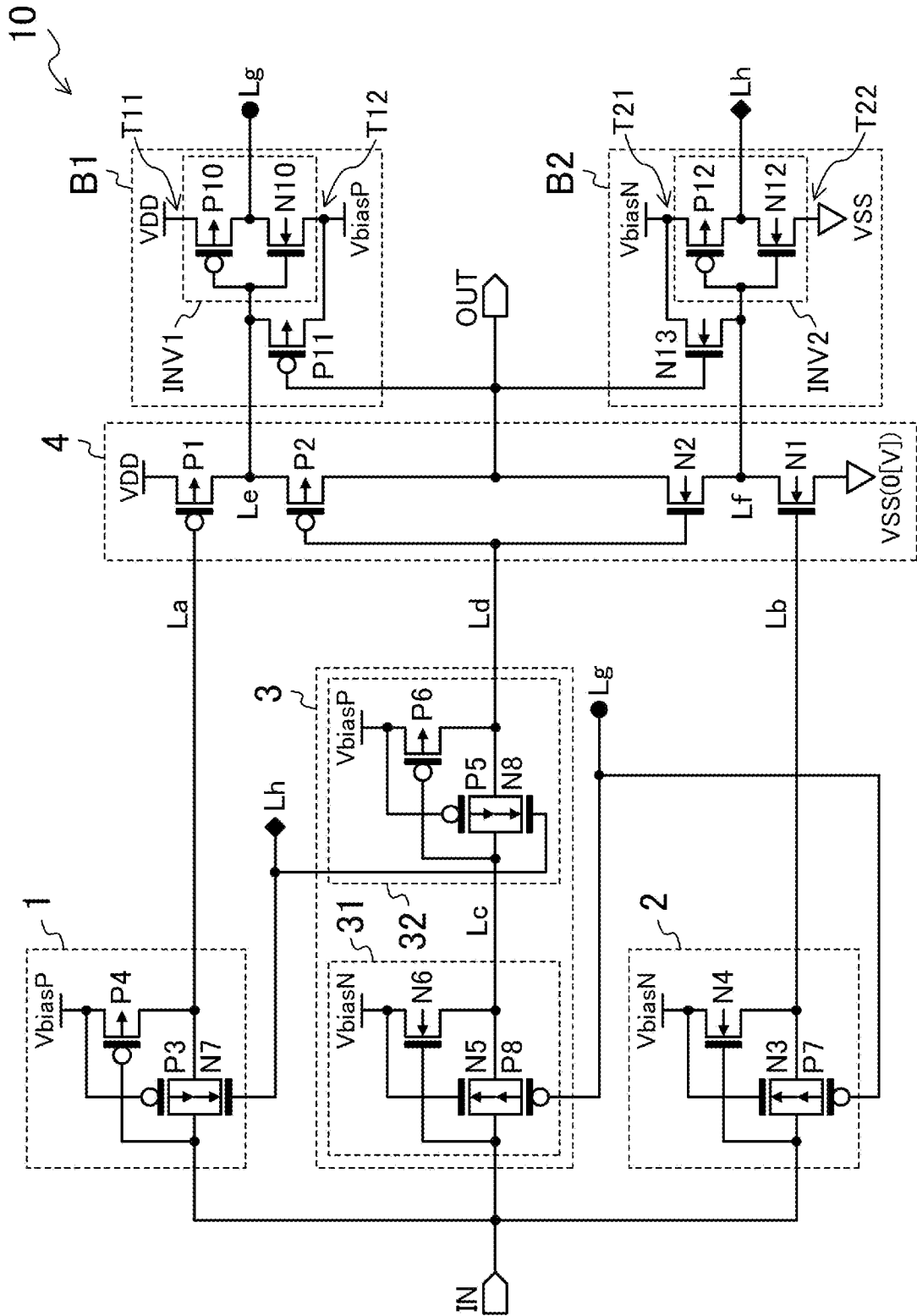
[図8]



[9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/030281

A. CLASSIFICATION OF SUBJECT MATTER		
H03K 19/0175 (2006.01)i; H03K 19/003 (2006.01)i; H03K 19/0185 (2006.01)i FI: H03K19/0175 240; H03K19/003; H03K19/0185		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03K19/0175; H03K19/003; H03K19/0185		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2019/0173471 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 06 June 2019 (2019-06-06) entire text, all drawings	1-8
A	JP 2007-174001 A (TPO HONG KONG HOLDING LIMITED) 05 July 2007 (2007-07-05) fig. 5, 10	1-8
A	US 2022/0109437 A1 (MEDIATEK INC.) 07 April 2022 (2022-04-07) entire text, all drawings	1-8
A	CN 108123709 A (SHANGHAI FUDAN MICROELECTRONICS GROUP COMPANY LIMITED) 05 June 2018 (2018-06-05) entire text, all drawings	1-8
A	JP 1-213022 A (KABUSHIKI KAISHA TOSHIBA) 25 August 1989 (1989-08-25) fig. 3	1-8
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 26 September 2023		Date of mailing of the international search report 10 October 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/030281

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2019/0173471	A1	06 June 2019	DE 102018125400 entire text, all drawings	A1
				KR 10-2019-0067100	A
				CN 110011653	A
JP	2007-174001	A	05 July 2007	US 2007/0139351 fig. 5, 10	A1
				CN 1996444	A
US	2022/0109437	A1	07 April 2022	EP 3982542 entire text, all drawings	A1
				CN 114389630	A
CN	108123709	A	05 June 2018	(Family: none)	
JP	1-213022	A	25 August 1989	US 4926070 fig. 3	A

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H03K 19/0175(2006.01)i; H03K 19/003(2006.01)i; H03K 19/0185(2006.01)i FI: H03K19/0175 240; H03K19/003; H03K19/0185</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H03K19/0175; H03K19/003; H03K19/0185</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2023年																			
日本国実用新案登録公報	1996 - 2023年																			
日本国登録実用新案公報	1994 - 2023年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US 2019/0173471 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 06.06.2019 (2019 - 06 - 06) 全文, 全図</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 2007-174001 A (ティーピーオー、ホンコン、ホールディング、リミテッド) 05.07.2007 (2007 - 07 - 05) 図5, 10</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>US 2022/0109437 A1 (MEDIATEK INC.) 07.04.2022 (2022 - 04 - 07) 全文, 全図</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>CN 108123709 A (SHANGHAI FUDAN MICROELECTRONICS GROUP COMPANY LIMITED) 05.06.2018 (2018 - 06 - 05) 全文, 全図</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 1-213022 A (株式会社東芝) 25.08.1989 (1989 - 08 - 25) 第3図</td> <td>1-8</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	US 2019/0173471 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 06.06.2019 (2019 - 06 - 06) 全文, 全図	1-8	A	JP 2007-174001 A (ティーピーオー、ホンコン、ホールディング、リミテッド) 05.07.2007 (2007 - 07 - 05) 図5, 10	1-8	A	US 2022/0109437 A1 (MEDIATEK INC.) 07.04.2022 (2022 - 04 - 07) 全文, 全図	1-8	A	CN 108123709 A (SHANGHAI FUDAN MICROELECTRONICS GROUP COMPANY LIMITED) 05.06.2018 (2018 - 06 - 05) 全文, 全図	1-8	A	JP 1-213022 A (株式会社東芝) 25.08.1989 (1989 - 08 - 25) 第3図	1-8
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
A	US 2019/0173471 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 06.06.2019 (2019 - 06 - 06) 全文, 全図	1-8																		
A	JP 2007-174001 A (ティーピーオー、ホンコン、ホールディング、リミテッド) 05.07.2007 (2007 - 07 - 05) 図5, 10	1-8																		
A	US 2022/0109437 A1 (MEDIATEK INC.) 07.04.2022 (2022 - 04 - 07) 全文, 全図	1-8																		
A	CN 108123709 A (SHANGHAI FUDAN MICROELECTRONICS GROUP COMPANY LIMITED) 05.06.2018 (2018 - 06 - 05) 全文, 全図	1-8																		
A	JP 1-213022 A (株式会社東芝) 25.08.1989 (1989 - 08 - 25) 第3図	1-8																		
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。</p> <p><input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																				
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>																				
<p>国際調査を完了した日</p> <p>26.09.2023</p>	<p>国際調査報告の発送日</p> <p>10.10.2023</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>及川 尚人 5W 5888</p> <p>電話番号 03-3581-1101 内線 3576</p>																			

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/030281

引用文献			公表日	パテントファミリー文献			公表日
US	2019/0173471	A1	06.06.2019	DE	102018125400	A1	
				全文, 全図			
				KR	10-2019-0067100	A	
				CN	110011653	A	

JP	2007-174001	A	05.07.2007	US	2007/0139351	A1	
				図5, 10			
				CN	1996444	A	

US	2022/0109437	A1	07.04.2022	EP	3982542	A1	
				全文, 全図			
				CN	114389630	A	

CN	108123709	A	05.06.2018	(ファミリーなし)			

JP	1-213022	A	25.08.1989	US	4926070	A	
				図3			
